

微細MOSFET真性ばらつき問題への TCADからの取り組み

NEC(株)システムデバイス研究所
羽根正巳

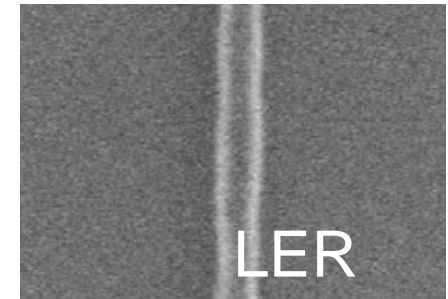
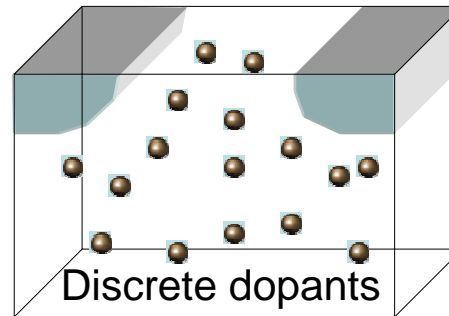
内容

1. 背景 (ばらつき)
2. 原子レベルプロセスシミュレーション
3. 真性ばらつき (離散不純物とLER) シミュレーション
4. LSTP向けFinFET設計
5. 統計的 (ばらつき) SPICEの必要性
6. まとめ

ランダムばらつき問題

- ランダムばらつき: 離散的な不純物分布と Line-Edge-Roughness

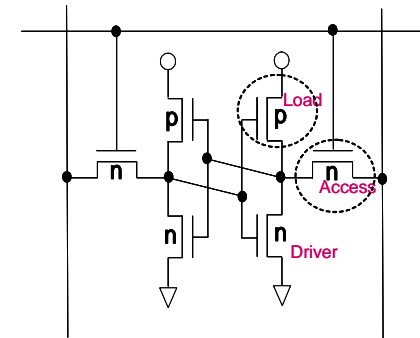
微細化スケールと共に増大が懸念、
両者はリンクしている



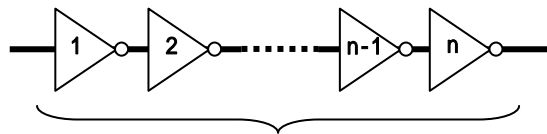
- 従来SRAMのトレンドは赤信号

Tech. Node →	90nm	65nm	45nm	32nm	22nm
V_{DD} [V]	1.0	0.9	0.8	0.7	0.6
$(L \cdot W)^{-0.5}$ [μm^{-1}]	10	14	20	28	40
$4 \sigma V_{th}$ [mV]	172	230	320	448	624

(STRJ, 2003) $\sigma V_{th} = k \cdot (L \cdot W)^{-0.5}$ (should be no more than 20% of V_{DD})



SNM(Static-Noise-Margin)問題

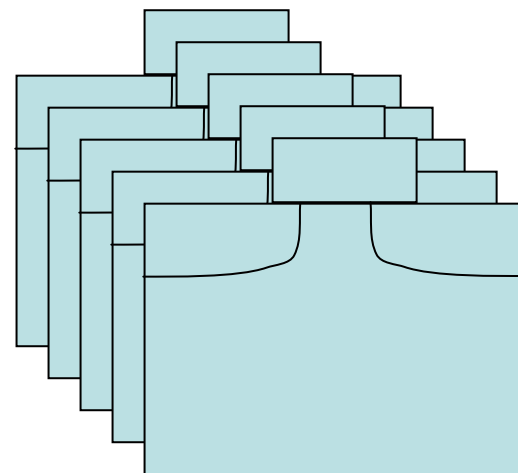


ロジック回路ではランダムばらつきは平均化 $1/\sqrt{n}$

Readマージン向上	Writeマージン向上
Load Tr. Ion	Load Ion
Access Tr. Ion	Access Ion

従来の LER シミュレーション

2D スライス計算



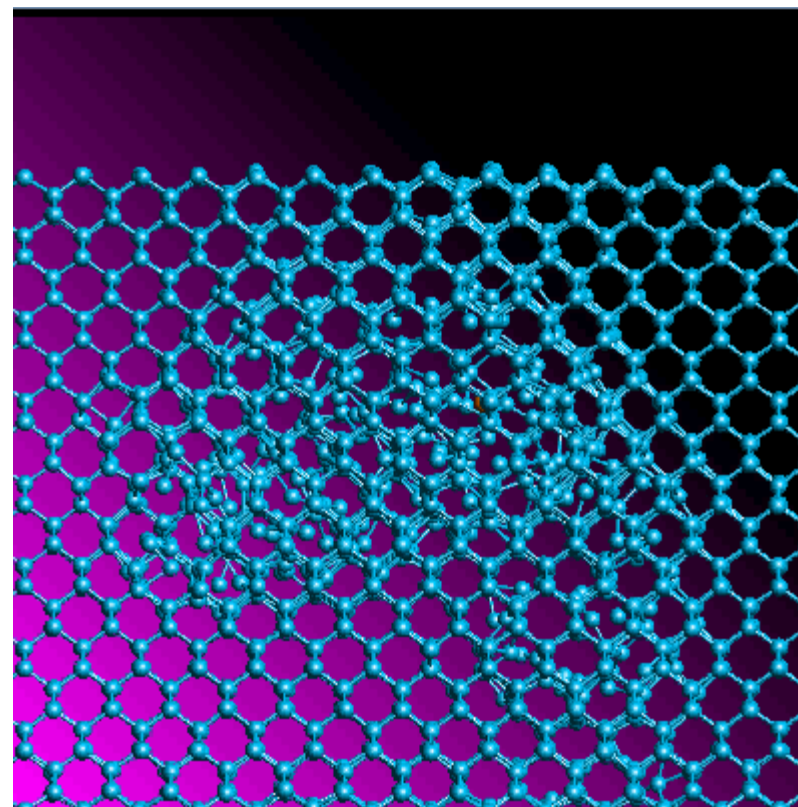
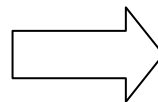
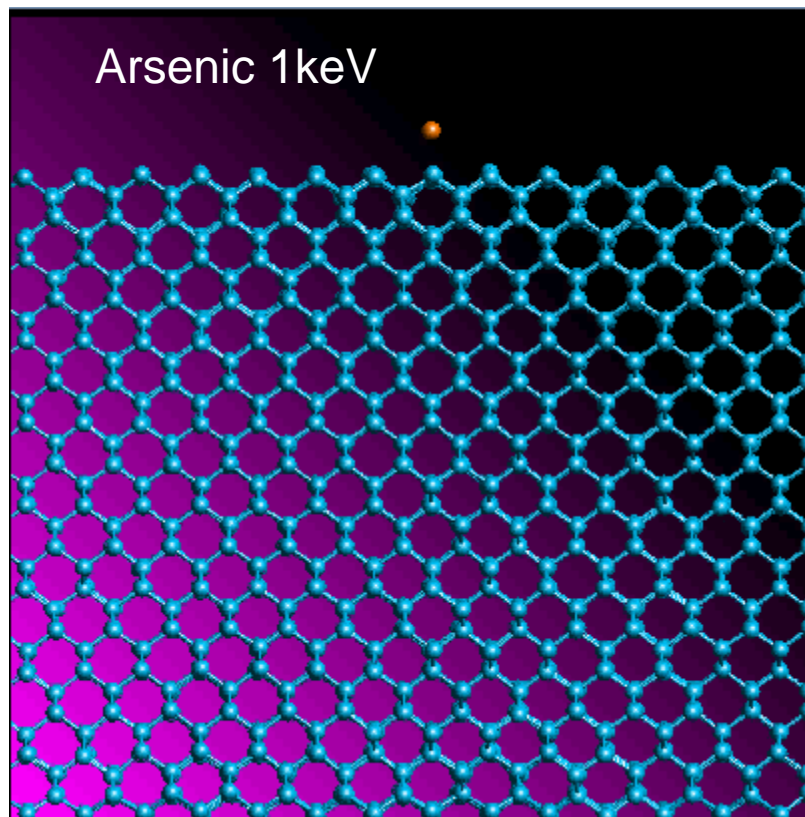
- 要検討 {
- 3次元効果
 - 不純物分布とLERの相関

今回の手法

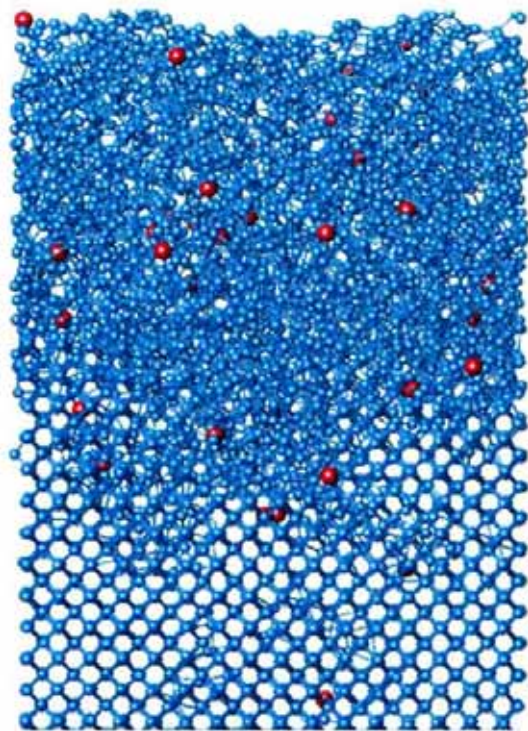
- 原子レベル3Dプロセスシミュレーション
モンテカルロイオン注入・拡散 / 活性化モデリング
- “Atomistic” 3Dデバイスシミュレーション
ドリフト拡散モデル + 個々の不純物原子電荷密度分布
- 実測 (SEM) ベースのLERモデル
Auto-correlation functionとフーリエ変換
- 実際の製造プロセス条件依存性解析
SD/Halo注入, アニール条件等の影響

原子レベルプロセスシミュレーション

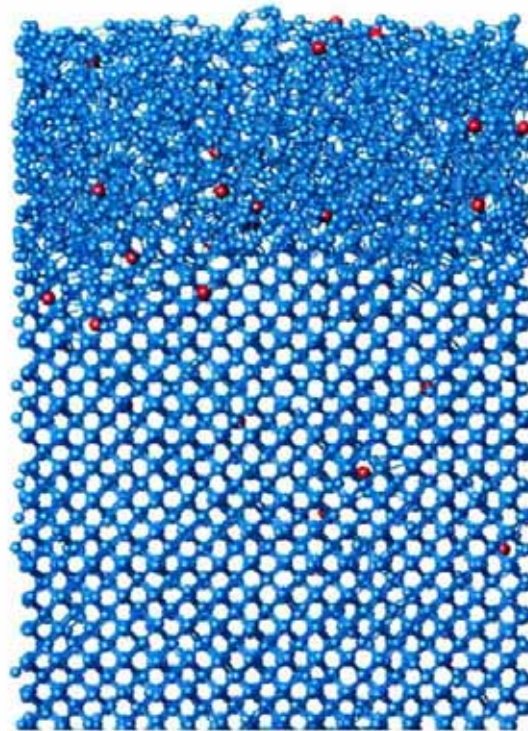
- MD/MC イオン注入シミュレーション
- MC不純物拡散 / 活性化シミュレーション



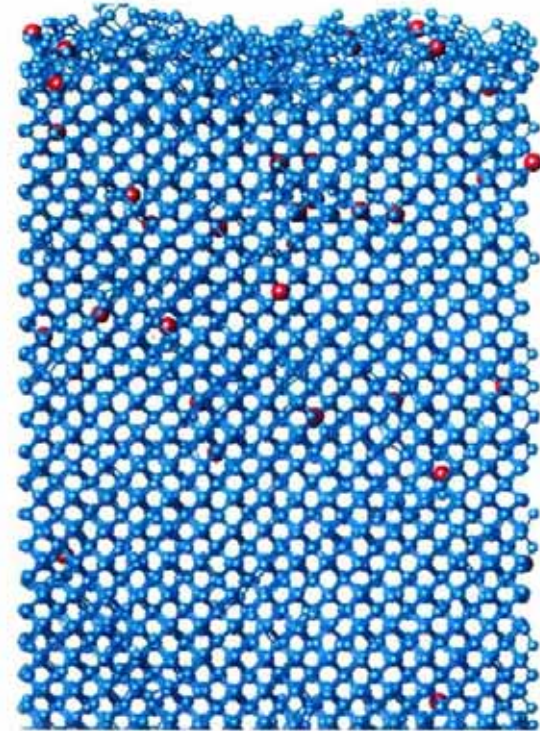
再結晶化のシミュレーション (Tersoff-MD)



(a) After implantation

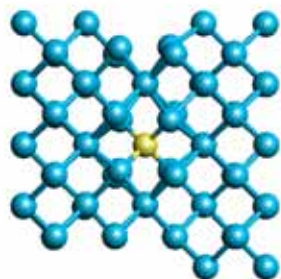
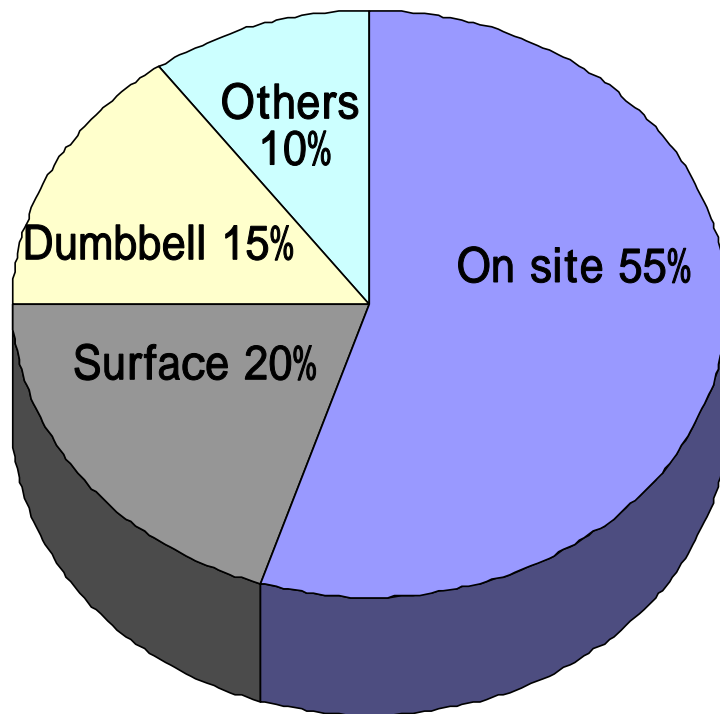


(b) 0.5 nsec

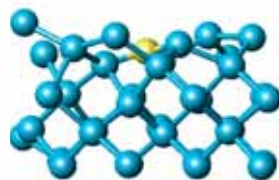


(c) 1.5 nsec

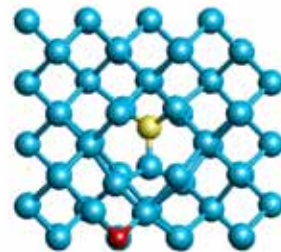
再結晶化直後のボロンの状態



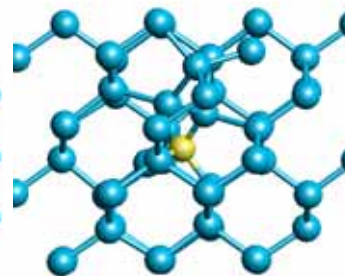
Site



Surface



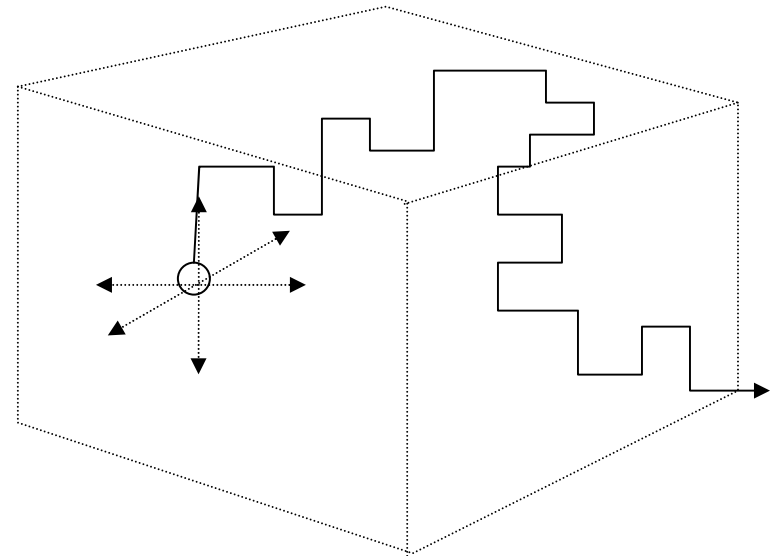
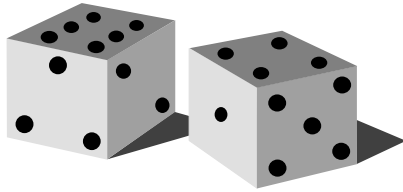
Dumbbell



others

モンテカルロ不純物拡散シミュレーション

- ランダムウォーク計算



$$D = \frac{L^2}{6\tau}$$

D: 拡散係数 (given)

L: ホッピング長

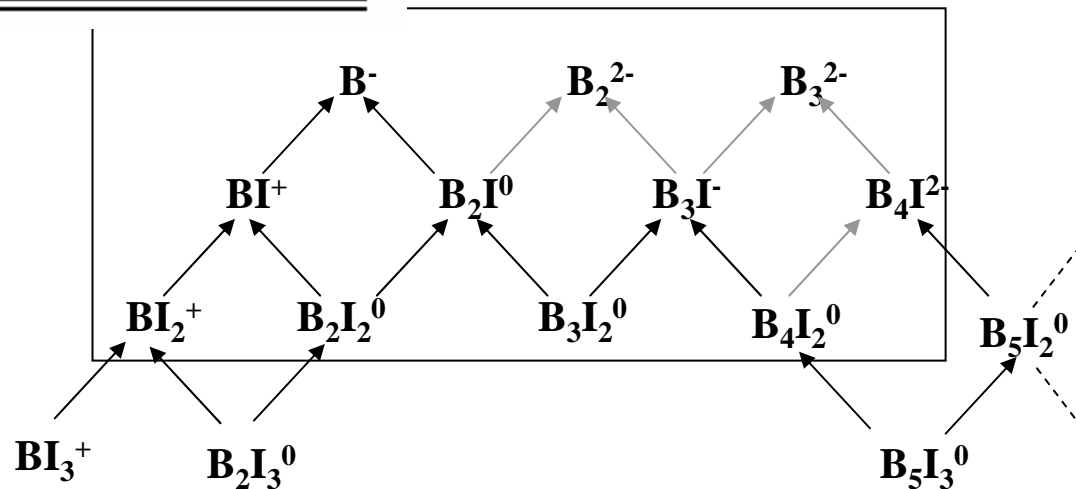
τ : ホッピング時間

Boron + Interstitial Si : $B_m I_n$ 複合体

Q	+1	0	-1	-2	-3
B			0		
B_2		1.38	0.96	0.93	
B_3		1.54	1.03	0.89	1.14
BI	-1.02	-0.79			
B_2I	-1.43	-2.12	-1.60		
B_3I	-1.95	-2.72	-3.09		
B_4I	-1.00	-1.85	-2.32	-2.40	
BI_2	-2.35	-2.24	-1.89		
B_2I_2	-3.22	-3.24	-2.79		
B_3I_2	-3.87	-4.41	-3.57		
B_4I_2	-4.20	-4.80	-4.73		

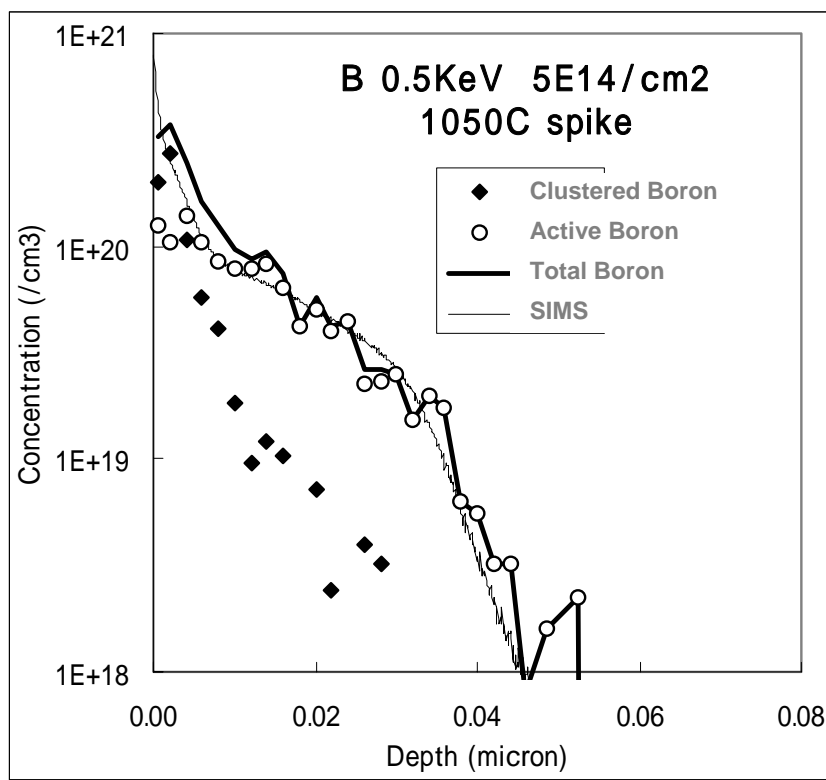
“*Ab initio* energetics of $B_m I_n$ ” :
 T.J. Lenonsky, et al.,
 APL 77(12), 2000

最安定形態は
荷電状態に依存

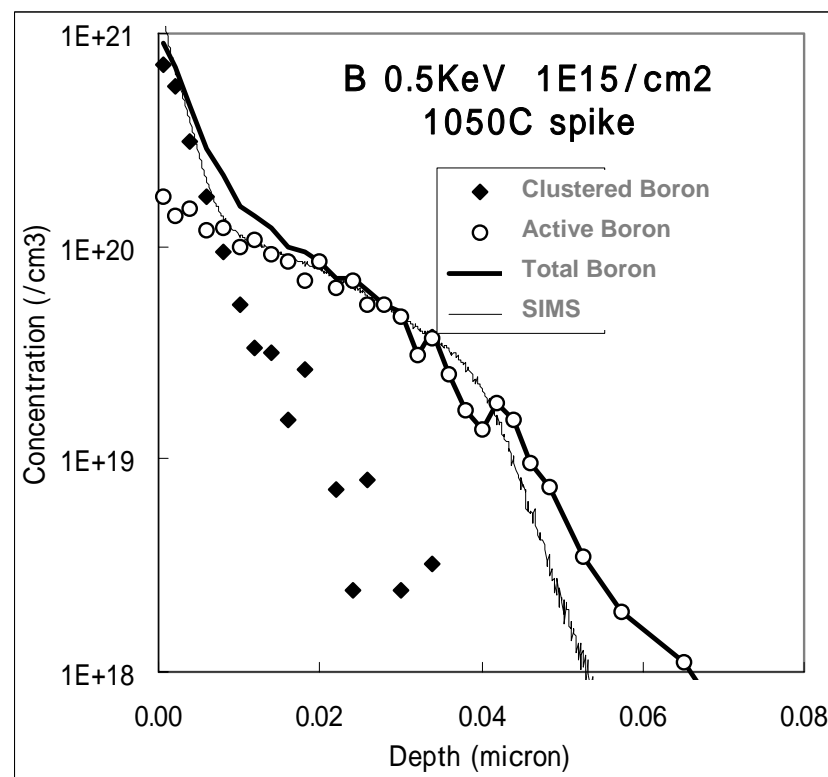


スパイクアニールシミュレーション結果(1)

1050°C spike anneal ドーズ量依存性



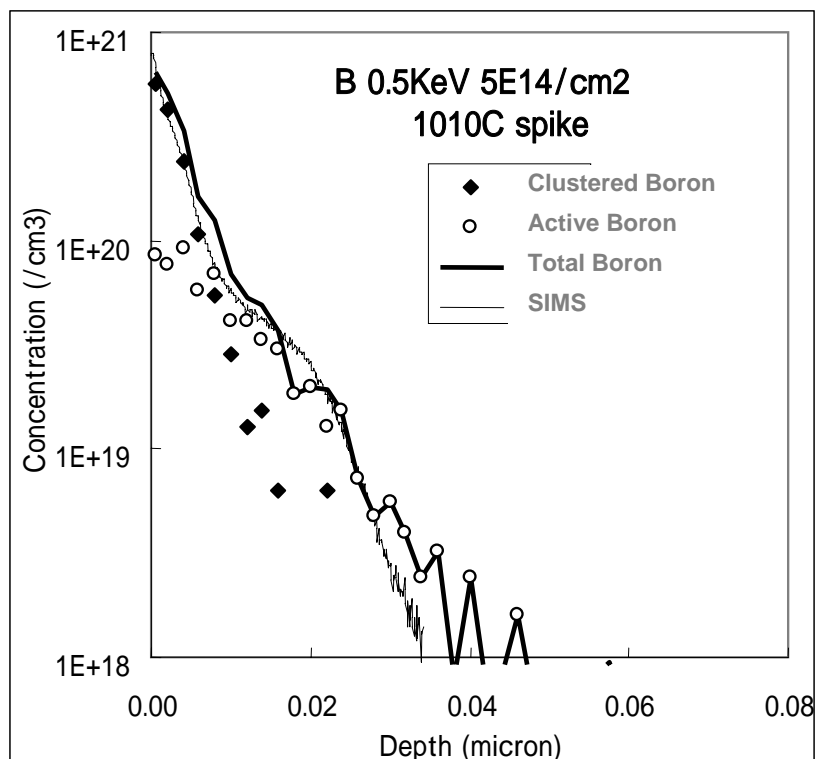
Dose : $5 \times 10^{14} \text{cm}^{-2}$



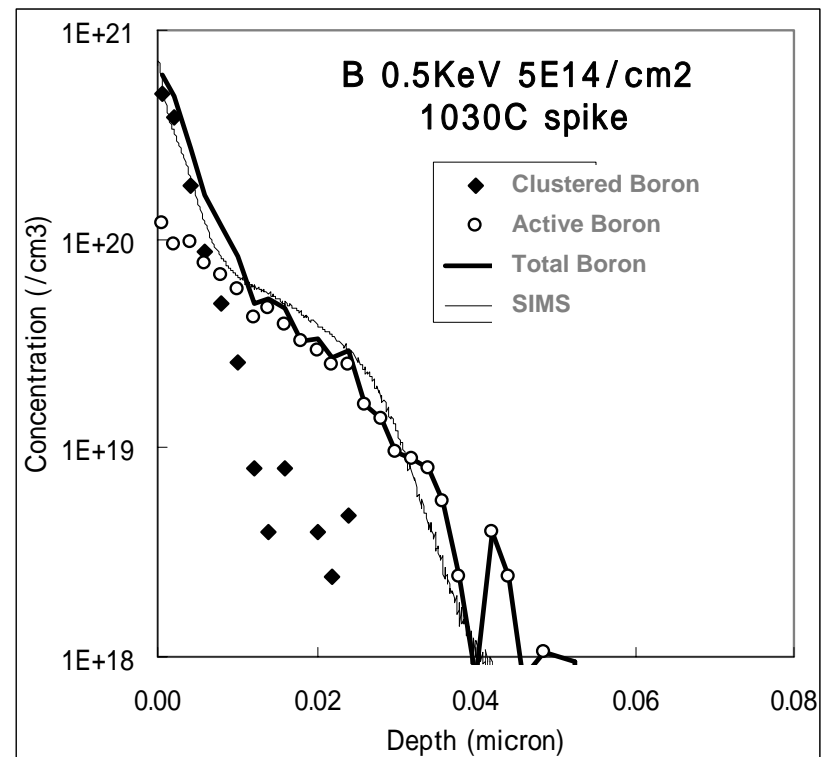
$1 \times 10^{15} \text{cm}^{-2}$

スパイクアニールシミュレーション結果(2)

温度依存性

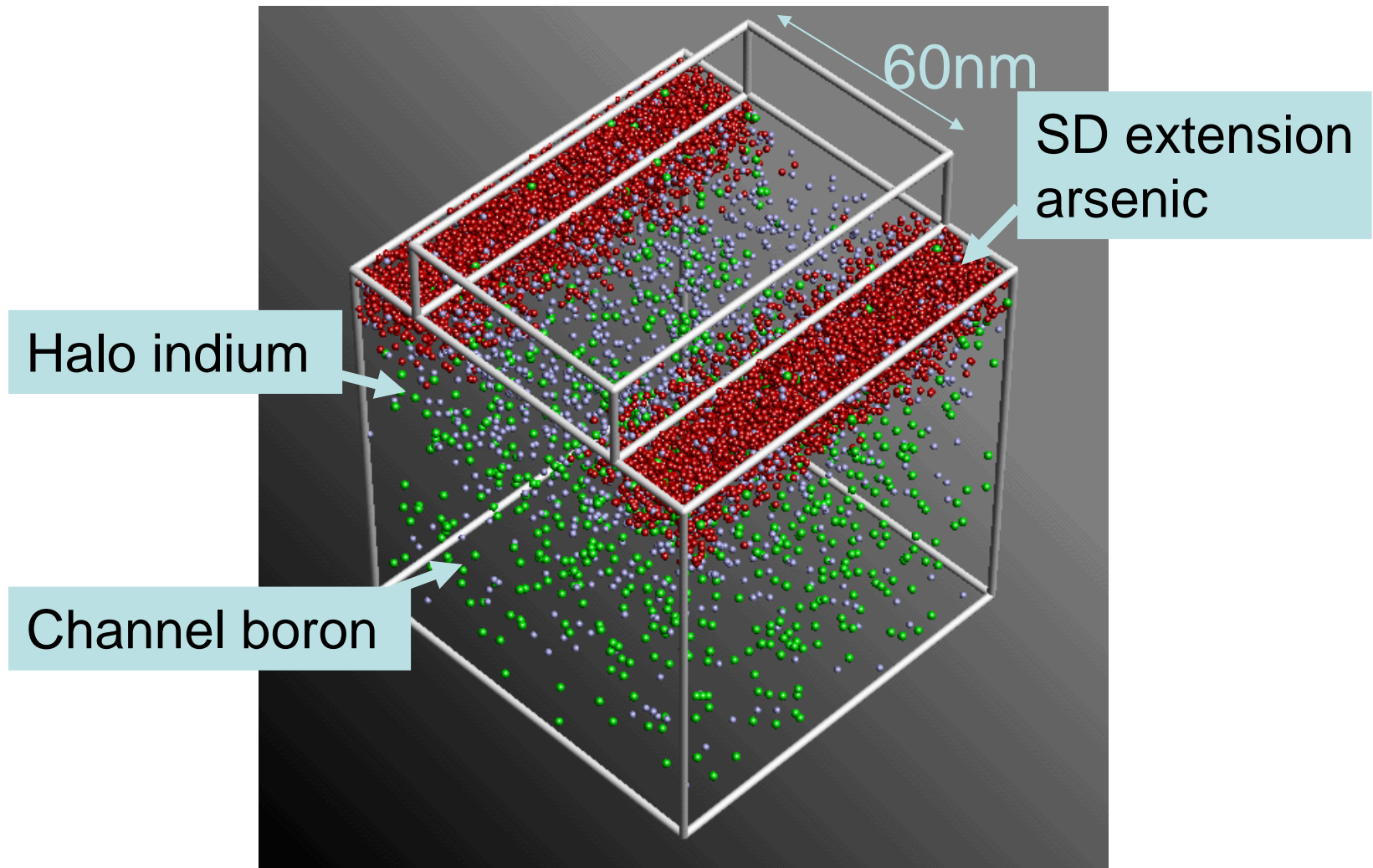


1010°C spike anneal

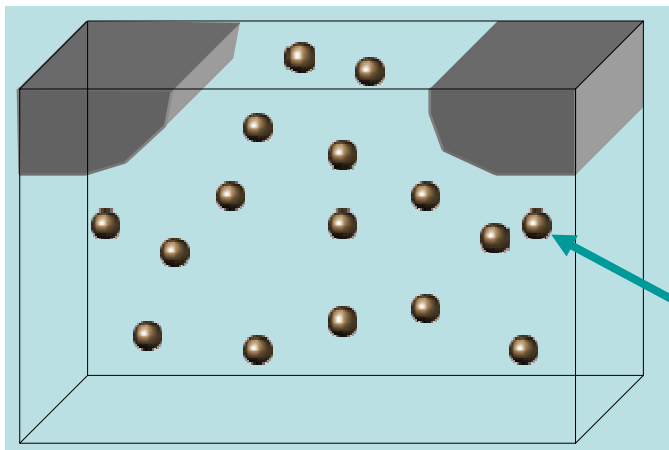


1030°C spike anneal

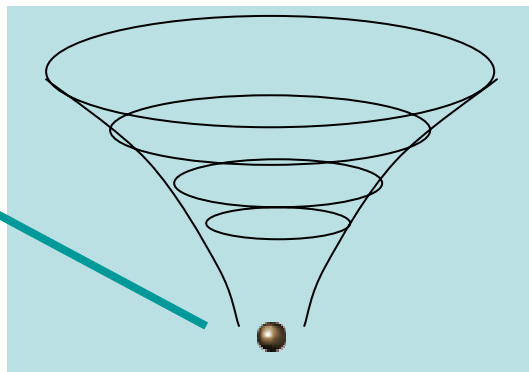
MOSFET内不純物分布計算例



“Atomistic” 3次元デバイスシミュレーション



個々の不純物原子位置にクーロンポテンシャルの長距離成分を適用



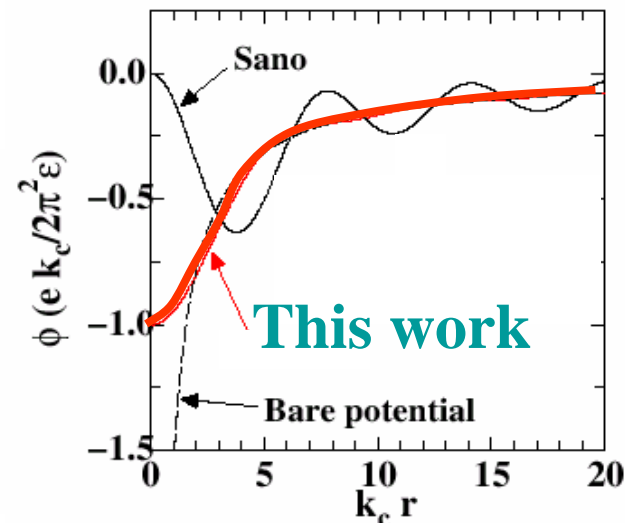
(Sano, IEDM2000)
(Ezaki, IEDM2002)

- 特異性を回避
- 長距離成分の切り分けは電子移動度のMD / MC計算による

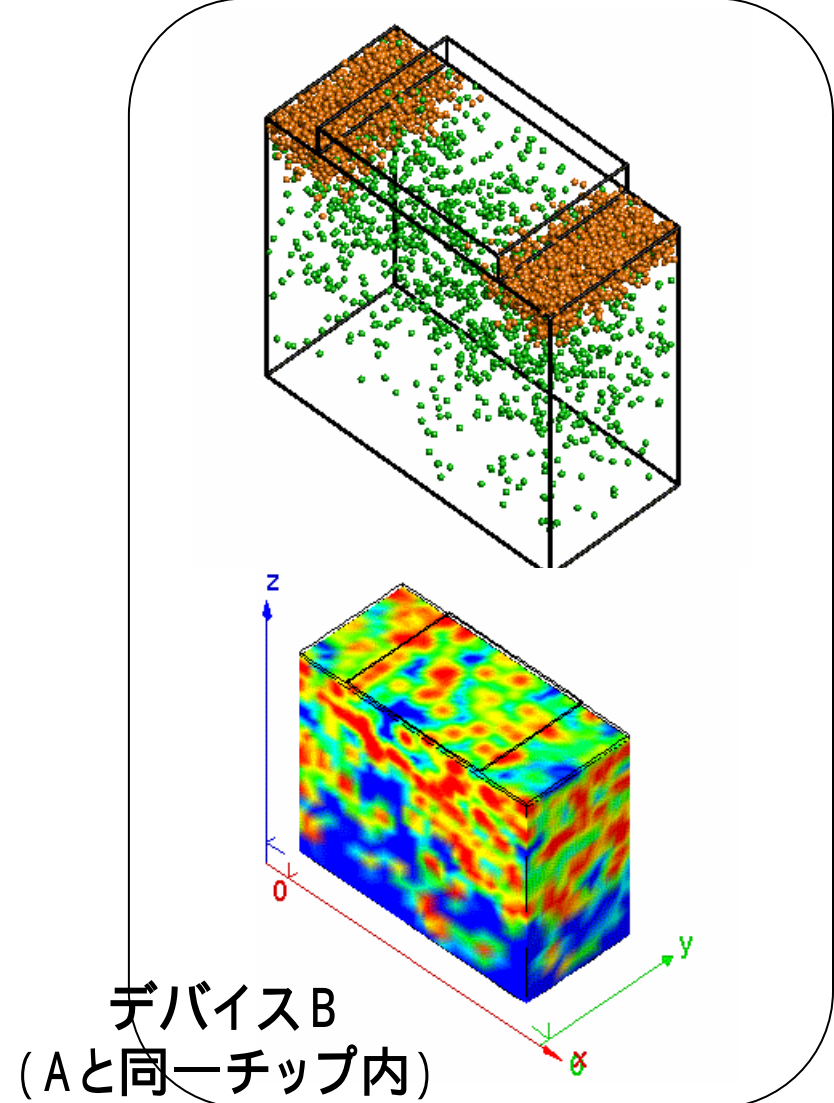
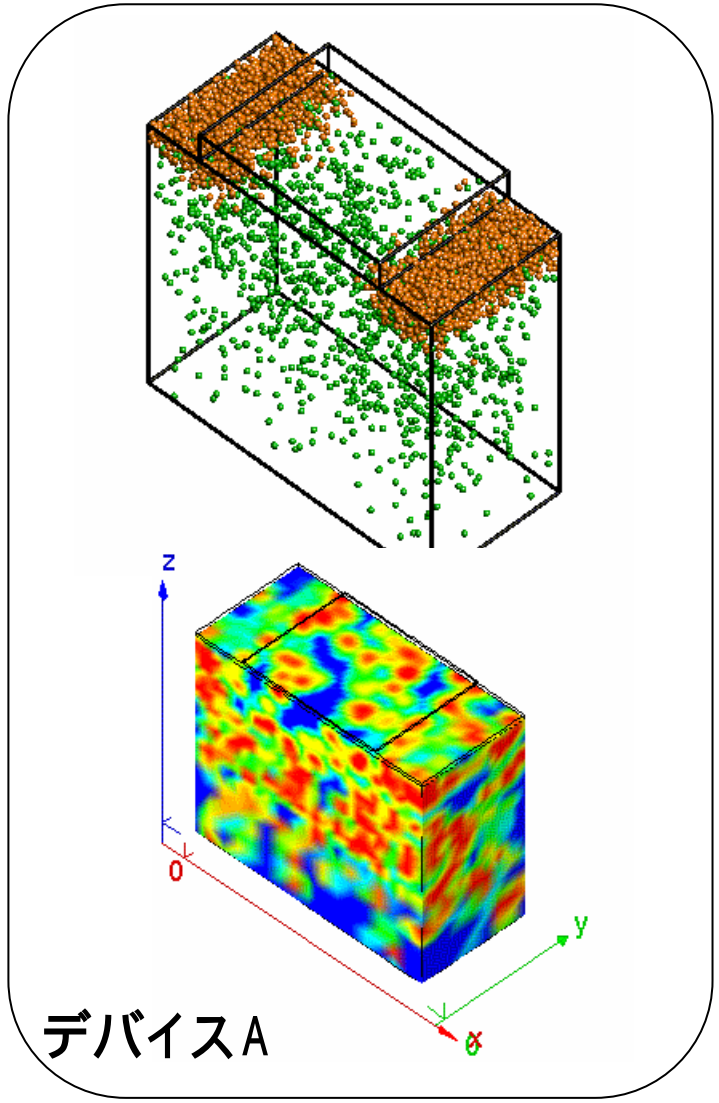
This work

$$\rho(r) = \frac{ek_c^3 \sin(k_c r)}{2\pi^2 (k_c r)^3}$$

$$\phi(r) = -\frac{ek_c}{2\pi^2 \epsilon} \frac{\text{Si}(k_c r)}{k_c r}$$

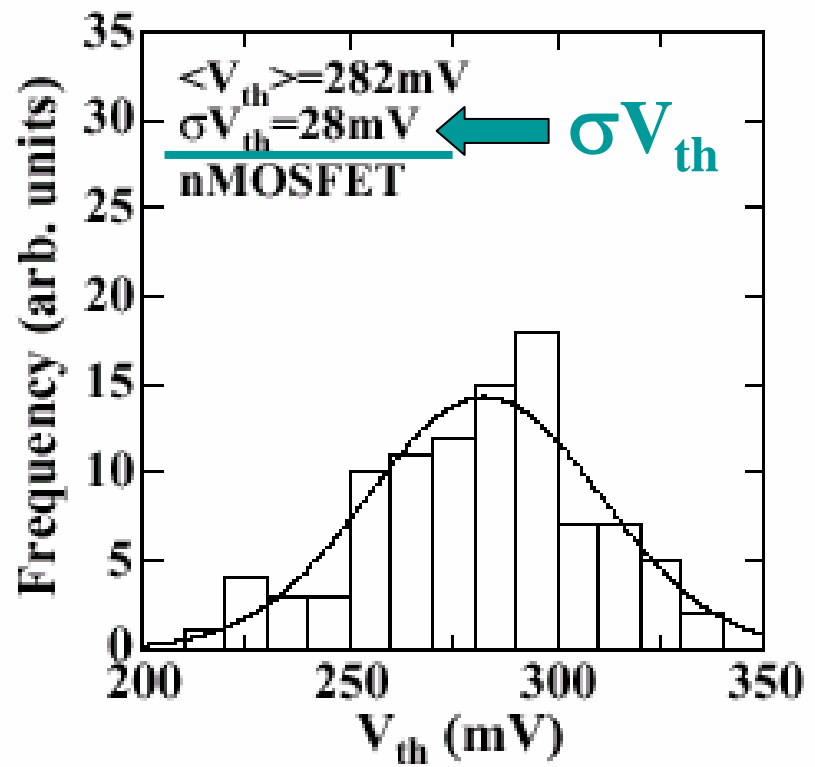
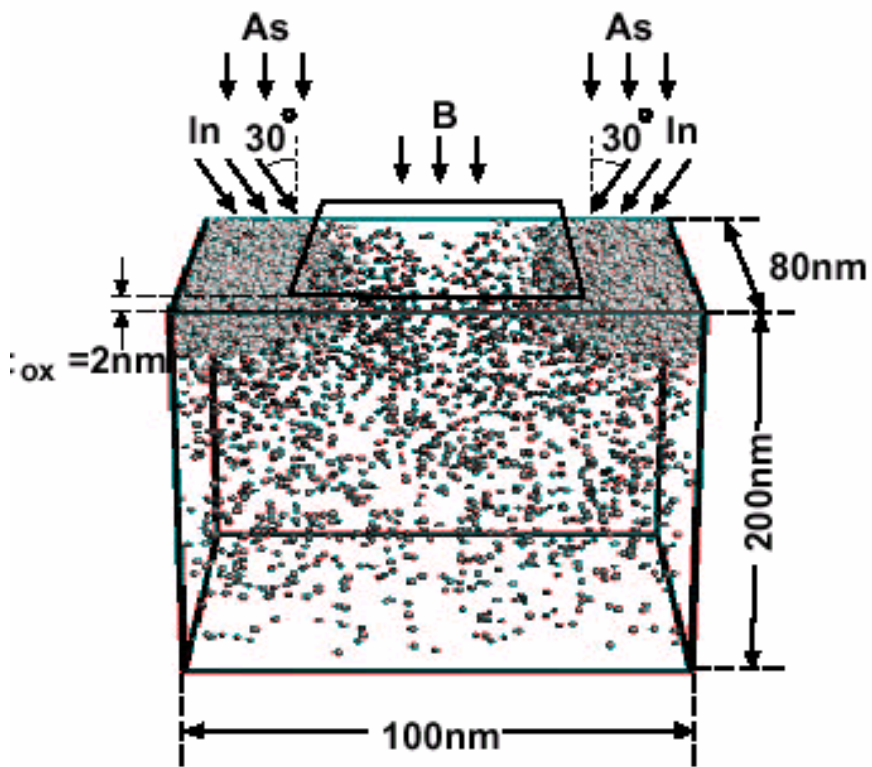


同一製造条件(条件変動無し)で多数回の試行: ランダムばらつきシミュレーション



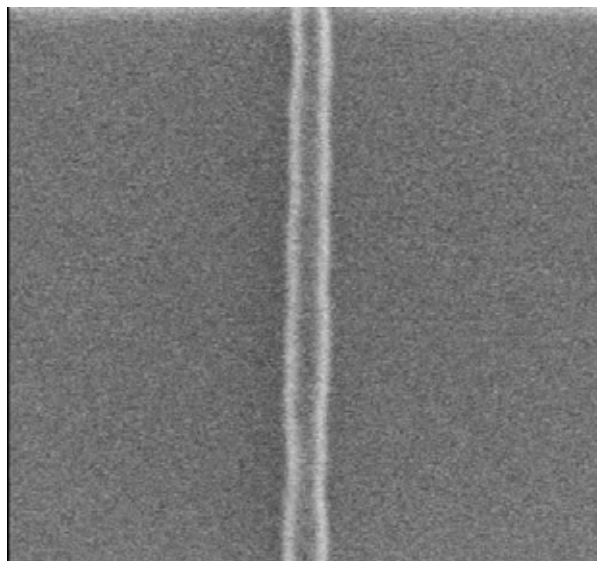
“真性ばらつき”の予測シミュレーション

離散的な不純物分布(配置、数のゆらぎ)の影響



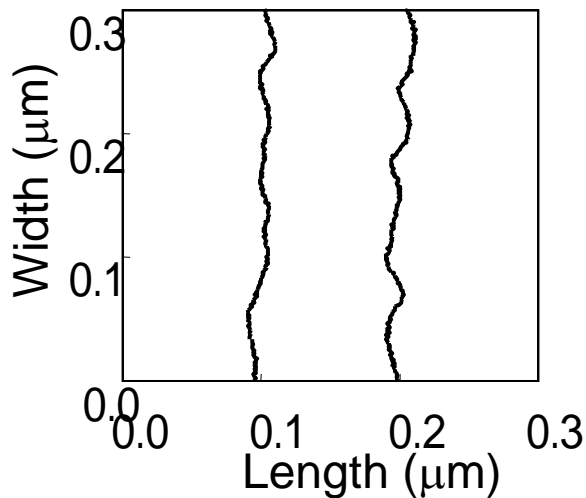
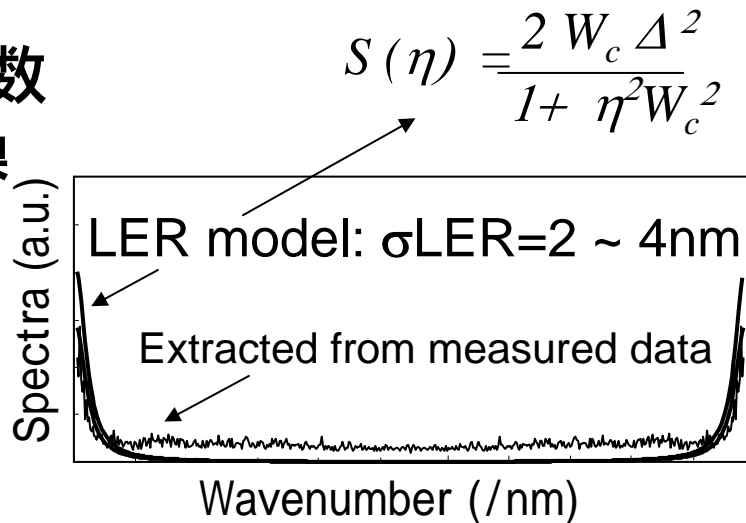
統計的に異なる100deviceを計算した結果: しきい値電圧の分布

LERモデリング



ゲートポリシリコン
上面SEM写真

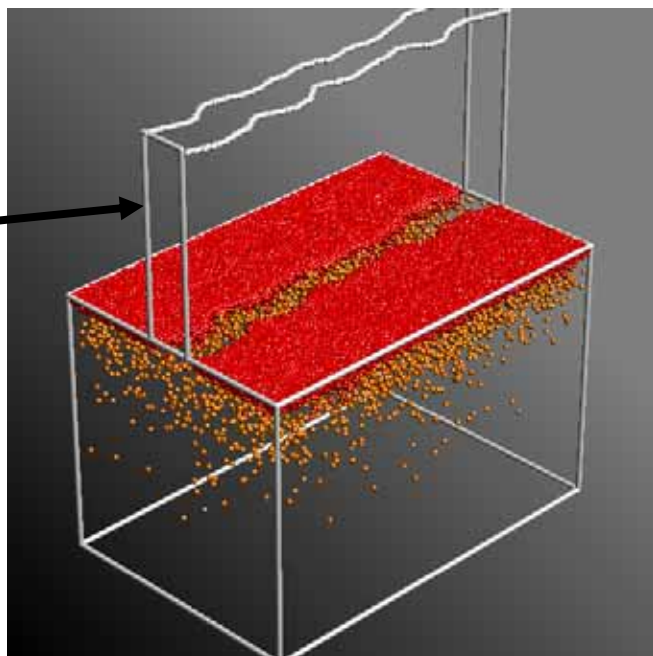
自己相関関数
フーリエ変換



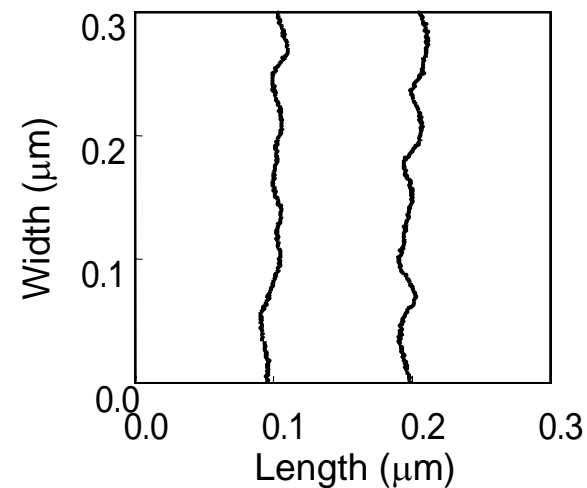
一様乱数で位相をラン
ダム化し逆フーリエ変換

LERポリシリコン形状 + MCイオン注入シミュレーション

ゲートポリSi電極
= イオン注入マスク

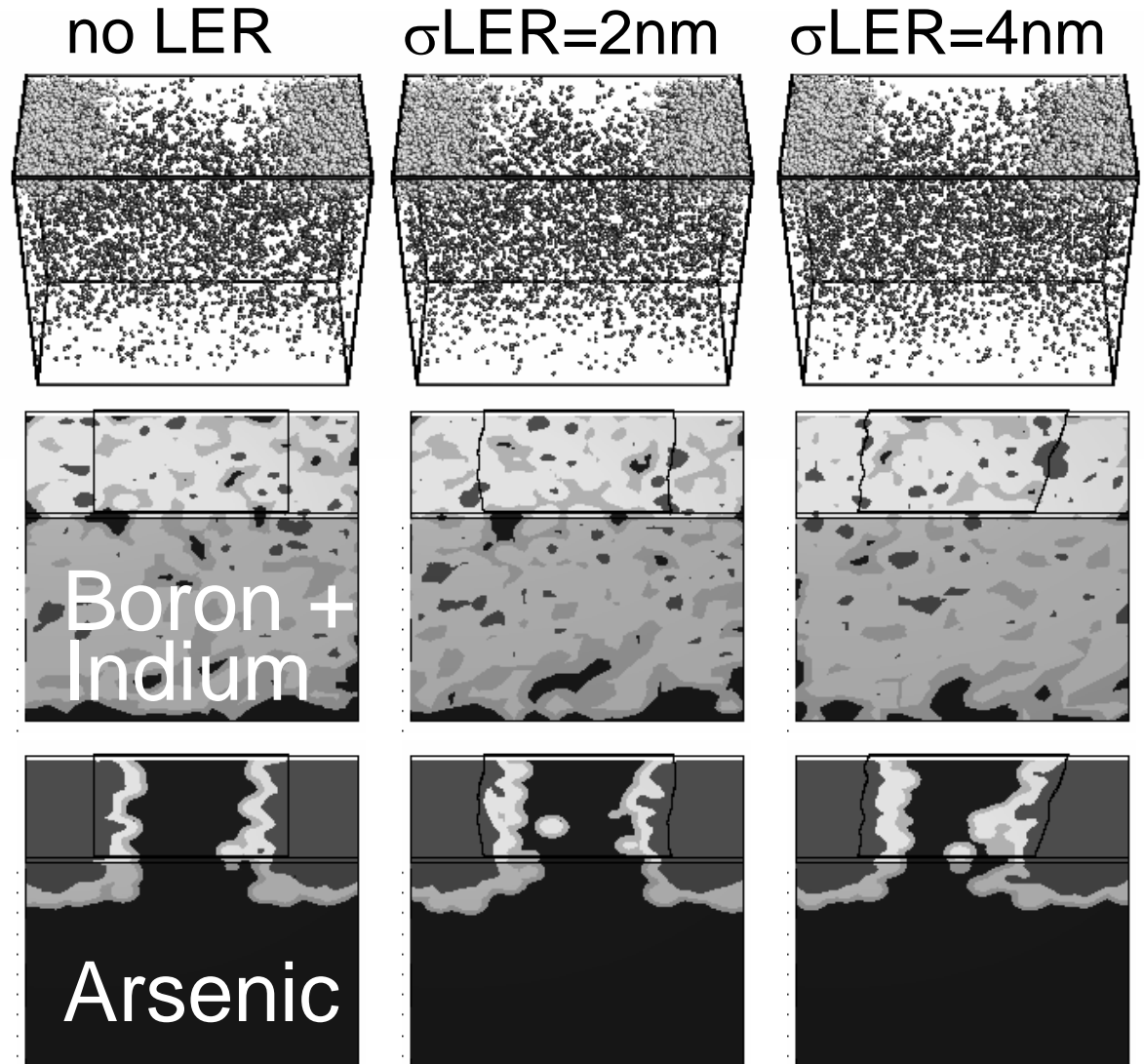
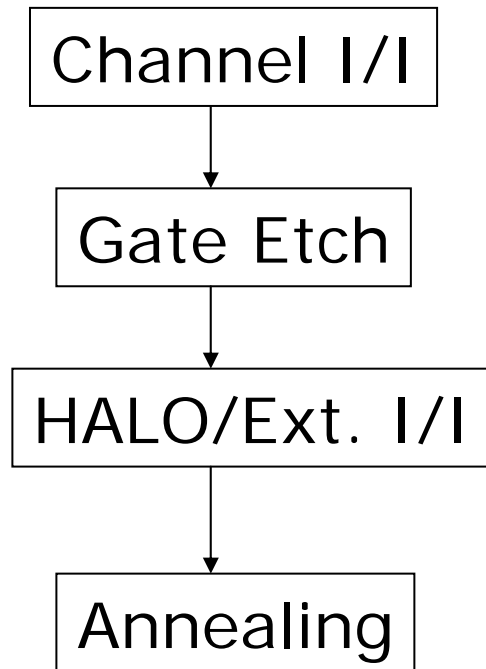


計算機上で発生させた
LERパターン

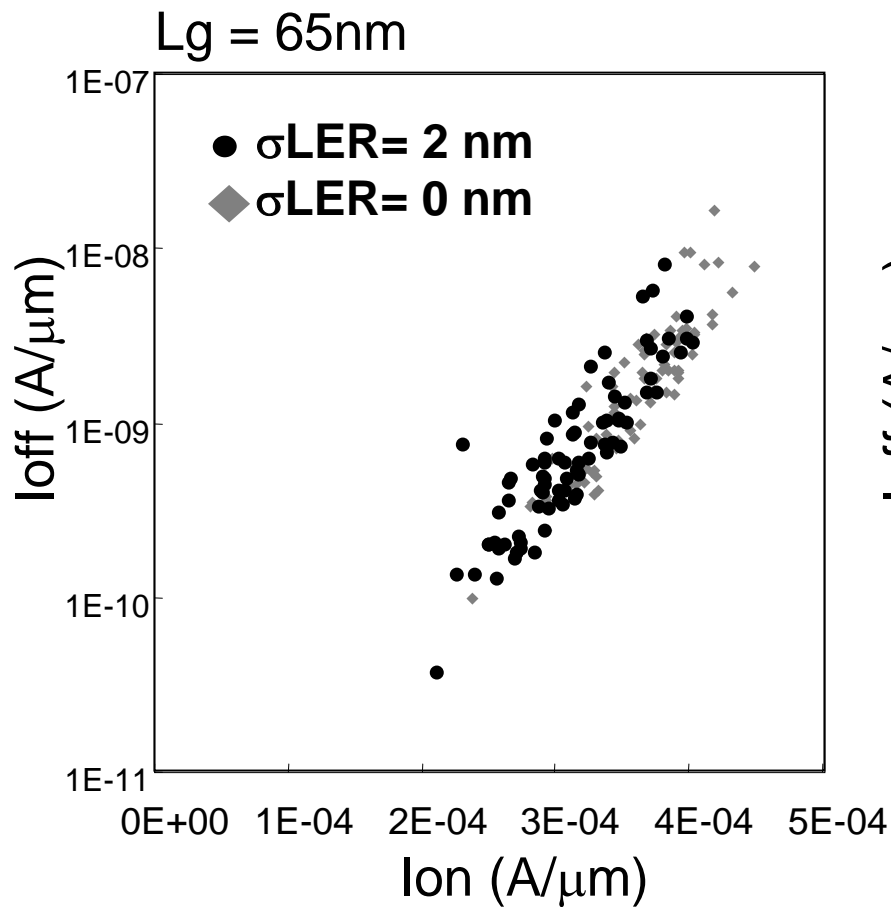


アニール後の不純物(離散的)分布

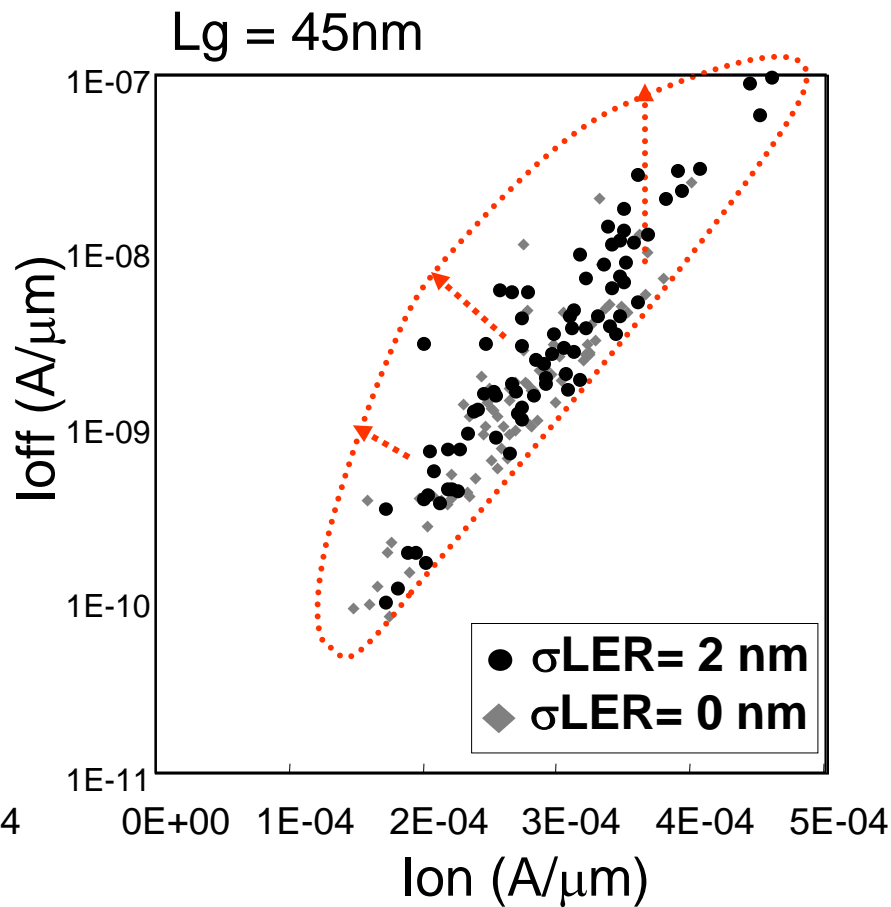
製造プロセス例



ばらつきシミュレーション結果(Ion vs. Ioff)

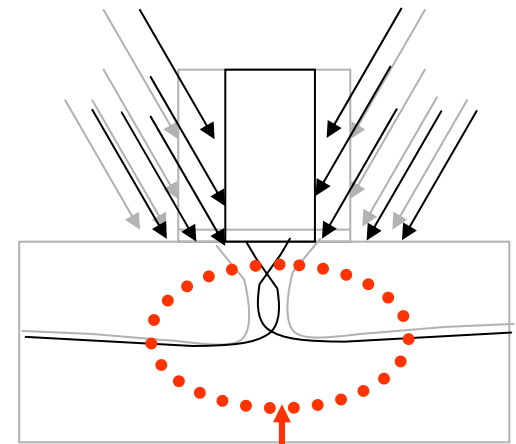
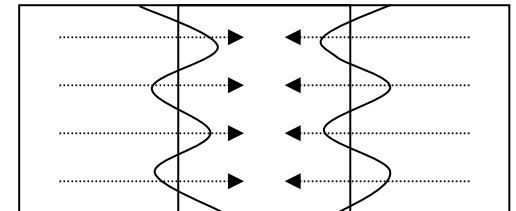
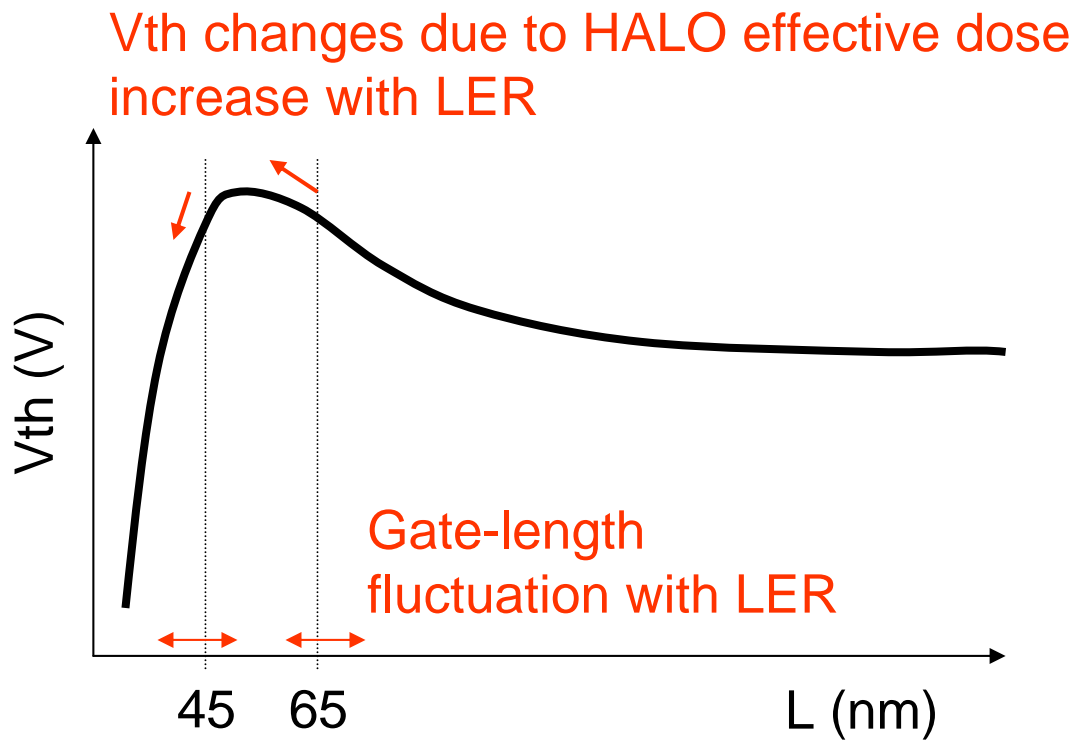


This fluctuation caused by mostly random-discrete dopant atoms.



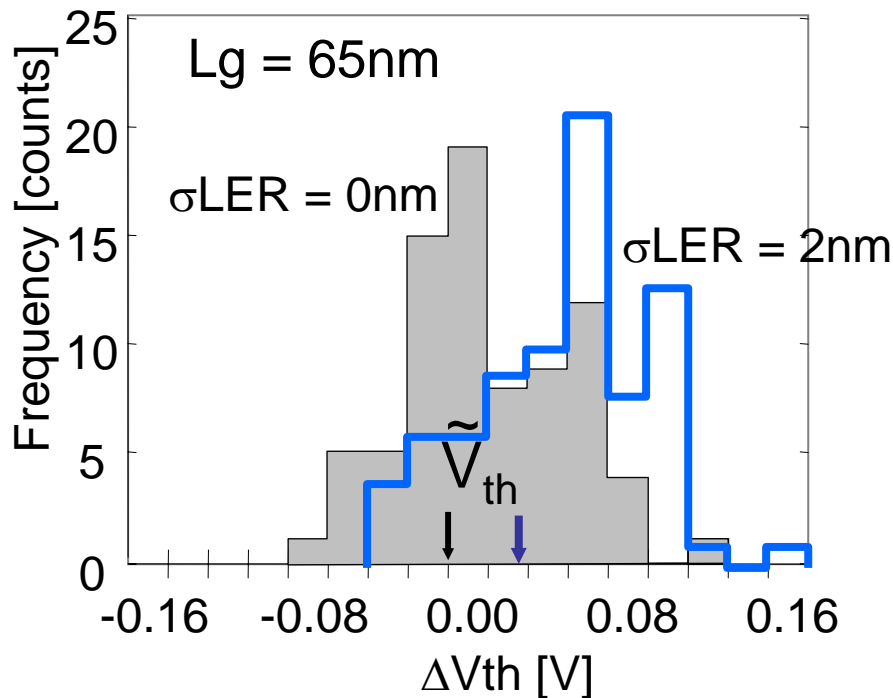
LER enlarges Ioff

LERの不純物分布 (Halo含む) への影響

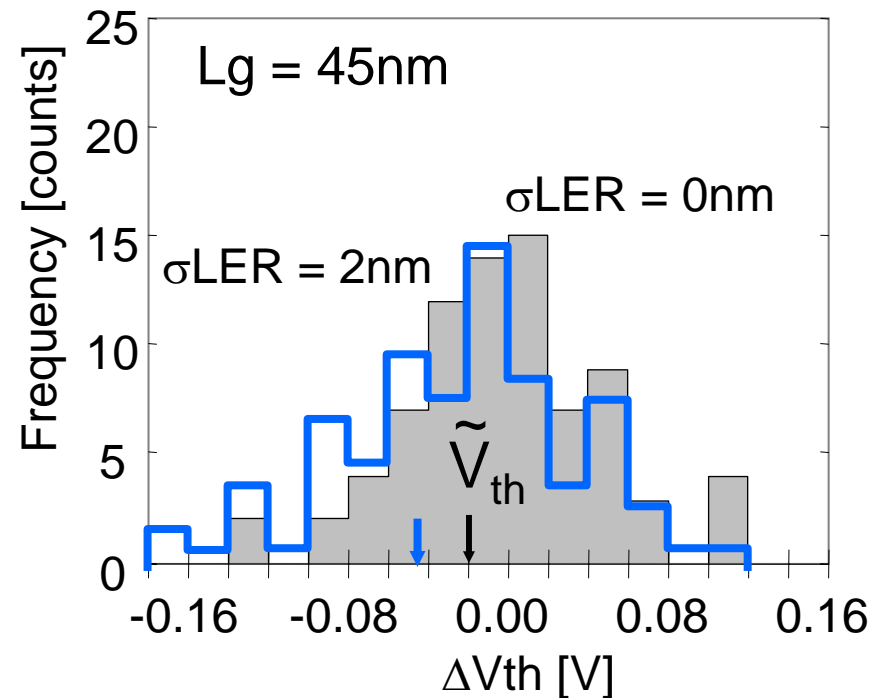


HALO effective dose increase with LER

LERの不純物分布 (Halo含む) への影響

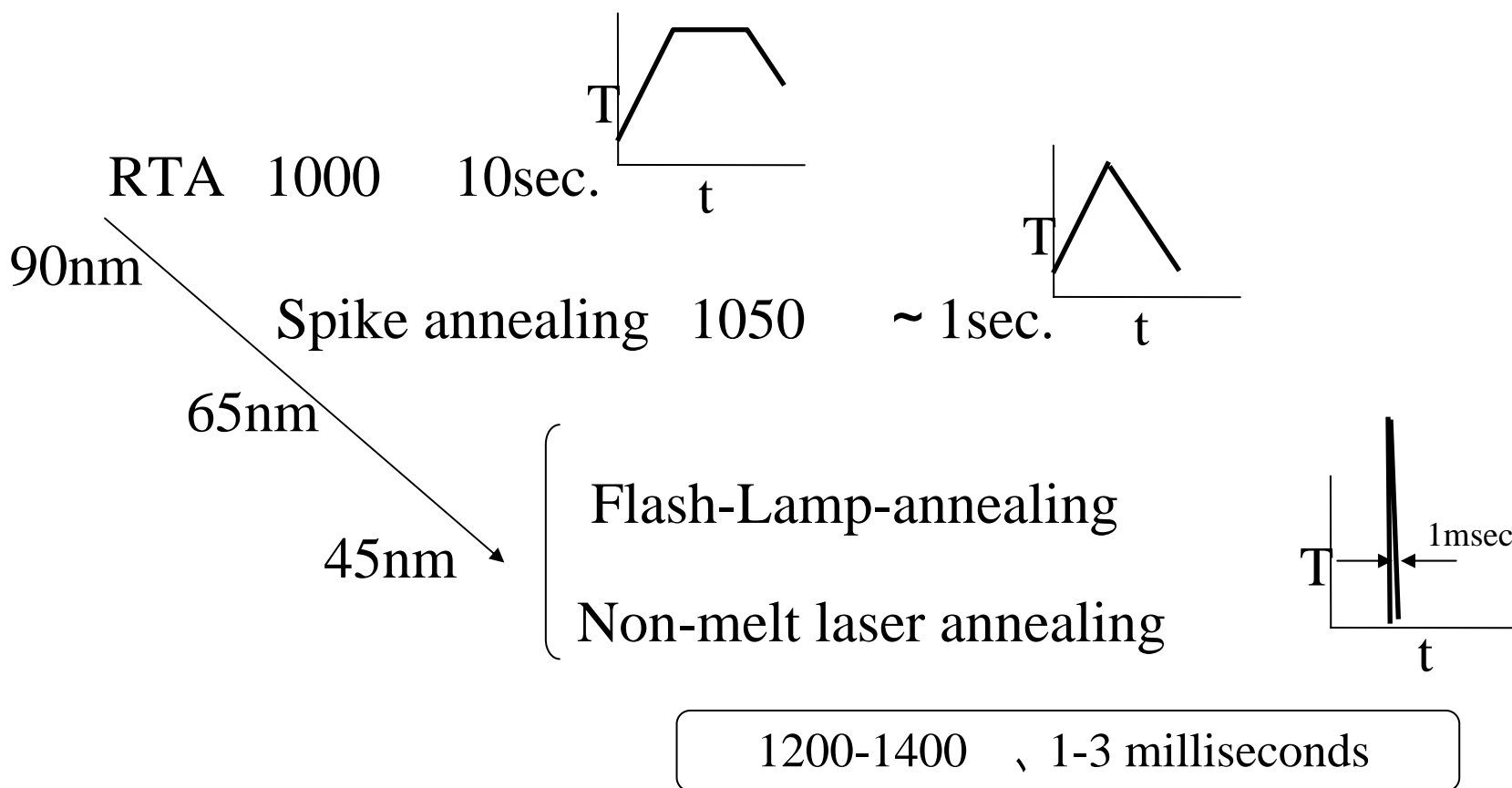


\tilde{V}_{th} positive shift with LER



\tilde{V}_{th} negative shift with LER

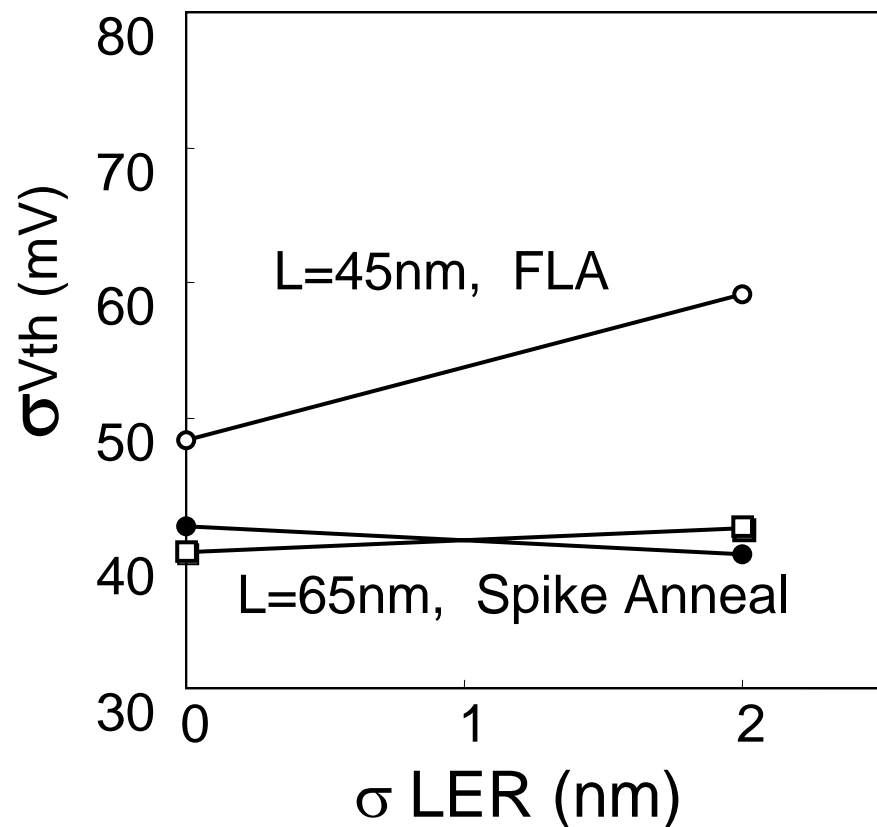
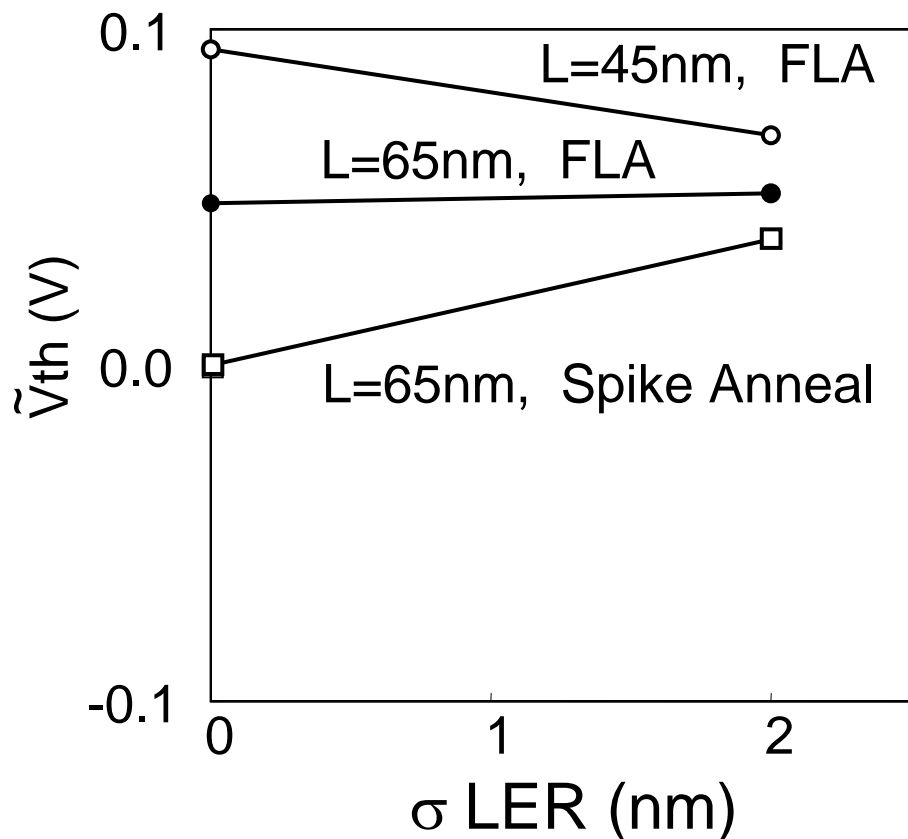
浅接合形成アニール方法の変遷



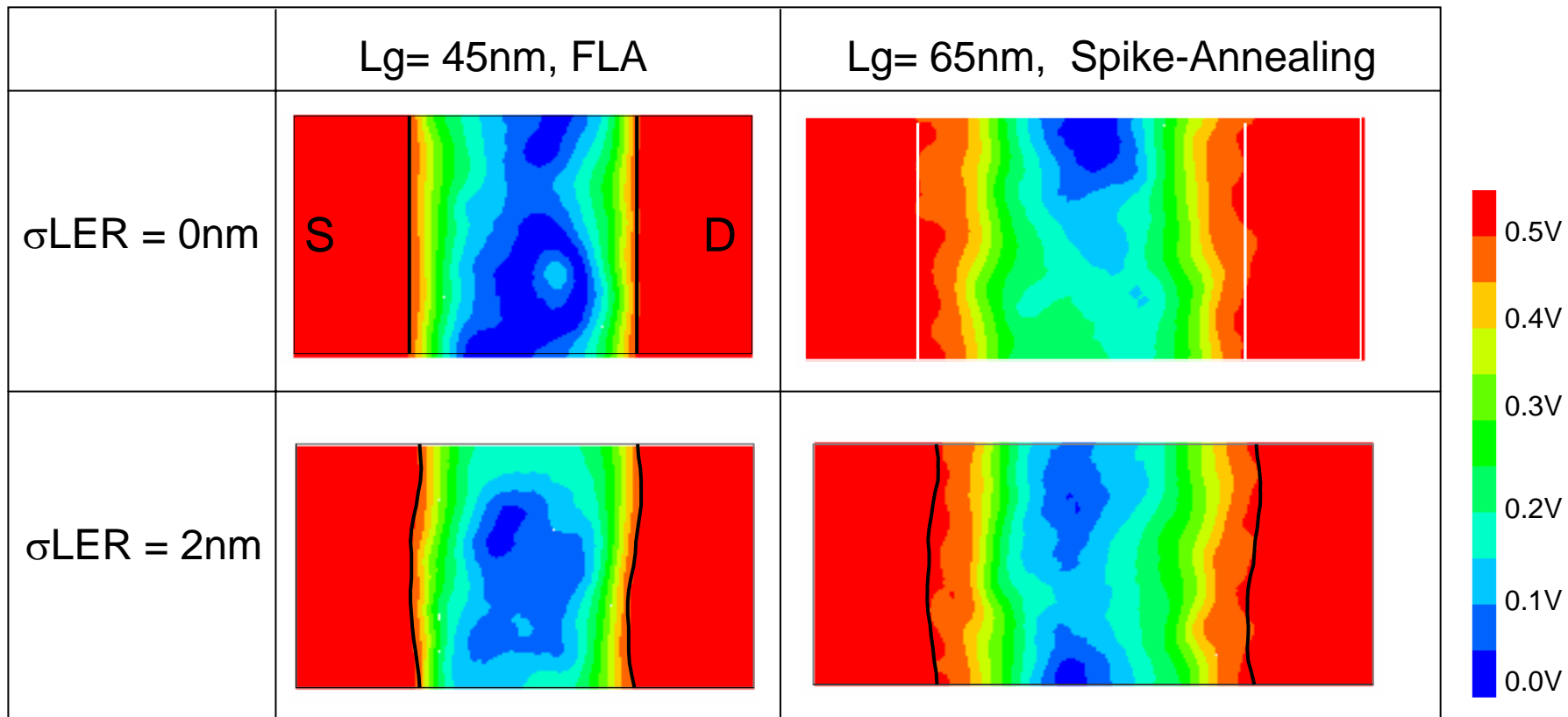
LERとアニール条件

FLA : Flash-Lamp-Annealing

(assuming 1200°C, 3ms ramp-up/down)



LERとアニール条件



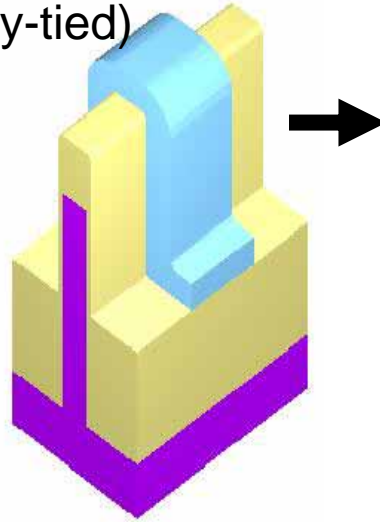
SD-edge aligns LER in
diffusion-less annealing case

Diffusion disturbs LER correlation

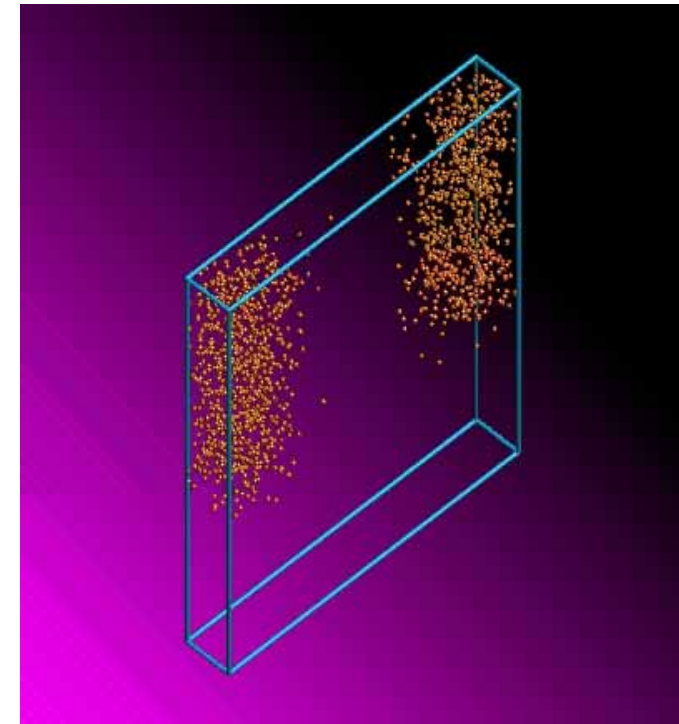
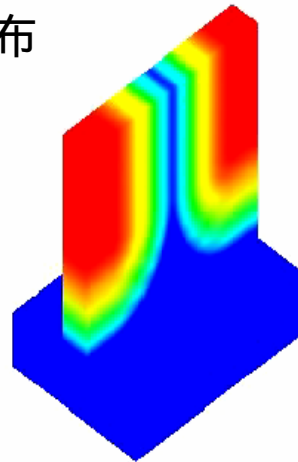
低スタンバイ電力(LSTP) FinFETシミュレーション

(Tanaka et al. IEDM2005)

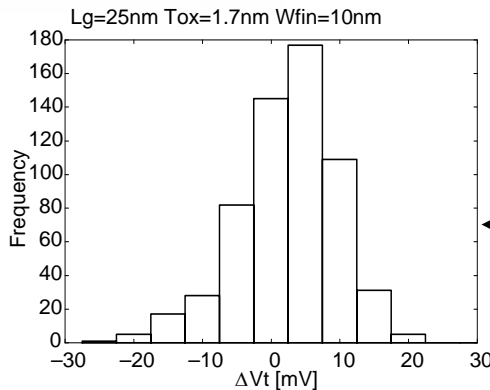
FinFET構造
(body-tied)



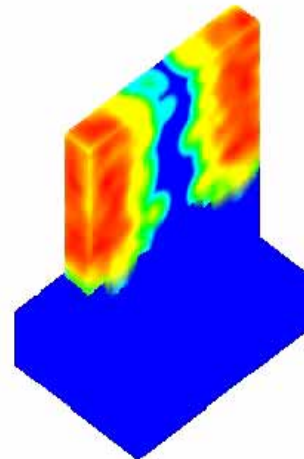
解析的関数で表現された
不純物分布



Fin領域のS/D不純物原子配置例



ばらつき解析
(V_t)=7mV (影響小)



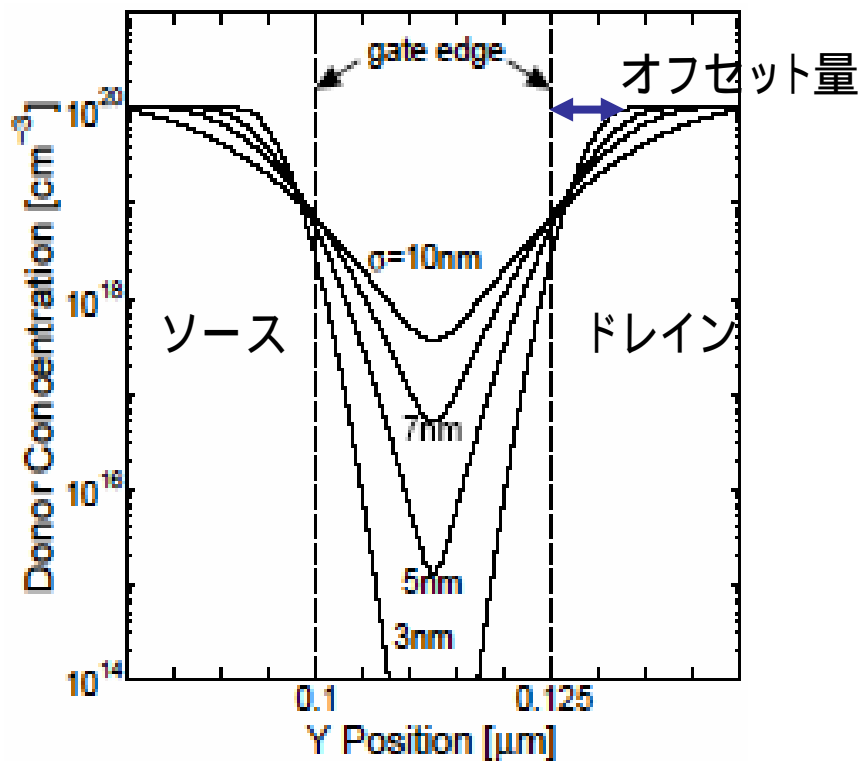
離散的な原子配置を考慮した不純物分布

32nm世代対応 低スタンバイ電力(LSTP) FinFETシミュレーション

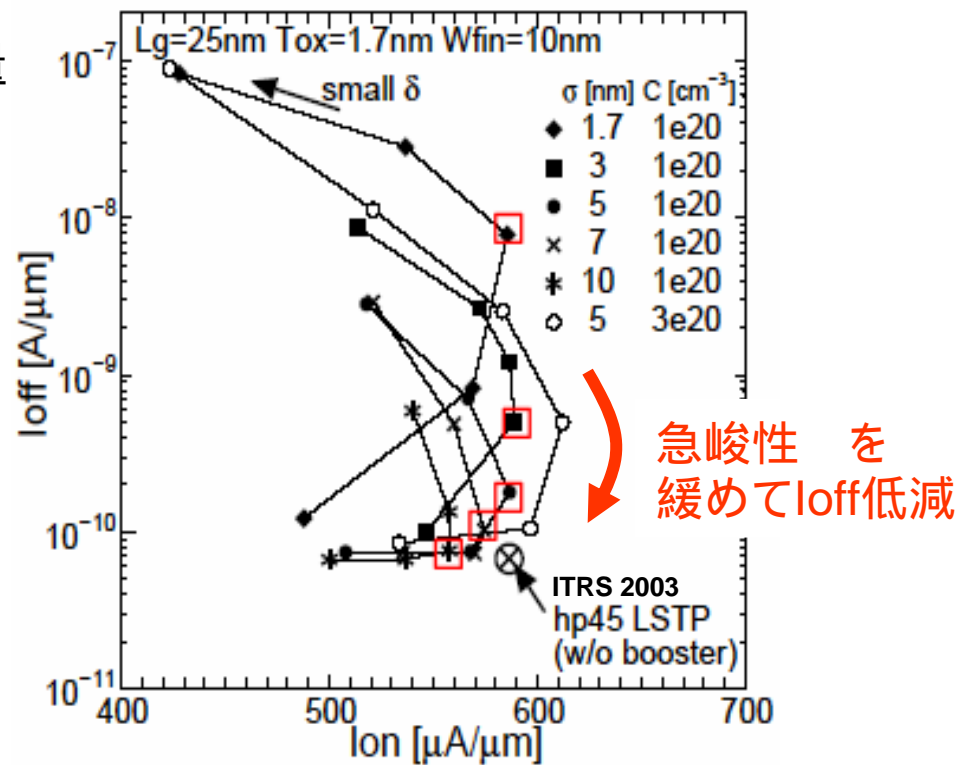
(Tanaka et al. IEDM2005)

薄膜Fin構造で短チャネル効果を抑制

不純物分布の急峻性 () に対する自由度確保 オフ電流 (I_{off}) を減少させ、
十分な I_{on} を確保できる見込み



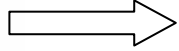
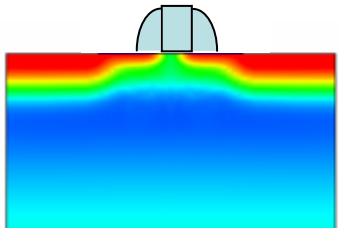
SD不純物分布 (graded junction)



I_{on} - I_{off} 特性

ばらつきへの対応策

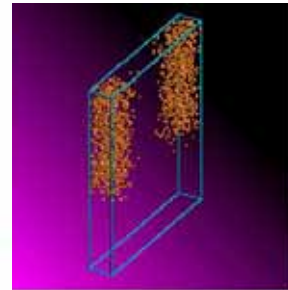
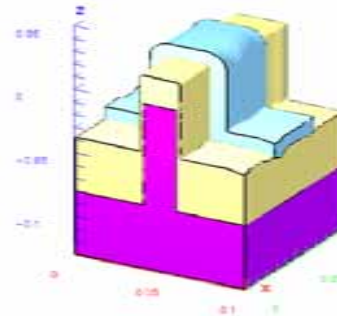
(1) プロセスデバイス



メタルゲート(しきい値調整) + ノドープチャネル化



短チャネル効果懸念
ダブルゲート構造(FinFETs)



(2) 回路設計

ばらつき考慮SPICEの開発と活用

適正なコーナー予測
歩留まり予測

(3) 回路技術

M.Nomura et.al, VLSI Symp Circ. '05

チップ毎(もしくはデバイス毎)に最適なVsubを印加してパワー低減(+ばらつき抑制)

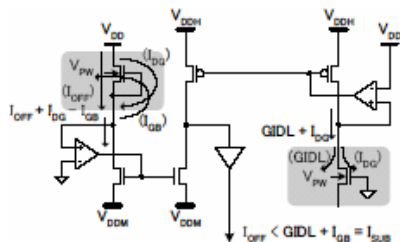
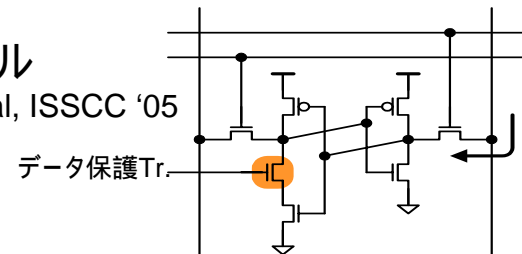


Fig. 7 I_{OFF}-I_{SUB} comparator circuit

7 Tr.セル
Takeda et.al, ISSCC '05



プロセス / デバイス、設計の相互翻訳インターフェース ばらつき許容設計に向けて

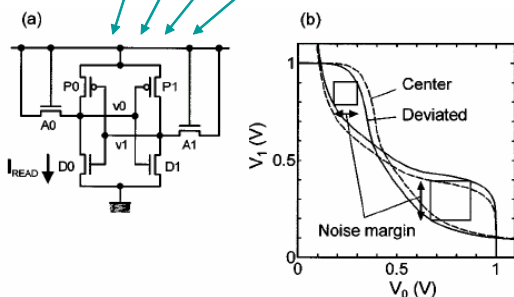
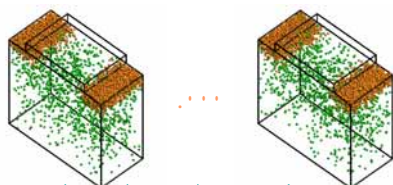
SPICEモデル・パラメータ

現状: SPICEパラメータがばらつきを含まない 統計的SPICEパラの開発と活用

現実的ばらつき特性の精密な

予測 (TCAD)

写し取り (SPICEパラ抽)



Compact MOSFET modelでの特性ばらつき表現

$$I_d = f(V_d, L, W, T_{ox}, V_{t0}, V_{off}, V_{sat}, \dots)$$

手法1) 各パラメータに適切にばらつきを与える
物理的妥当性希薄

手法2) 異なる実デバイス特性をそれぞれ抽出
抽出が手作業、個数限定

新手法 ばらつき実特性どおりに振舞うSpiceモデルを得る

統計SPICEとは

compact model parameters

$$I_{ds} = f(v_{ds}, v_{gs}, v_{bs}, l, w, tox, v_{th0}, u_0, v_{sat}, \dots)$$

$$\begin{pmatrix} \Delta l \\ \Delta v_{th0} \\ \Delta u_0 \end{pmatrix} = \begin{pmatrix} m_{11} & m_{12} & m_{13} \\ m_{21} & m_{22} & m_{23} \\ m_{31} & m_{32} & m_{33} \end{pmatrix} \begin{pmatrix} x_1 \\ x_2 \\ x_3 \end{pmatrix} = M \begin{pmatrix} x_1 \\ x_2 \\ x_3 \end{pmatrix}$$

statistical compact
model parameters

independent
random variables

これらをどうやって決めるかが問題。

統計SPICEパラメータの効率的抽出

(K. Takeuchi and M. Hane, SISPAD 2005)

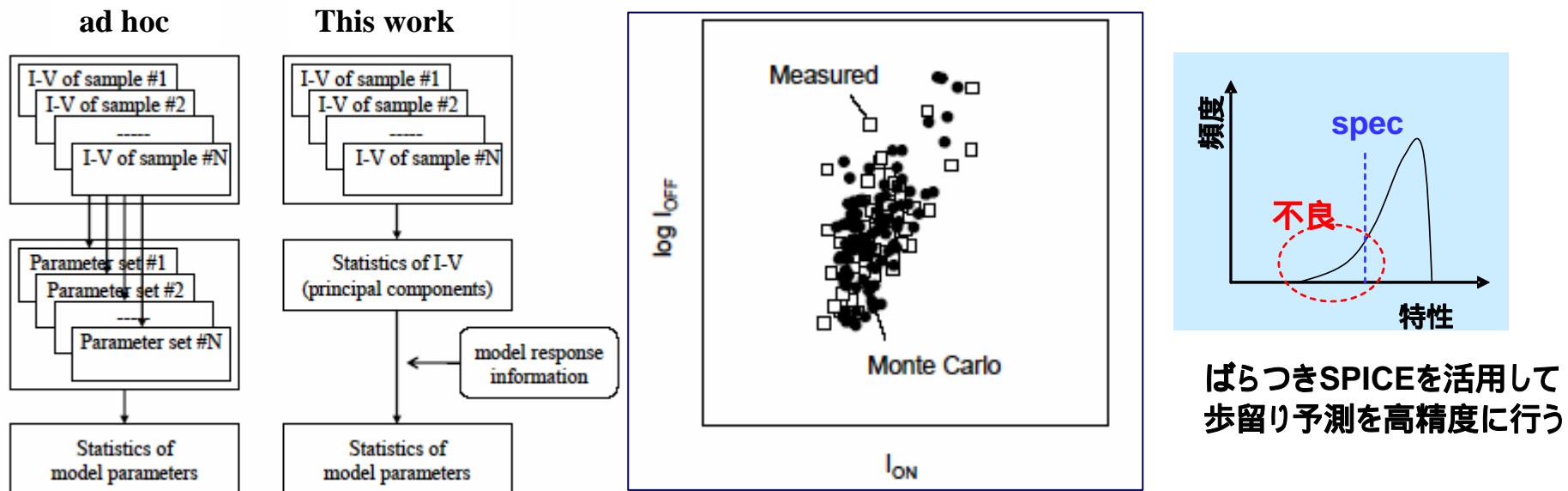


Fig.1 Statistical parameter extraction flows.

統計SPICEパラメータで
実際のばらつきを再現

- 個々のデバイスからSPICEパラメータ抽出するのは非効率的
- “モデル応答情報“を使って効率よく(一回で)抽出し、ばらつきを精密に再現可能に！

まとめ

- 原子レベルかつ現実的構造を考慮した現象予測型のシミュレーション技術が開発されている
 - 直感的に解り難い3次元効果を的確に予測
 - 要因分析が可能
- 微細MOSFET物理的真性ばらつき特性シミュレーション
 - $L_g=60\text{nm}$ 離散不純物影響 > LER影響 (on Halo)
 - $L_g<45\text{nm}$ LER抑制 = I_{off} 低減 = オン電流向上
 - 不純物はLER効果をマスク: 拡散抑制プロセスは要注意
- 物理的根拠のあるばらつき設計にTCADを役立たせたい
(ばらつきのキャラクタリゼーション技術の一環)