

# 2006年Updateの内容と2007年版に向けて

- High-k/Metal Gの導入時期見直し -

WG6: Process Integration, Developments,  
and Structures (PIDS) WG

沖電気 井田

# WG6メンバー



リーダー：井田次郎(沖)

サブリーダー：澤田静雄(東芝)

幹事：久本大(日立)

委員：

ロジック：\*今井清隆(NEC EL)、杉井寿博(富士通)、小倉基次(松下)、田川幸雄(ソニー)、尾田秀一(ルネサス)、荣森 貴尚(Selete)、  
武田 安弘(三洋)、久本大(日立)、井田 次郎(沖)

メモリ：\* 澤田 静雄(東芝)、只木芳隆(日立)  
堀 敦(松下)、井上裕文(東芝)、中村孝(ローム)、笠井直記(NEC)

RF担当：\*久本大(日立)、亀井孝浩(沖)、清田幸弘(ソニー)  
上村卓三(ローム)

特別委員：平本俊郎(東京大学)、芝原健太郎(広島大学)  
高木信一(東京大学)、田中徹(東北大学)  
吉見信(SOITEC Asia)、赤坂泰志(東京エレクトロン)

総勢 24人

# 用語説明

---

1p: PIDS: Process Integration, Devices, and Structures, WG6:working group 6

4p: HP: High Performance, LOP: Low Operating Power, LSTP: Low Standby Power, RF: Radio Frequency,

5p: High-k:高誘電率ゲート酸化膜, Metal-G:金属ゲート電極,3D: 3 dimension, NVM: Non volatile memory, RF: Radio Frequency, AMS: Analog Mixed Signal

6p: AV: Audio Visual, Tr: Transistor

7p: Ion: 駆動電流、 Ioff:オフリーク電流、 EOT: effective oxide thickness, SCE: Short Channel Effect, Rsd: ソース・ドレインの寄生抵抗

8p: FD-SOI: fully depleted SOI

10p: DIBL: Drain Induced Barrier Lowering

13p: DBB: Digital Base Band , GIDL: Gate Induced Drain Leakage

14p: Jg:ゲートリーク電流密度、 Lg:ゲート長, GIDL: Gate Induced Drain Leakage

15p: eSiGe: embedded SiGe, SMT: Stress Memorization Technology, eSiC: embedded SiC

17p: UTB FD-SOI: Ultra Thin Body FD-SOI, DG: Double Gate, SCE: Short Channel Effect, DIBL: Drain Induced Barrier Lowering , SS: Subthreshold Slope

21p: Lo-k Spacer: Low-k spacer, Hi-k: High-k, ERD: Emerging Research Devices, SLC: Single level Cell, MLC: Multi Level Cell, MRAM: Magnetic RAM, PCRAM: Phase Change RAM, R-RAM: Resistance RAM

# WG6のスコープ

- **ロジック, メモリのデバイス技術ロードマップ**
  - **ロジック:**
    - 高性能タイプ(HP)
    - 低消費電力タイプ (LOP, LSTP)
  - **メモリ:**
    - DRAM
    - 不揮発性メモリ (Flash, FeRAM, MRAM, -- )
  - **信頼性**
- **ワイアレス通信用RFとアナログミックスドシグナル技術**
  - 2003 ITRSから
  - アナログミックスドシグナル、RFトランシーバ、パワーアンプ、ミリ波

RF&AMSは、日本以外では、別ワーキンググループで活動

# 本日の内容

---

## 1) 2006年版ロードマップの内容

- ロジック用トランジスタの分類
- High-k/Metal Gの導入時期の見直し

## 2) 2007年版に向けて

### - ロジックでの検討事項

LSTPのオフリーク電流見直し

モビリティファクタの見直し

3次元構造(3D)トランジスタの状況

### - メモリでの検討事項

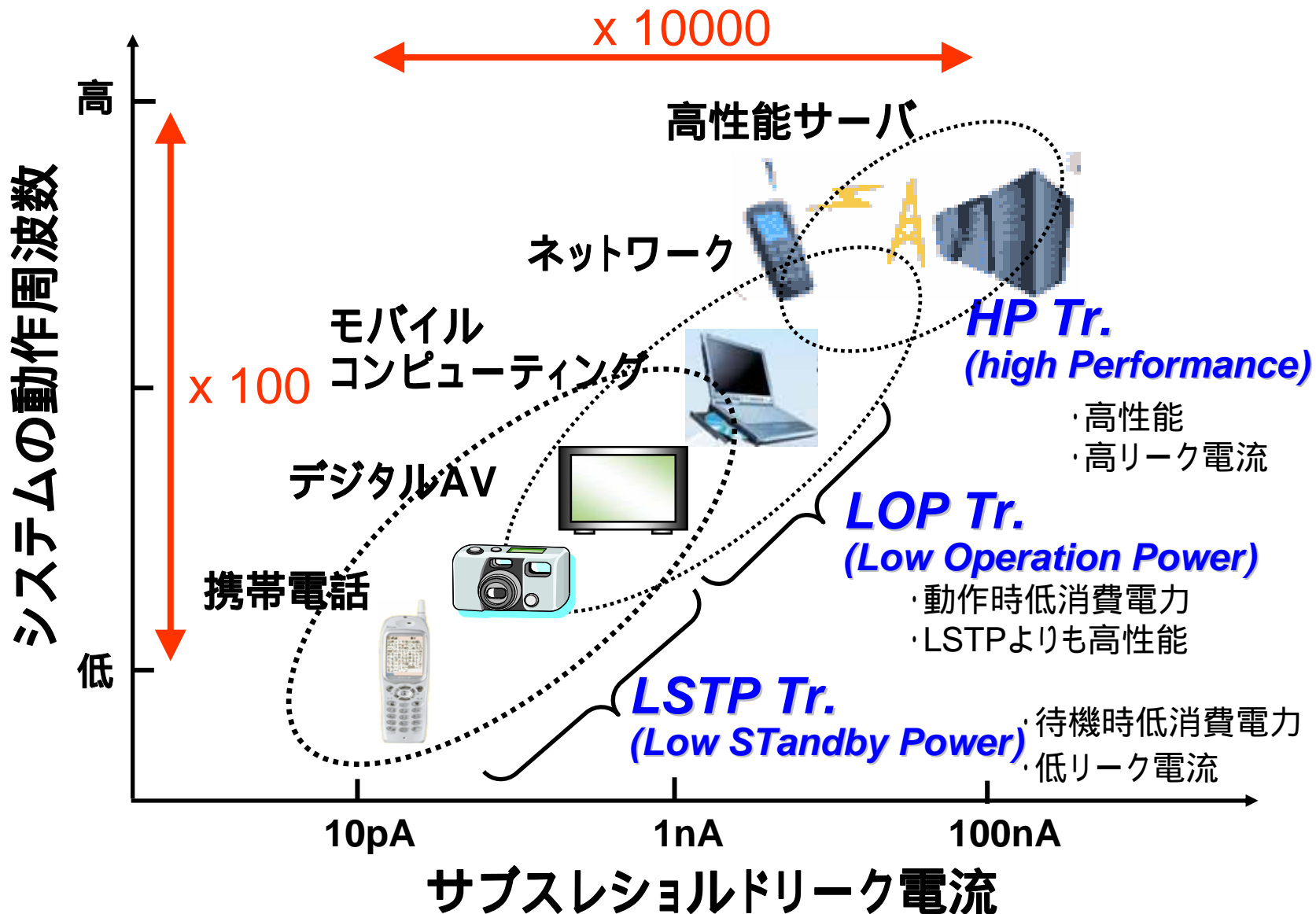
DRAMサーベイの状況

不揮発性メモリ(NVM) 構成見直し、NANDの加速 ?

## 3) RF & Analog/Mixed Signal(AMS)での検討事項

## 4) まとめ

# ロジック用トランジスタの分類: HP、LOP、LSTP



# 各トランジスタタイプの重要性能指標

-2005RMより-

**HP: High Performance**

$$\tau = CV_{dd}/I_{on}$$

(トランジスタ遅延時間)

**LOP: Low Operation Power**

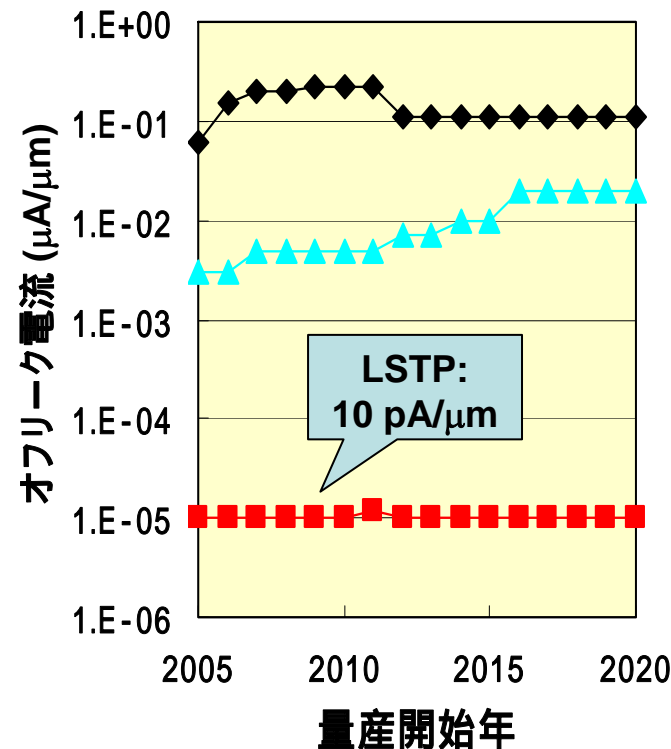
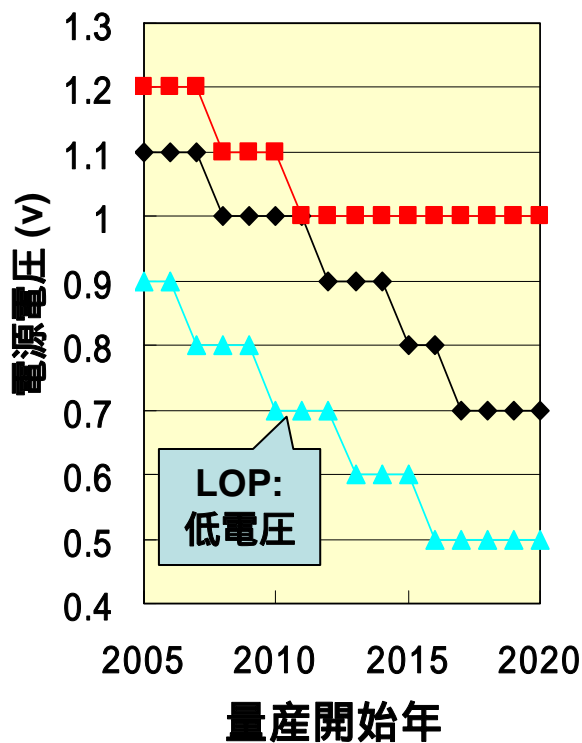
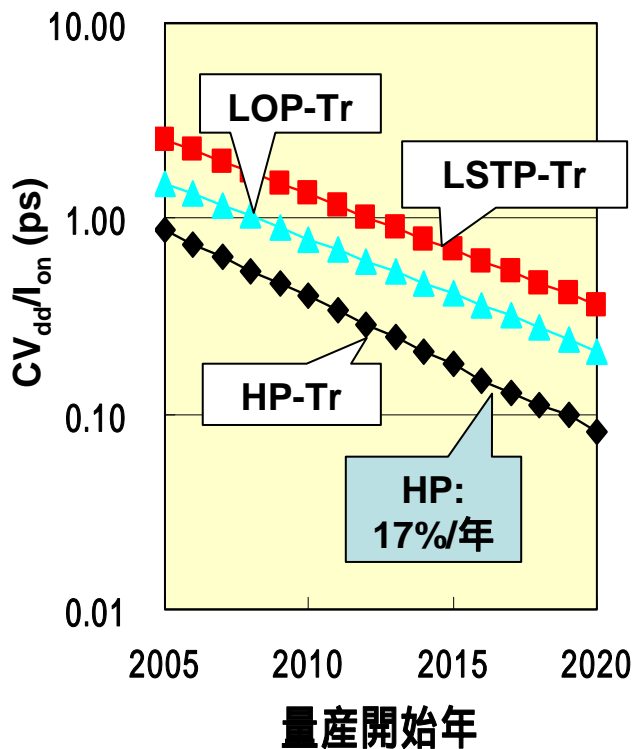
電源電圧、 $V_{dd}$

(動作時消費電力)

**LSTP: Low Standby Power**

オフリーク電流、 $I_{off}$

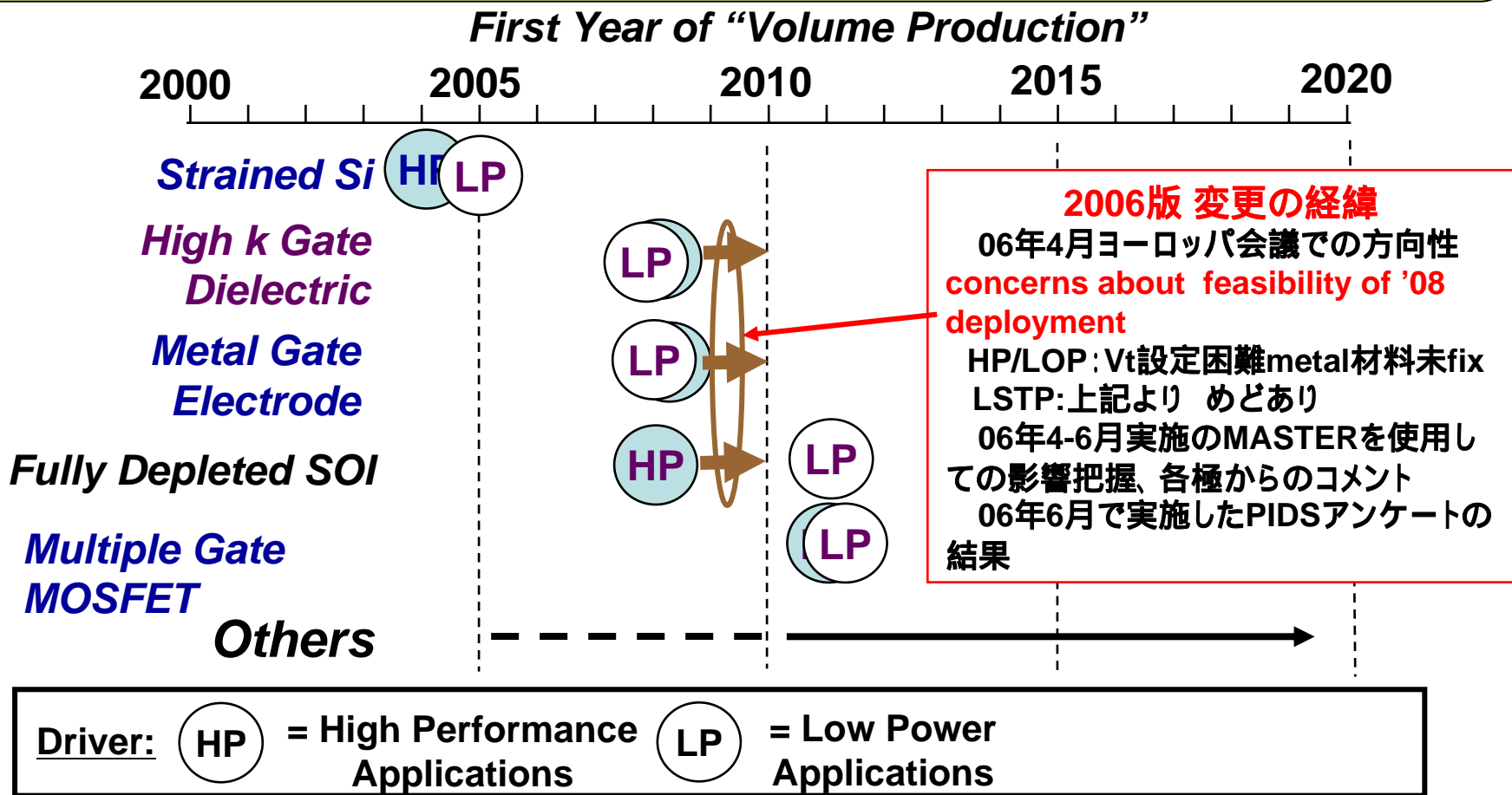
(待機時消費電力)



MASTER (STM T. Skotonichi 他によるMOSFETの解析モデル)を使用し  
各パラメータ ( $I_{on}, I_{off}, L_g, EOT, SCE, R_{sd}$ ) のTrade offを設定 & 予測

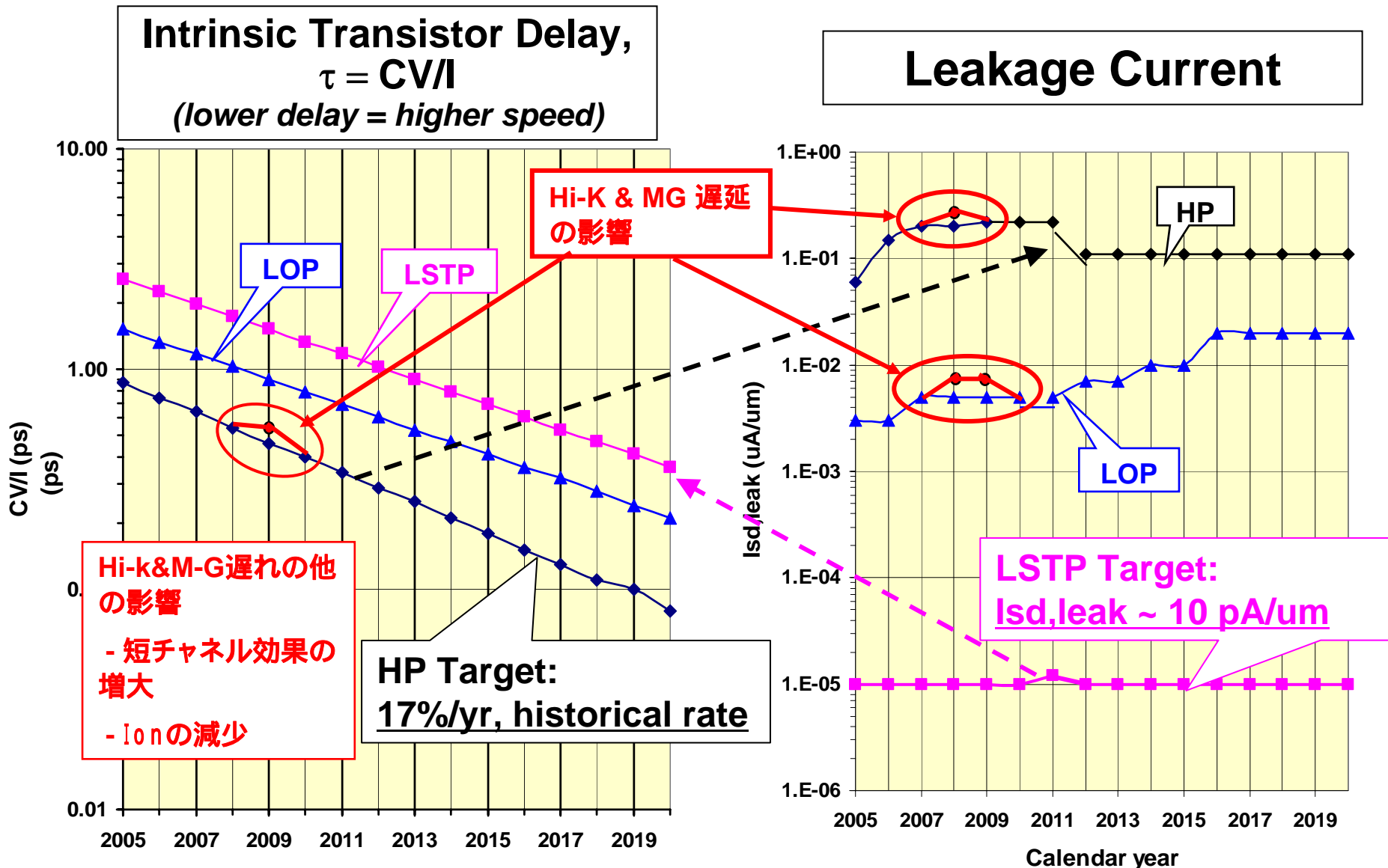
# 2006年版アップデート – High-k/M-G 見直し-

High-k/Metal Gateの導入時期		FD-SOI @ HP	
HP/LOP: 2008年	2010年へ	2008年	2010年へ
LSTP : 2008年	2008年のまま		





# 2006年版アップデート - High-k/M-G 導入遅れの影響 -



# 2006年版アップデート – High-k/M-G 導入遅れの影響

短チャネル効果の増大 DIBL: Drain Induced Barrier Lowering (飽和とリニアの閾値電圧の差)

DIBL 260mV/V 300mV/V 以上へ。260mVも既に大。Ionほどspeedでない、SNMの低下他  
Vtは2008年から黄色として残す

Ionは、2005年版より大きく減少。 2007-2009年 で増化無しへ

	2007年	2008年	2009年	2010年
2005年版	1.20E3	1.57E3	1.81E3	2.05E3
2006年(Hi&M遅れ)	1.20E3	<b>1.21E3</b>	<b>1.18E3</b>	2.05E3

CV/Iだと影響軽微  
Ionだと甚大  
性能指標の問題

High-Performance Logic Table, Updated for 2006 ITRS

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
L <sub>g</sub> : Physical L gate for High Performance logic (nm) [1]	32	28	25	22	20	18	16	14	13
EOT: Equivalent Oxide Thickness [2]									
WAS IS	Extended planar bulk (Å)	12	11	11	9	7.5	6.5	5	5
IS	Extended planar bulk (Å)				10	9			
I <sub>d,sat</sub> : effective NMOS Drive Current [9]									
WAS IS	Extended Planar Bulk (µA/µm)	1.02E+03	1.13E+03	1.20E+03	1.57E+03	1.81E+03	2.05E+03	2.49E+03	2.30E+03
IS	Extended Planar Bulk (µA/µm)				1.21E+03	1.18E+03			
<del>Delete</del>	UTB FD (µA/µm)				<del>1186</del>	<del>1625</del>	1815	2015	2037
	DG (µA/µm)						1899	1932	2220
WAS IS	τ = CMI: NMOSFET intrinsic delay (ps) [15]	0.87	0.74	0.64	0.54	0.46	0.4	0.34	0.29
IS	τ = CMI: NMOSFET intrinsic delay (ps) [15]					0.51			

## High-k/Metal-G 最近の状況 -07年1月27日プレスリリース-

---

米国2社から2008投入のプレスリリース！！

<http://www.intel.com/pressroom/archive/releases/20070128comp.htm>

<http://www-03.ibm.com/press/us/en/pressrelease/20980.wss>

High-k/Metal G, FD-SOI の導入時期は、2007年版に向け再見直し

## 2007年度版に向けて -ロジックの見直し事項-

---

HPのゲート長スケーリングの見直し

LSTPのオフリーク電流値の見直し

High-k/Metal-G導入時期の見直し

モビリティファクタの見直し

パラレスパスの時期の見直し

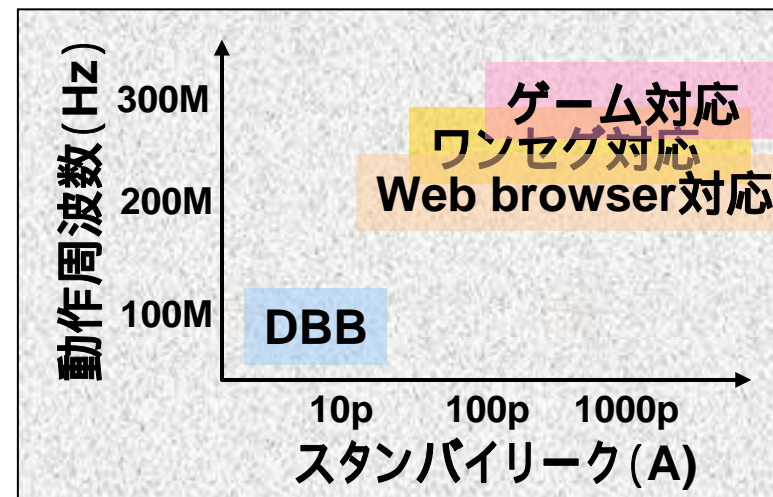
- 3D トランジスタの状況

- Bulkトランジスタの終焉時期の見直し

## ◆ 携帯製品の高機能化→LSTPデバイスへの要求性能が変化

低スタンバイリーク重視から、

低スタンバイリーク &amp; 高速動作の両立へ

 $I_{off} < 10\text{pA}$ : 待ち受け回路対応 $I_{off} > 300\text{pA}$ : アプリケーション対応◆  $I_{off} < 10\text{pA}$ に最適化したトランジスタ構造

サブスレッシュホールドリーク低減: 高チャネルドーズ化→移動度低下

GIDL低減: 低エクステンションドーズ化→寄生抵抗上昇

ゲートリーク低減: ゲート絶縁膜の厚膜化→反転容量低下

LSTPで高速動作のトランジスタ  
の作り込みが困難!

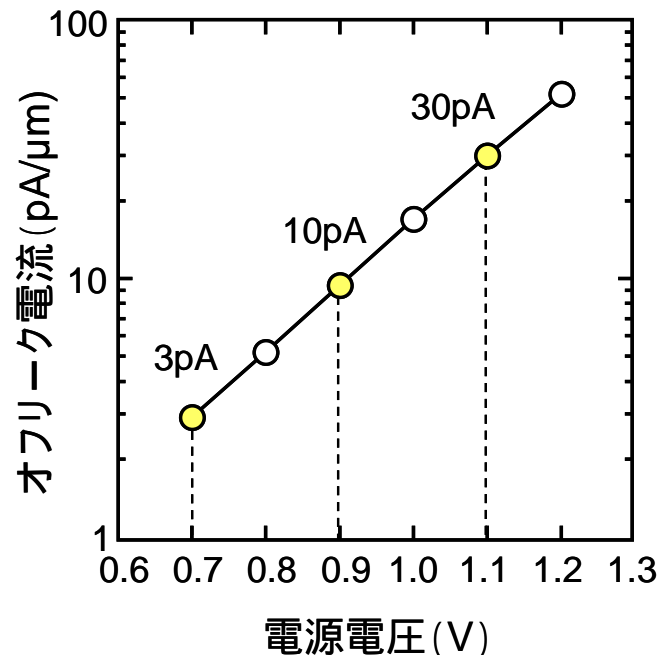
# LSTPデバイスのオフリーク電流緩和提案 - シナリオ案 -

1.  $I_{off}$  (Subthreshold leakage current)を従来**10pA** **30pA**に緩和
2.  $I_{off}$ の緩和により、ゲートリーク電流 $I_g (=J_g \times L_g)$ も3倍に出来るため、EOTの薄膜化が可能。
3. チャンネル不純物濃度低下によりGIDL低減。
4. スタンバイ時の $I_{off}$ 、 $I_g$ 低減のために電源電圧可変回路を導入の一般化

量産開始年		2007	2008	2009	2010
DRAM ½ Pitch (nm)		65	57	50	45
Logic node (nm)		45			32
ゲート絶縁膜厚 (nm)		1.9	1.6	1.5	1.4
電源電圧(V)		1.2	1.1	1.1	1.1
オフリーク電流 (A/μm)	ITRS06	10p	10p	10p	10p
	Propose		30p	30p	30p
NMOS飽和電流 (μA/μm)	ITRS06	519	573	612	666
	Propose		632.6	675	729
(CV/I)	ITRS06	1.97	1.73	1.52	1.33
	Propose		1.57	1.38	1.21



遅延時間の高速化



回路技術によりオフリーク低減可能

# モビリティ・エンハンスメント・ファクタ 見直しについて

## 現ロードマップのmobility enhancement factor の値

Year in Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
<i>Mobility Enhancement Factor for <math>I_{d,sat}</math> [10]</i>									
Extended Planar Bulk	1.11	1.11	1.1	1.1	1.11	1.15	1.17	1.16	1.16
UTB FD								1.04	1.05
DG								1	1.04

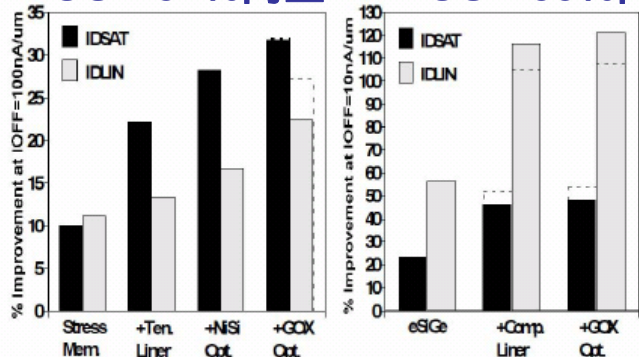
・ 2005年版でmobility enhancement factor の定義変更

現状  $I_{d,ratio} = \frac{[enhanced I_{d,sat}]}{I_{d,ref}}$ 
2004以前  $\mu.ratio = \frac{[enhanced \mu]}{[reference \mu]}$

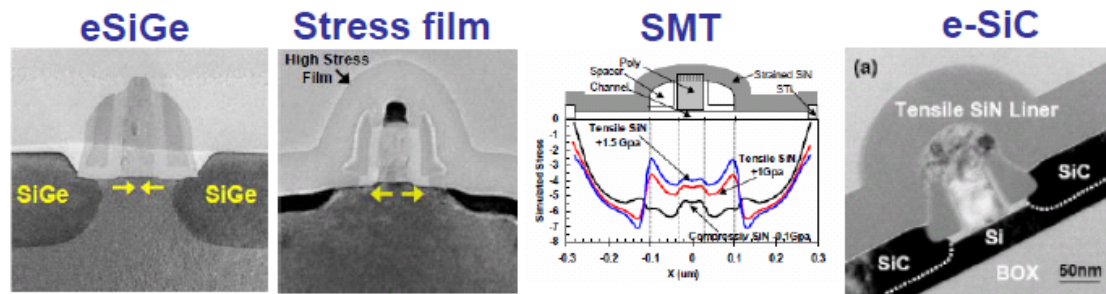
最近の文献値と比較して小さい？ 数値の妥当性検証要  
 さらに、PMOSの向上率が高いが、ロードマップに無い

2007年に向け見直し(マスターのモデル修正)、 PMOSの扱い検討

### NMOS ~ 32%向上 PMOS ~ 53%向上



H. Hotrstman et al., IEDM2005



T.Ghani et al., IEDM2003

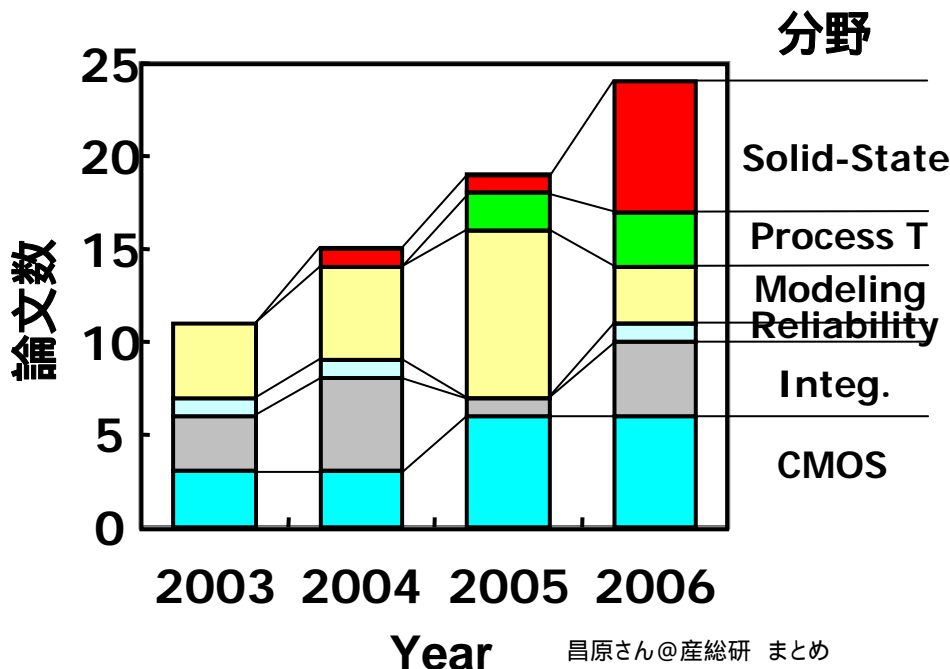
C.H. Chen et al., VLSI2004 K.-W. Ang et al., VLSI2006

K. Miyamoto IEDM2006 Short Course

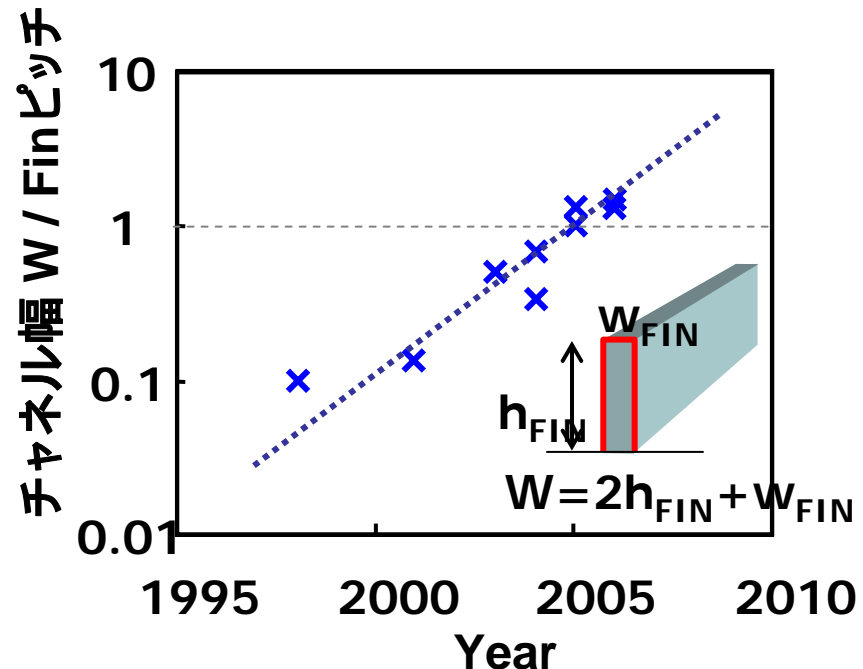
# 3次元構造(3D)トランジスタ研究開発状況

3Dデバイス開発が活発化し、実用化に向け様々な開発分野に広がっている。  
 微細技術の進歩により、3Dのチャンネル幅がプレーナを超えた。  
 → 駆動力、ばらつきの議論が活性化。

3Dトランジスタのiedm分野別発表件数



3D構造によるチャンネル幅(対planar)推移





# パラレルパスのいくえ - プレーナバルクの終焉？ 3Dの進展-

Year in Production		2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
Physical Lgate (High Performance)	nm	32	28	25	22	20	18	16	14	13	11	10	9	8	7	6	5

Planar Bulk CMOS

UTB FD SOI

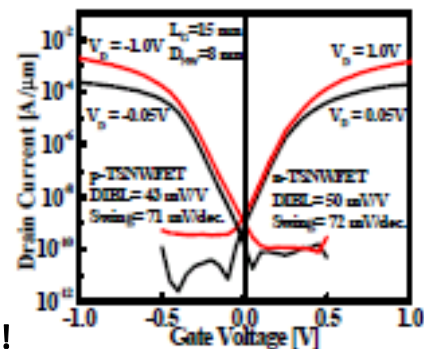
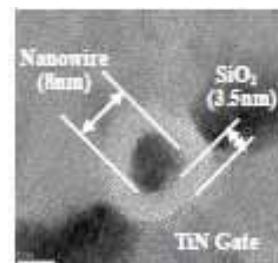
DG or Multiple-Gate

Delay

2006 ITRS

Planer Bulkの終焉時期は？ 逆に、さらに継続できるか？  
 HP Lg Scalingがaggressiveすぎる、減速？  
 32nm CMOSでLg 20nmを切るか？  
 Ultra Thin Body (UTB) FD - SOIの導入時期？  
 3Dの導入時期は？ NANO Wire, NANO RODの進展、  
 3Dは、メモリから先に導入される？

## NANO Wireの文献例



SCEの制御完璧！

DIBL 43mV/V, SS 72mV/dec

Lg=16nm でITRS Ion・Ioffを凌ぐとの報告

K.H.Yeo et.al., IEDM2006,

# 2007年度版に向けて -メモリの見直し事項-

---

## DRAMサーベイ

### NVMの節の構成、見直し

- NAND Flashの加速

サーベイの新規企画、実行

- ERDからの移管項目の扱い

# 2007年版に向けて - DRAMサーベイ状況 -

## DRAM技術ロードマップのアンケート調査を元に、2番 手ルールで2007年版を作成

- アンケート送付先  
日、米、韓、欧の大手DRAMメーカー
- 調査項目

1. DRAM half pitch
2. Cell size :  $S$
3. Cell size factor :  $a$
4. DRAM Product (bit) :  $b$
5. Chip size :  $A_{chip}$
6. Area factor [ =  $A_{cell} \times b / A_{chip}$  ]
7. Retention time
8. Storage Capacitance :  $C_s$
9. Voltage of capacitor
10. Gate oxide thickness of cell tr.
11. Maximum word-line level
12. Effective electric field of gate insulator
13. Negative word-line use
14. Capacitor structure
15. Capacitor insulator material
16. Effective capacitor insulator thickness
17. Physical cap. insulator thickness

# 2007年版に向けて - DRAMサーベイ状況 -

## 2007年版に向けたサーベイのまとめ - 2006年12月に集計-

### - DRAM ハーフピッチ(HP)

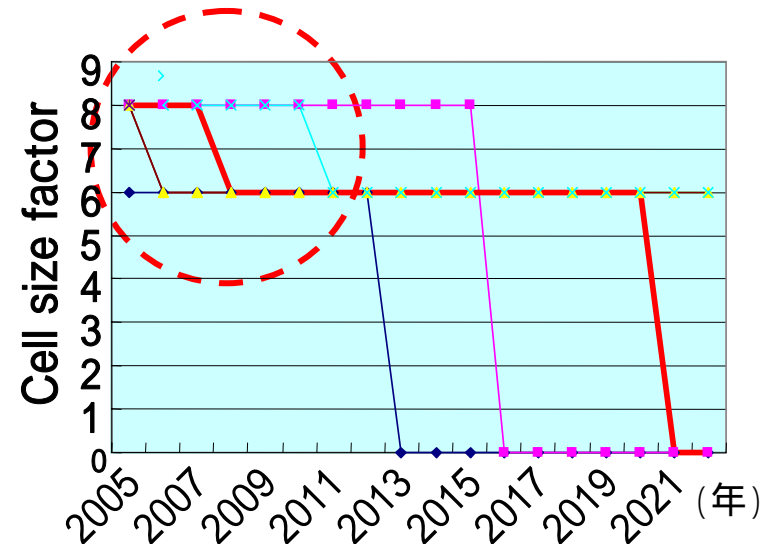
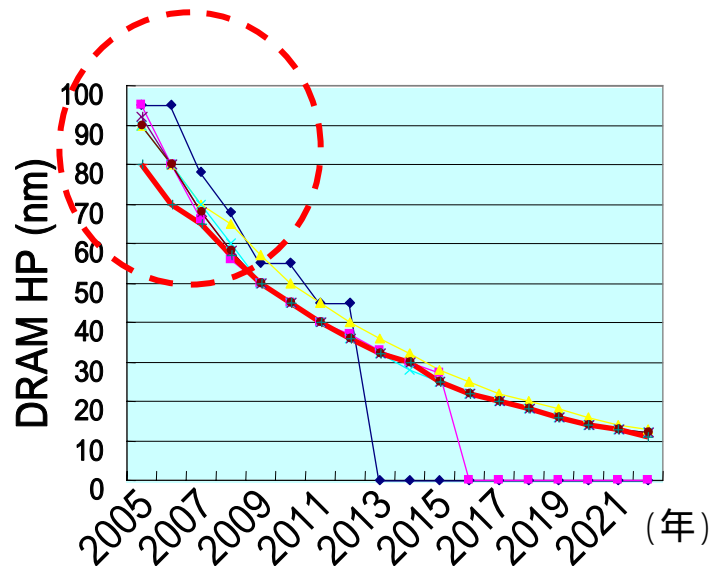
- 2005年、2006年の実績値は、2005RMに対し1年遅れ
- 2007年以降のHPは、**2005RMと変更なし**

### - セルサイズファクター

- 6F2の導入は、2005年版では2008年からと予想。 **実態は2006年へ2年前倒し**

### - チップサイズ

- HPの縮小は、困難になっており、セルサイズファクターの前倒しを加速し、チップサイズを縮小し、コスト対応を進めている



# 2007年版に向けて – NVM節の構成改定を検討-

現在、全てのNVMが一つの表になっている

- NAND/NOR/SONOSが混在

窒化膜系NANDなど重要技術マップが書きにくい

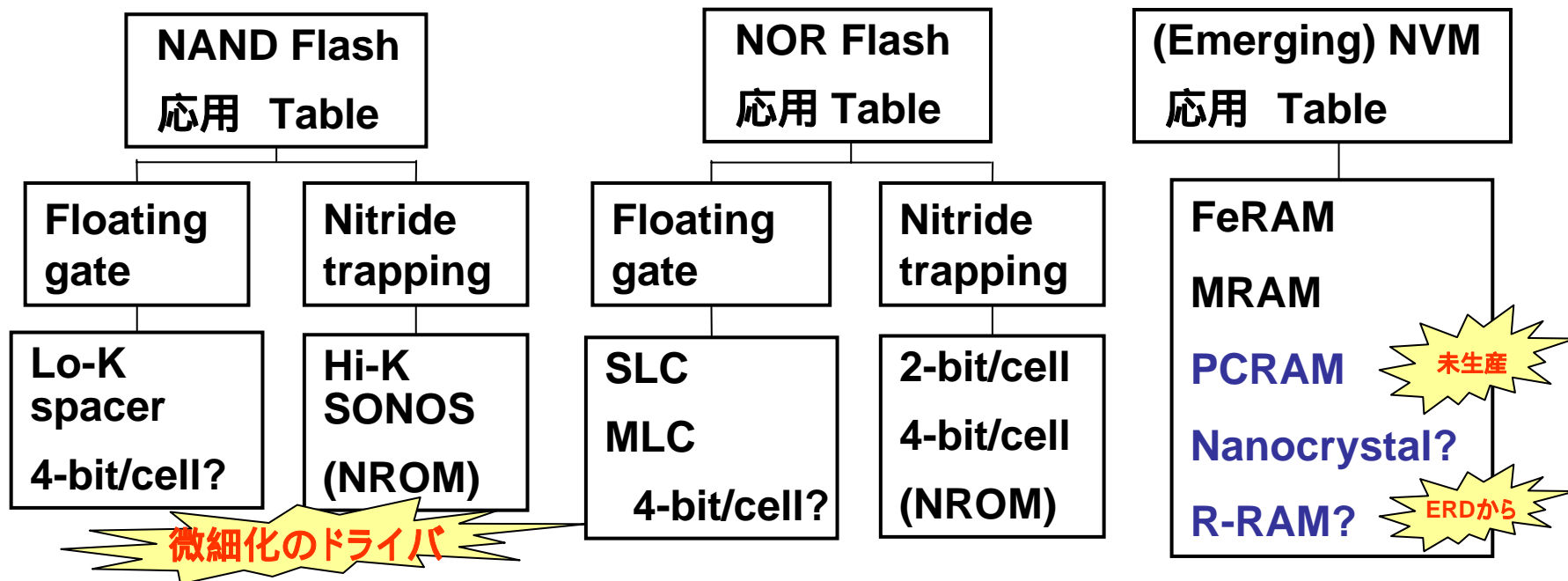
- 生産に入っていない技術も同一テーブル

- ERDからの移管 (Nanocrystal等) の扱い

Table 43a Non-Volatile Memory Technology Requirements—Near-term

Year of Production	2003	2006	2007	2008	2009	2010	2011	2012	2013
DRAM % Pitch (nm) (connected)	30	70	63	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) % Pitch (nm/connected)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Flash technology NOR/NAND - F (nm) [1]	80/76	70/64	65/57	57/51	50/45	45/40	40/36	35/32	32/28
Flash NOR cell size - area factor a in multiples of F <sup>2</sup> [2], [3], [4], [5]	9-11	9-11	9-11	9-12	10-12	9-12	9-12	10-12	10-12
Flash NAND cell size - area factor a in multiples of F <sup>2</sup> SLC/MLC [6]	4.0/2.0	4.0/2.0	4.0/2.0	4.0/2.0	4.0/2.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Flash NOR typical cell size (μm <sup>2</sup> ) [7], [8]	0.064	0.049	0.042	0.034	0.028	0.021	0.017	0.013	0.011
Flash NOR L <sub>gate</sub> (physical - μm) [9], [9]	0.14	0.135	0.13	0.12	0.12	0.11	0.11	0.1	0.1
Flash NOR highest W/E voltage (V) [10], [11]	7-9	7-9	7-9	7-9	7-9	6-8	6-8	6-8	6-8
Flash NAND highest W/E voltage (V) [12]	17-19	17-19	15-17	15-17	15-17	15-17	15-17	15-17	15-17
Flash NOR I <sub>read</sub> (μA) [13]	29-37	28-36	27-35	26-34	25-33	27-33	27-33	26-32	25-31
Flash coupling ratio [14]	0.65-0.75	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7

NAND, NOR, (Emerging) に3分割し、各技術項目を書く表に改定を検討中 (台湾PIDS主導)



# 2007年版に向けて - NAND HPの加速? -

ITRS2005年版のNANDハーフピッチ(HP)を 最近のプレスリリースで検証

- 2006年までは2005年版ロードマップに沿っている
- 2007年以降、既に2社が50nmの量産を予定

2007年以降は2005年版を一年前倒しの可能性あり

## 最近のプレスリリース情報まとめ

Year	2005	2006	2007	2008
2005年版HP	76nm	64nm	57nm	51nm
A社	73nm	60nm	50nm	
B社	70nm		56nm	
C社	90nm	70nm	55nm	
D社	90nm	72nm	50nm	

## 1年前倒しを想定したNANDハーフピッチ案

Year	2006	2007	2008	2009	2010	2011	2012	2013
2005年版 HP	64nm	57nm	51nm	45nm	40nm	36nm	32nm	28nm
2007年版HP	64nm	54nm	45nm	40nm	36nm	32nm	29nm	25nm
予想案	セルサイズ	2年で1/2		3年で1/2			以降3年で1/2	

2005年版からNAND FLASHが微細化のドライバとなっており、この加速の影響は大きい  
 DRAMと同様に各社へのサーベイを新規に企画(日本PIDS)、その結果から2007年版をまとめる  
 調査項目: HP、MLC (Multi level Cell) セル技術、トンネル酸化膜厚、セル構造、他

# RF & Analog/Mixed-Signal(AMS) の検討事項

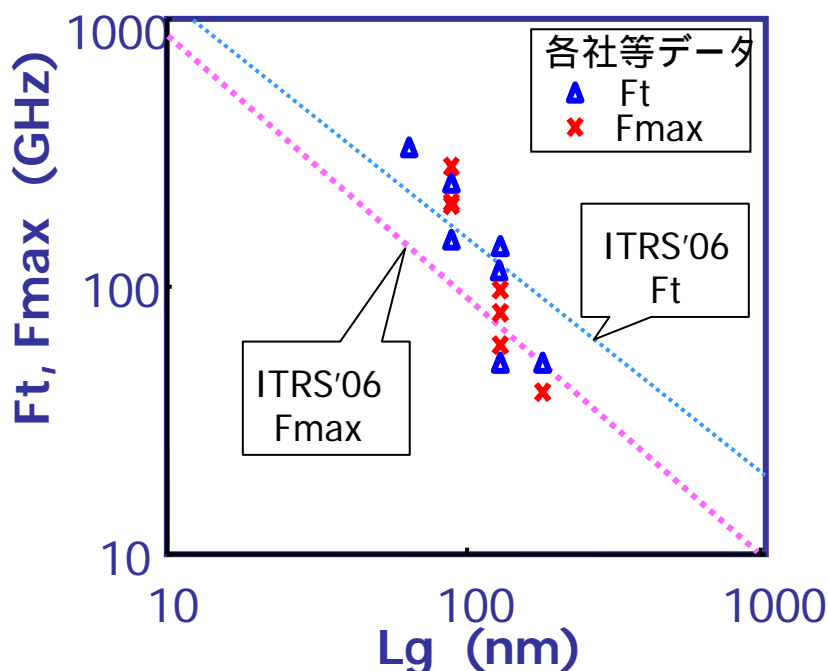
## 2006年版のポイント

- AMS CMOS→修正なし。Bipolarは $J_c$ (@peak Ft)を微修正
- ミリ波は、GaNの2007製品予測を2008に後退

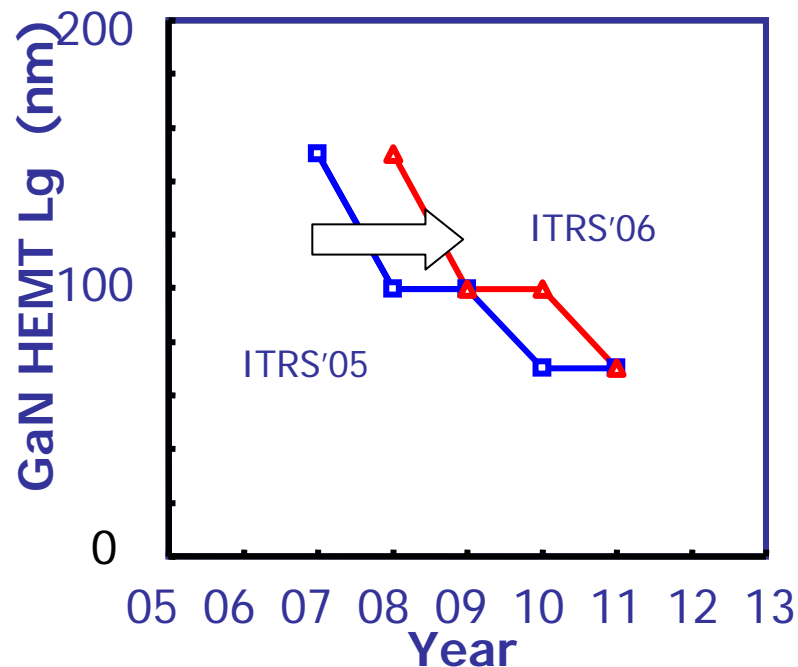
## 2007年版に向けた主な検討項目

- LSTP+1year lag.の検証と、MEMSの追加検討
- Bipolar (AMS,mm波など)やCMOS(LDMOSなど)からデバイス・応用分類の再検討

### RF-CMOSの遮断周波数特性トレンド



### GaN HEMTの開発RMテーブル



# まとめ

## 1) 2006年Updateの内容 - High-k/Metal Gの導入時期の見直し-

HP/LOP 2008年 2010年 UTB FD-SOI: 2008年 2010年

LSTP 2008年 2008年のまま

最近の動向を踏まえ、2007年版に向け再見直し

## 2) 2007年版に向けて

### 2-1) ロジックでの検討事項

HPのゲート長スケーリングの見直し: Lg Scaling がAggressive?

LSTPのオフリーク電流値の見直し:

- LSTPへの期待(低リーク&高速の両立)、電源電圧可変技術の進展  
からloff 10pA/um 30pA/umを提案、議論していく

High-k/Metal-G導入時期の再見直し

モビリティ・ファクタの見直し: MASTERモデル修正、PMOSの扱い検討

パラレスパスのいくえ: Bulk終焉時期, UTB, 3Dの導入時期 の検討

### 2-2) メモリでの検討事項

DRAM: サーベイをベースに修正

不揮発性メモリ(NVM): 節構成見直し、NAND加速? はサーベイを企画し設定

## 3) RF & Analog/Mixed Signal(AMS): LSTP + 1年の検証、各技術項目確認