

低電力SOCのロードマップ

～ 配線分布・抵抗の予測とSOC性能に及ぼす影響 ～

STRJ設計タスクフォース

設計タスクフォースの委員構成



石橋 孝一郎 (リーダー)
浅田 善己 (サブリーダー)

ルネサステクノロジ
富士通

古野 慎治
朝重 浩喜
富沢 仁
阿久井 聡
岡田 功
抜山 知二
斉藤 利忠
内山 邦男

沖電気工業
松下電器
シャープ
ソニー
ローム
NECエレクトロニクス
東芝
日立製作所

益 一哉 (特別委員)
天川 修平

東京工業大学
東京工業大学 (益研究室)

用語解説

- IP: Intellectual Property ここでは一定の演算を行う回路ブロックの意味で使用
- FO: Fan Out あるゲートの出力端子に接続されているゲートの数
- FF: Flip Flop
- P & R: Place and Rout チップレイアウトにおける配置配線の意味

設計TFの活動

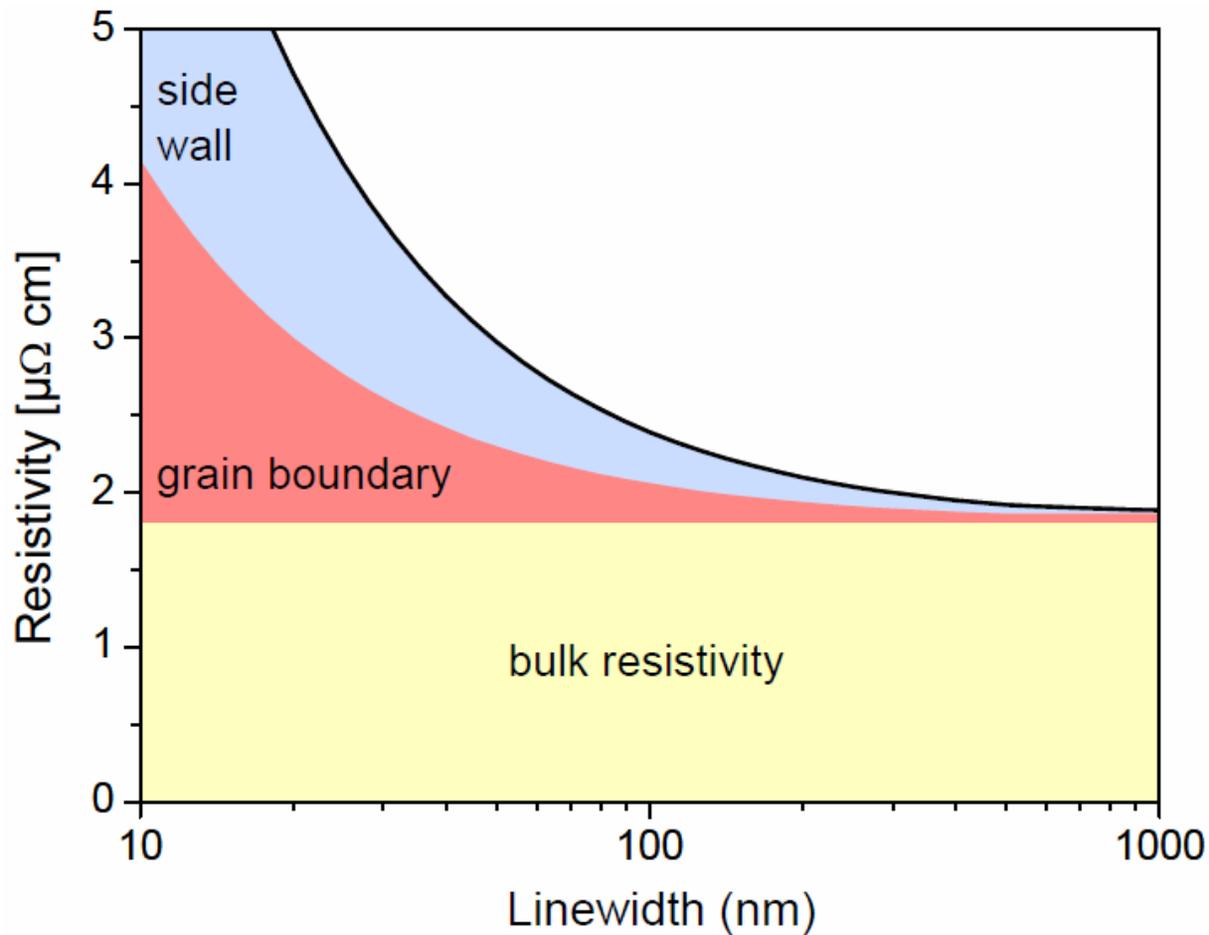
- ミッション
 - ロードマップをSOCの特性から見て評価
- 期待される効果
 - ロードマップに現れる数字の評価を会員企業にいち早くフィードバック
 - 問題点の把握と対策着手のきっかけ
 - ロードマップの見直しのきっかけ

これまでの活動

- トランジスタパラメータがSOCの電力に与える影響評価
~ 2004年度
- トランジスタのばらつきがSOCの特性に与える影響評価
2004 ~ 2005年度
- 配線特性がSOC特性に与える影響の検討
2005年度 ~

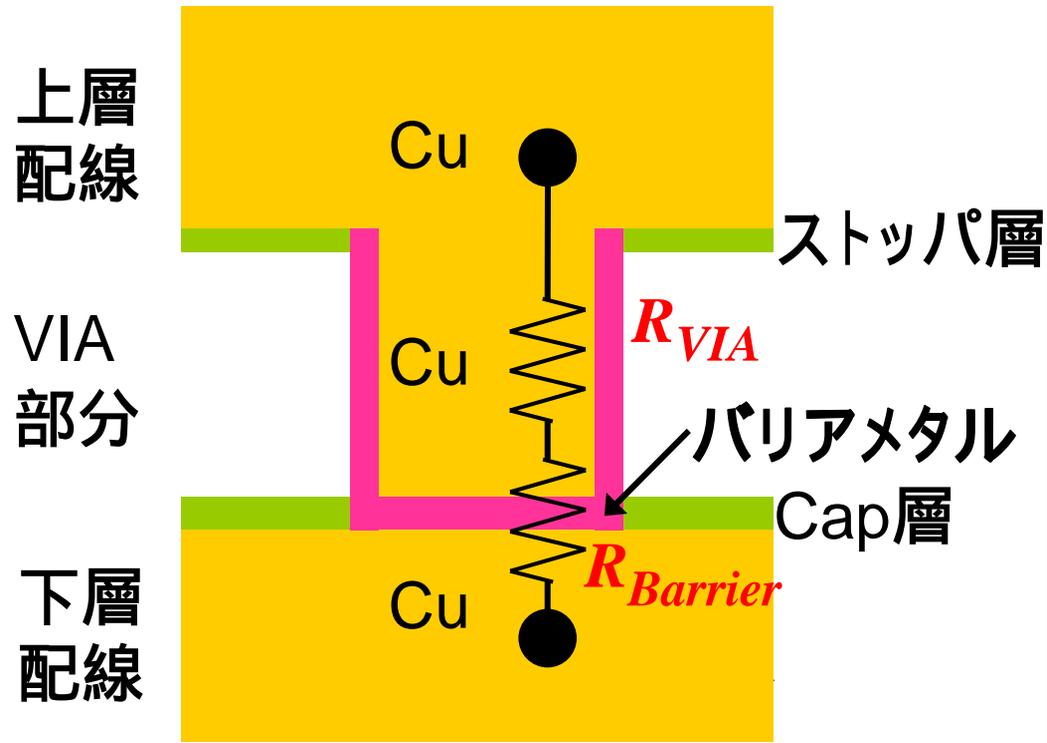
配線の微細化による抵抗率上昇

- 「配線・層間膜界面」「結晶粒界」散乱により配線の抵抗率そのものが、上昇する

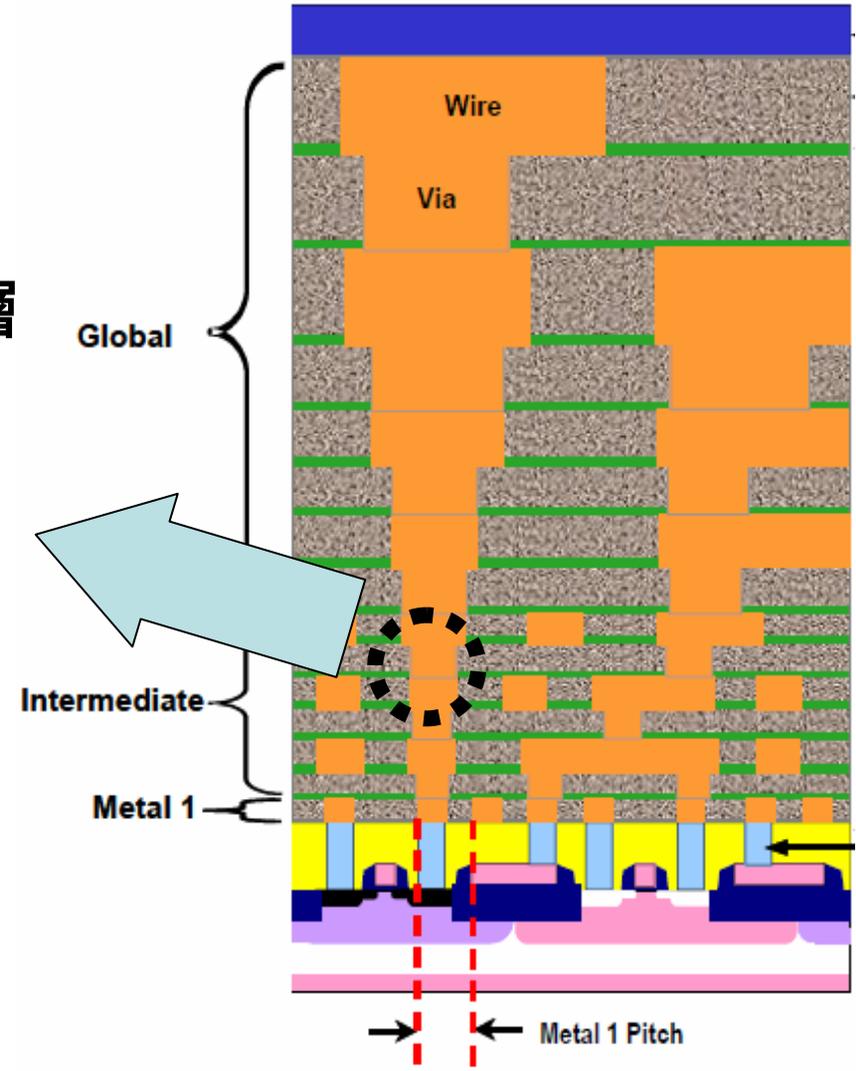


VIA抵抗の検討

- VIAの微細化の影響とバリアメタルの影響を検討

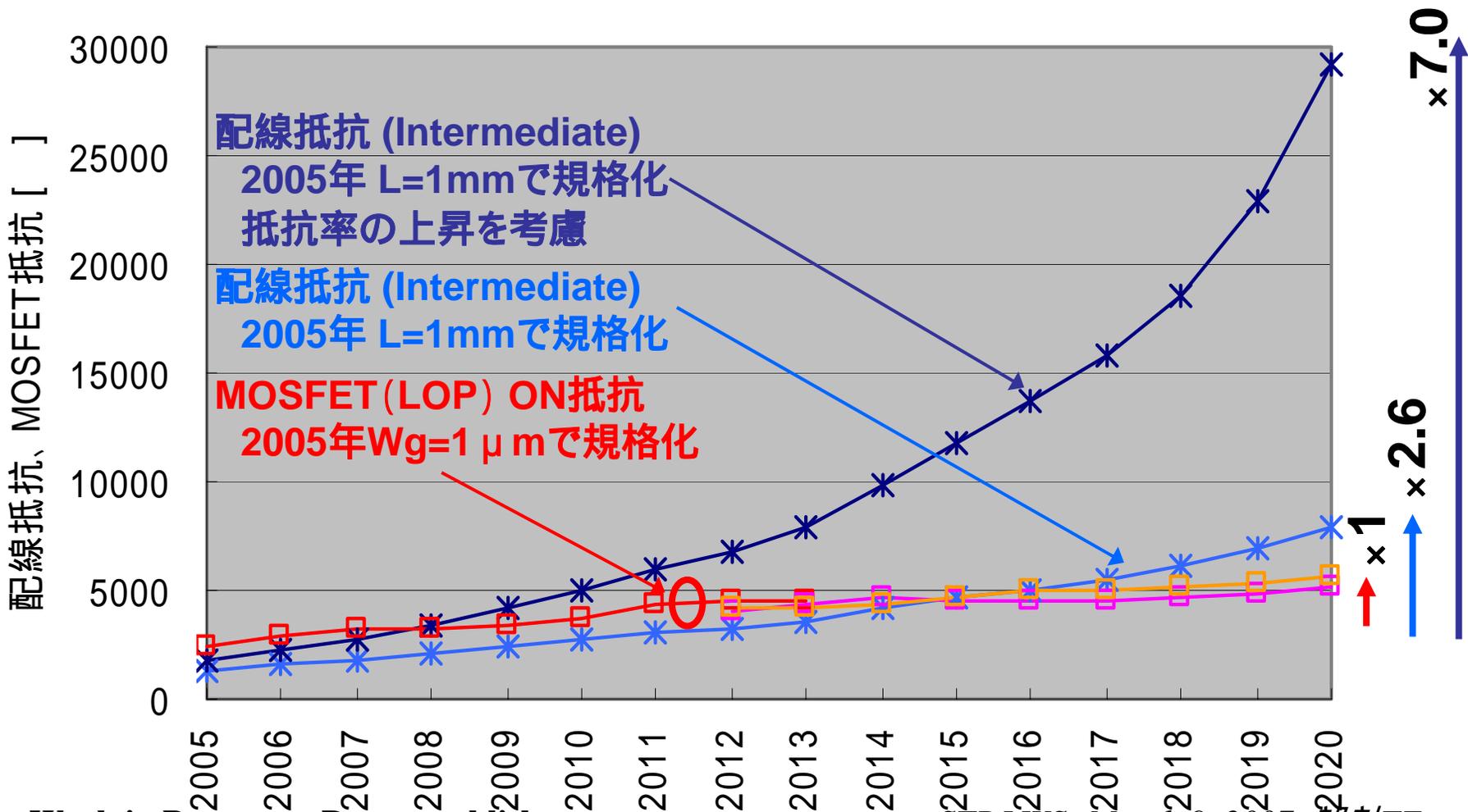


VIA部分の模式図



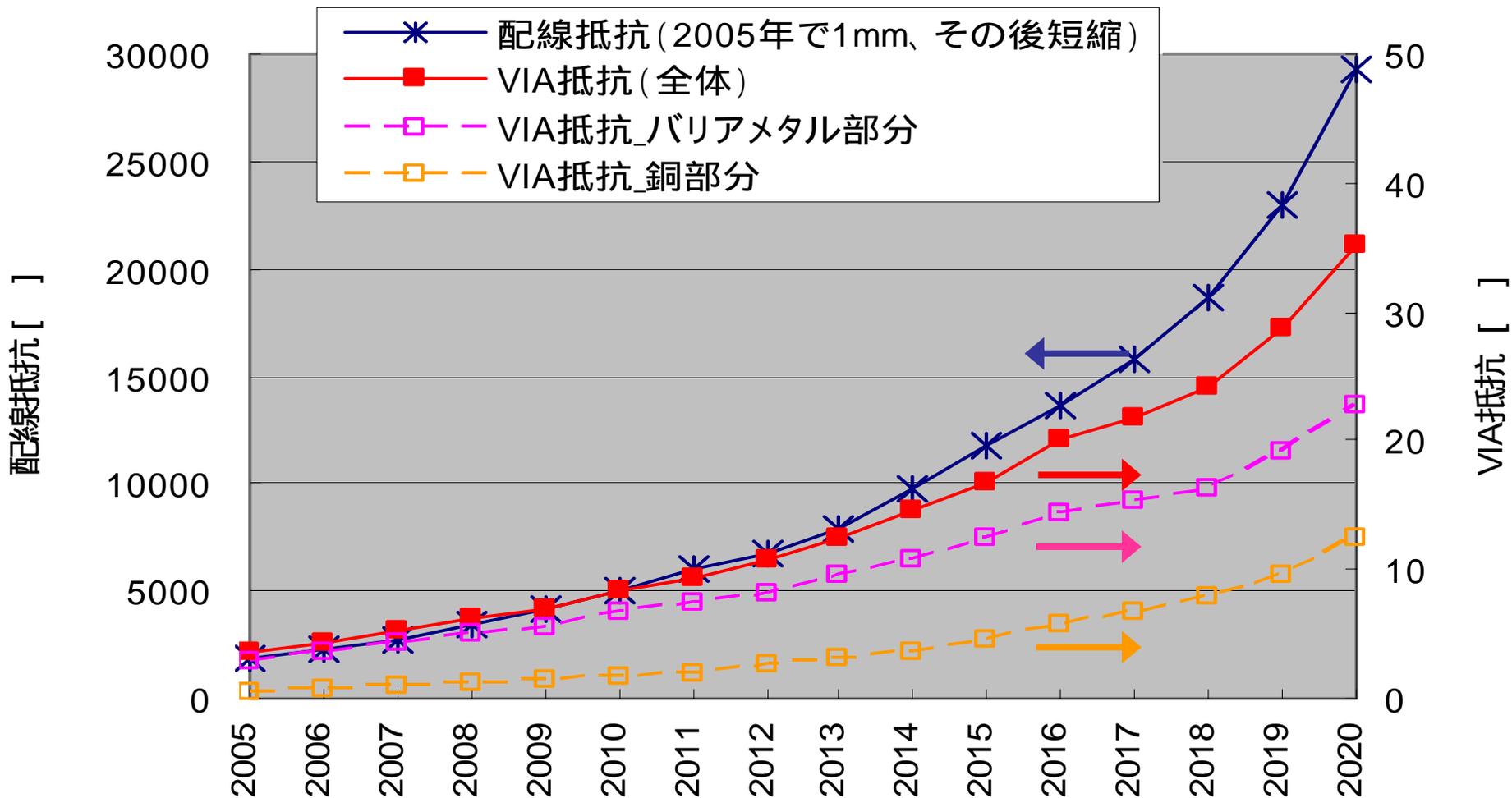
配線抵抗増大の予想

- ITRS2006を元に計算 (MOSFETはLSTP)
- 散乱の影響を考慮すると、配線抵抗の増大は急



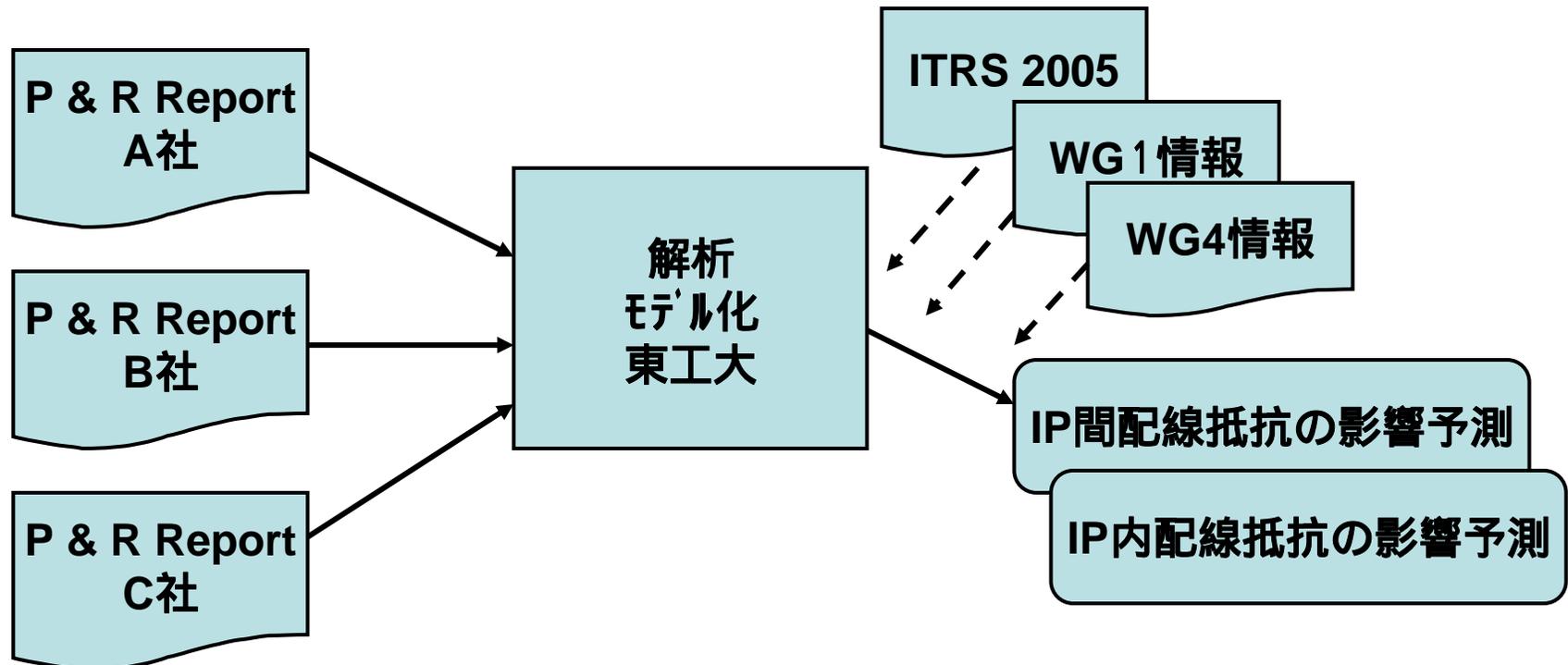
配線・VIA抵抗絶対値について

■ VIA抵抗の上昇は、配線抵抗と同様の傾向



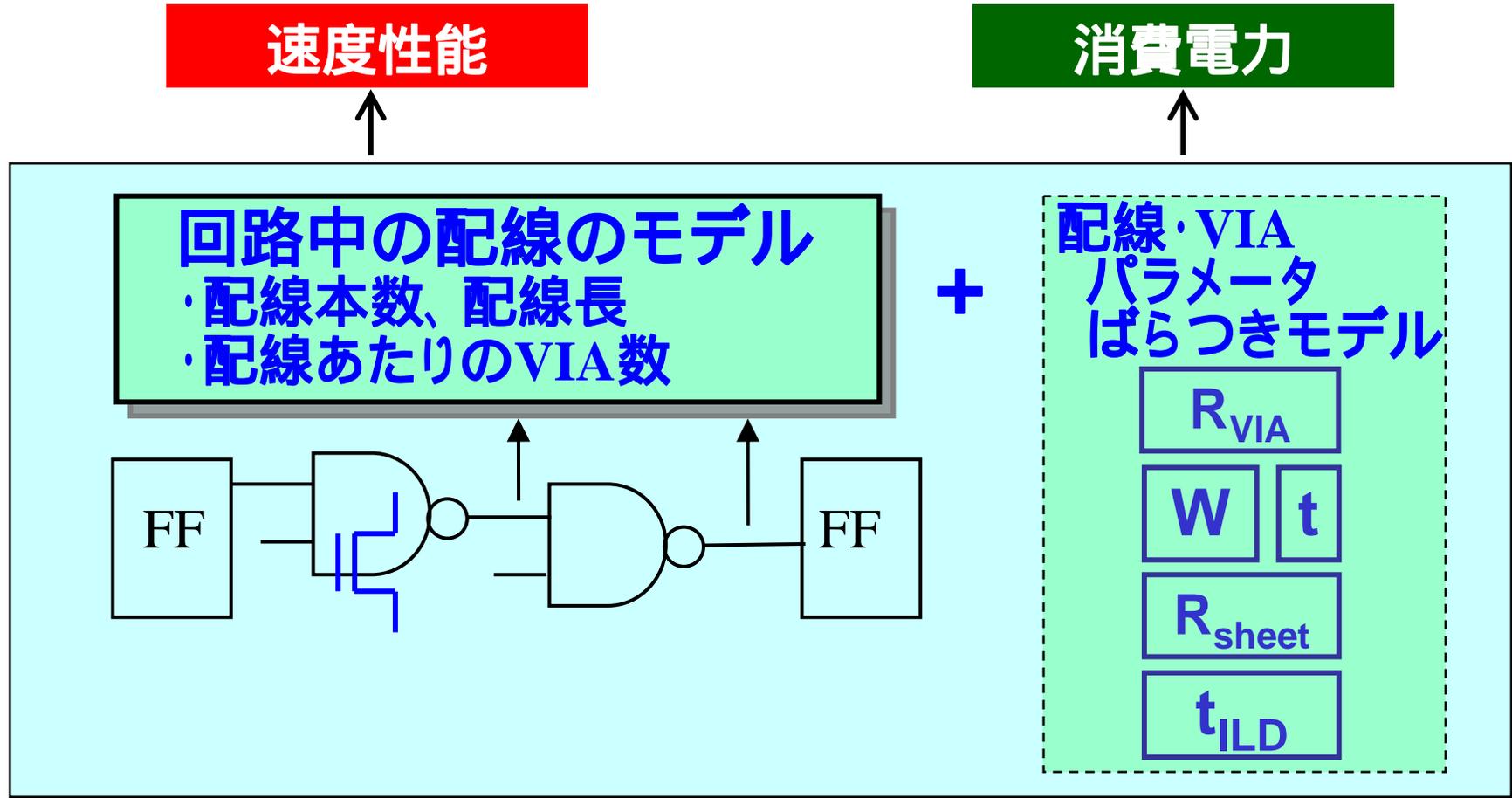
検討方法

- 会員企業から実チップ設計結果の P&R Report データ提供
- 東工大 益研究グループによる解析とモデル化
- WG4 (配線Group) からのViaパラメータ提供
- IP内とIP間の配線抵抗の影響を予測



回路特性への影響を評価するモデル

- 「配線の特性」と「配線ばらつき」がSOCの特性に与える影響検討



配線分布のモデル (Davisモデル)

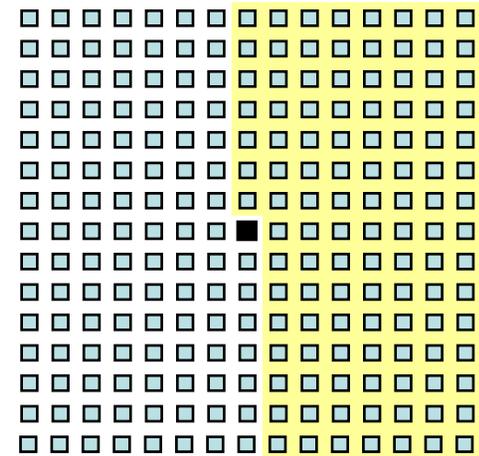


$$\text{Rent's Law: } T = k N_{\text{gate}}^p$$

天川・益 配線長分布モデル

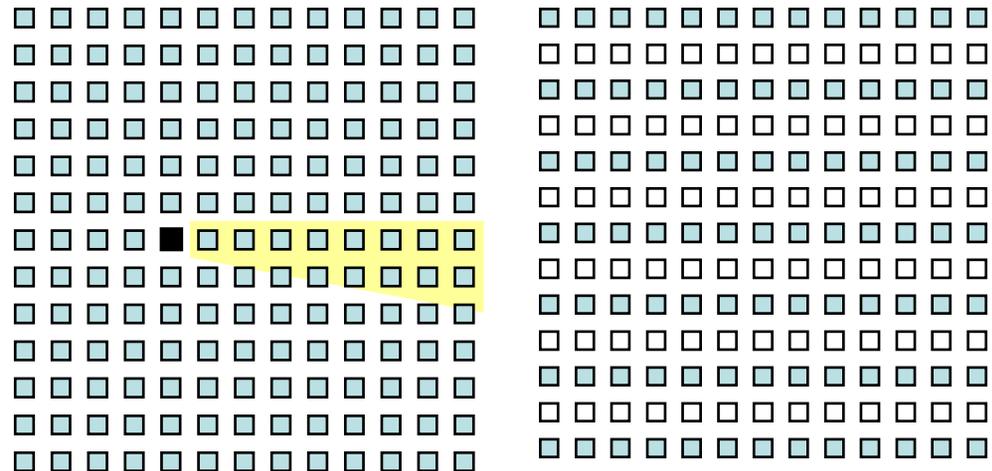
・Davis モデル:

1セルに注目し、それが半平面上にあるセルと接続されている



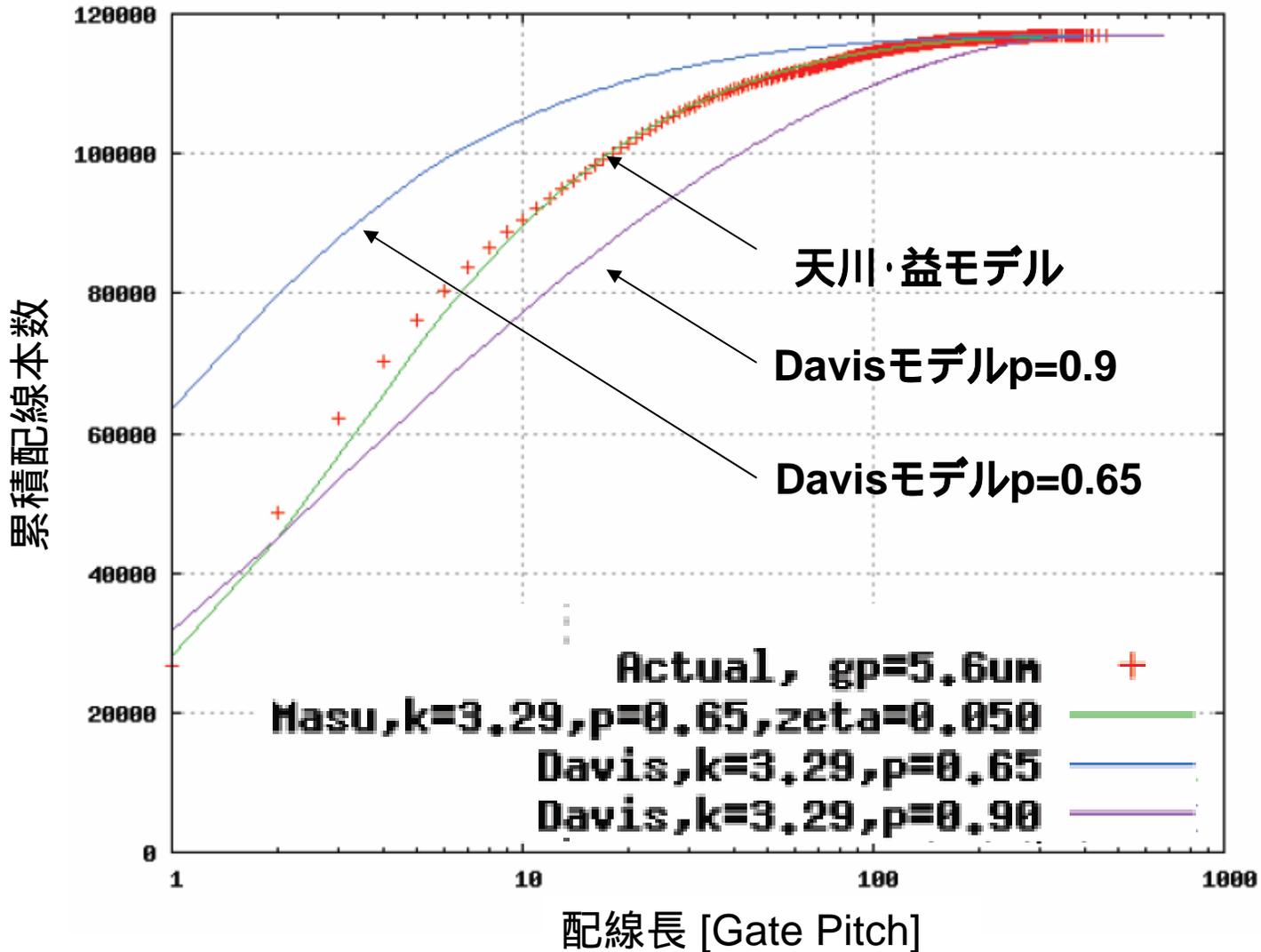
・天川・益モデル:

セル間接続の偏在性やセルの粗密を表現するパラメータを導入



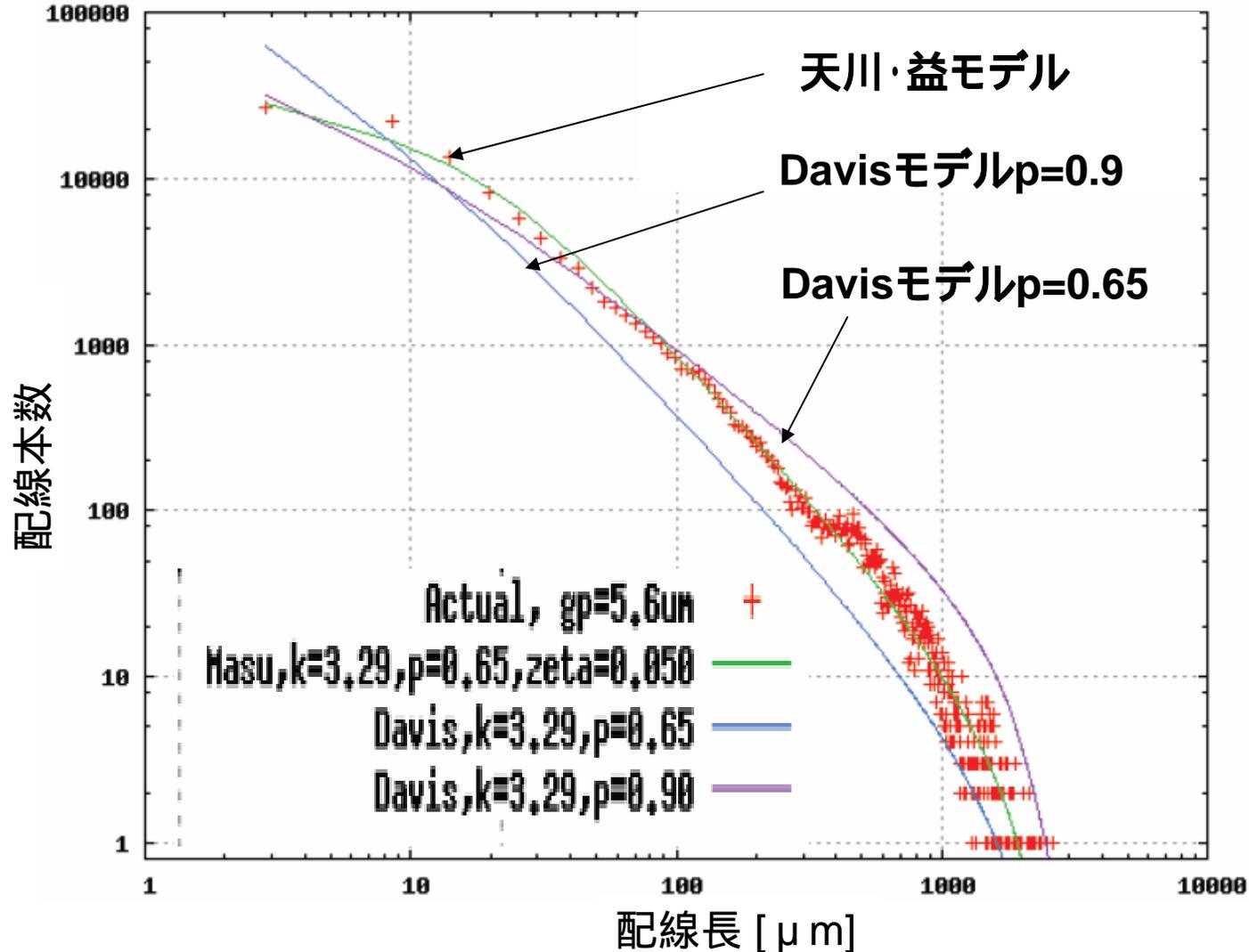
実チップの累積配線本数分布の例 (C社)

- C社 0.13 μm (M1_HP=0.18 μm) 世代のSOCの全体配線
- Davisモデルよりも天川・益モデルで良い近似が得られる



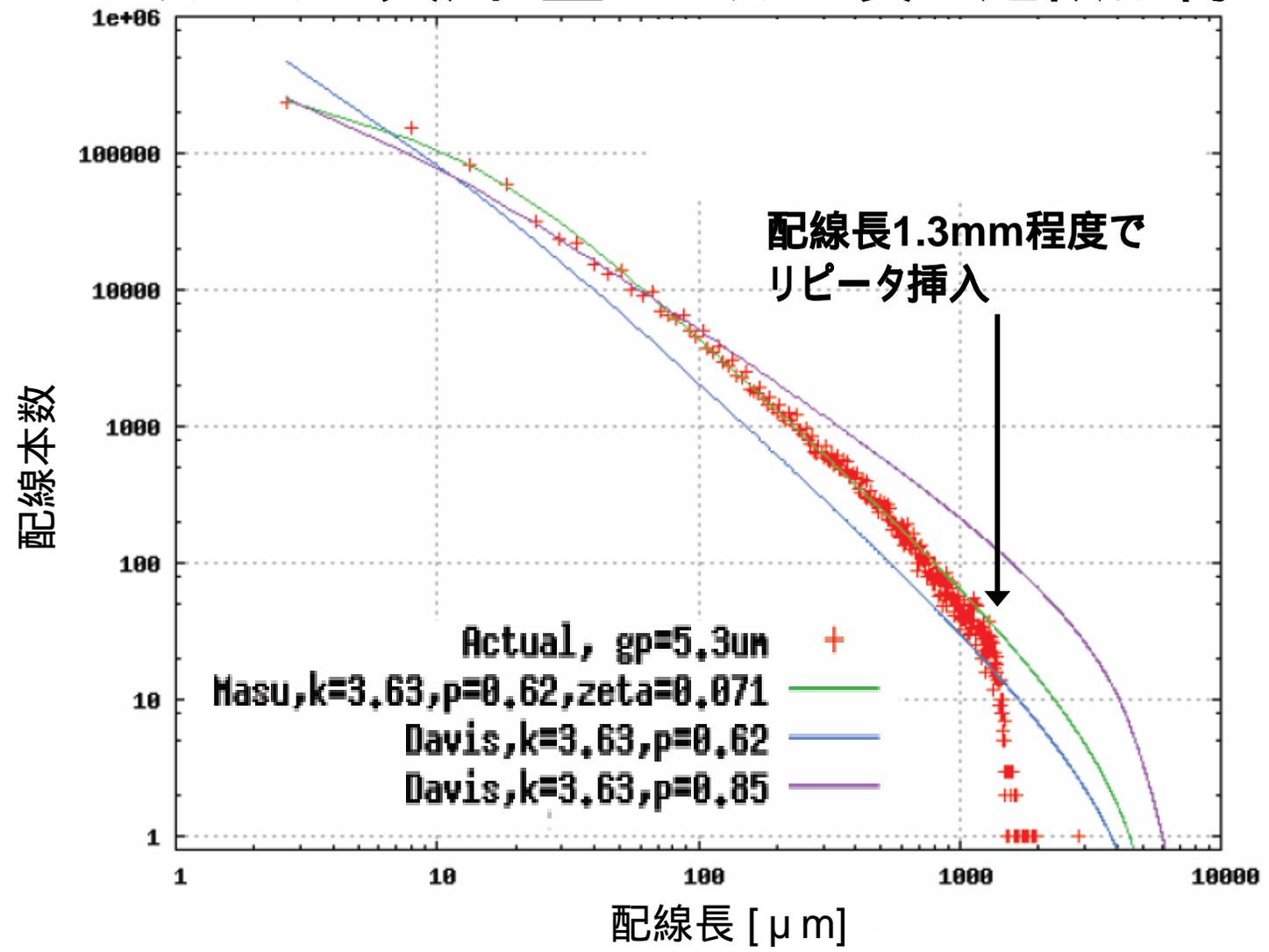
実チップの配線長分布の例 (C社)

- C社 0.13 μm (M1_HP=0.18 μm) 世代のSOCの全体配線
- Davisモデルよりも天川・益モデルで良い近似が得られる



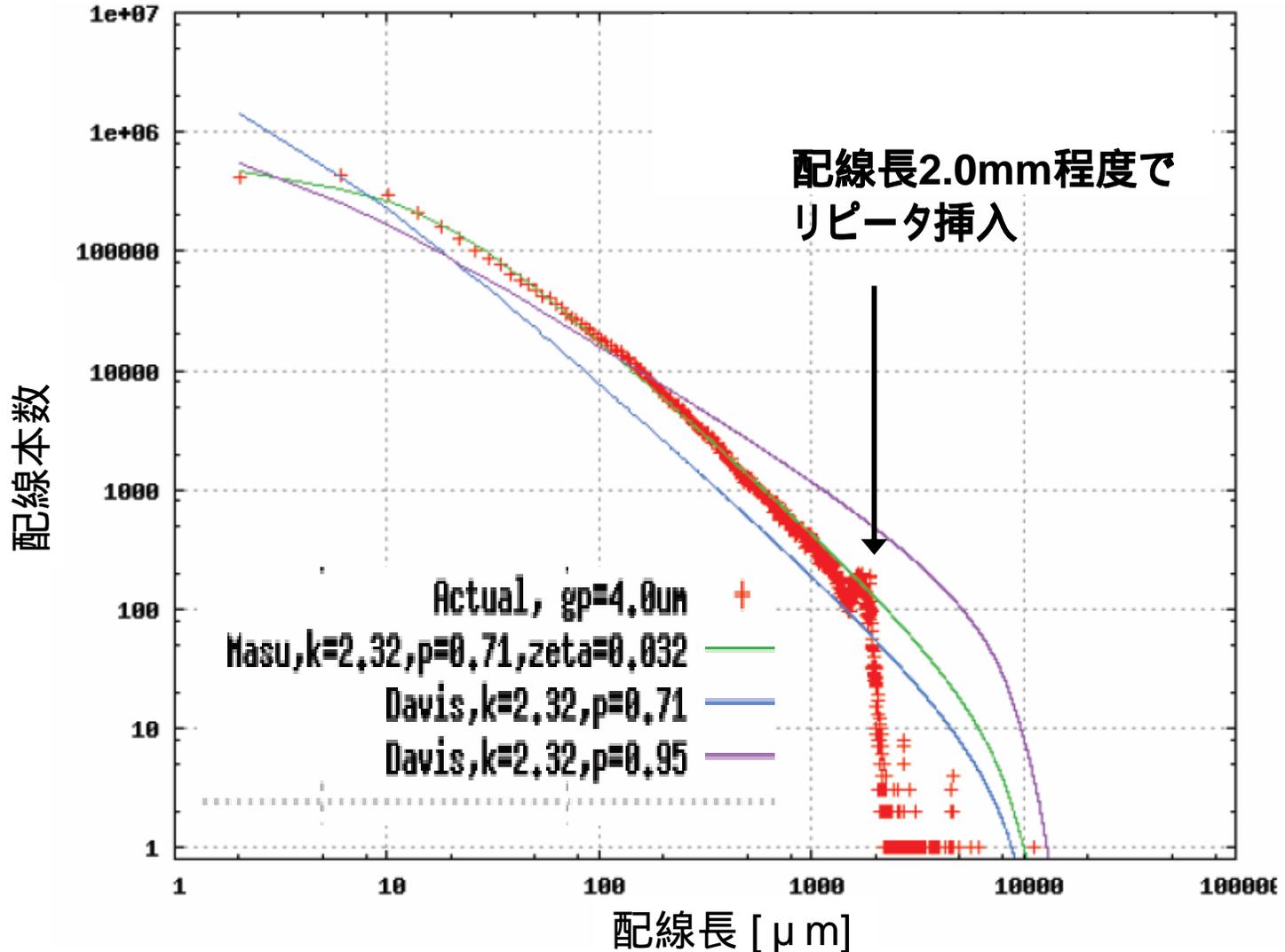
実チップの配線長分布の例 (B社)

- B社 90nm (M1_HP=130m) 世代のSOCの全体配線
- Davisモデルよりも天川・益モデルで良い近似が得られる

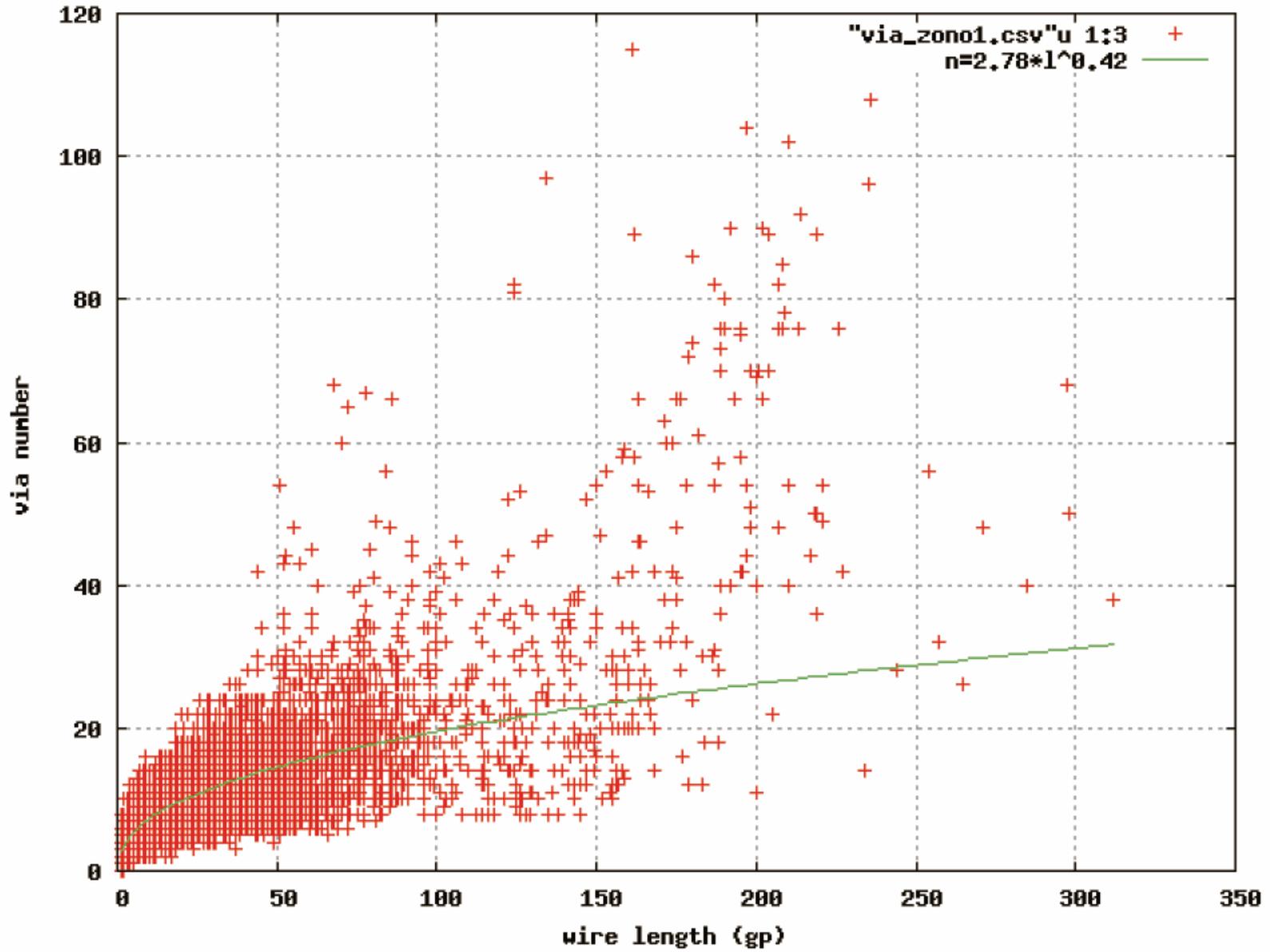


実チップの配線長分布の例 (A社)

- A社 90nm (M1_HP=130m) 世代のSOCの全体配線
- Davisモデルよりも天川・益モデルで良い近似が得られる

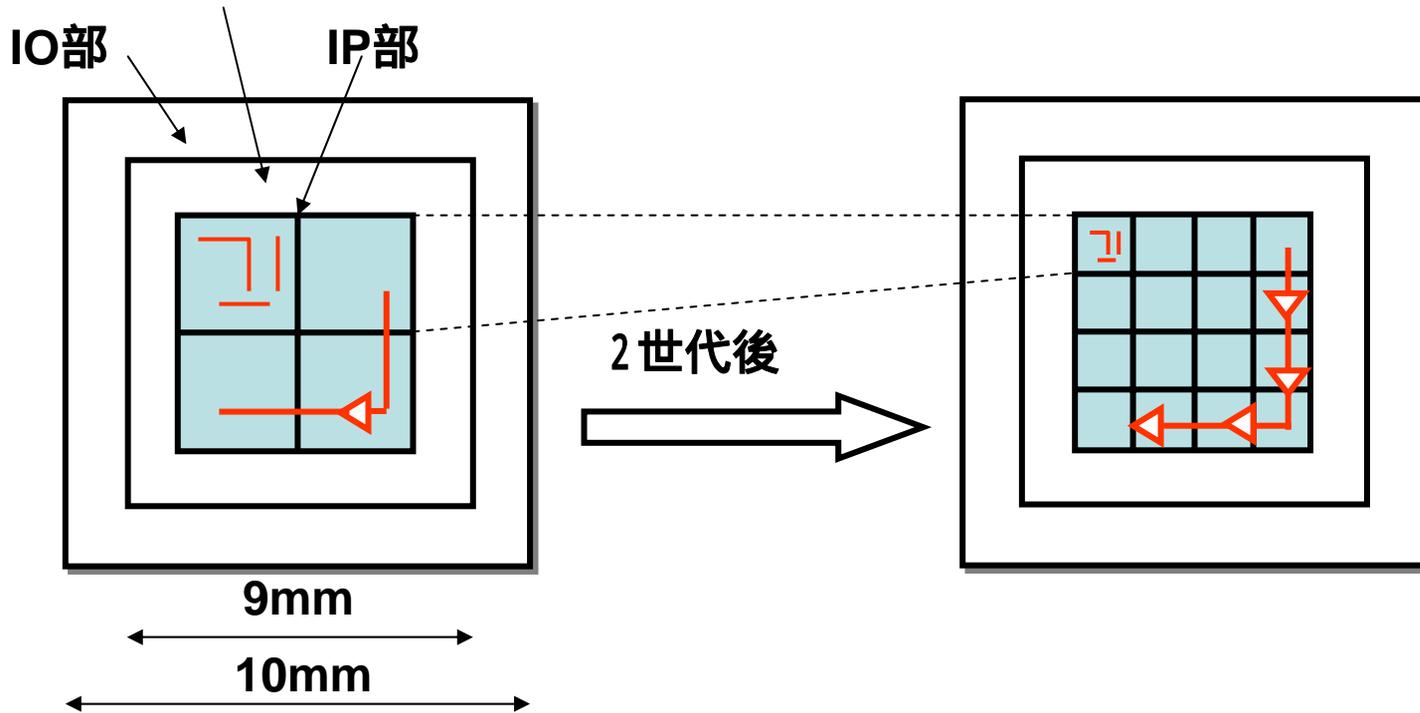


実チップのVIA数分布の例



SOCの変化イメージ

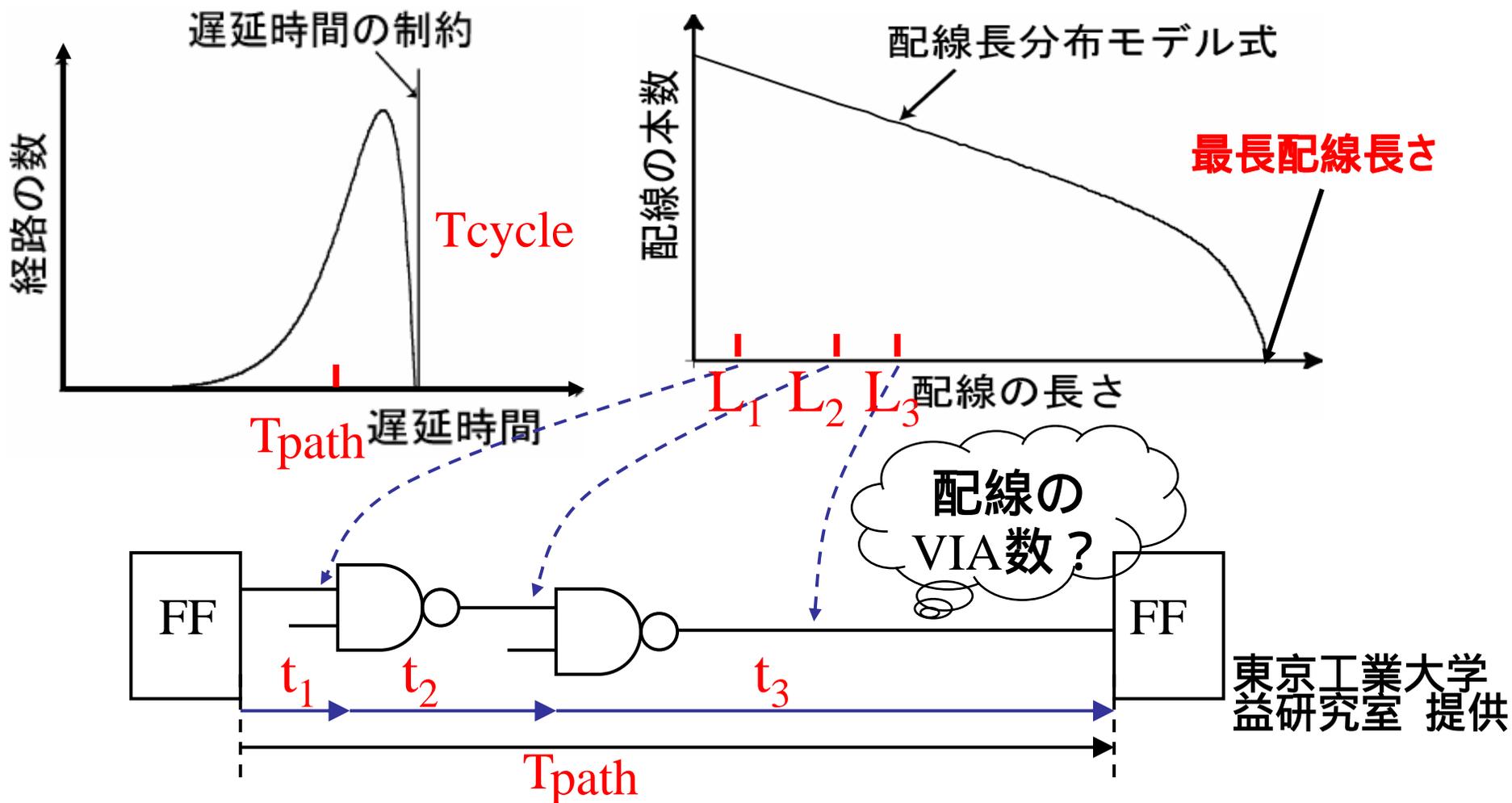
メモリ部 (IO除き 53%)



- IPの大きさは世代毎にシュリンクされる。
IP内の配線もシュリンクされる。
- IP部全体の大きさは変化しない
IPを又がる配線のリピータは増加する。

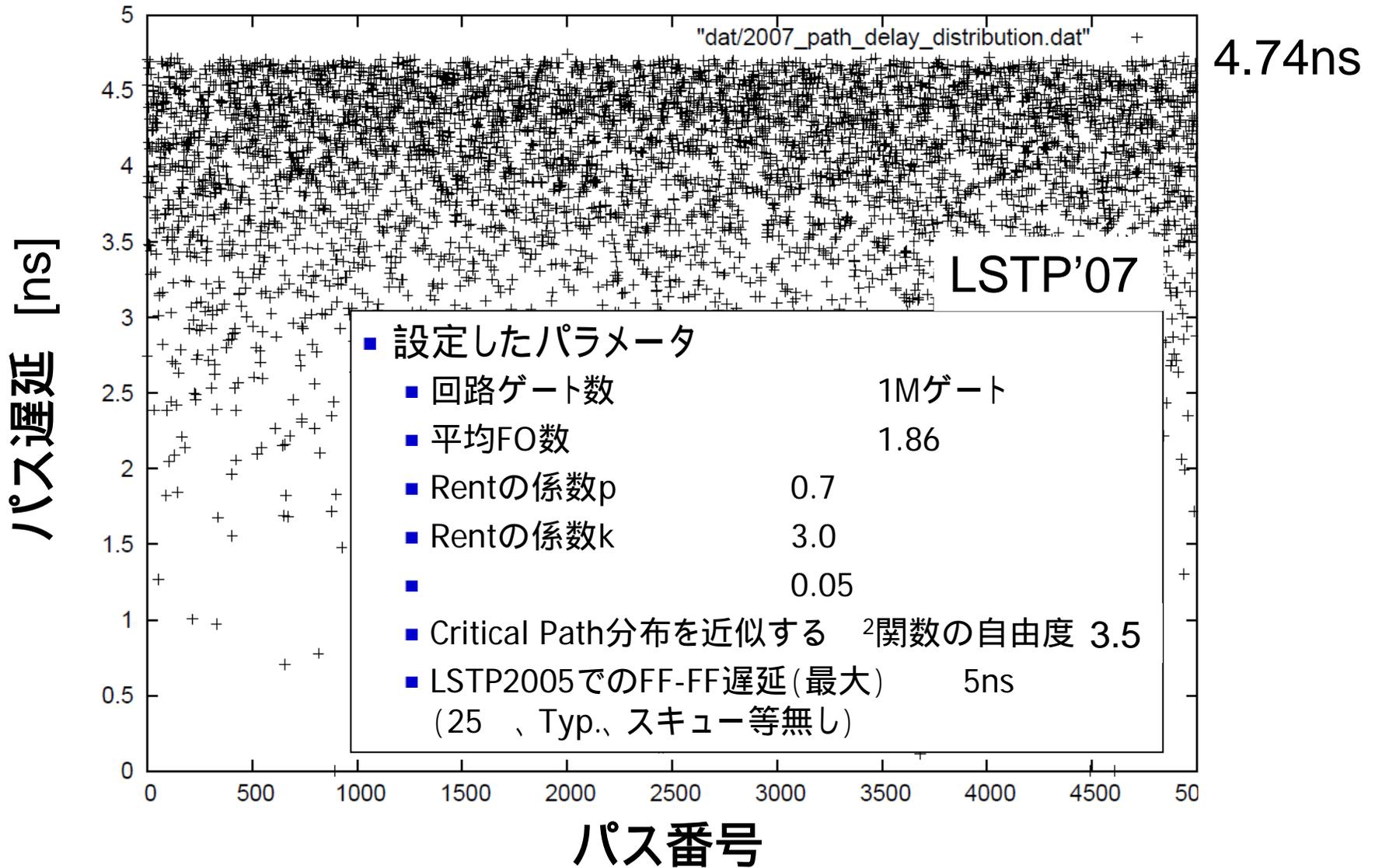
配線モデル構築

- 「回路のパス遅延時間分布」と「配線長分布」に合うように、FF-FFの論理回路パスを構成する^[3]



東京工業大学
益研究室 提供

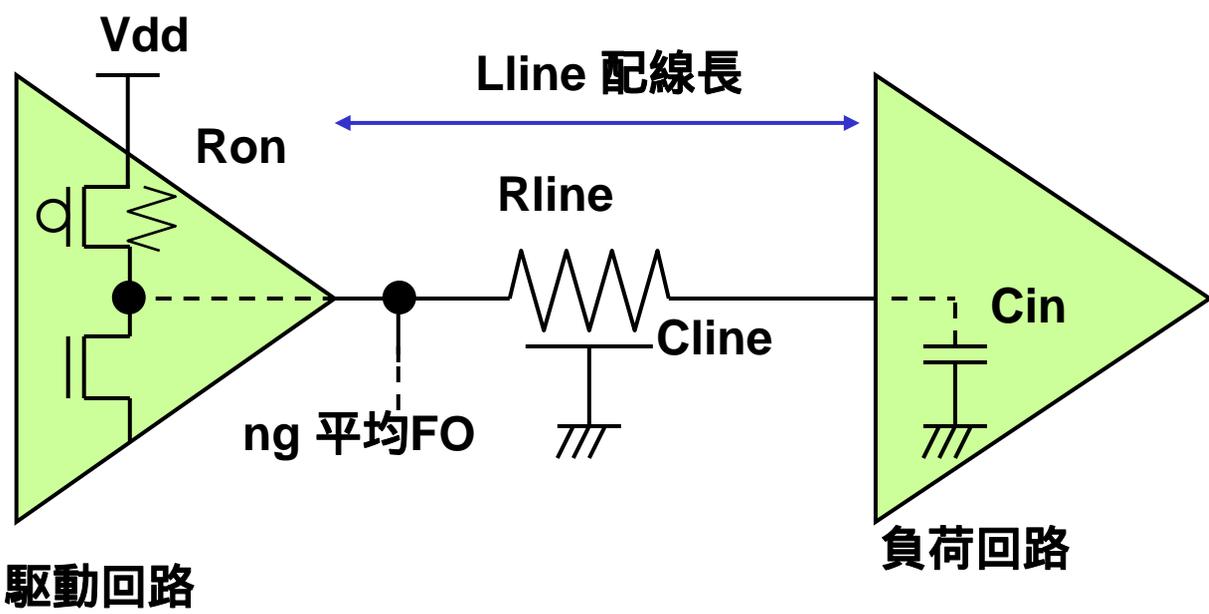
IP内パス遅延分布例



最適リピータ間隔の見積り

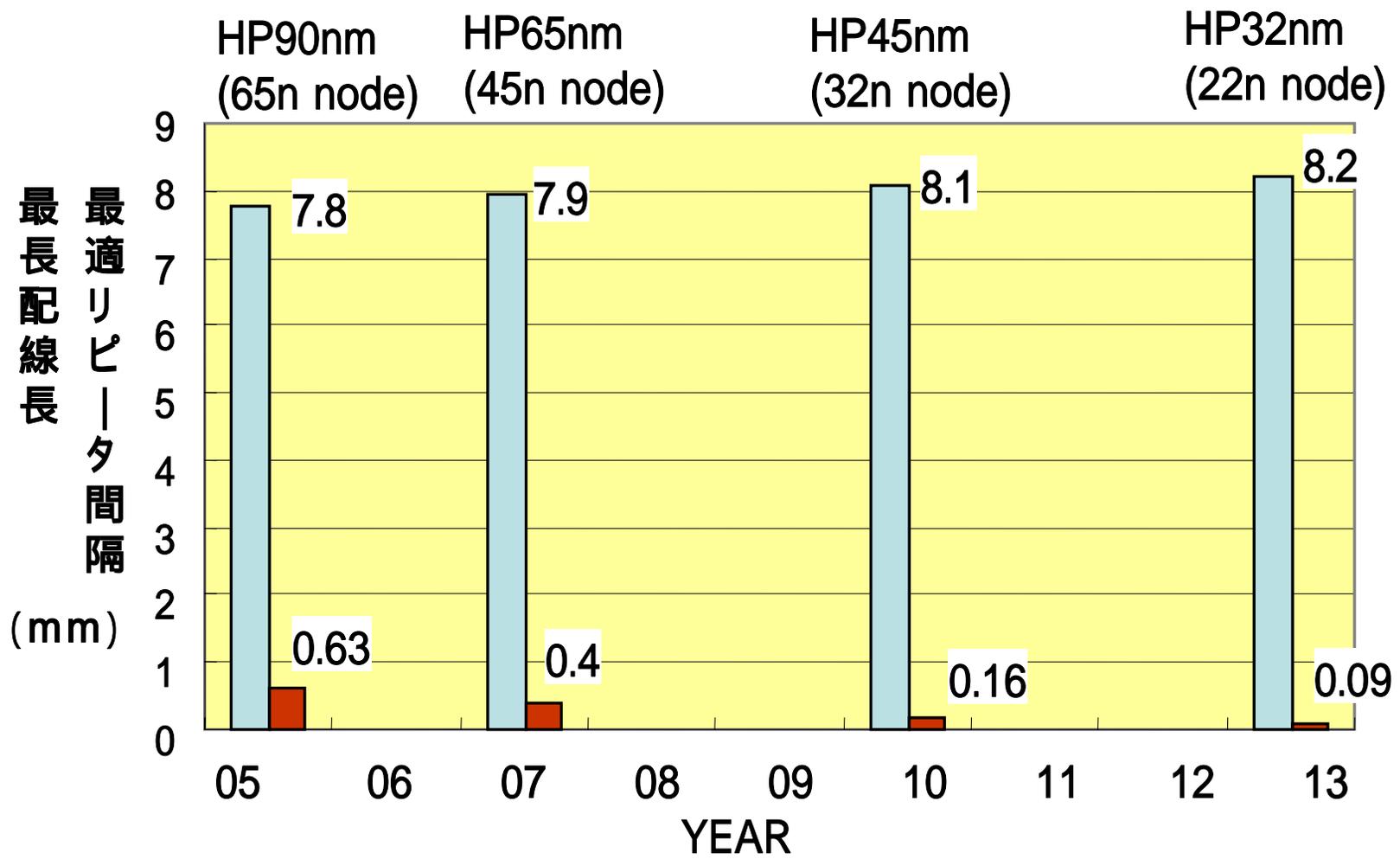
トランジスタによる駆動遅延 配線抵抗X負荷容量遅延 配線のRC遅延

$$\tau_g = \underbrace{n_g R_{on} L_{line} C_{line} + n_g R_{on} C_{in} + R_{line} L_{line} C_{in}}_{A成分} + \underbrace{R_{line} C_{line} \frac{L_{line}^2}{2}}_{B成分}$$

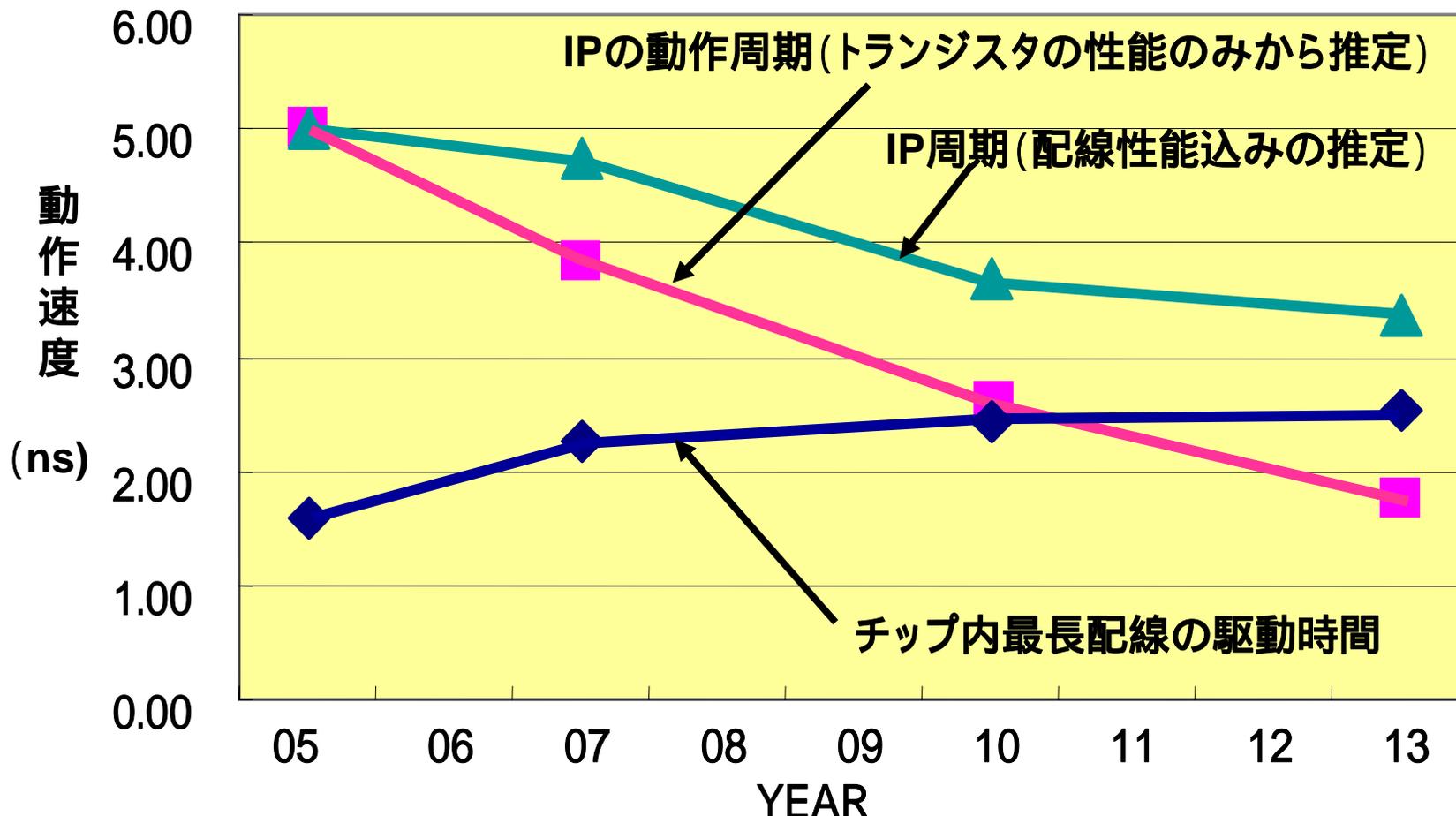


■ A成分 = B成分の条件で最適リピータ間隔を決定

最長配線長と最適リピータ間隔 (Intermediate)



性能推定 (LSTP)



- IPの性能向上は配線抵抗により飽和する。
- リピータを最適配置しても、チップ内長距離配線の遅延が支配的になる。

まとめ

■ 配線の効果のモデル化

- 各社P&Rデータを基に、配線分布をモデル化した。(天川・益モデル)
- リピータの効果を含めた配線遅延をモデル化した。

■ 得られた結果

- 配線抵抗の増大により、トランジスタ性能の性能向上にかかわらず、IPの性能向上が飽和する。
- リピータを考慮しても、最長配線の駆動時間が動作周期に対して支配的になる。

