配線性能とSOCの性能の関係

～ITRSの配線性能から見たムーアの法則の限界～

STRJ設計タスクフォース

用語解説

- IP： Intellectual Property ここでは一定の演算を行う回路ブロックの意味で使用
- FO: Fan Out あるゲートの出力端子に接続されているゲートの数
- FF： Flip Flop
- P & R： Place and Rout チップレイアウトにおける配置配線の意味

設計タスクフォースの委員構成

石橋　孝一郎（リーダ）	ルネサステクノロジ
浅田　善己（サブリーダ）	富士通
古野　慎治（幹事）	沖電気工業
朝重　浩喜	松下電器
東　大祐	シャープ
阿久井　聡	ソニー
藤沢　雅憲	ローム
抜山　知二	NECエレクトロニクス
斉藤　利忠	東芝
内山　邦男	日立製作所
益　一哉（特別委員）	東京工業大学
天川　修平（特別委員）	東京工業大学

設計タスクフォースの活動

- ミッション
  - ロードマップをSOCの特性から見て評価

- 期待される効果
  - ロードマップに現れる数字の評価を会員企業にいち早くフィードバック
  - 問題点の把握と対策着手のきっかけ
  - ロードマップの見直しのきっかけ

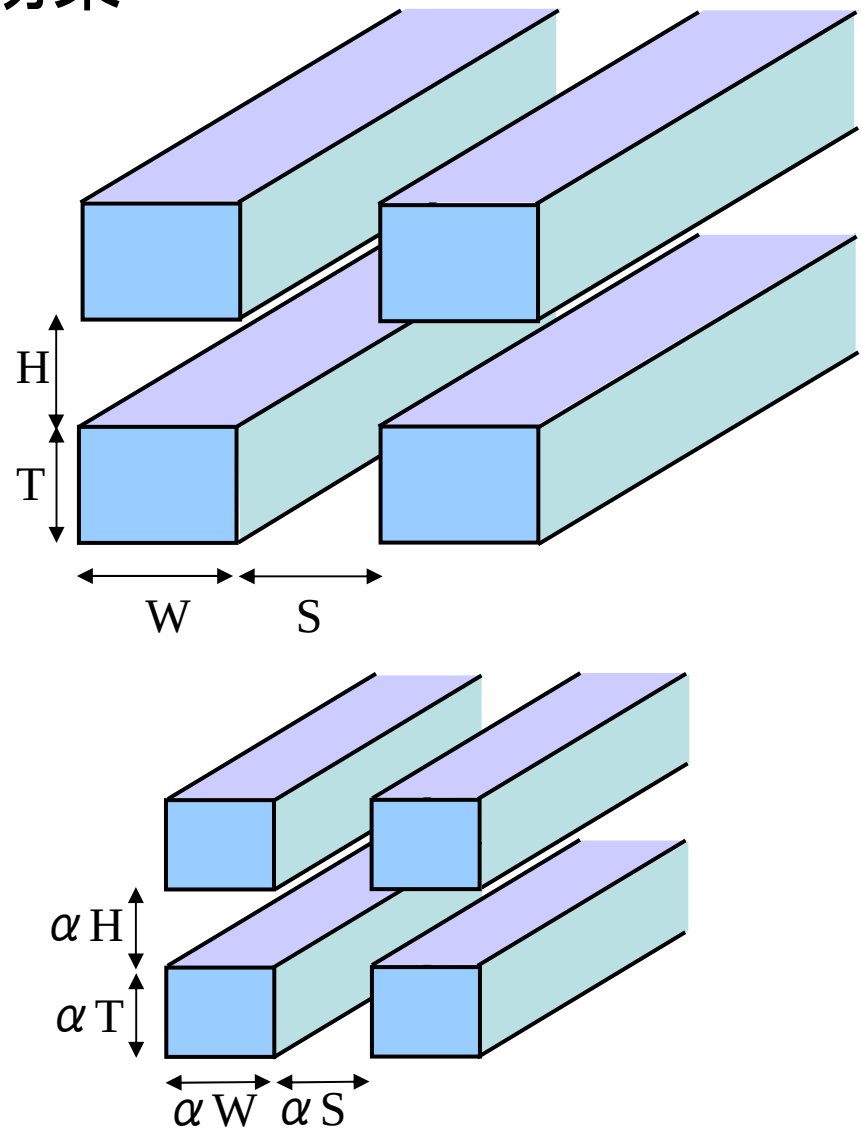
これまでの活動

- トランジスタパラメータがSOCの電力に与える影響評価
  ～2004年度
- トランジスタのばらつきがSOCの特性に与える影響評価
  2004～2005年度
- 配線特性がSOC特性に与える影響の検討
  2005年度～

考慮すべき配線特性の動向 1

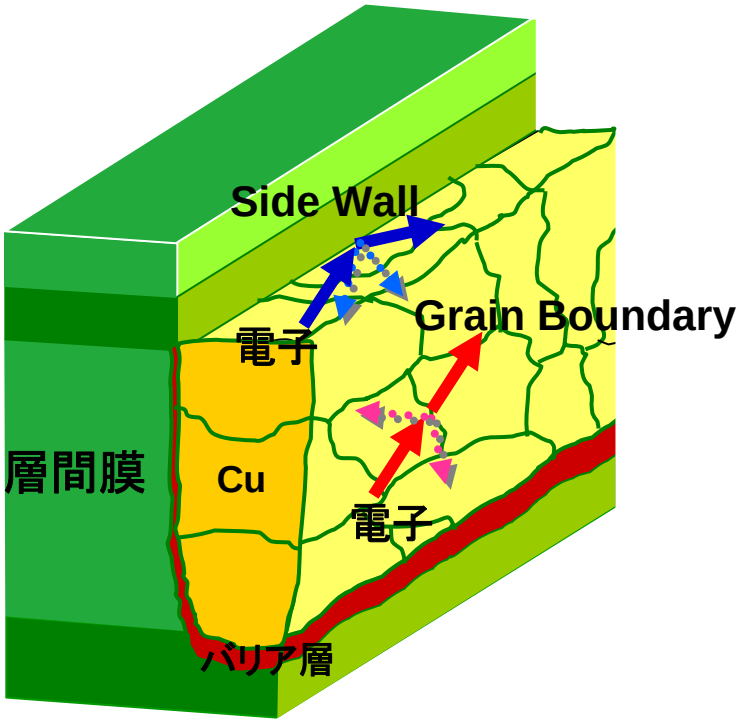
- 配線におけるスケーリングの効果

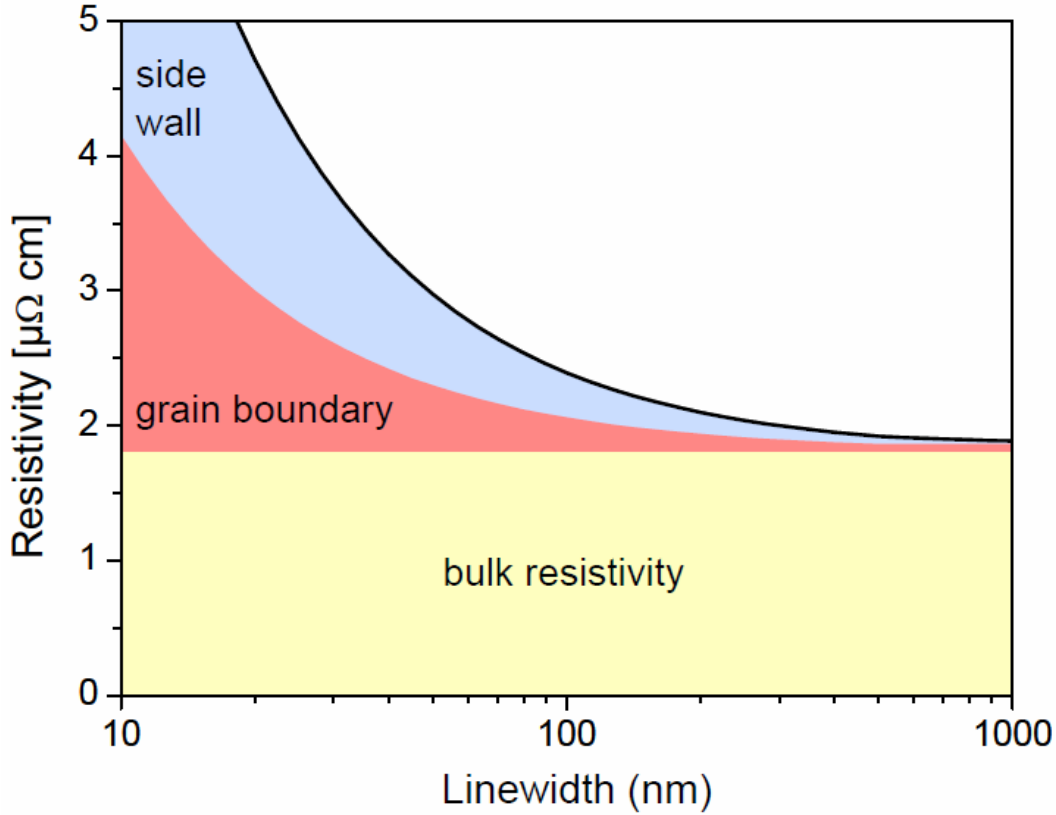
	Symbol	Scaling Coefficient
Wire Thickness	T	α
Width	W	α
Space	S	α
Dielectric Thickness	H	α
Length	L	α
Resistance	Rint～L/(W*T)	1/α
Capacitance	Cint～LW/H	α
RC delay	RintCint	1



考慮すべき配線特性の動向 2

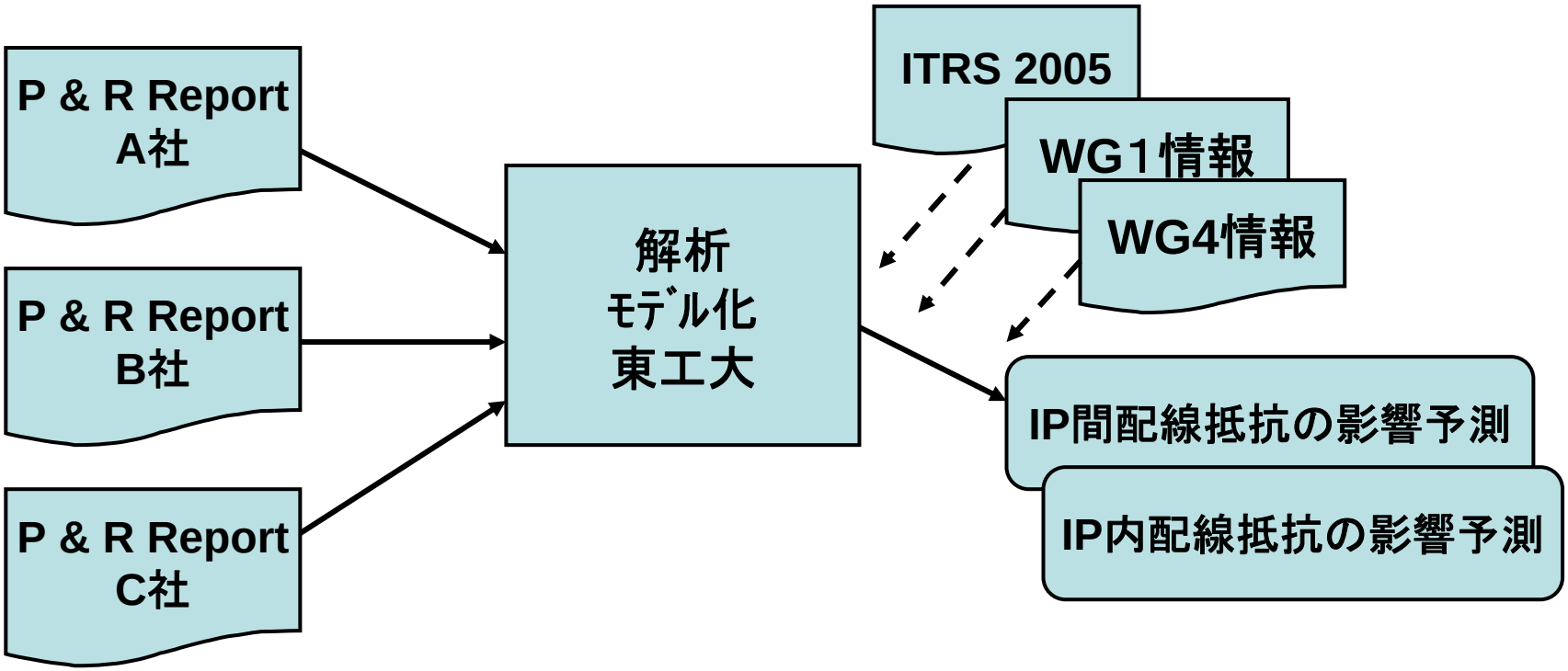
- 配線のバリア層の部分の抵抗の寄与
- 「配線・層間膜界面」「結晶粒界」散乱により配線の抵抗率そのものが、上昇





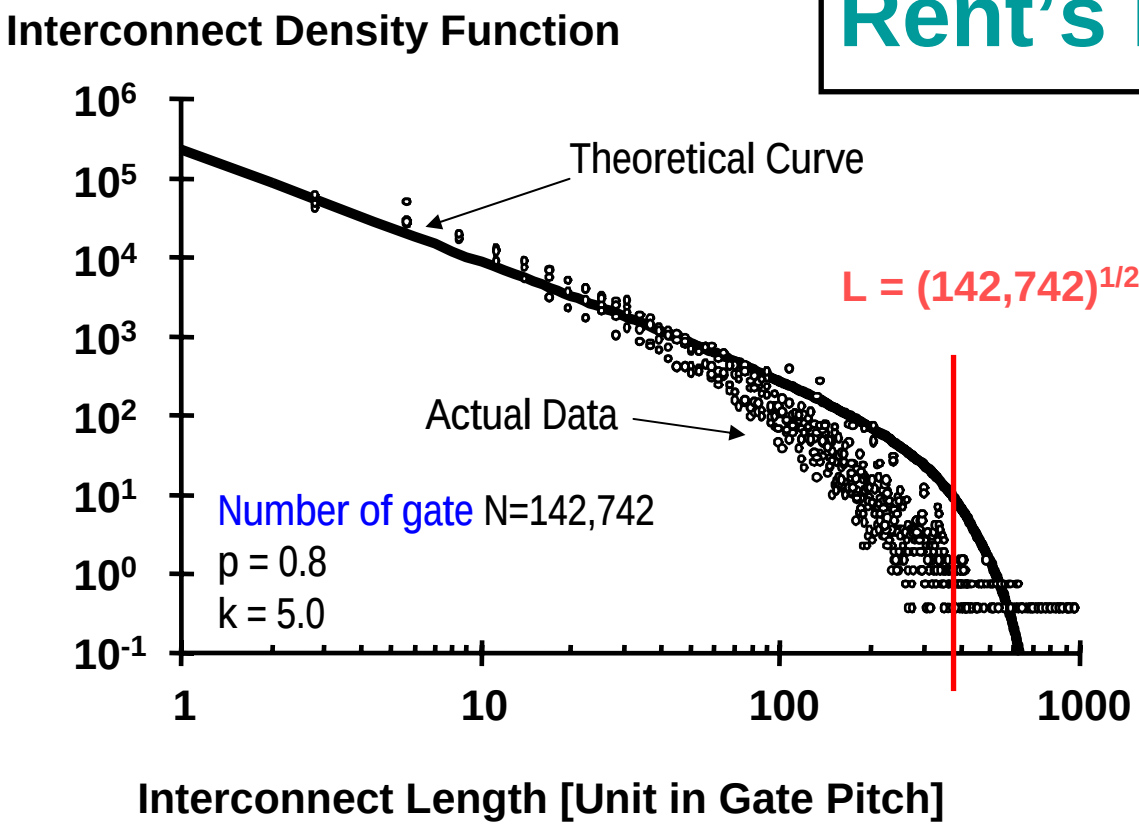
2005年度からの配線性能の検討方法

- 会員企業から実チップ設計結果の P&R Report データ提供
- 東工大　益研究グループによる解析とモデル化
- WG4（配線Group）からのViaパラメータ提供
- IP内とIP間の配線抵抗の影響を予測

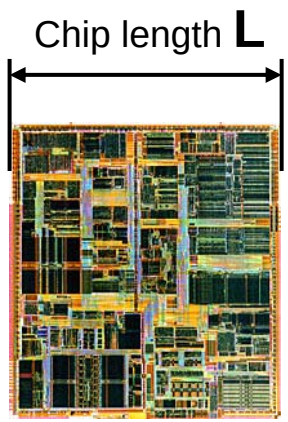


配線分布のモデル (Davisモデル)

Rent's Law: $T = k N_{gate}^{p}$



$L = (142{,}742)^{1/2} = 377$ [gate pitch]

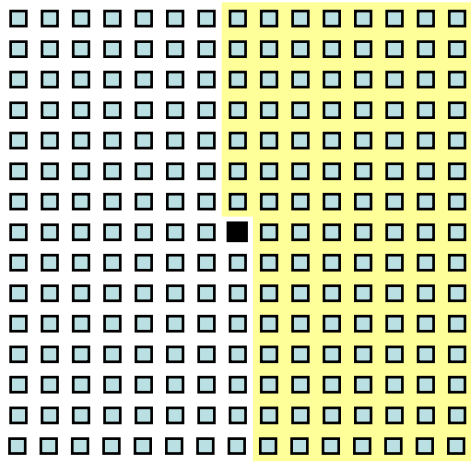


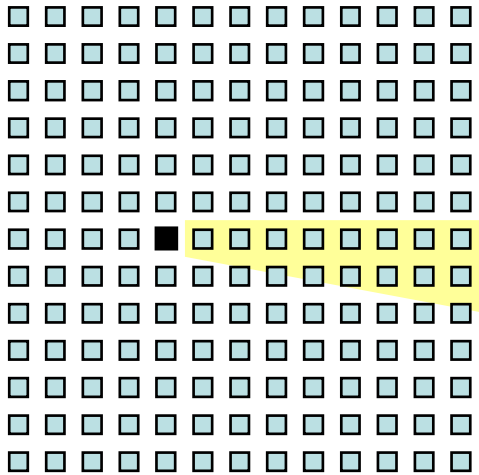
$$L = \sqrt{N}$$

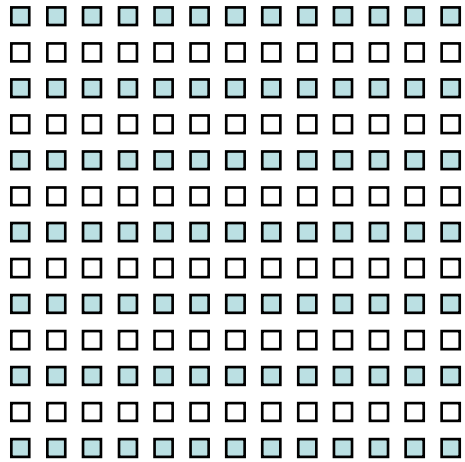
Davis, De, and Meindl, IEEE ED-45(3) 580 (1998)
The figure is obtained from web site and modified

天川･益　配線長分布モデル

- Davis モデル:
  1セルに注目し、それが半平面上にあるセルと接続されている
- 天川･益モデル:
  セル間接続の偏在性やセルの粗密を表現するパラメータξを導入

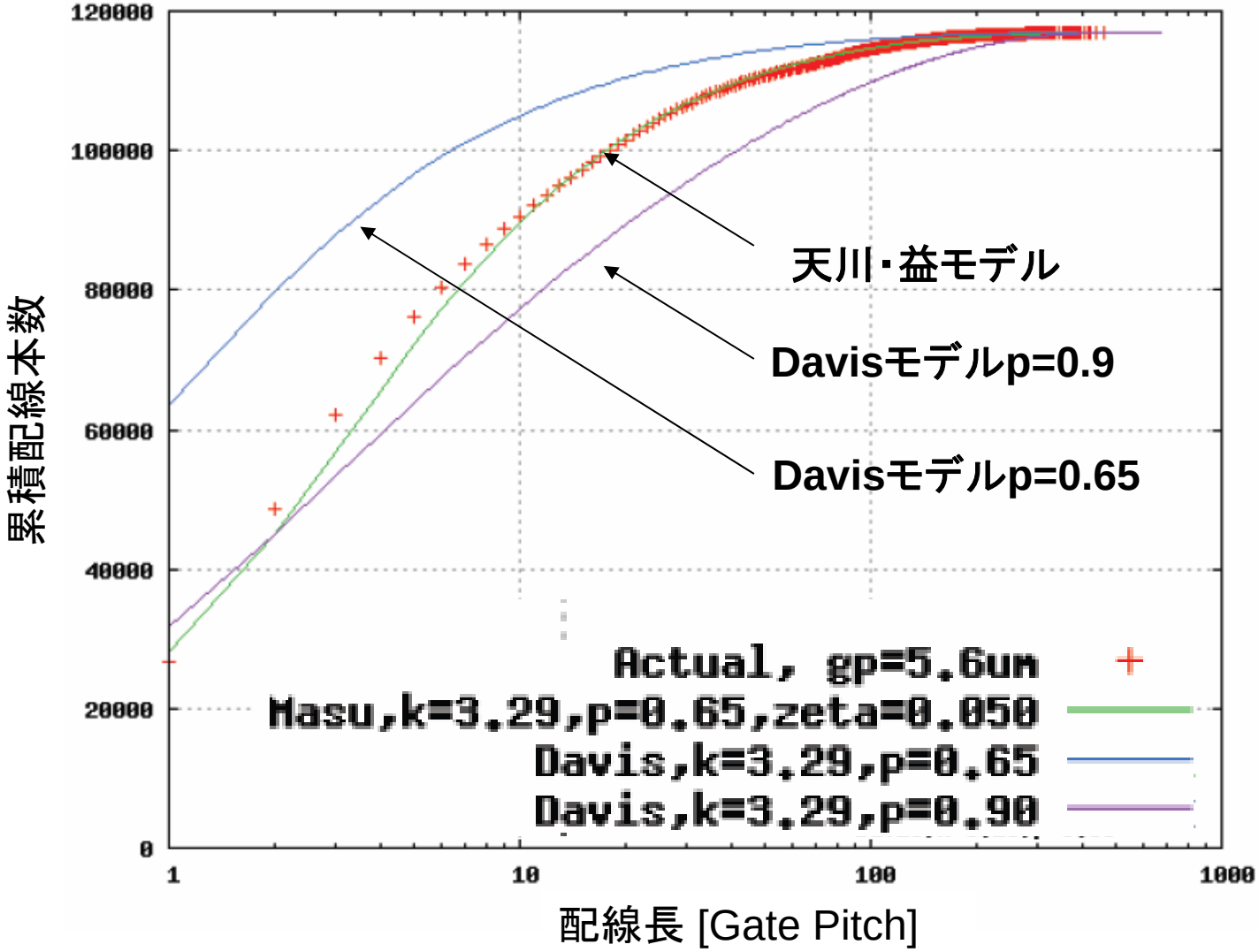






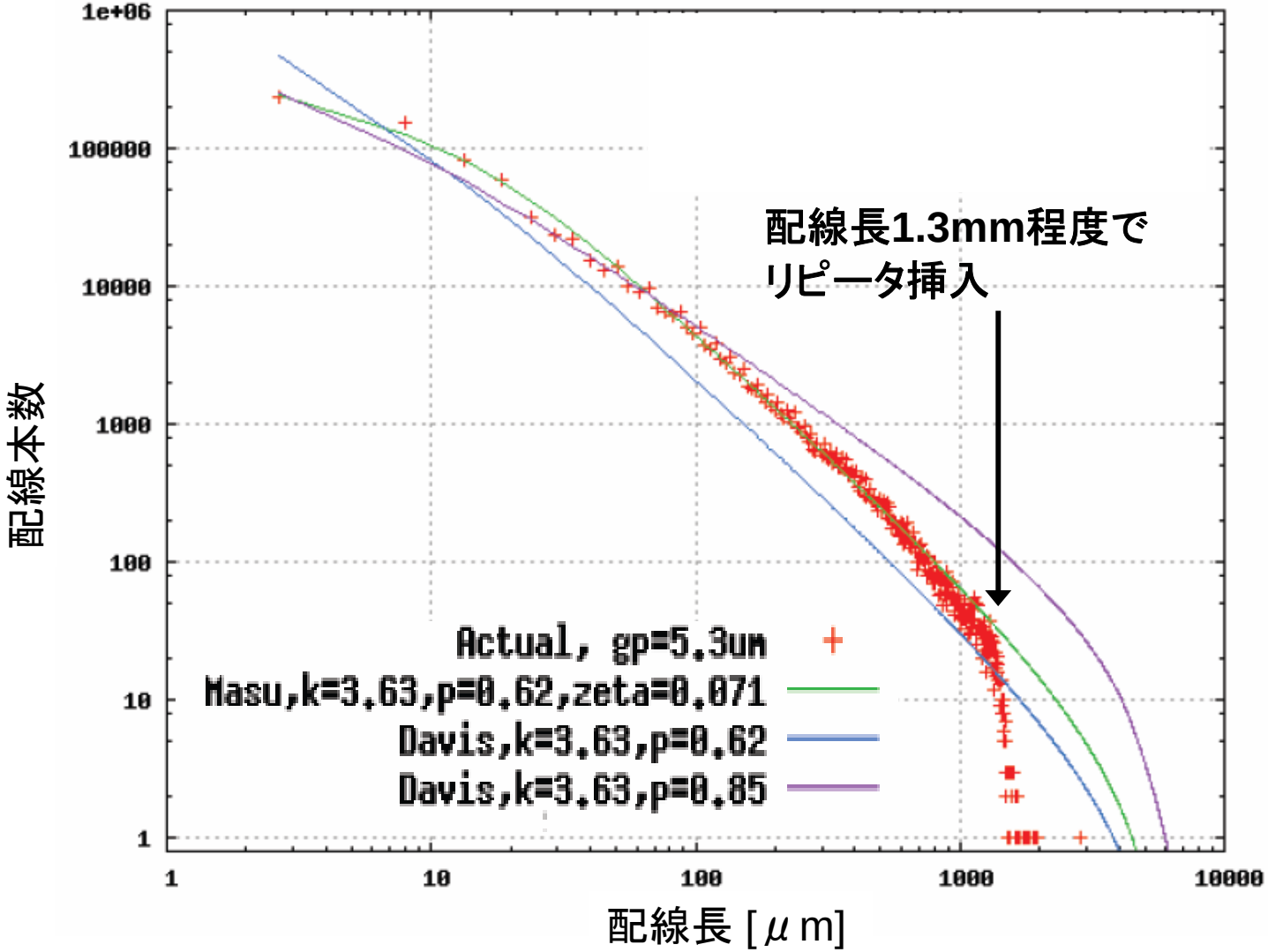
実チップの累積配線本数分布の例 (C社)

- C社 0.13μm（M1_HP=0.18μm）世代のSOCの全体配線
- Davisモデルよりも天川・益モデルで良い近似が得られる

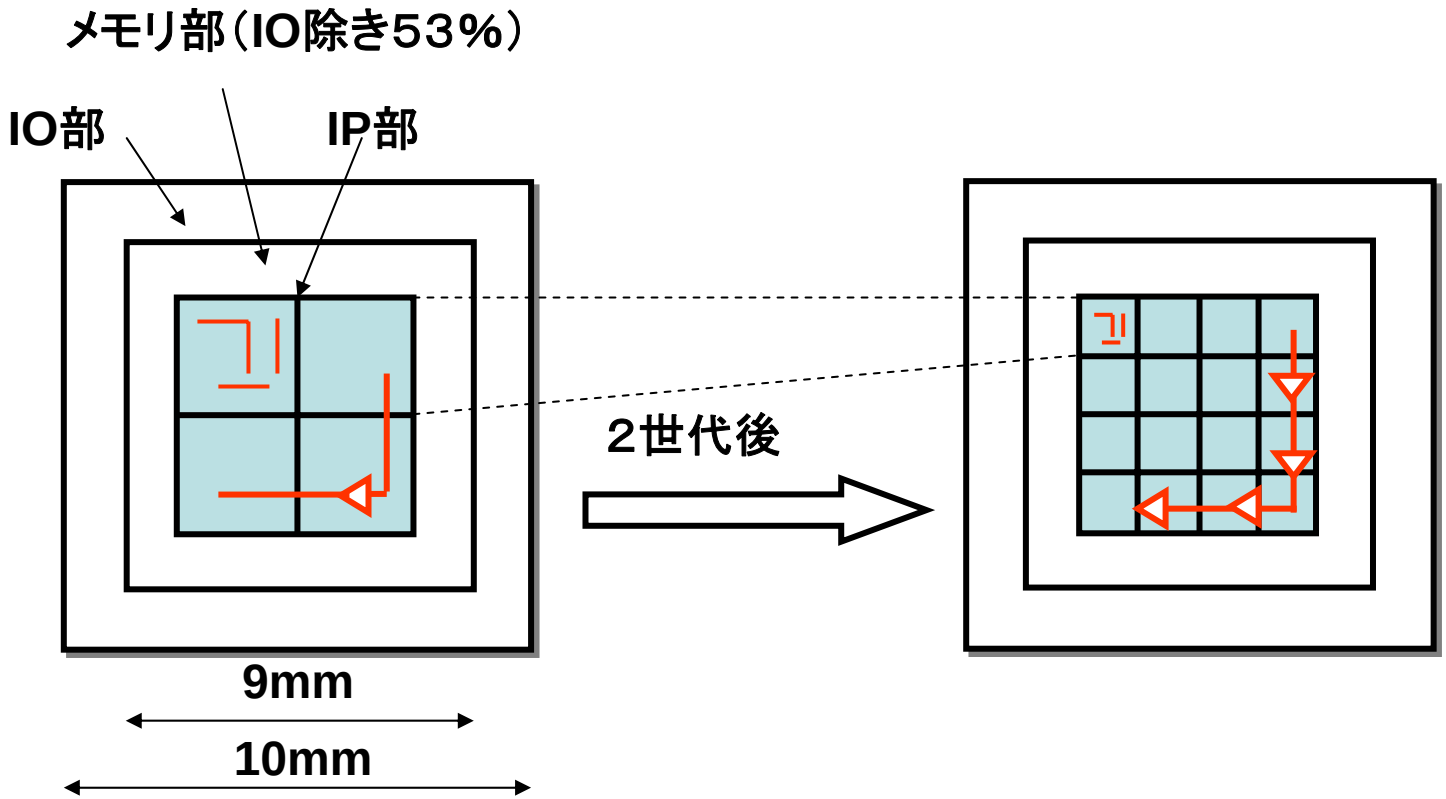


実チップの配線長分布の例 (B社)

- B社 90nm（M1_HP=130m）世代のSOCの全体配線
- Davisモデルよりも天川・益モデルで良い近似が得られる



SOCの変化イメージ

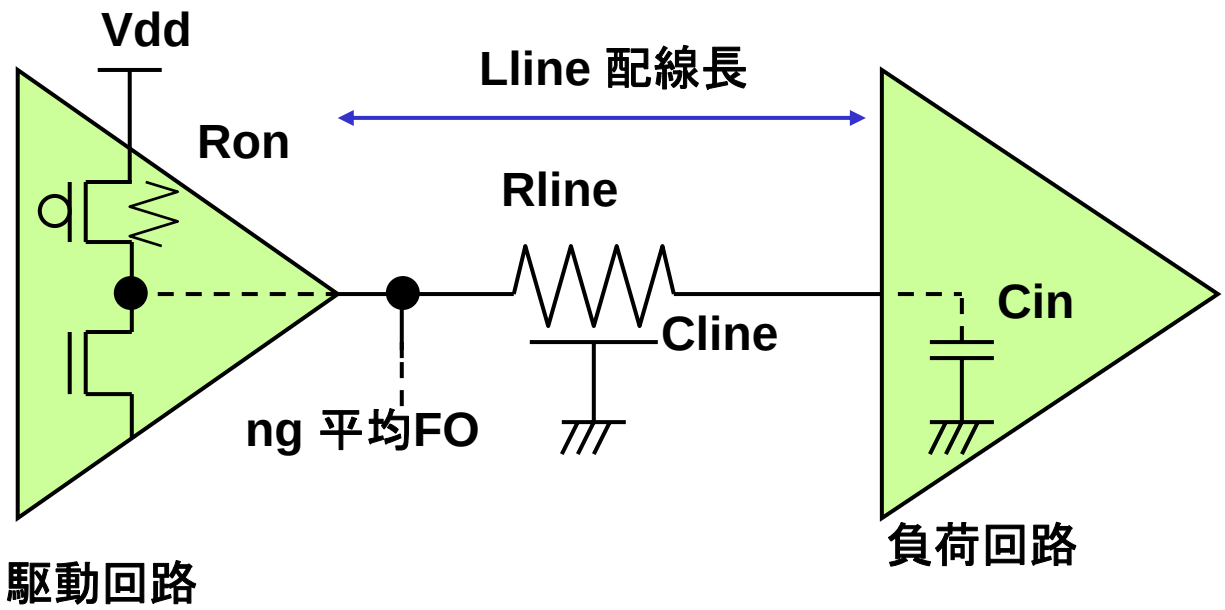


- IPの大きさは世代毎にシュリンクされる。
  IP内の配線もシュリンクされる。
- IP部全体の大きさは変化しない
  IPを叉がる配線のリピータは増加する。

最適リピータ間隔の見積り

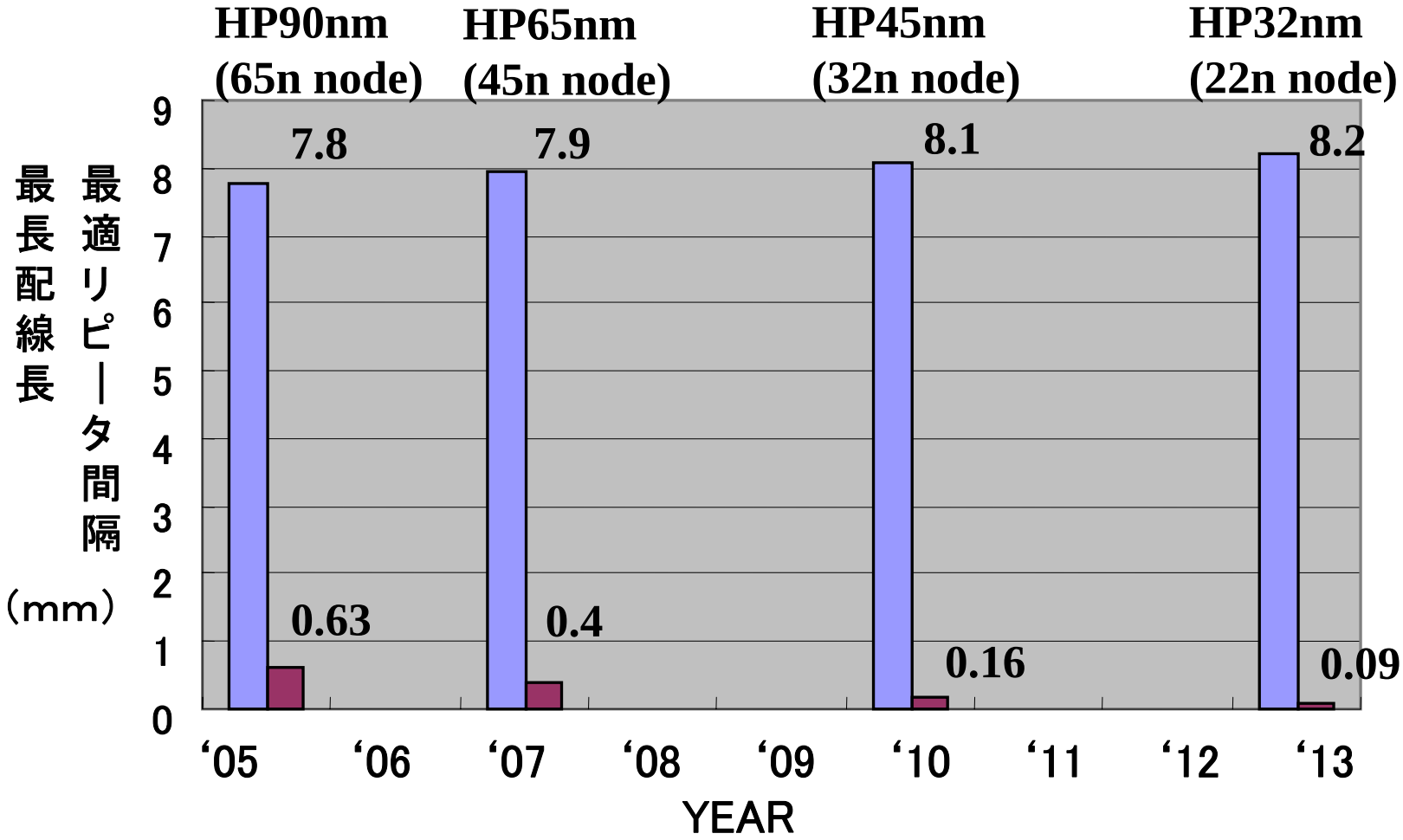
トランジスタによる駆動遅延　配線抵抗X負荷容量遅延　配線のRC遅延

$$\tau_g = \underbrace{n_g R_{on} L_{line} C_{line} + n_g R_{on} C_{in} + R_{line} L_{line} C_{in}}_{\text{A成分}} + \underbrace{R_{line} C_{line} \frac{L_{line}^2}{2}}_{\text{B成分}}$$

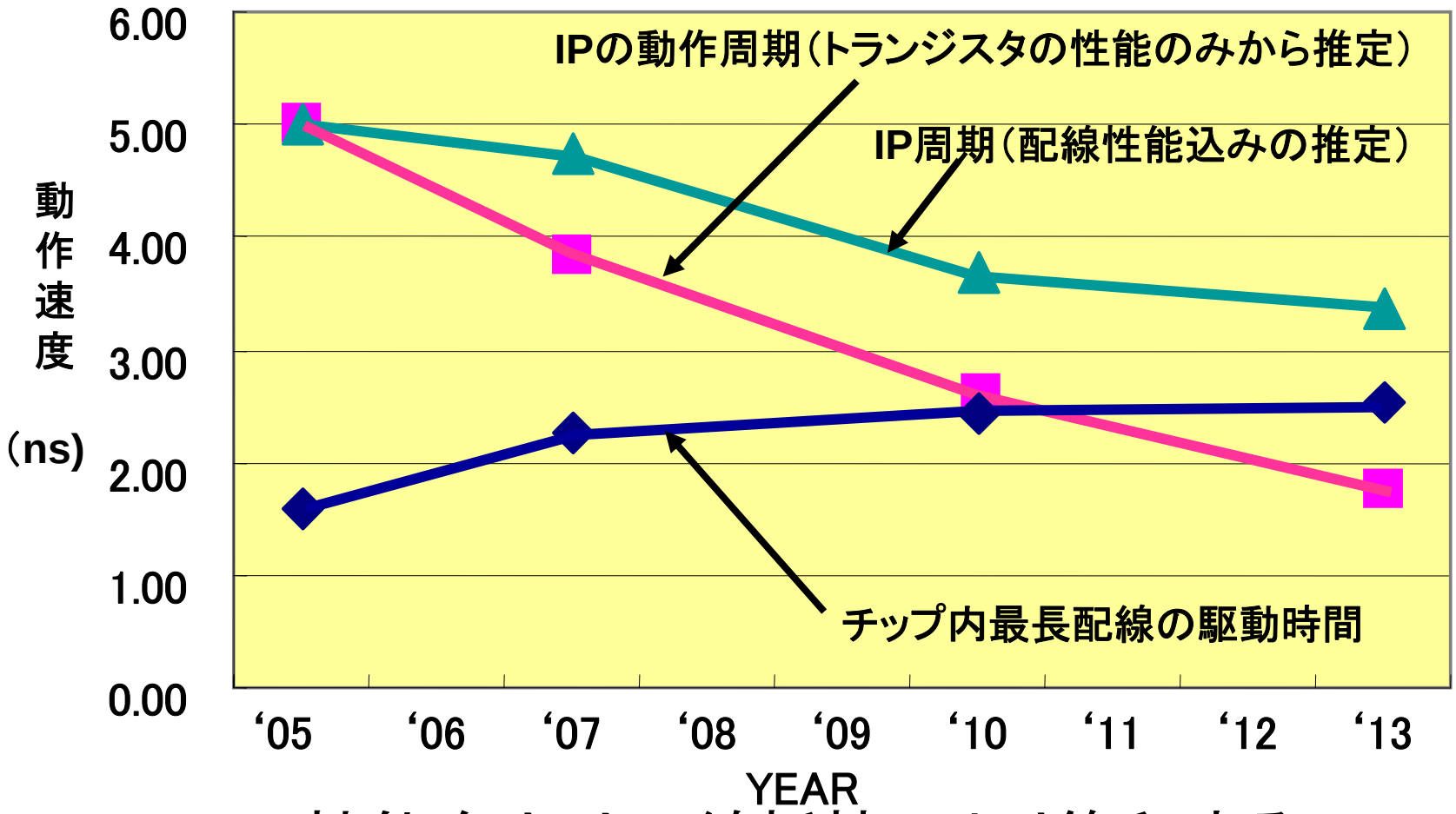


- A成分＝B成分の条件で最適リピータ間隔を決定

想定SOCの最長配線長と最適リピータ間隔 (Intermediate)



性能推定 (LSTP)



- IPの性能向上は配線抵抗により飽和する。
- リピータを最適配置しても、チップ内長距離配線のディレイが支配的になる。

検討に使用した配線パラメータ（Intermediate配線とGlobal配線）

製造年		2005	2007	2010	2013
MPU/ASIC M1 half pitch (nm)		90	68	45	32
産業上の対応するプロセス世代の目安 (nm)		65	45	32	22
層間膜の実効比誘電率		3.1-3.4	2.9-3.3	2.6-2.9	2.4-2.8
Intermediate配線	配線ピッチ (nm)	200	136	90	64
	配線容量 (fF/mm)	210	190	170	165
	配線抵抗率 ($\mu\Omega$-cm)	3.07	3.43	4.08	4.83
Global配線	配線ピッチ (nm)	300	210	135	96
	配線容量 (fF/mm)	220	215	190	185
	配線抵抗率 ($\mu\Omega$-cm)	2.53	2.73	3.10	3.52

※2005年の数値はITRS2005から、2007年以降の数値はITRS2007向けDraft版（2007年7月）から抜粋

検討に使用したトランジスタパラメータ（LOPトランジスタとLSTPトランジスタ）

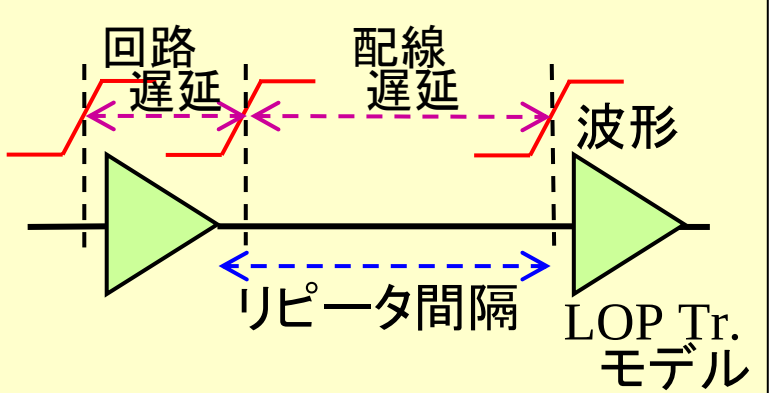
製造年		2005	2007	2010	2013
MPU/ASIC M1 half pitch (nm)		90	68	45	32
産業上の対応するプロセス世代の目安 (nm)		65	45	32	22
LOPトランジスタ (NMOS)	Vdd (V)	0.9	0.8	0.7	0.6
	Lg (nm)	45	32	22	16
	Ids (μ A/ μ m)	589	571	698	743
	Ioff (nA/ μ m)	3.0	7.2	13.2	8.1
	Jg (A/cm^2)	3.3e+1	3.0e+1	5.0e+2	1.8e+1
	テクノロジタイプ	Bulk	Bulk	Bulk	FD-SOI
LSTPトランジスタ (NMOS)	Vdd (V)	1.2	1.1	1.0	0.95
	Lg (nm)	65	45	28	20
	Ids (μ A/ μ m)	497	478	570	635
	Ioff (nA/ μ m)	1.0e-2	3.3e-2	3.4e-2	4.0e-2
	Jg (A/cm^2)	1.5e-2	4.2e-1	9.3e+1	8.7e-1
	テクノロジタイプ	Bulk	Bulk	Bulk	Bulk

※2005年の数値はITRS2005から、2007年以降の数値はITRS2007向けDraft版（2007年5月）から抜粋

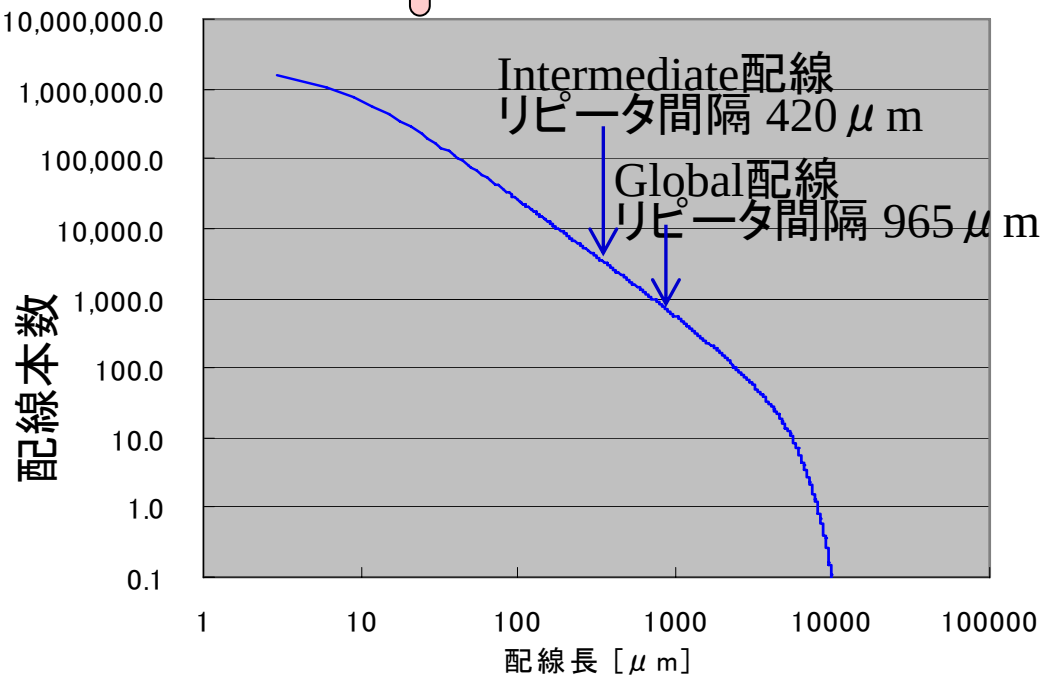
リピータ挿入条件

- 2005年（M1 half pitch=90nm, 商用ノード 65nm）における最適リピータ挿入
  - Intermediate配線において420μm間隔
  - Global配線において965μm間隔

設定したSoCモデル（2005年時点）
- Gate Pitch =3.0μm
- Gate 数 = 4.23Mgate
- Rentの係数p = 0.7
- Rentの係数k = 3
- 平均Fan Out数 = 1.86
- 益・天川の係数ξ＝0.05

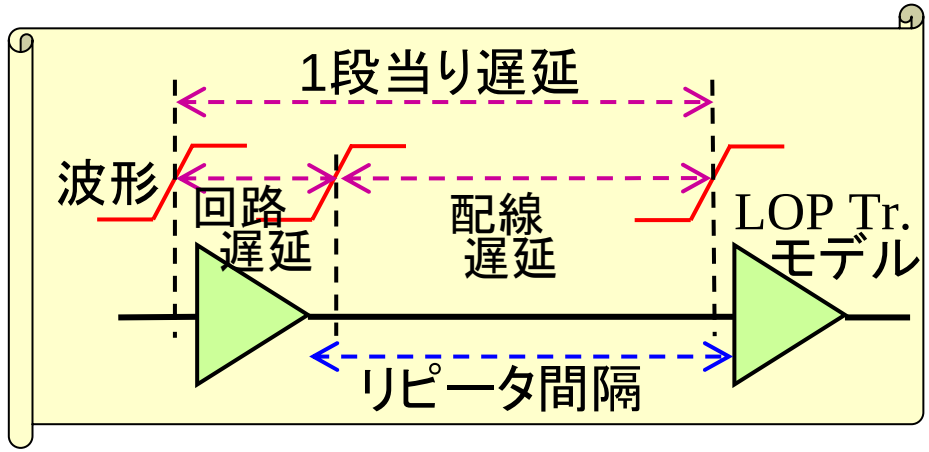


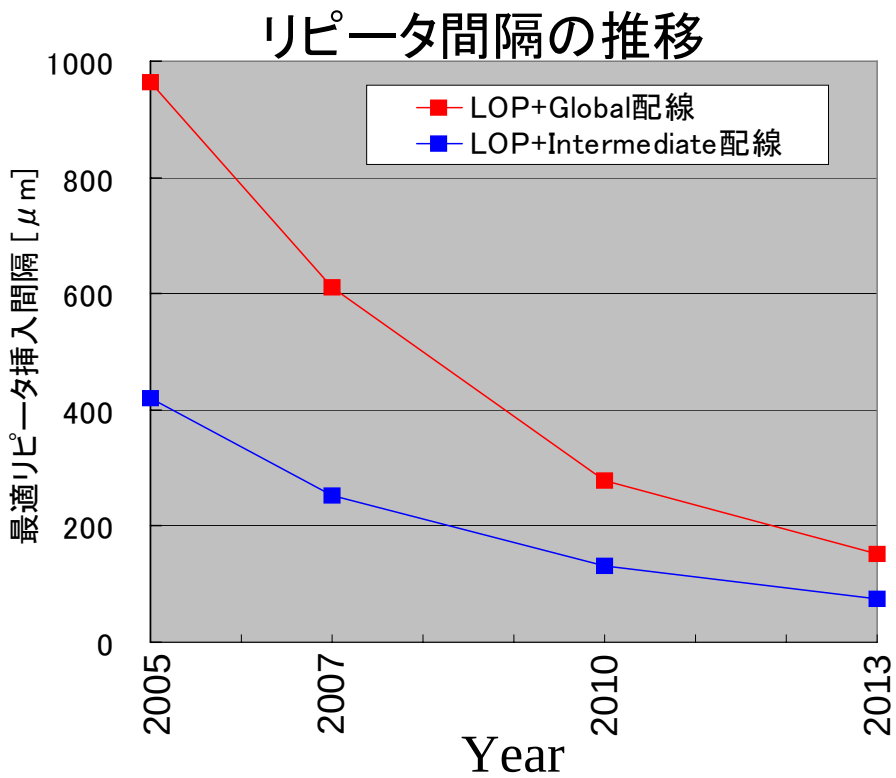
最適リピータの挿入条件
- 配線遅延=回路遅延
- リピータ駆動能力×16

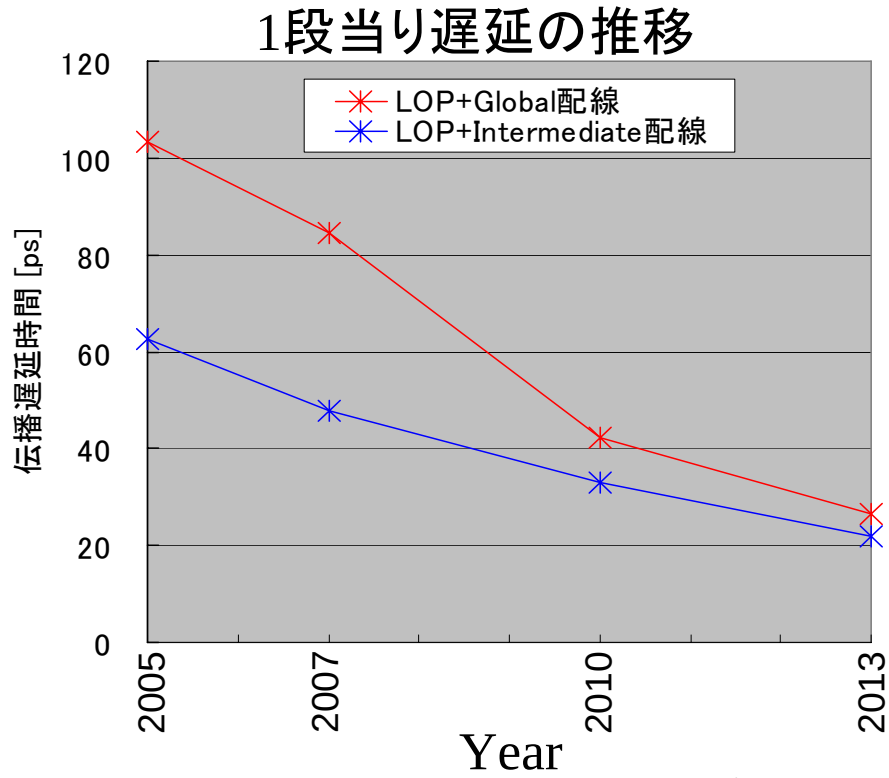


最適リピータ間隔、1段当り遅延の推移

- 配線遅延＝回路遅延の条件で最適リピータ挿入
- リピータの駆動能力世代によらず×16で固定

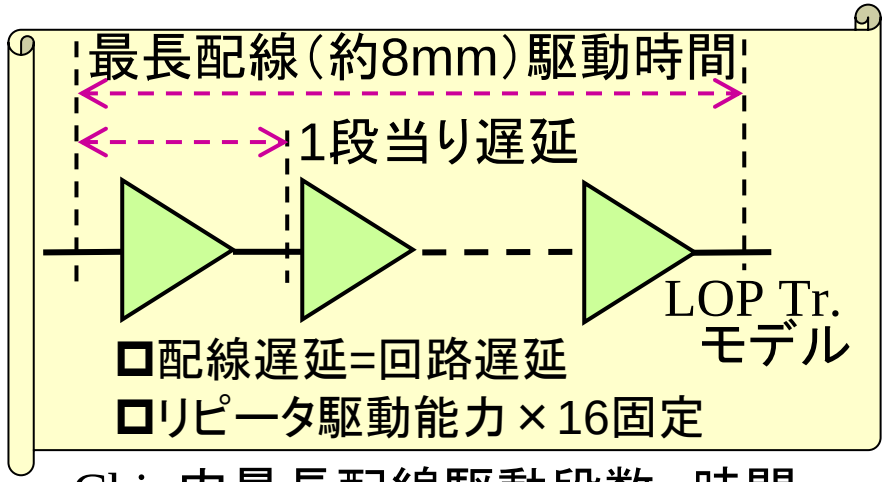


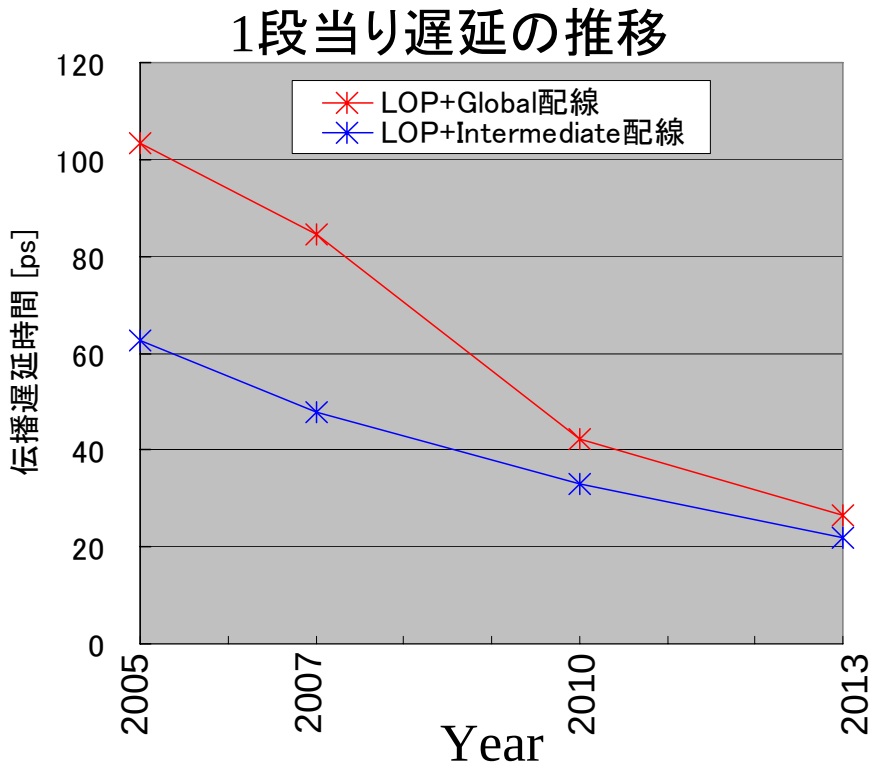


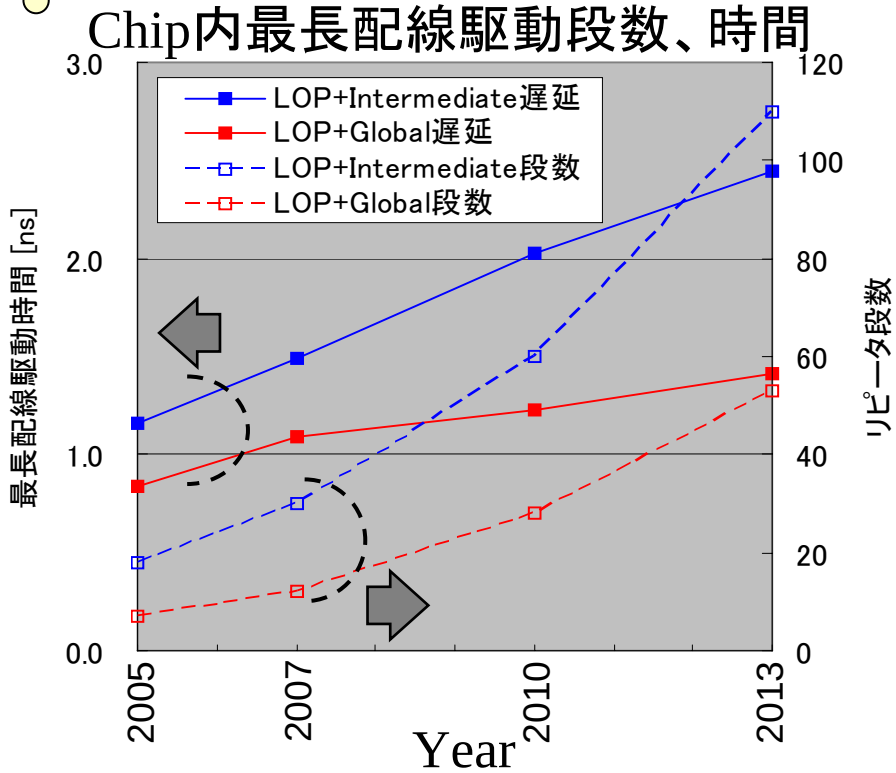


最長配線駆動段数、遅延の推移

- リピータ　1段当りの遅延時間は、世代毎に短縮傾向
- 最長配線を駆動する時間は、チップサイズが変わらないため、増加傾向

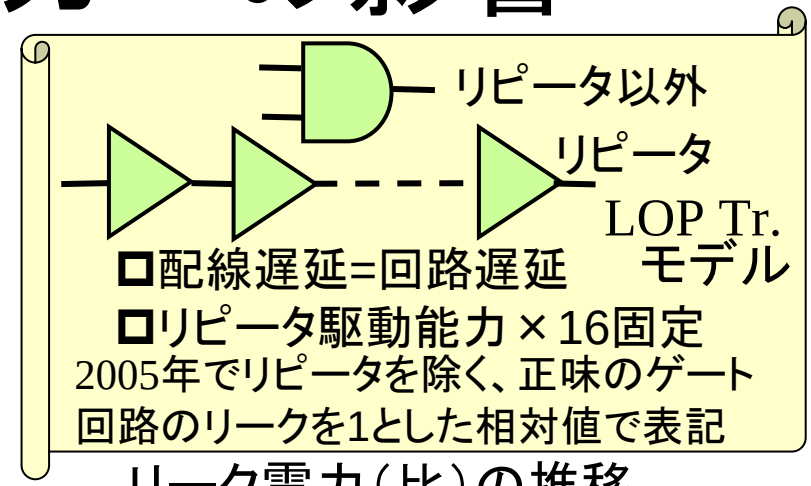






リピータ数の推移、電力への影響

- チップ全体のリピータ数の増大が急でチップサイズに影響
- リピータ部分のリーク電流が支配的に

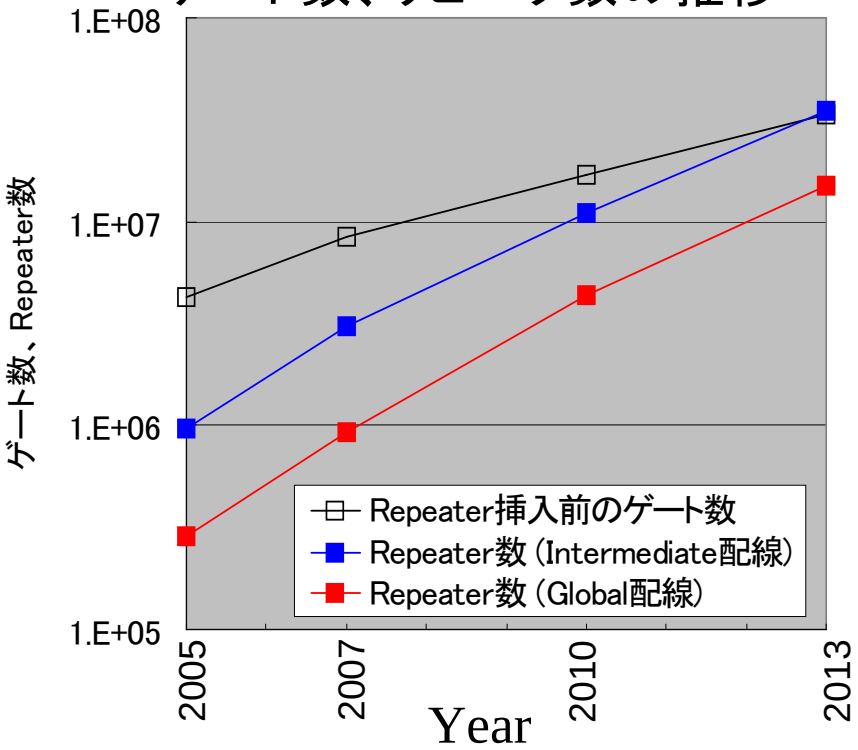


□配線遅延=回路遅延

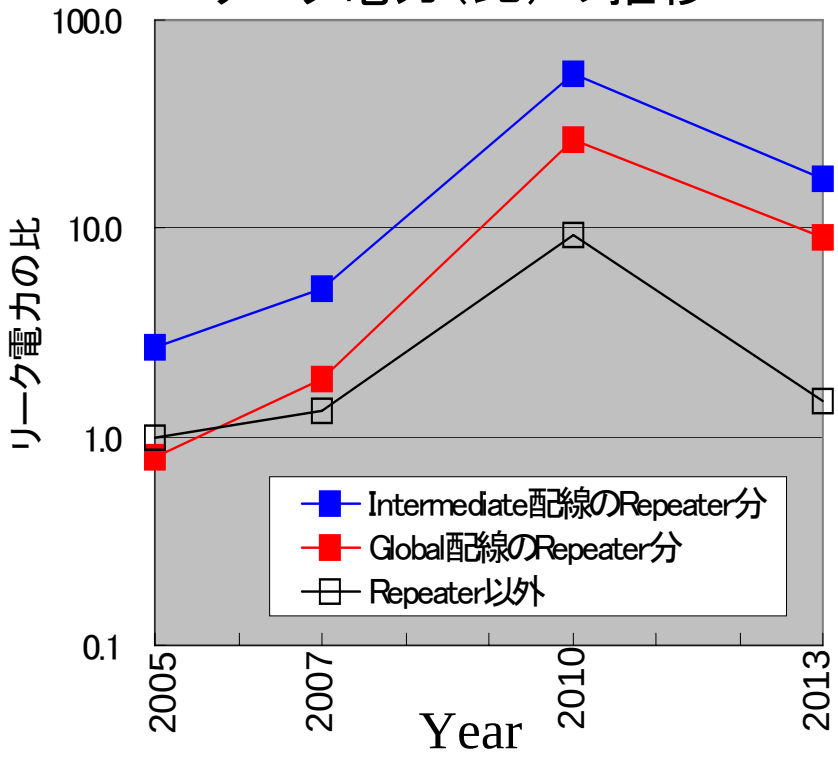
□リピータ駆動能力×16固定

2005年でリピータを除く、正味のゲート回路のリークを1とした相対値で表記

ゲート数、リピータ数の推移

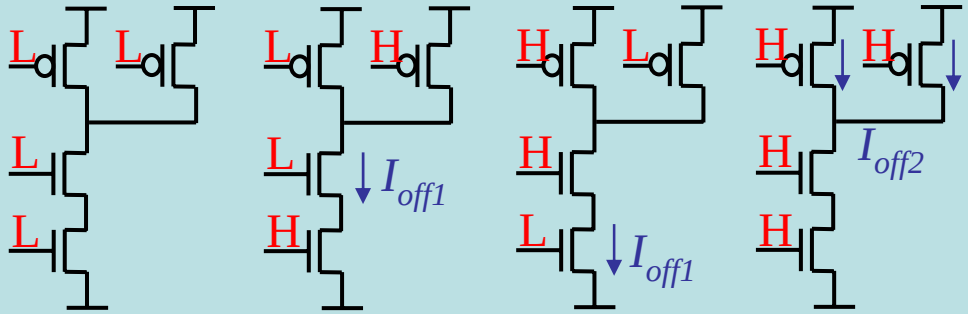


リーク電力（比）の推移



リーク電流の計算モデル

- リピータ以外の一般ゲートのリーク （※）

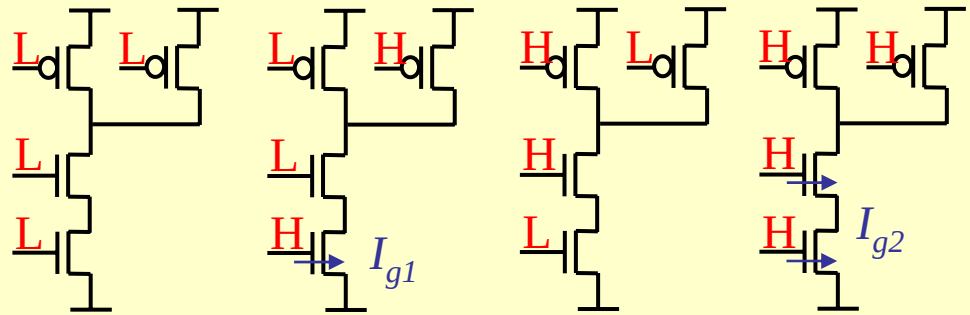


サブスレショルドリーク成分

$I_{off1}=W_{gn}I_{sd\text{-}n}$

$I_{off2}=2W_{gp}I_{sd\text{-}p}=3W_{gn}I_{sd\text{-}n}$

・$W_{gp}=1.5W_{gn}$, $I_{sd\text{-}n}=I_{sd\text{-}p}$ と仮定



ゲートリーク成分

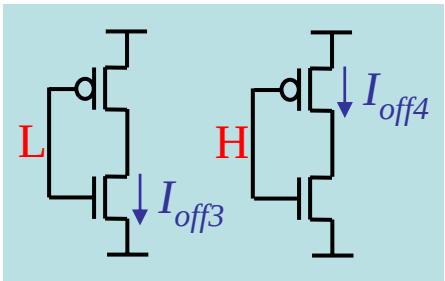
$I_{g1}=W_{gn}L_gI_{g\text{-}n}$

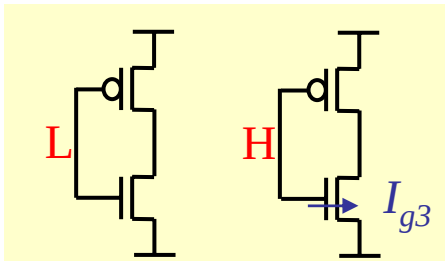
$I_{g2}=2W_{gn}L_gI_{g\text{-}n}$

・$I_{g\text{-}n}>>I_{g\text{-}p}$ と仮定

・トランジスタOFF時のゲートリークはON時比べ小と仮定

- リピータ部分のリーク





・リピータのゲートサイズとして一般ゲートの16倍サイズを仮定

サブスレショルドリーク成分

$I_{off3}=16W_{gn}I_{sd\text{-}n}$　$I_{off4}=24W_{gn}I_{sd\text{-}n}$

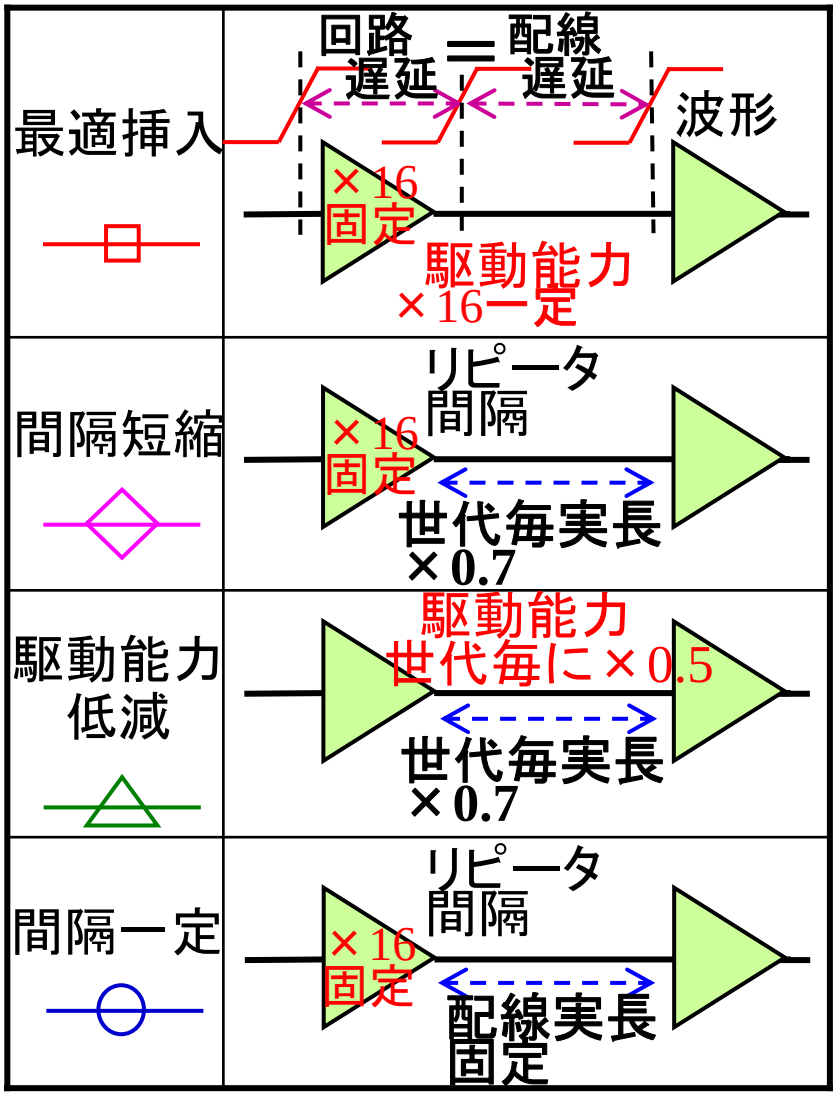
ゲートリーク成分

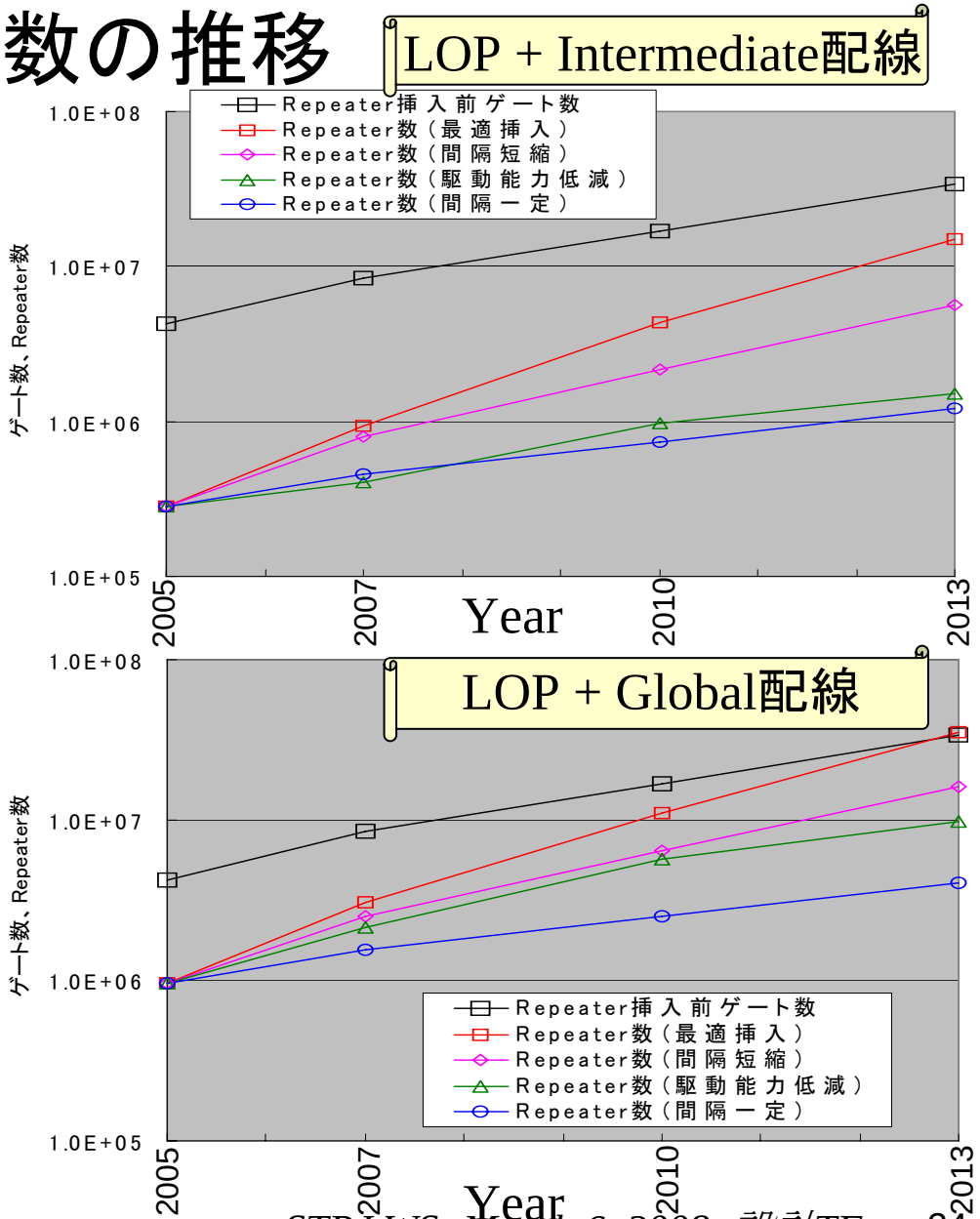
$I_{g3}=16W_{gn}L_gI_{g\text{-}n}$

※NANDゲートで見積るとリークを小さく見積る傾向となる

リピータ挿入ポリシ依存性 1

チップ内リピータ挿入数の推移





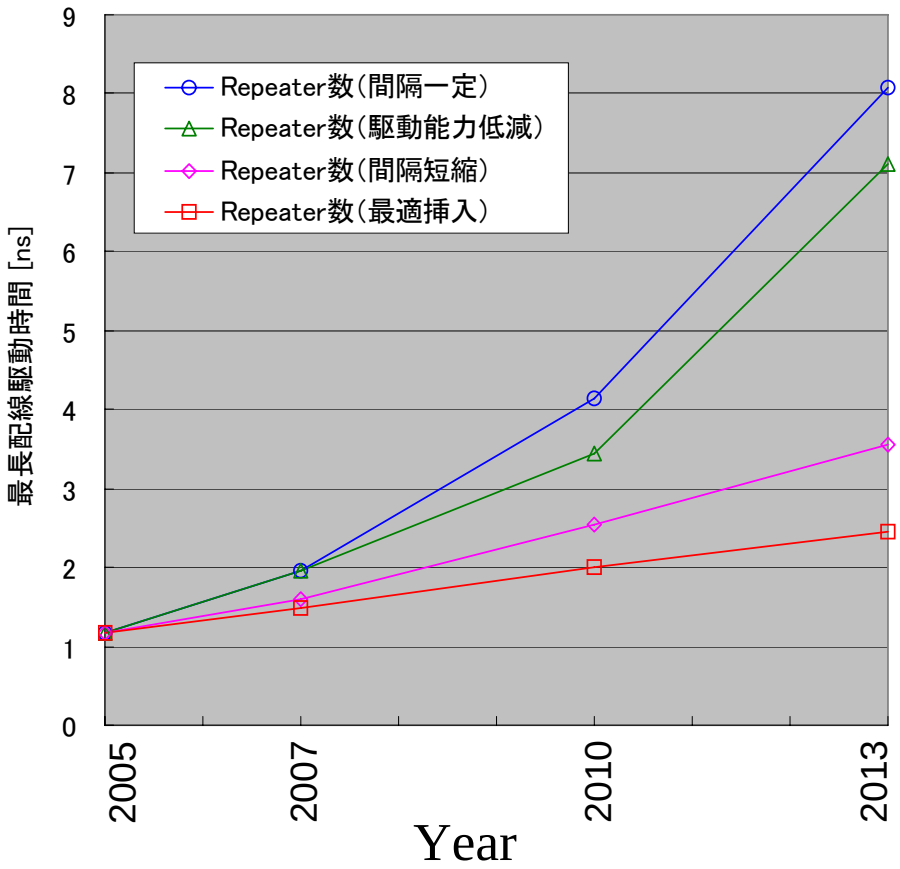
Work in Progress - Do not publish

リピータ挿入ポリシ依存性 2

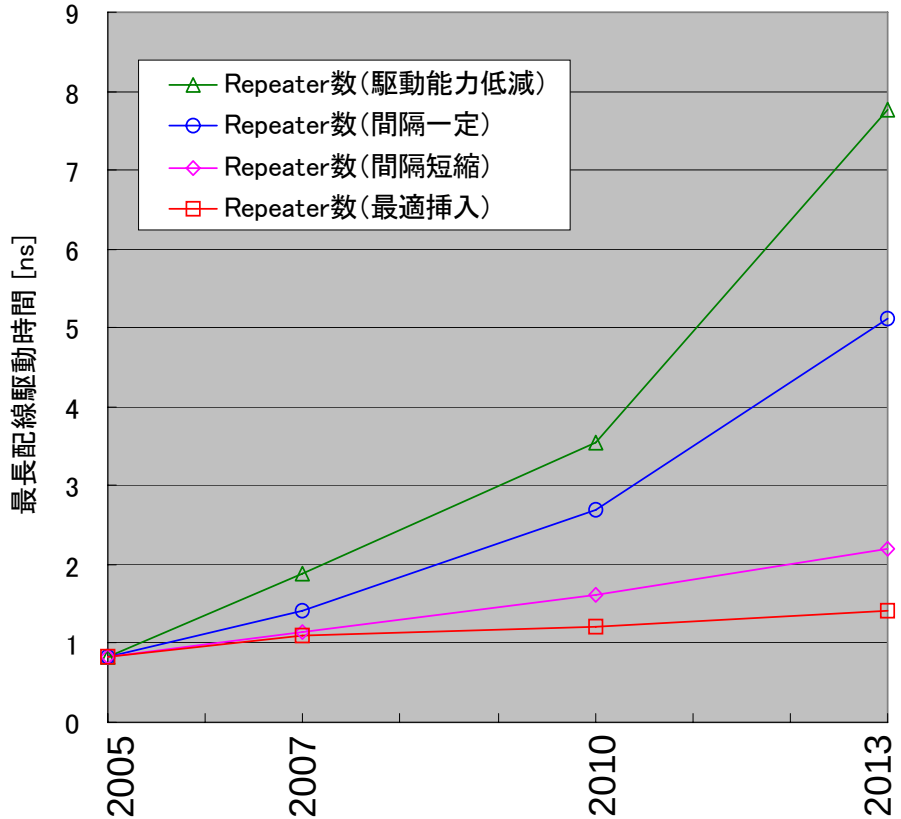
最長配線駆動時間

リピータ1段当りの遅延時間×最長配線におけるリピータ段数

LOP + Intermediate配線

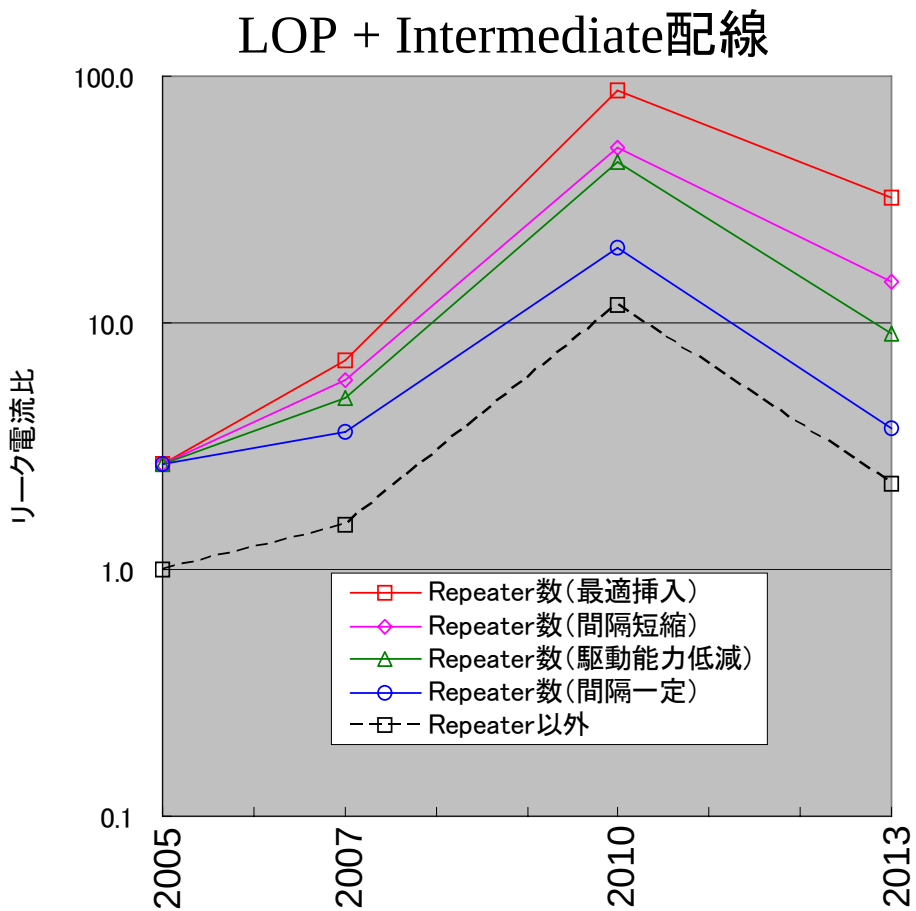


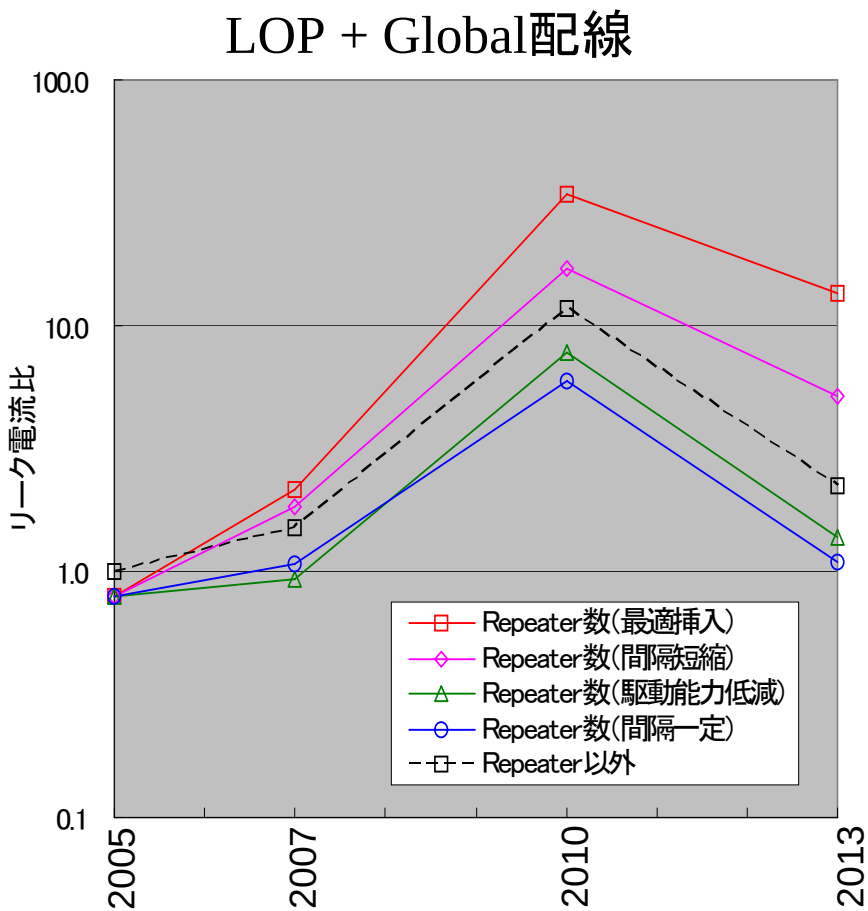
LOP + Global配線



リピータ挿入ポリシ依存性 3

リーク電力比

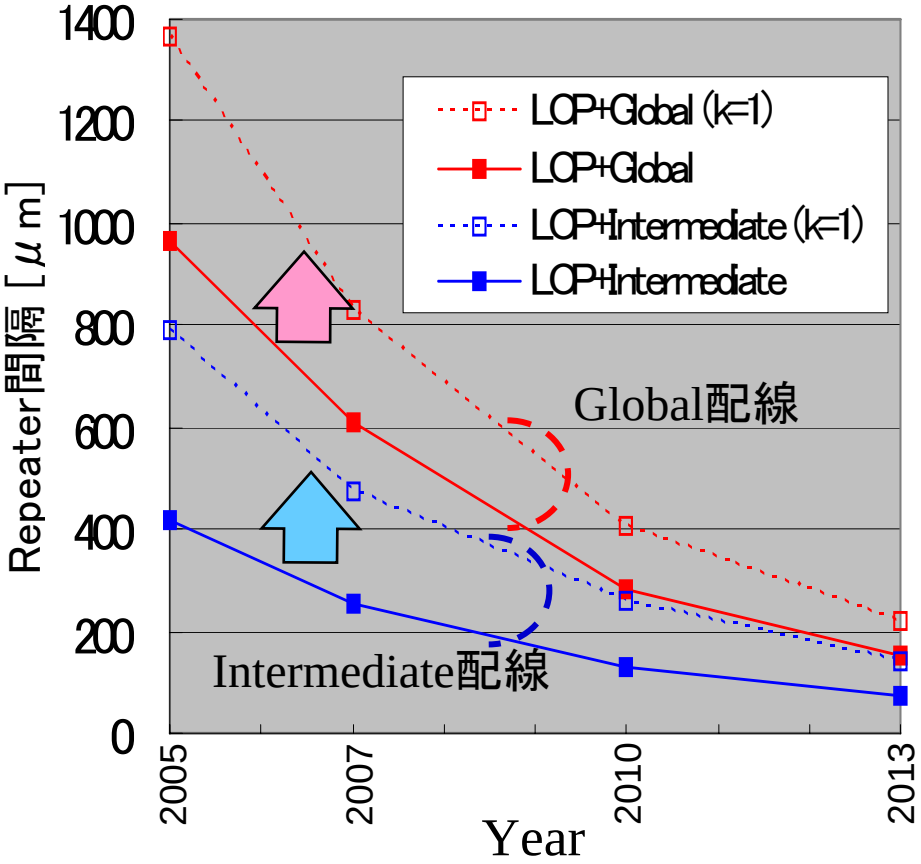


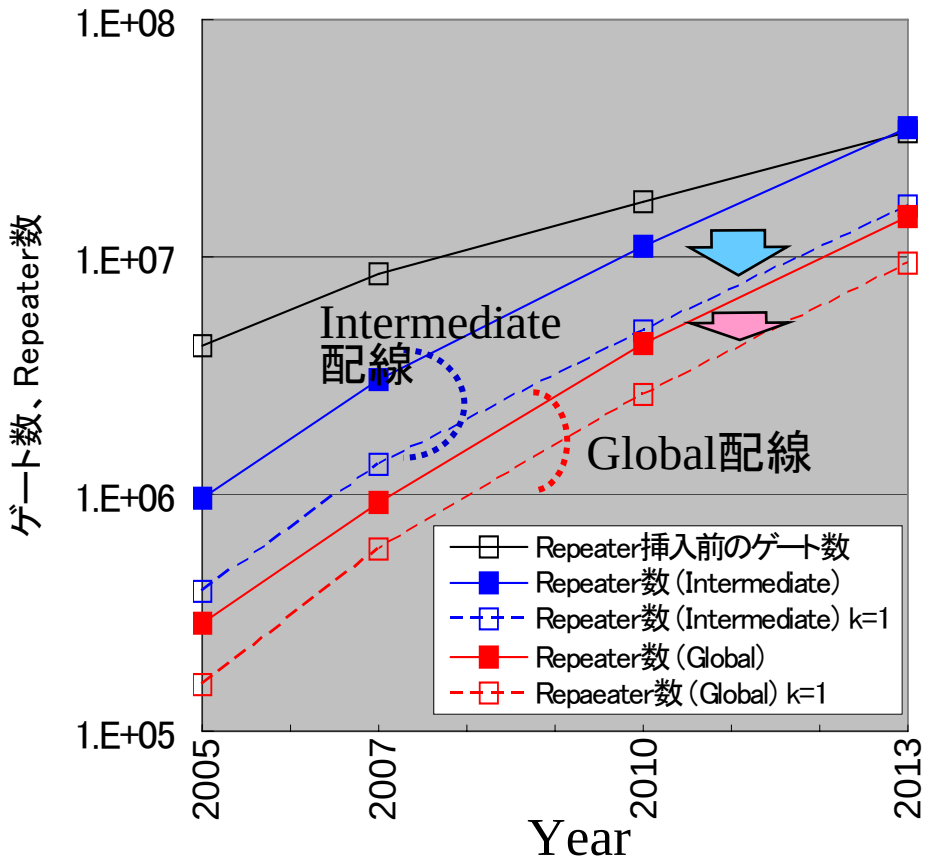


Low-k化による配線性能向上の効果 1

- Low-k化で、リピータ間隔が広がる効果とリピータ数が減少する効果が見られる

□リピータ挿入　配線遅延=回路遅延
□リピータ駆動能力　×16固定
□ロードマップの配線抵抗と容量
理想的なAir Bridge配線が出来たとして、比誘電率 $\varepsilon r=1$を設定

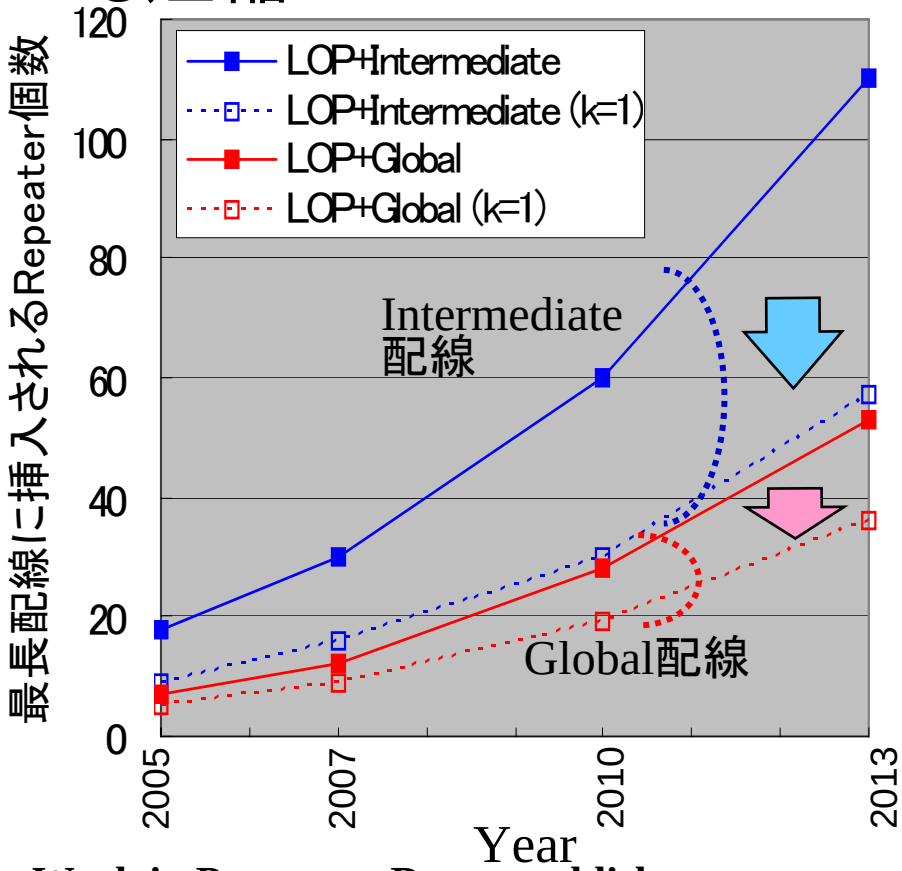


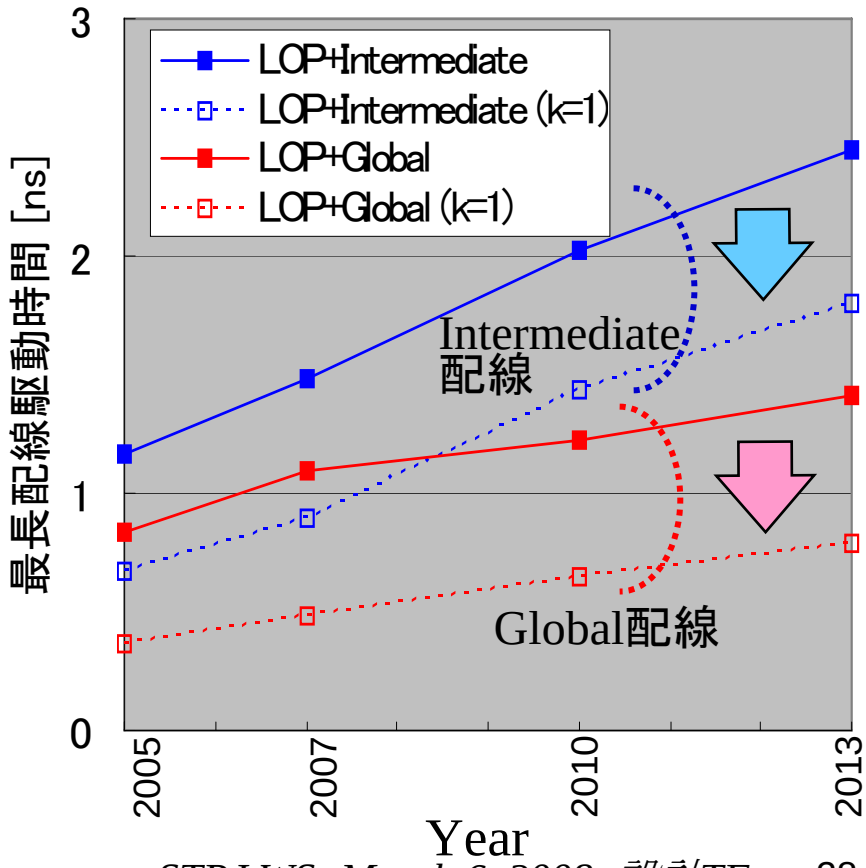


Low-k化による配線性能向上の効果 2

- Low-k化によりリピータ間隔が広がり、最長配線に挿入されるリピータ段数が減少.
  また、最長配線の遅延時間も短縮

□リピータ挿入　配線遅延=回路遅延
□リピータ駆動能力　×16固定
□ロードマップの配線抵抗と容量
理想的なAir Bridge配線が出来たとして、比誘電率 $\varepsilon r=1$を設定





まとめ

- 配線抵抗の増加による配線のRCディレイを緩和するため、リピータを用いることが必須になる。
- *HP32nm*ではリピータの影響により、面積、電力が劇的に増加することになる。
- Low-k化をITRSよりも加速して進めることが必要である。

STRJ