

ロードマップに見る フロントエンドプロセスの危機と新技術への挑戦

北島(NECエレクトロニクス)

1. ITRS2007の変更点, 危機的項目
2. 危機的項目の内容
 - 2-1. High-k/Metal
 - 2-2. Doping
 - 2-3. Stacked DRAM
 - 2-4. Flash (Floating Gate)
 - 2-5. FeRAM

主な略語, 用語の説明

A/R: Aspect Ratio

Contacting S/D: Deep S/Dと表現することもある

Doping: ITRSでは不純物導入、熱処理(活性化)やSilicideを含んでいる

EOT: Equivalent Oxide Thickness, SiO₂換算膜厚

FeRAM: Ferroelectric Random Access Memory

High-k, HK: High Dielectric Constant Material, SiO₂との比較でHighを用いる

High-k/Metal: High-k/Metal Gate、先に形成する方を前に表記

Materials Loss: 洗浄など1回あたりの下地(Si, SiO₂)削れ量

Metal Gate: 現在のpoly-Siゲート電極を金属に置き換えた構造

MIM: Metal Insulator Metal

MONOS: Metal-Oxide-Nitride-Oxide-Semiconductor

Multi Gate: FinFETやTri-gateの総称

ONO: Oxide-Nitride-Oxide

NVM: Non-Volatile Memory

PCRAM: Phase Change RAM, PCM: Phase Change Memory

SDE, SD Extension: Source/Drain Extension(単にExtensionと表現することもある)

SN: Storage Node

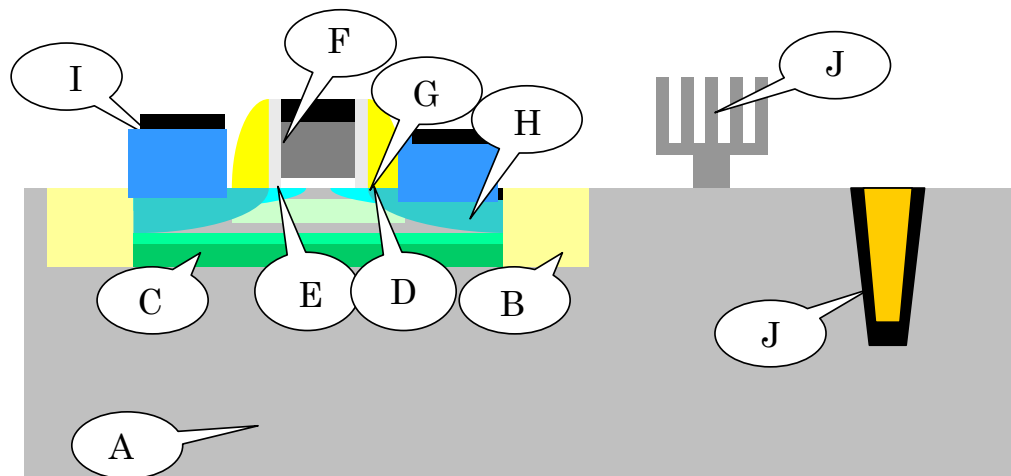
SOI: Si on Insulator, FDSOI: Fully Depleted SOI

SONOS: Silicon-Oxide-Nitride-Oxide-Semiconductor

Starting Materials: 半導体基板材料. FEPではSiウェーハ, エピウェーハ, SOI等

Surface Preparation: 洗浄や成膜前処理などウェット工程の総称

F_{ront} E_{nd} P_{rocess} Scope



- A: Starting Material**
- B: Isolation**
- C: Well Doping**
- D: Channel Surface (Preparation)**
- E: Channel Doping and Channel Strain**
- F: Gate Stack (Including Flash) and Spacer**
- G: Extension Junction and Halo**
- H: Contacting Source/Drain Junction**
- I: Elevated Junction and Contacts**
- J: DRAM Stack/Trench Cap. & FeRAM Storage**

Front End Processes WGメンバー



リーダー：北島 洋 (NECエレクトロニクス)

サブリーダー：丹羽 正昭 (松下電器産業)*

*: 国際対応

水島 一郎 (東芝)*

幹事：若林 整 (ソニー)

委員：クロス ジェフリー (富士通研究所)

永田 敏雄 (沖電気工業)

藤原 伸夫 (ルネサステクノロジ)

大路 洋 (ローム)

藤原 英明 (三洋電機)

コンソーシアム：奈良 安雄 (Selete)

特別委員(大学)：酒井 朗 (大阪大学)

特別委員：中嶋 定夫 (日立国際電気): SEAJより

大形 俊英 (日立ハイテクノロジーズ): SEAJより

渡辺 正晴 (ニューフレアテクノロジー)*: 米国Start. Mat. WG

泉妻 宏治 (コバレントマテリアル): 新金属協会より

ITRS2007の重要変更点と危機的項目

☆について詳細報告

- Starting Materials **UTBSOI**: 膜厚17nm未満が**Red** (2012年)
- Surface Preparation **Materials Loss: 0.2A/洗浄1回も可能**
- Thermal/Thin Film **High-k/Metal: 2008年実用化**
EOT: 0.65nm以下Red (HPは2010年以降) ☆
- Doping **SDEの接合深さを緩和 0.35*Lg→0.5*Lg**
Si/Silicide抵抗: 7e-8 Ω cm²以下がRed ☆
Silicide厚 ≤ 13nmがRed
- Etch **Lgばらつき: Lg < 20nmでRed** (HPは2009年)
- Trench DRAM **High-k容量膜を2008年に順延** (2007年: SIS)
- Stack DRAM **Cell A/Rを緩和: 2013年までは40以下**
容量膜 ε : ~100はRed (2012年) ☆
- Flash **Floating Gate構造: 2017年が現構造限界** ☆
- PCM **動作温度要求: 125°CはRed** (2011年)
- FeRAM **サーベイに基づき要求値を緩和**
微細化: ITRS2006レベルの分極量確保 Red ☆

Thermal/Thin Film 変更点: High-k/Metal Gate

ITRS2006 update

No Products

Year	2006	2007	2008	2009	2010	2011	2012
bulk HP	SiON / poly-Si		SiON / poly-Si		HK / poly-Si	-	-
	-	-	-	-	HK / metal		
bulk LSTP	SiON / poly-Si		HK / poly-Si				HK / poly-Si
	-	-	HK / metal				

ITRS2007

HP(及びLOP): high-kの2008年導入へ前倒し
 HP: high-k/metal 2008年 yellow, 2010年以降Red
 LSTP(及びLOP): high-k/metal 2008年導入(yellow)

bulk HP	SiON / poly-Si		HK / poly-Si			-	-
	-	-	HK / metal	HK / metal			
bulk LSTP	SiON / poly-Si		HK / poly-Si				HK / poly-Si
	-	-	HK / metal				

high-k/metal gate構造の危機的項目

ITRS2007(Intel, IBMの発表により大幅に変更)

	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018~
HP bulk	Yellow	Yellow	Red	Red	Red	-	-	-	-	-	-
FDSOI	-	-	Yellow	Red	Red	Red	Red	Red	-	-	-
MultiGate	-	-	-	Yellow	Yellow	Red	Red	Red	Red	Red	Red
LOP bulk	Yellow	Yellow	Yellow	Yellow	Yellow	-	-	-	-	-	-
FDSOI	-	-	-	Yellow	Yellow	Yellow	Yellow	Yellow	Yellow	-	-
MultiGate	-	-	-	Yellow	Yellow	Yellow	Yellow	Yellow	Yellow	Yellow	Yellow
LSTP bulk	Yellow	Yellow	Yellow	Yellow	Yellow	Yellow	-	-	-	-	-
FDSOI	-	-	-	-	Yellow	Yellow	Yellow	Yellow	Yellow	Yellow	-
MultiGate	-	-	-	-	Yellow	Yellow	Yellow	Yellow	Yellow	Yellow	Yellow

- No products
 Solutions are known
 Solutions are NOT known

EOT ≤ 0.65nm は **Red**; bulk HPでは2010年
 → FDSOI および Multi-Gateによる能力向上でEOT要求を緩和

LOPおよびLSTP: EOT律速にはなっていない

45nm～32nmの接合技術 (ITRS2007変化)

SDE接合深さの値が緩和 (FEPの要求)

コンタクト抵抗の値が緩和 (Color CodeはPIDS判断)

	HP	LSTP	HP	LSTP
1/2ピッチ (nm)	45		32	
ゲート長 Lg (nm)	18	28	13	20
ITRS2006 2007 SDE 接合深さ(nm)	6.5	9.8	4.4	7.0
	9.0	14.0	4.0	10.0
SD 接合深さ(nm)	19.8	30.8	4.0	22.0

n-ch

ITRS2006 2007 SDEシート抵抗(Ω/\square)	650	742	628	923
	900	652	1000	912
ITRS2006 2007 Si-Silicideコンタクト抵抗($\Omega\text{-um}^2$)	4.8	8.1	2.2	5.1
	7.0	8.1	4.8	5.8

5 Ωum^2 は実現可能

← Dual Silicide
必要時期は22nm

■ Solutions are NOT knownのみ赤で記載

1 Ωum^2 の報告もあり、上記コンタクト抵抗要求値は実現可能

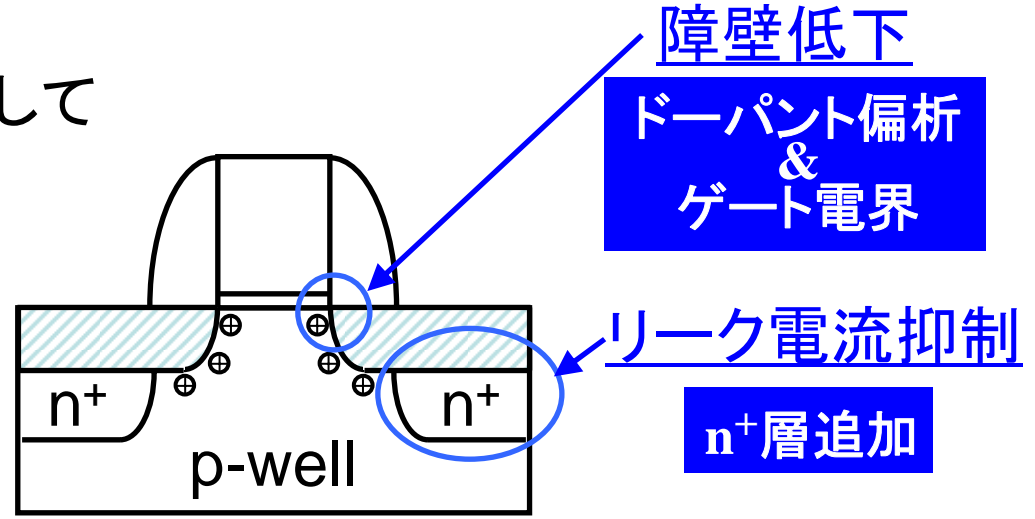
Dopingの危機的項目

Silicide厚さの薄膜化が直近の重要課題

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017
MPU ½ Pitch (nm)	68	59	52	45	40	36	32	28	25	22	20
MPU Lg (nm)	25	23	20	18	16	14	13	11	10	9	8
Silicide for bulk (nm)	17	15	13	12	11	9	-	-	-	-	-
Elevated Si for Multi-gate	-	-	-	-	16	14	13	11	10	9	8
Silicide for Multi-gate (nm)	-	-	-	-	19	17	16	13	12	11	10

- No products
 Solutions exists
 Solutions are known
 Solutions are NOT known

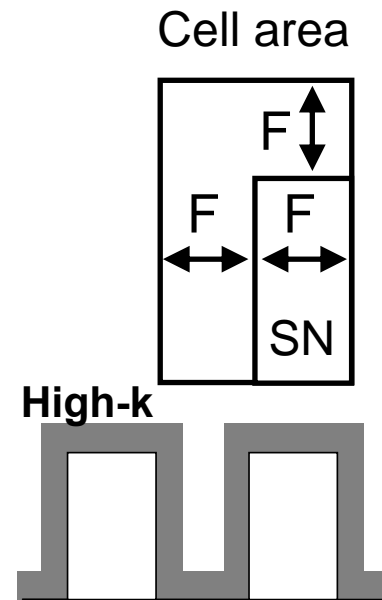
特に、Technology Boosterとして期待されるSchottky-SDをLg<20nmに適用する場合の最重要課題



Stacked DRAM



Year of Production	2007	2010	2013	2016
DRAM 1/2 Pitch (nm)	65	45	32	22
Cell size factor a	6	6	6	6
Cell size (μm^2)	0.025= 0.13x0.19	0.012= 0.090x0.14	0.0061= 0.064x0.96	0.003= 0.045x0.06
Storage node size (μm^2)	0.00845= 0.065x0.1	0.0041= 0.045x0.09	0.002= 0.032x0.06	0.001= 0.023x0.04
MIM Capacitor structure	Cylinder /Pedestal	Pedestal	Pedestal	Pedestal
t_{eq} at 25fF (nm)	1.15	0.6	0.3	0.3
Dielectric constant <small>ITRS2006</small>	50	50	60	80
	40	65	130	91
High-k Material <small>ITRS2006</small>	AlO, HfO, ZrO, TaO, TiO	new material		
	HfO, ZrO, TaO	TiO, STO, BST	TiO, STO, BST, ...	
SN height (μm) <small>ITRS2006</small>	1.2	1.9	2	2
	1.4	1.6	1.1	1.6
Cylinder factor	1.5	1	1	1
Total capacitor area (μm^2)	0.83	0.43	0.22	0.22
t_{phy} at 25fF (nm)	11.8	10.0	10.0	7.0



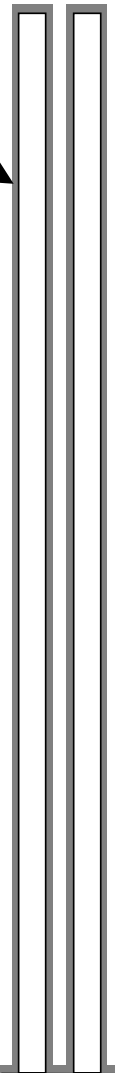
Solutions exists
 Solutions are known
 Solutions are NOT known

2007~2012: Pedestal → Cylinder/Pedestalに変更
 HfO₂, ZrO₂, Ta₂O₅の誘電率 ε はメタル電極上で~50

Stacked DRAM

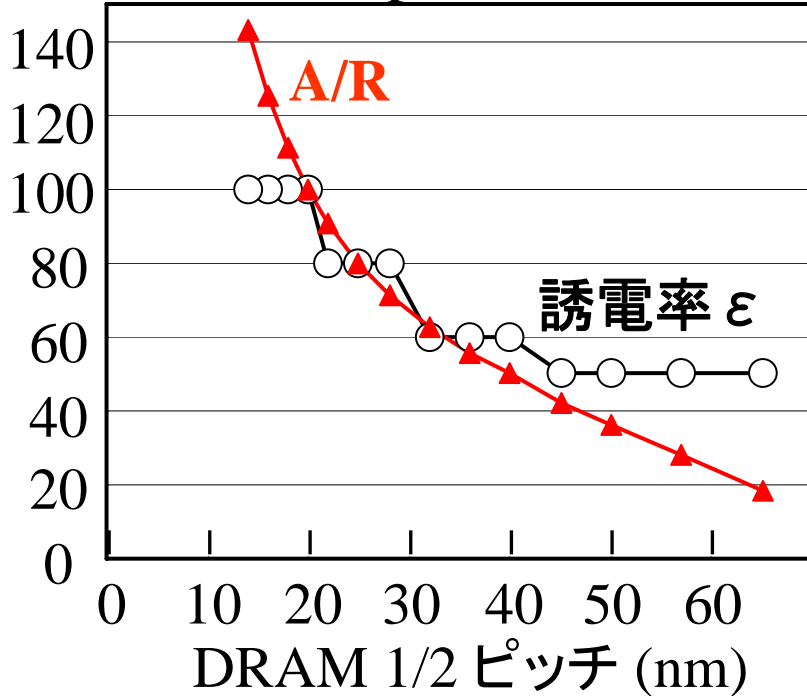
A/R=40

High-k

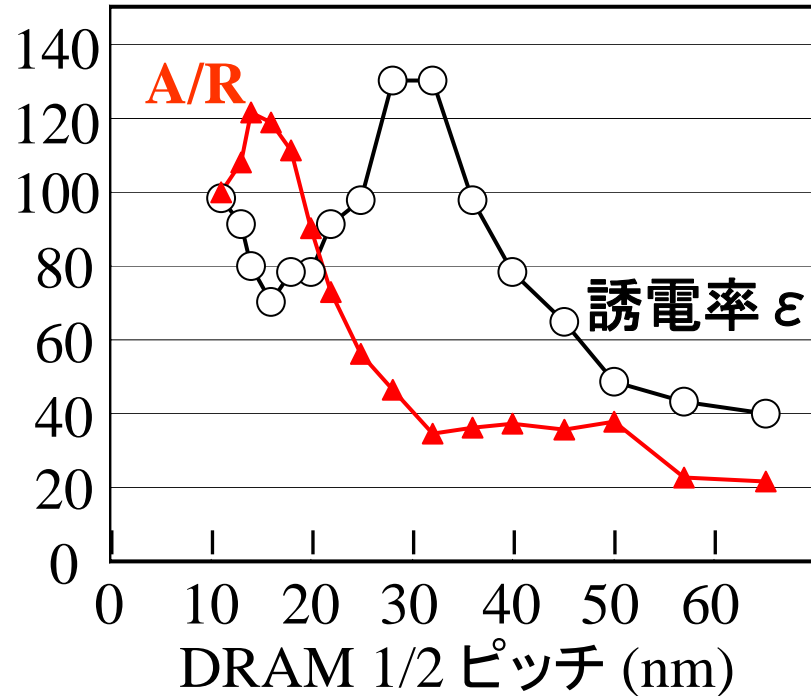


Strage Nodeギャップのアスペクト比 (A/R) を緩和し、
High-kの誘電率が増加した

ITRS2006update

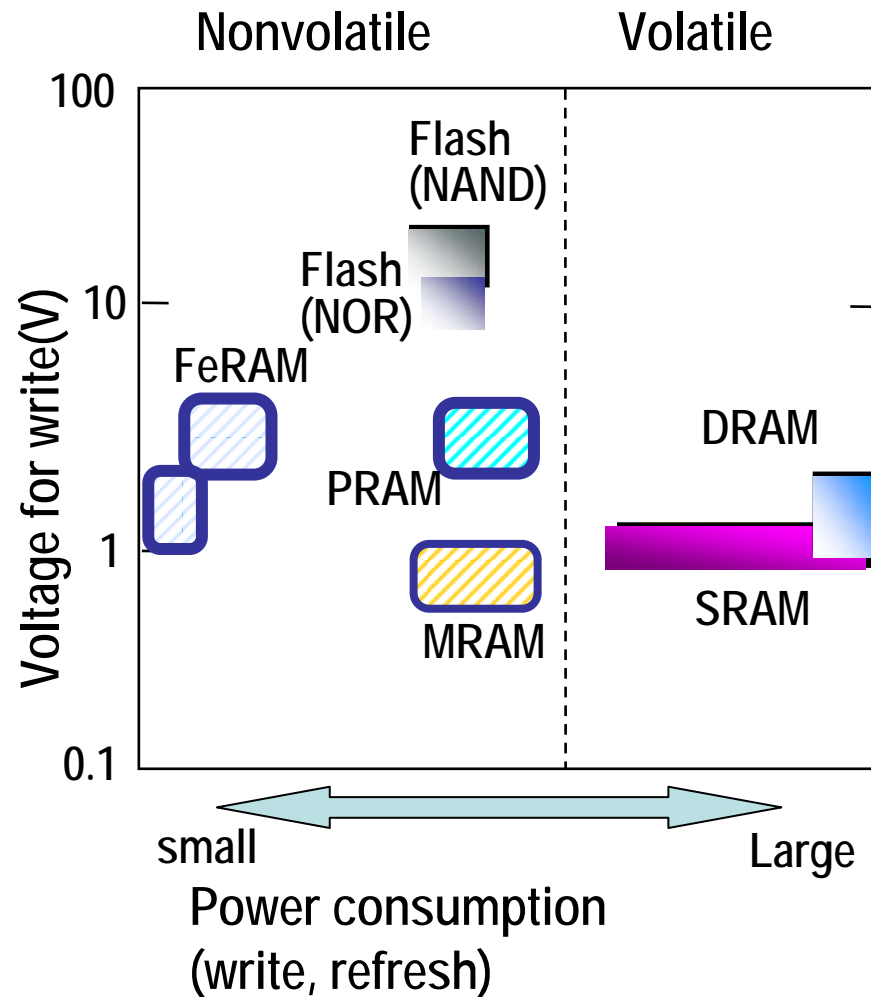
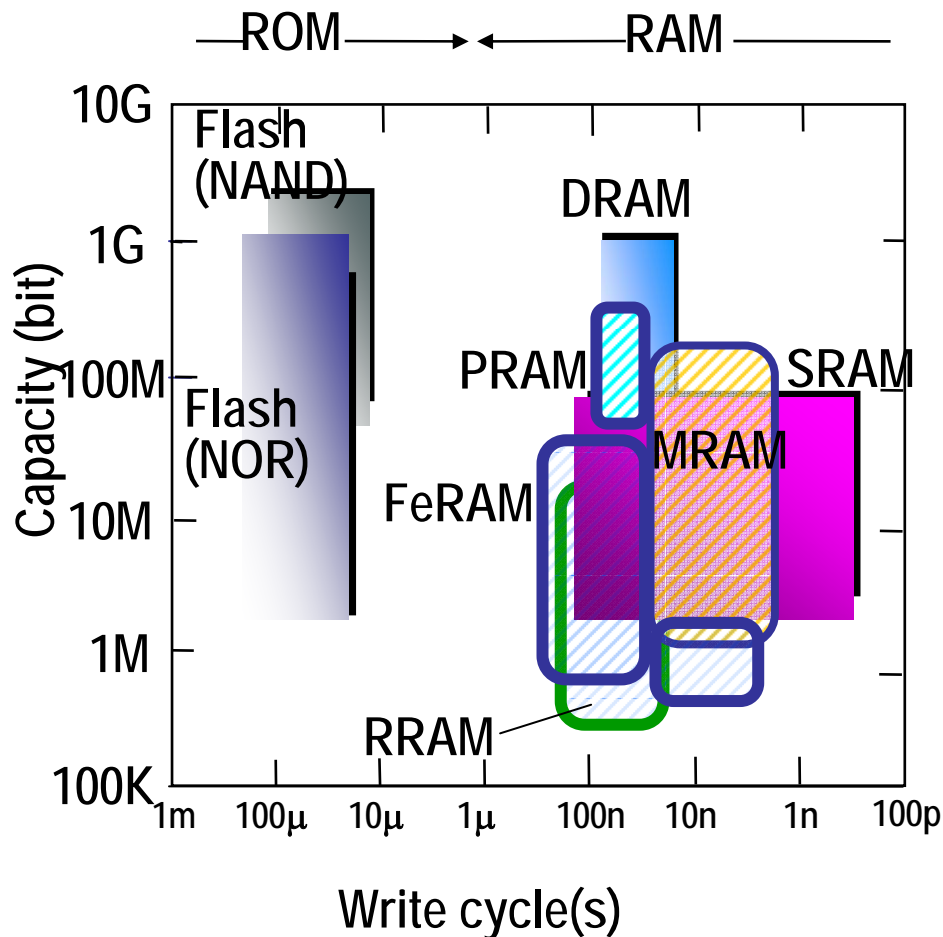


ITRS2007



ε ≥ 50: BST, TiO₂等の新材料が候補だが障壁高さとの両立困難
⇒ 1/2Pitch 40nm(2011年)に技術的限界を迎える可能性が高い

NV- Memories Density, Power, Voltage



FeRAM uses low power at low density, suitable for mobile applications

Ref: Kawashima ISSCC 2008

Flash Memory

NAND

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017
Feature Size (nm)	51	45	40	36	32	28	25	22	20	19	18
Interpoly Dielectric Material	ONO		ONO/High-K		High-K						
Interpoly Dielectric Thickness(nm)	10 - 13		5 - 12		4 - 6			3 - 5			

NOR

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017
Feature Size (nm)	65	57	50	45	40	35	32	28	25	22	20
Interpoly Dielectric Material	ONO		ONO/High-K		High-K						
Interpoly Dielectric Thickness(nm)	13 - 15		6 - 13		4 - 6			3 - 5			

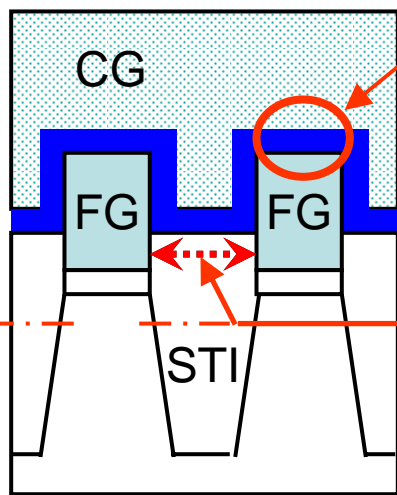
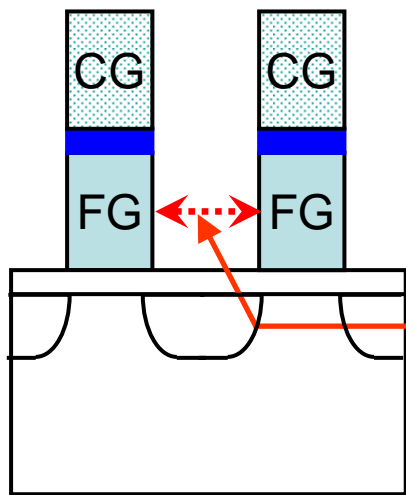
ITRS2007: Floating構造として2018年以降はTableがなくなった
インターポリ酸化膜(およびトンネル膜)のHigh-k化が厳しい。

クロストークによる微細化限界: NANDは~22nm, NORは~32nm

⇒Charge Trapping NAND(MONOS), NOR(SONOS)へ

Flash Memory

NAND



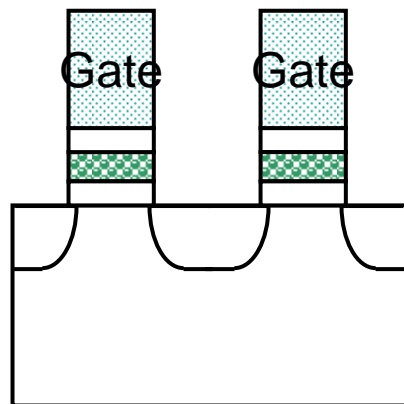
容量カップリング比率確保
⇒ High-k化
(低リーク, EOT低減)

微細化に伴うクロストーク増加

Bit Line方向

Word Line方向

新構造へ



例えばMONOS

(Metal-Oxide-Nitride-Oxide-Semiconductor)

FeRAMの変更

Year of Production		2007	2010	2013	2016	2019
Technology Node		hp65	hp45	hp32	hp22	hp16
Feature size (nm)	ITRS2006	100	65	45	32	22
	→2007	180	150	130	90	65
Cell area factor: a	ITRS2006	30	24	20	16	14
	→2007	22	20	16	14	12
Cell size (μm ²)	ITRS2006	0.300	0.101	0.041	0.016	0.007
	→2007	0.713	0.450	0.270	0.113	0.051
Cell structure	ITRS2006	1T1C	1T1C	1T1C	1T1C	1T1C
	→2007	2T2C	1T1C	1T1C	1T1C	1T1C
Capacitor structure	ITRS2006	stack	3D	3D	3D	3D
	→2007	stack	stack	stack	3D	3D
Endurance	ITRS2006	1E+15	>1E16	>1E16	>1E16	>1E16
	→2007	1E+14	1E+14	1E+15	>1E16	>1E16

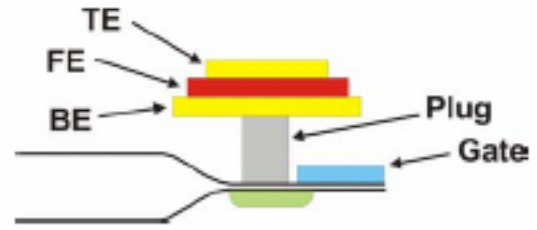
Solutions exists
 Solutions are known
 Solutions are NOT known

調査(ヒアリング)に基づいて、ルールを大幅に緩和させた
 ⇒3D構造の必要時期が2010年(ITRS2006)から2016年に変更
 Enduranceの要求値も調査に基づき緩和

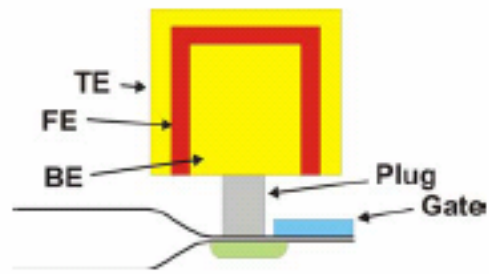
FeRAM

単位面積あたりの分極量増加が重要な課題

対策1: 面積増加 (例. 3次元化)



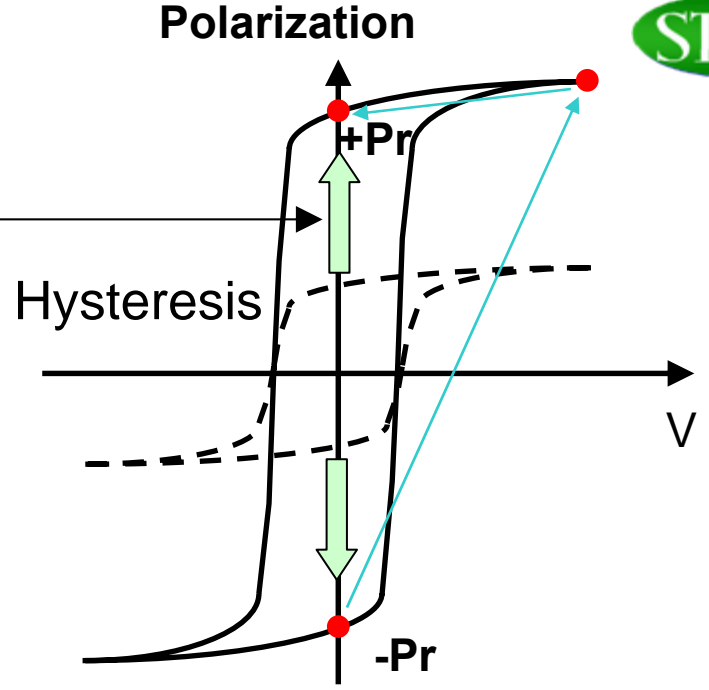
2D FeCAP



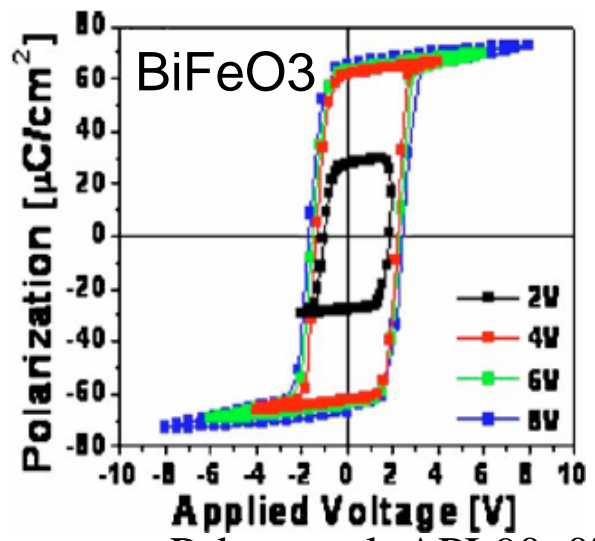
3D FeCAP

Pirovano (IEDM2006 Short Course)

Work in Progress - Do not publish



対策2: 材料変更



Pabst et. al, APL90, 072902(2007)

まとめ

High-k/Metal, Doping, DRAM, Flash, FeRAMについて、ITRS2007での変更点と危機的項目について紹介した。

➤ High-k/Metal

EOT \leq 0.65nmが危機的 (HPでは2010年以降 **Red**)

➤ Doping

Silicide厚 \leq 13nmが危機的状况 (HPで2009年 **Red**)

⇒ FDSOI/MultiGateのせり上げ構造で対策

➤ Stacked DRAM: A/R < 40を維持し容量膜 ϵ 増加

$\epsilon \sim 100$ は**Red** (2012年)

➤ Flash (Floating Gate): ITRS2007では2013~4年に限界

⇒ Charge Trapping構造へ (ITRS2008updateに記載)

➤ FeRAM: 現在の製品仕様を反映。分極量の確保が重要課題

⇒ 対策①セル構造の3D化

⇒ 対策②新しい材料 (例. BiFeO₃) の導入

References

- 1) International Technology Roadmap for Semiconductors 2007 Edition, Front End Processes
- 2) International Technology Roadmap for Semiconductors 2005 Edition, Front End Processes
- 3) Intel Developer Forum 2007
http://download.intel.com/pressroom/kits/events/idffall_2007/KeynoteOtellini.pdf
- 4) EETimes, 2007/11/14
<http://www.eetimes.com/showArticle.jhtml;jsessionid=YA2FD00A1KPRAQSNDLPSKH0CJUNN2JVN?articleID=202806020>
- 5) M. Chudzik et al., VLSI Tech. 2007, p.194(2007)
- 6) A. Kinoshita et al., VLSI Tech. 2005, p.158(2005)
- 7) A. Kinoshita et al., SSDM 2003, p.710(2003)
- 8) K. R. Yoon et al., SSDM 2005, p.188(2005)
- 9) T. Watanabe, IEDM 2006 Short Course (2006)
- 10) S. Kawashima, ISSCC 2008(2008)
- 11) A. Pirovano, IEDM 2006 Short Course (2006)
- 12) G. W. Pabst et al., APL 90, 072902 (2007)