

配線技術ロードマップ

～微細化の深耕とBeyond Cu/Low-kの展望～

発表者 (株)ルネサステクノロジ/宮崎博史

3D: Three Dimensional Integration

BM: Barrier Metal

ALD: Atomic Layer Deposition

CNT: Carbon Nanotube

EM: Electromigration

HM: Hard Mask

ILD: Interlevel Dielectrics

Intermediate配線: 中間層配線

Jmax: 最大許容電流

Low-k: 低誘電率材料

MCM: Multi Chip Module

RF: Radio Frequency

SM: Stress Migration

TDDDB: Time-dependent Dielectric Breakdown

TSV: Through Silicon Via

WG4 (配線WG) 構成

リーダー	: 宮崎 博史	(株) ルネサステクノロジ
サブリーダー	: 廣井 政幸	NECエレクトロニクス(株)
国際委員	: 山崎 治	シャープ(株)
	: 野口 純司	(株) 日立製作所

委員

青井 信雄	松下電器産業(株)
五十嵐 泰史	沖電気工業(株)
金村 龍一	ソニー(株)
柴田 英毅	(株) 東芝
中尾 雄一	ローム(株)
中村 友二	(株) 富士通研究所
山下 富生	三洋電機(株)

コンソーシアム

今井 正芳	Selete
嘉田 守宏	ASET

特別委員

天川 修平	東京工業大学
上野 和良	芝浦工業大学
門倉 好之	(株) アルバック
辻村 学	(株) 荏原製作所
徳重 克彦	(株) 荏原製作所
西村 栄一	東京エレクトロンAT (株)

0. 用語集

1. はじめに

配線WGの活動概要

2. 微細化の深耕

微細化トレンド、RC遅延

Cu/Low-k配線プロセスの現状と課題

ITRS2007改訂

- Low-k
- Jmax

3. Beyond Cu/Low-k

Air Gap技術

ITRS2007改訂

- Difficult Challenge
- 3Dインテグレーション

4. まとめ、今後の活動予定

●方針: 論理的根拠に基づいた、合理的かつ現実的な配線技術ロードマップを目指す

2007年

4/13	第1回STRJ-WG4委員会	
4/23~25	ITRS-Spring Meeting	@Annecy
5/25	第2回STRJ-WG4委員会	IITC会議準備
6/3	IITC会議	@Burlingame
6/29	第3回STRJ-WG4委員会	IITC報告とSF準備
7/16~18	ITRS-Summer Meeting	@San Francisco
8/10	第4回STRJ-WG4委員会	電話会議 原稿確認
8/23	第5回STRJ-WG4委員会	SF報告
10/19	第6回STRJ-WG4委員会	3D配線議論
11/16	WG4/WG7クロスカット	3D配線クロスカット
	報告「次世代三次元積層プロジェクト」	ASET 嘉田委員
	第7回STRJ-WG4委員会	STS発表原稿チェック
12/3~5	ITRS-Winter Meeting	@Kamakura
12/20	第8回STRJ-WG4	Kamakura報告とWorkshop準備
1/18	第9回STRJ-WG4	Workshop準備

配線WGの重点取り組み

デザイン

Cu

Low-k

その他

2001

グローバル配線
逆スケーリング

2002

電子散乱効果
電流密度Jmax

ボイド・ポア計測

2003

配線層数

電子散乱効果
電流密度Jmax

k 値
(大幅改訂)

2004

電子散乱効果
電流密度Jmax

k 値
(色分け修正)

機械強度

2005

配線ピッチ

電子散乱効果
電流密度Jmax

k 値
(実効値の構造依存)

機械強度

2006

k値
(表示法)

消費電力

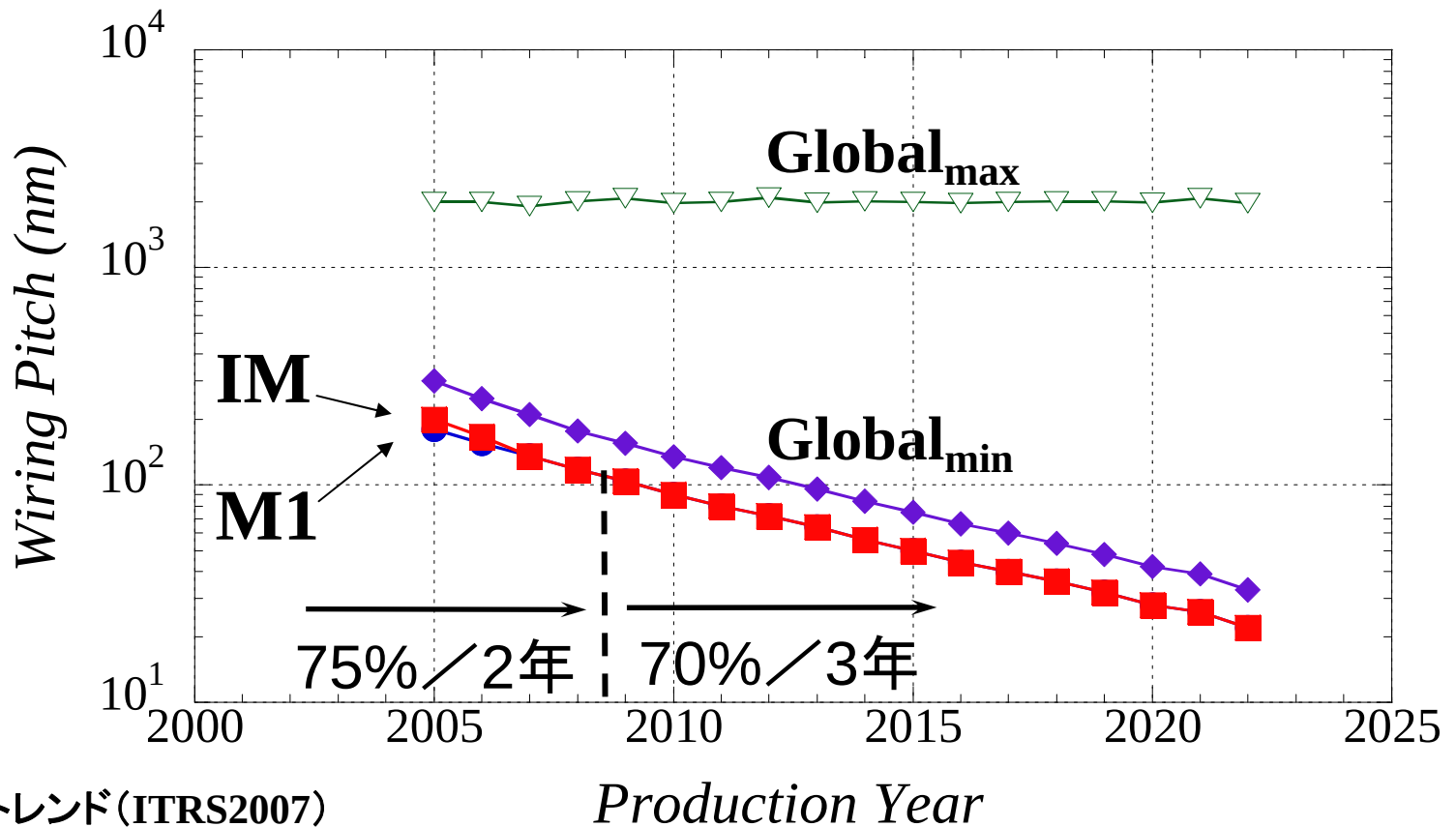
2007

電流密度Jmax
(周波数からの見直し)

k値
(low-k化の鈍化反映)
(拡散防止膜k値導入)

3D配線

微細化の深耕：配線ピッチの推移



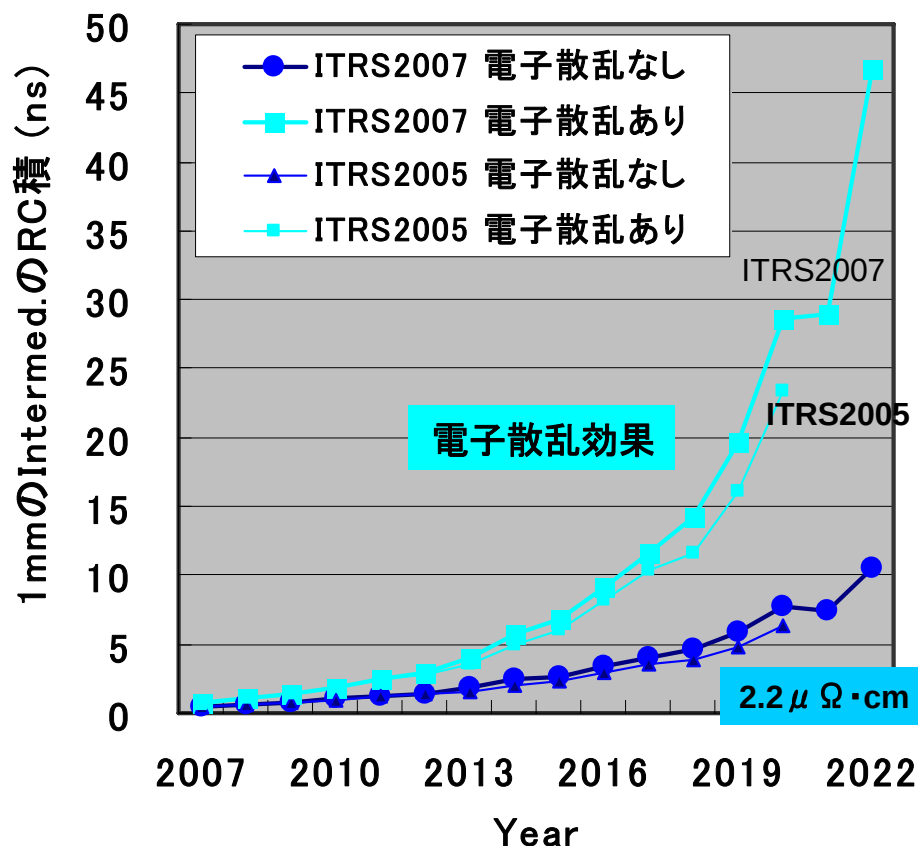
各配線のピッチトレンド (ITRS2007)

		2007	2008	2009	2010
was	M 1 (nm)	136	118	104	90
is	M 1 (nm)	136	118	104	90
was	IM (nm)	140	118	104	90
is	IM (nm)	136	118	104	90

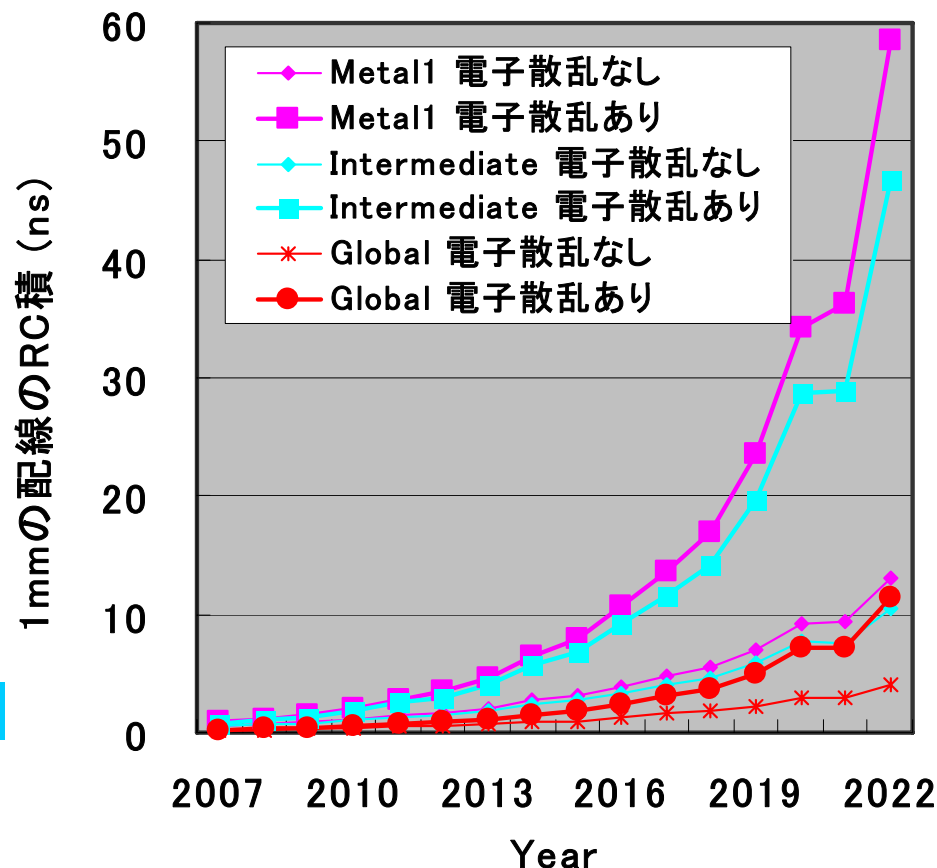
2007年のIMピッチのみ140nm→136nmへシュリンク (M1と同じトレンドに)

RC遅延の推移

RC遅延の推移のアップデート



配線層ごとのRC遅延の推移



- 粒界・界面での電子散乱によりCuの実効抵抗率が上昇
- Low-k化の鈍化によりRC遅延が従来の予測より増大

[1] Cu配線技術

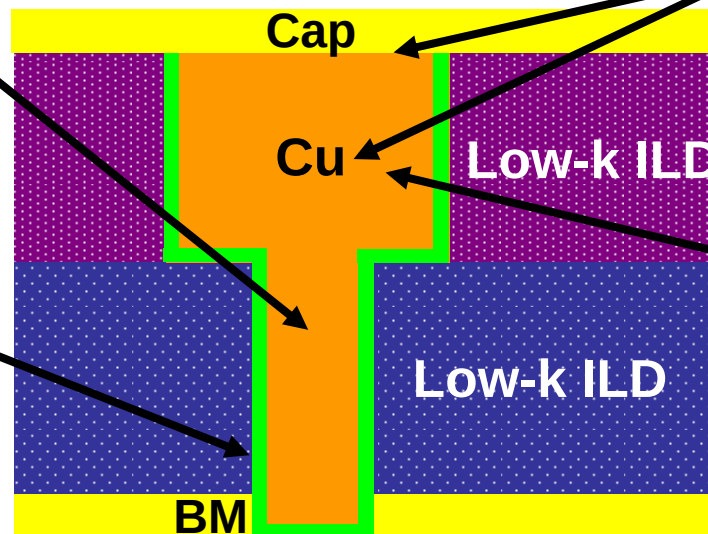
- 下層(微細)Cuダマシン配線形成のためのTrench/Via内へのVoid-less BM/Cu埋め込み困難度の増大
- Cu配線の微細化に伴う結晶粒界/界面での電子散乱による電気抵抗の上昇
- Cu配線/Via微細化に伴うEM/SM/TDDDB信頼性確保の困難度増大

[2] Low-k技術

- Low-k化に伴う機械強度・吸湿耐性・プラズマダメージ耐性の低下
- DD微細加工の難易度増大(配線/Via加工形状及びCDの制御性低下)
- keff低減のためのLow-k Direct-CMPによるk値上昇、Water Mark発生、異常研磨、配線間リーク増大

BM/Cu埋め込み困難度の増大

BMの薄膜化、均一化
BM/Seedの被覆性改善

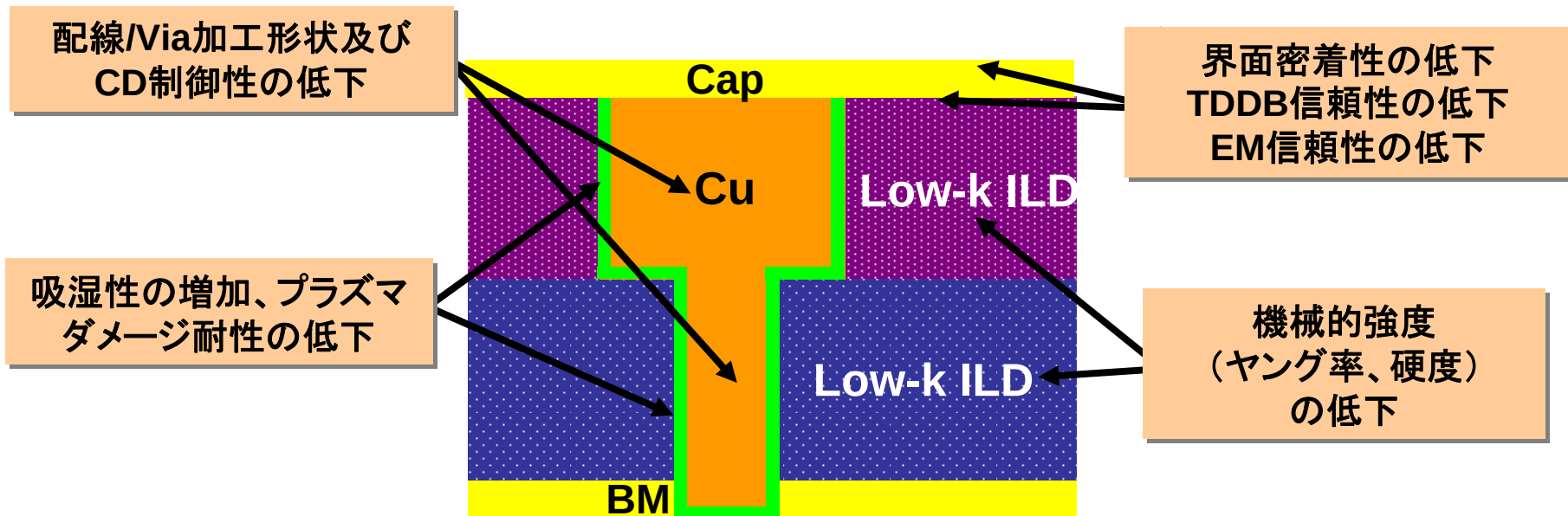


EM/SM/TDDDB信頼性確保
の困難度増大

粒界/界面での電子非弾性
散乱によるCu配線抵抗の
上昇

<BM/Cu成膜プロセスの課題と解決策>

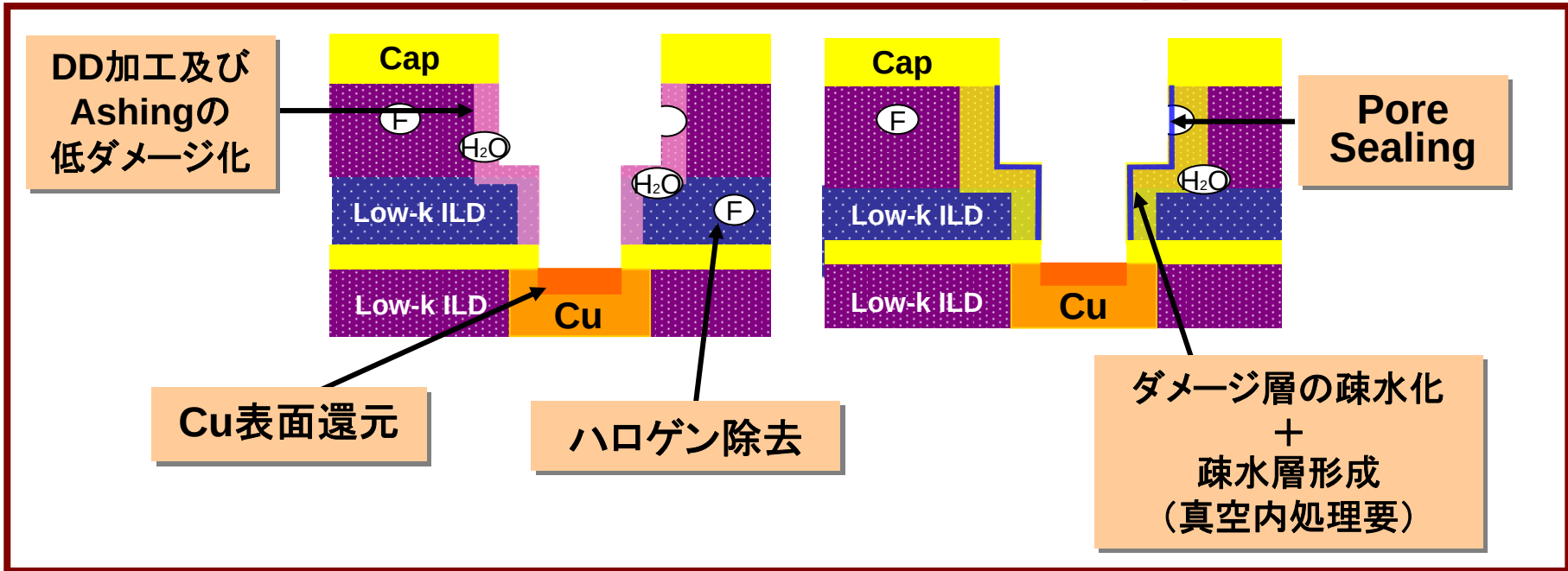
- BM/Cu埋め込み困難度の増大 → CVD(ALD)-Liner (ex. Ru)、自己形成MnOx Barrier、Seedless Cu無電解めっき
- 粒界/界面での電子非弾性散乱によるCu配線抵抗の上昇 → Cu大粒径化、配線Trench加工面/BMのRoughness低減
- EM/SM/TDDDB信頼性確保の困難度増大 → 界面拡散抑制のためのMetal or Dielectric-Cap (ex. CoWP, CuSiN)、CuX(ex. Al, Ag)-Alloy, CNT-Via埋め込み



<Low-kプロセスの課題と解決策>

- 機械的強度(ヤング率、硬度)の低下→ Poreの微細化・周期構造化、Pore後作り
- 吸湿性の増加、プラズマダメージ耐性の低下→ Metal Hard Mask(MHM)加工、ダメージ修復(Silylation)
- DD加工形状/CD制御の困難度増大→ MHMによるDD加工、STP介在、Hybrid構造化
- 界面密着性やTDDB信頼性の低下→プラズマ前/後処理及びCMP低圧化・低摩擦化、ダメージレスCMP/洗浄

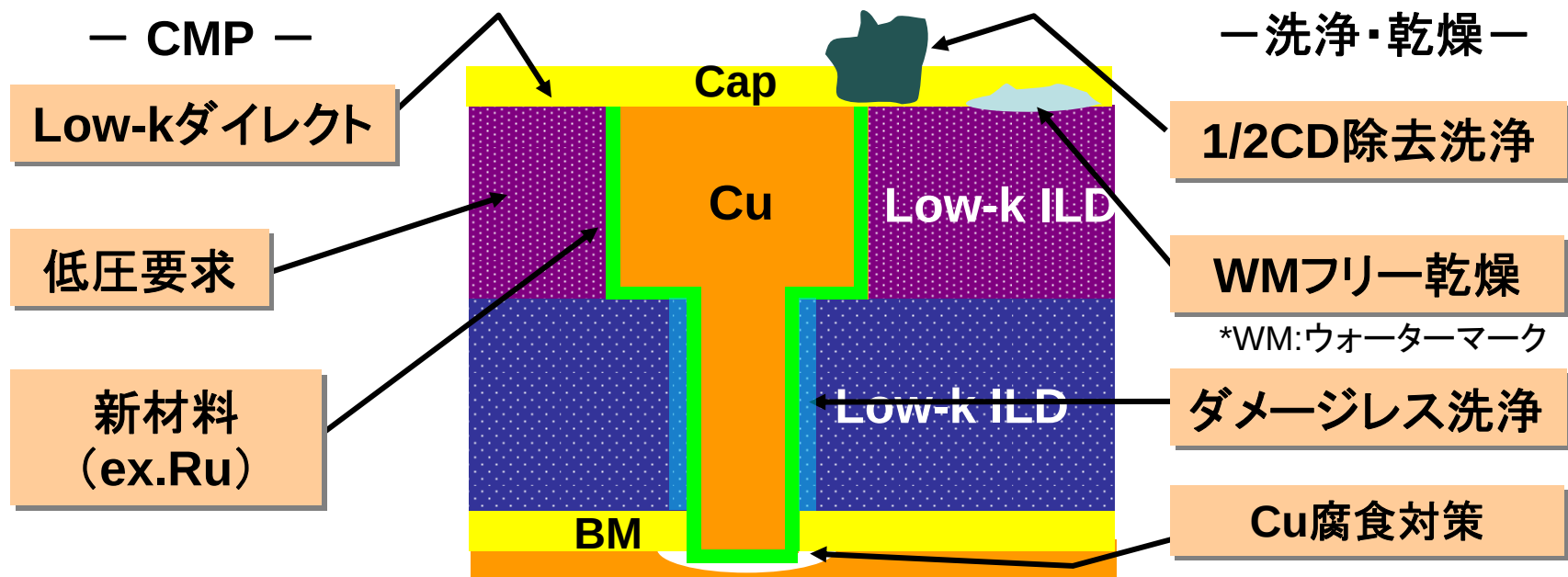
エッチングプロセスの現状と課題



＜エッチングプロセスの課題と解決策＞

- 低ダメージアッシング → 還元系反応による低ダメージ化
脱水および Cu 表面還元
エッチング中に Low-k 中に浸入したハロゲン除去
- ダメージ修復 → 化学反応によるエッチングダメージ修復
大気中の水分による親水基でのダングリングボンド終端を防止
するため、大気に出す前に疎水基で終端処理
- Pore Sealing → 後工程での薬液や水分の取り込み防止
BM成膜面の平坦化・スムージング

CMP/洗浄(乾燥)プロセスの現状と課題



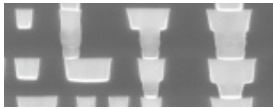
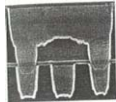
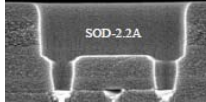
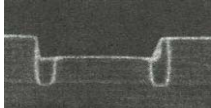
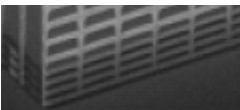
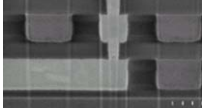
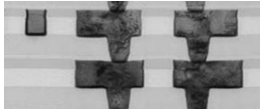
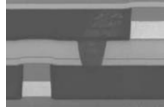
<CMPの課題と解決策>

- Low-k ダイレクト: ダメージレスCMPとその回復技術
- 低圧要求: 平坦度向上と低ダメージを目的とした低圧・低摩擦化
- 新材料ライナー(ex. Ru): 新材料に対応したスラリや洗浄液の開発

<洗浄・乾燥の課題と解決策>

- 1/2CD除去洗浄: 光学検査が難しい領域のFMの洗浄
- WMフリー乾燥: 疎水膜(Low-k膜)をWMなく乾燥させる技術
- エッチング(アッシング)後のLow-kに対するダメージレス洗浄
- コンタクト・Via底のCu腐食防止技術

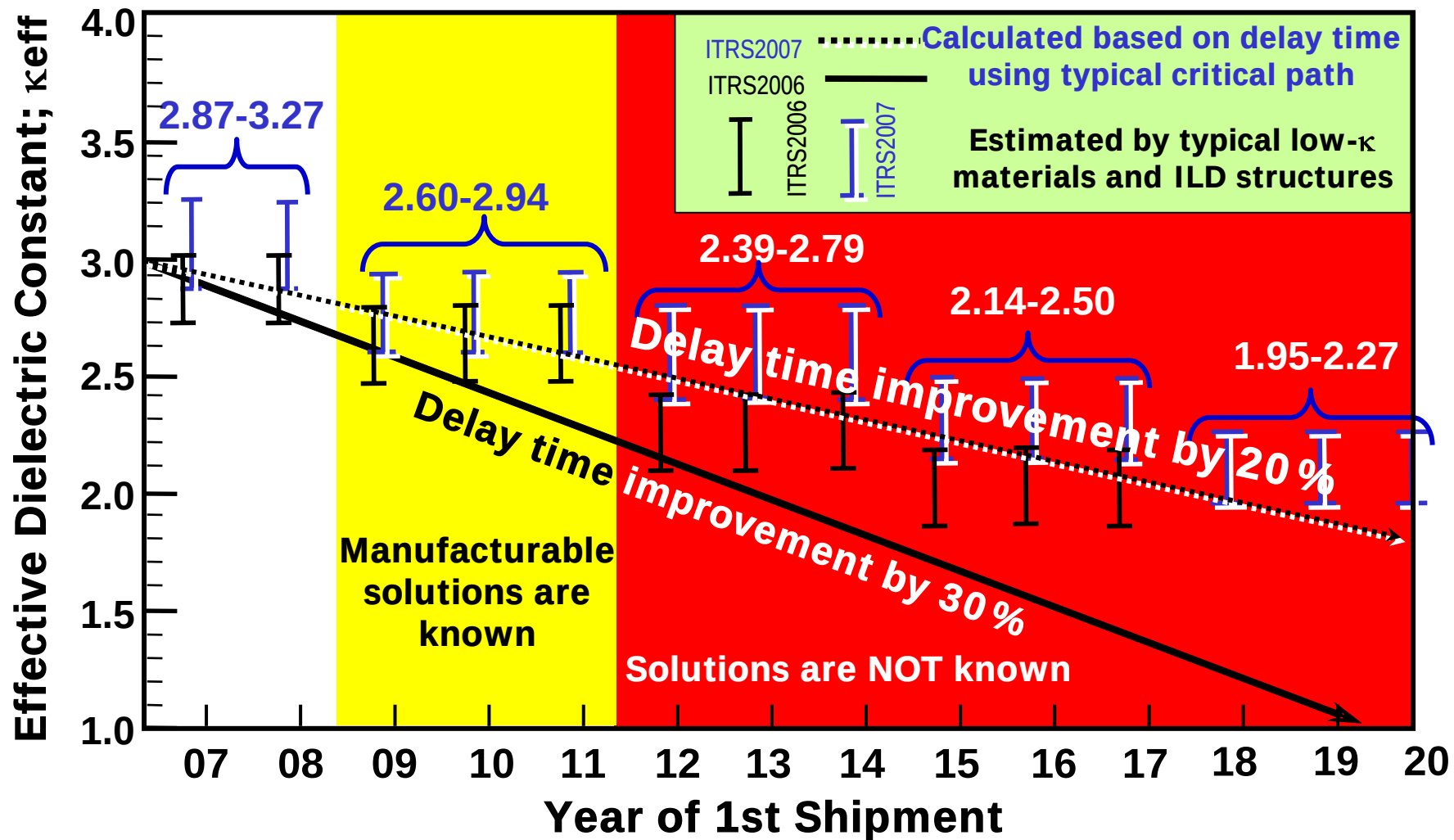
学会動向から見たLow-k技術の開発遅延

	90 nm	65 nm	45 nm
Intel	 CVD SiOC DD (k=2.9)	 CVD SiOC DD (k=2.9)	 CVD SiOC DD (k<2.6)?
IBM	 CVD SiOC DD (k=3.0)	 CVD SiOC DD (k=2.75)	 CVD SiOC DD (k=2.45)
TSMC	 CVD SiOC DD (k=3.0)	 CVD SiOC DD (k=2.5)	 CVD SiOC DD (k=2.2/2.5)
Renesas	 CVD SiOC DD (k=2.9)	 CVD SiOC stack DD (k=2.6/3.0)	 CVD SiOC DD (k=2.65)
Fujitsu	 CVD SiOC DD (k=2.9)	 SOG/CVD SiOC stack DD (k=2.25/2.9)	 SOG/SOG stack DD (k=2.25/2.25)
SONY Toshiba	 CVD SiOC DD (k=2.9)	 PAr/SiOC hybrid DD (k=2.6/2.5)	 PAr/SiOC hybrid DD (k=2.3/2.3)

引用文献
2003-2006
IITC
IEDM
VL
AMC

65nm世代以降、Low-k化の明らかな”Slow down”と
デバスメーカー間のk値に大きなばらつきが生じて来ている

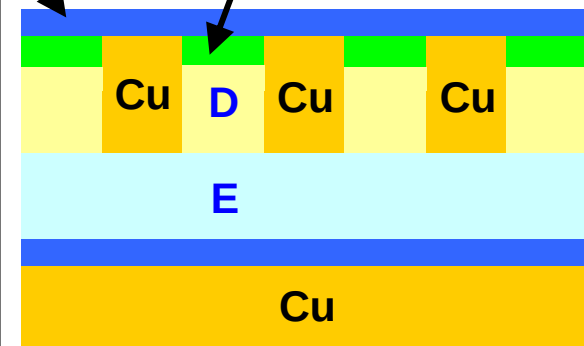
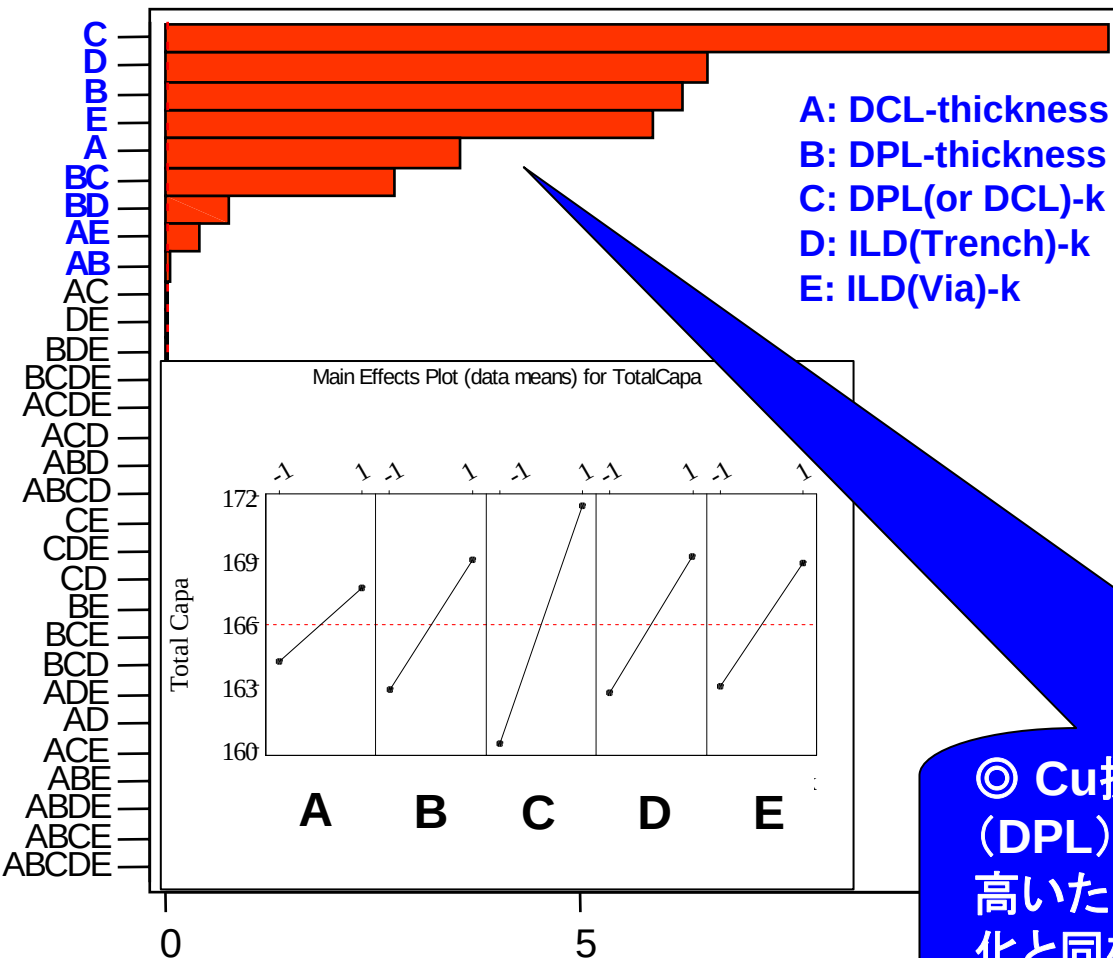
Low-k ロードマップ改訂



◎ 主要学会動向や材料メーカーの開発状況に鑑み、Low-k技術ロードマップを“Slow down”
(Bulk k値: 0.1-0.4増加 @2007-2023年、Cu拡散防止膜及びCMP保護層のk値: 0.2-0.5増加)

配線パラメータの k_{eff} に対する感度解析

Cu拡散防止膜(膜厚:A,k値:C)

CMP保護層 or ハードマスク
(膜厚:B,k値:C)

DCL: Dielectric Capping Layer
=CMP保護層 or ハードマスク

DPL: Dielectric Protection Layer
=Cu拡散防止膜

◎ Cu拡散防止膜(DCL)やCMP保護層(DPL)のk値や膜厚に対して最も感度が高いため、配線間及びVia層間膜のLow-化と同様にLow-化と薄膜化が必要

ITRS2007改訂 : Cu拡散防止膜のk値表記へ

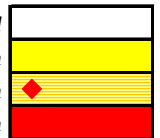
		Near-term						
	Year of Production	2007	2008	2009	2010	2011	2012	2013
Was	Interlevel metal insulator – effective dielectric constant (κ)	2.7-3.0	2.7-3.0	2.5-2.8	2.5-2.8	2.5-2.8	2.1-2.4	2.1-2.4
Is	Interlevel metal insulator – effective dielectric constant (κ)	2.9-3.3	2.9-3.3	2.6-2.9	2.6-2.9	2.6-2.9	2.4-2.8	2.4-2.8
Was	Interlevel metal insulator – bulk dielectric constant (κ)	2.3-2.7	2.3-2.7	2.1-2.4	2.1-2.4	2.1-2.4	1.8-2.1	1.8-2.1
Is	Interlevel metal insulator – bulk dielectric constant (κ)	2.5-2.9	2.5-2.9	2.3-2.7	2.3-2.7	2.3-2.7	2.1-2.5	2.1-2.5
New	Copper diffusion barrier and etch-stopper - bulk dielectric constant (κ)	4.0-4.5	4.0-4.5	3.5-4.0	3.5-4.0	3.5-4.0	3.0-3.5	3.0-3.5

Long-term									
2014	2015	2016	2017	2018	2019	2020	2021	2022	2023
2.1-2.4	2.2	1.9-2.2	1.9-2.2	1.6-1.9	1.6-1.9	1.6-1.9			
2.4-2.8	2.5	2.1-2.5	2.1-2.5	2.0-2.3	2.0-2.3	2.0-2.3	1.7-2.0	1.7-2.0	1.7-2.0
1.8-2.1		1.6-1.9	1.6-1.9	1.4-1.7	1.4-1.7	1.4-1.7			
2.1-2.5		1.9-2.3	1.9-2.3	1.7-2.1	1.7-2.1	1.7-2.1	1.5-1.9	1.5-1.9	1.5-1.9
3.0-3.5		2.6-3.0	2.6-3.0	2.4-2.6	2.4-2.6	2.4-2.6	2.1-2.4	2.1-2.4	2.1-2.4

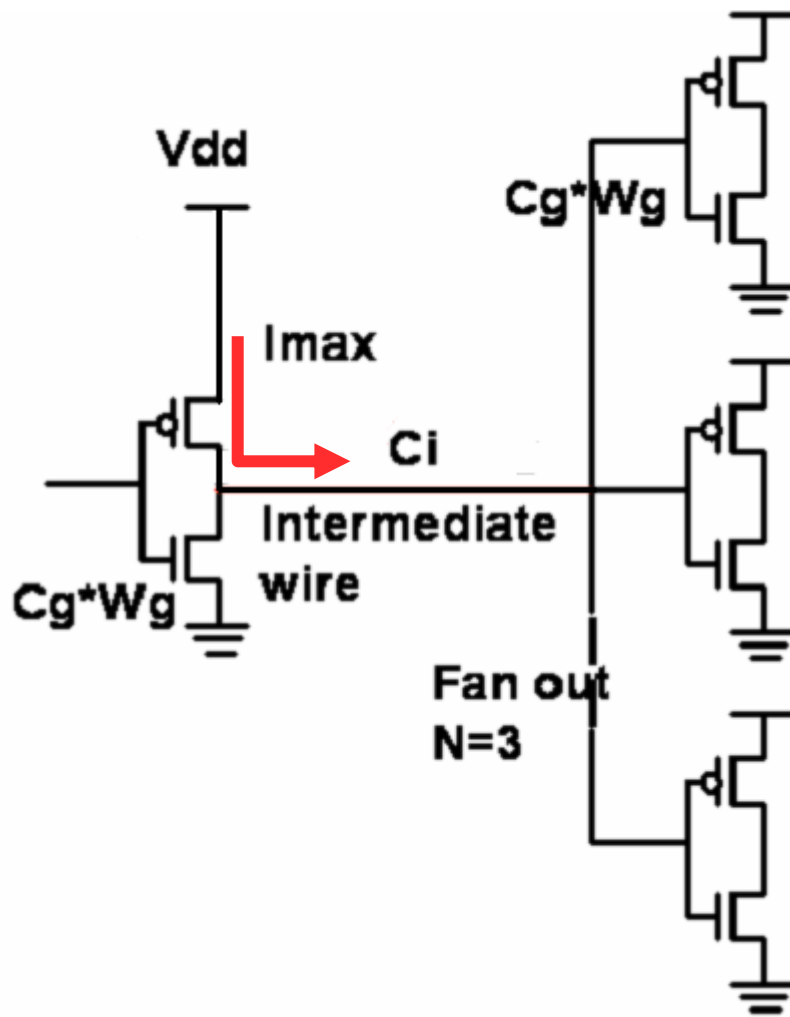
◎ 配線容量に対する影響度に鑑み、ITRS2007から新たにCu拡散防止膜のk値Rangeを明記へ



Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known



ITRS2007改訂: $J_{\max}$ 計算モデル



Inverter circuit (F.O=3)

- Minimum Tr width (Wmin.):
 NMOS Gate width = (ASIC Half-pitch) x 4
 PMOS Gate width = (NMOS Gate-width) x 2
- Tr-width (Wg):
 $Wg = Wmin. \times 8$
- Gate capacitance (Cg)
- Wiring length (Li): IM-Pitch x 200
- Wiring capacitance (Ci): Updated keff



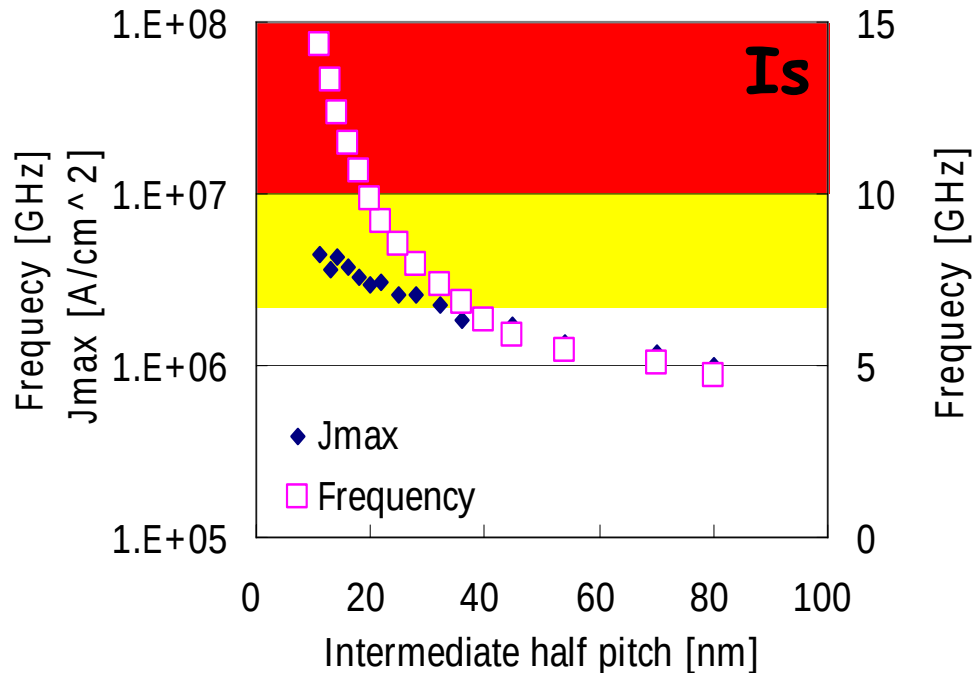
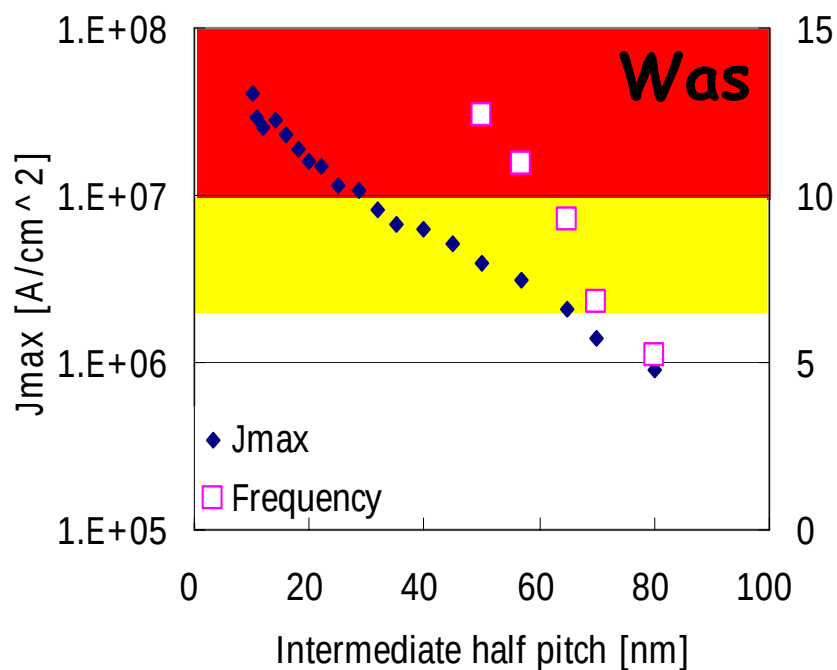
Average current density of IM-interconnect ($J_{\max}$)

$$= f (Cg * Wg * N + Ci) * Vdd / (Wi * Ti)$$

計算モデルは昨年と同じ

ITRS2007改訂 : $J_{\max}$ ロードマップ改訂

Was	Year of Production	2007	2008	2009	2010	2011	2012	2013	2014
Is	On-chip local clock (MHz)	9285	10972	12369	15079	17658	20065	22980	28356
Is	On-chip local clock (MHz)	4700	5063	5454	5875	6329	6817	7344	7911
Was	$J_{\max}$ (A/cm ²)	2.08E+6	3.08E+6	3.88E+6	5.15E+6	6.18E+6	6.46E+6	8.08E+6	1.06E+7
Is	$J_{\max}$ (A/cm ²)	1.00E+6	1.20E+6	1.37E+6	1.72E+6	1.91E+6	1.85E+6	2.25E+6	2.57E+6



周波数の伸びが緩和したため、 $J_{\max}$ が大幅に低下

今後の $J_{\max}$ の見通しと課題

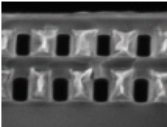
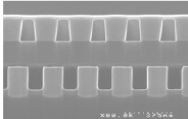
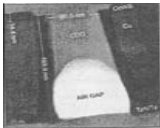
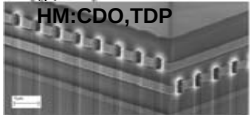
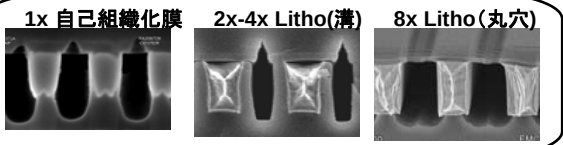
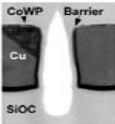
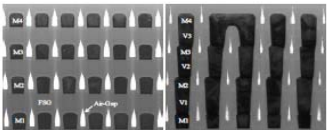
- 周波数の緩和に伴い、 $J_{\max}$ の要求値も緩和され、EM向上技術の要求は従来より緩和。
- 一方で、微細化に伴うEM劣化も懸念。

$$\text{寿命} \propto (\text{配線幅})^{1.8}$$

(S. Yokogawa et al., Stress Workshop 2004)

- 今後、EM信頼性指標として精度の高い $J_{\max}$ 要求値や解決策を示すために、より詳細なモデルの検討が引き続き必要。

Air Gap技術: 動向まとめ

	32 nm($k_{eff} \leq 2.5$)	22 nm($k_{eff} \leq 2.2$)	15 nm($k_{eff} < 2.0$)
NXP	 Keff=2.5 TDPを使ってair gap形成 HM:SiOC	 Hybrid(SiOC/PAr)構造を用いHFガスで線間ダミー膜SiO₂除去	
Philips	 Keff記述無 CoWP mask & TDP(400C 1h N₂)を使ってair gap形成 HM:CDO,TDP		
Infineon	 Keff=2.3 Etch & selective ozone TEOS on TEOS depo.でair gap形成 MS&Cu barrier:SiN		
IBM	 Keff 35%低減 M1:air gap不要(配線長短い) M2-M4:自己組織化膜使用、O₂プラズマ&希HFでair gap形成 M5-M10:自己組織化膜使用せずair gap形成	 1x 自己組織化膜 2x-4x Litho(溝) 8x Litho(丸穴)	
Matsushita		 CoWPマスクでetch & SiOC depoでair gap形成 SiOC:k=3.0? Keff=1.9 @65nm DR	
Hitachi	 CF₄ etchによりair gap形成 Via部にはgap形成せず→missアライメント問題回避		

学会発表に見るAir-Gap技術
動向 (2006-2007 IEDM, VLSI,
IITC, AMC)

世界中で多くのAir-Gap形成方法が活発に検討されているが、工程数増加や、Borderless対応不可(合わせズレによるCu埋め込み不可)など、実用化のために解決すべき課題が多い

Hybrid(SiO₂/Polymer)構造において HF VaporによるSiO₂除去を利用

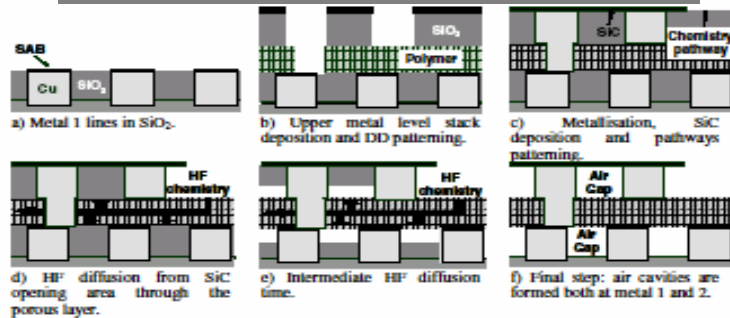


Fig. 2: Schematic integration scheme of a two metal level interconnect stack

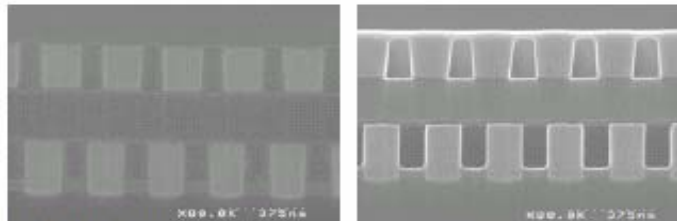


Fig. 5: FIB-SEM cross-sections in a comb/serpentine structures before (left) and after (right) air cavities simultaneously introduced at M1 and M2.

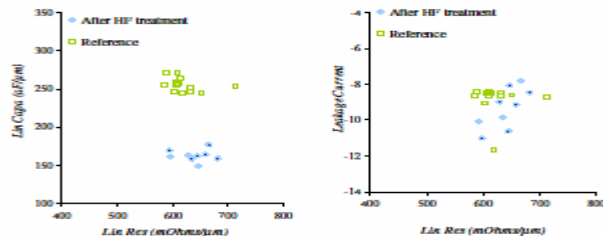


Fig. 6: Lateral coupling capacitance (left) and leakage current (right) = $f(\text{Resistance})$ in a comb/serpentine structure where patterns are completely isolated with air cavities.

L.G.Gosset et al., Proc.of 2007 IITC., pp.58-60 (2007)
(NXP Semiconductors, CEA-Leti, STMicro et al.,)

TDP (Thermal-Degradable Polymer) の昇華を利用

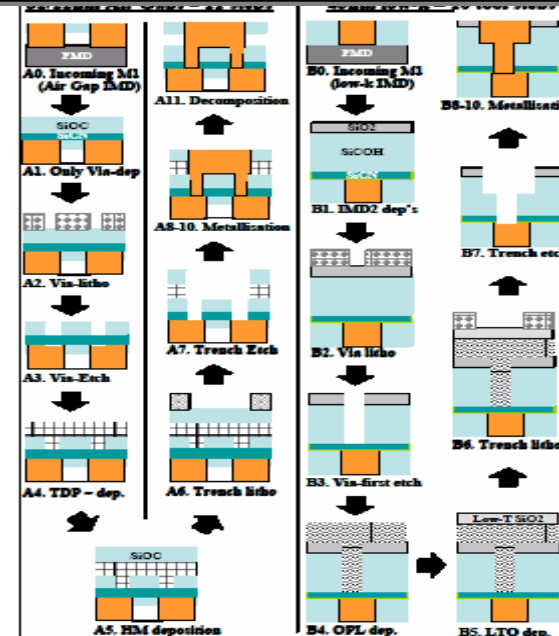
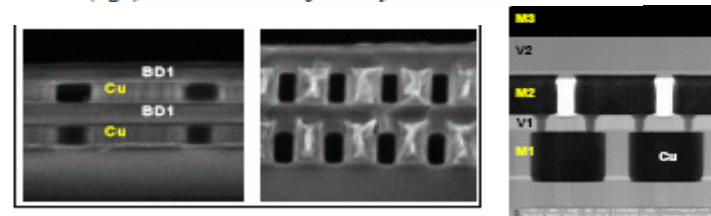


Figure 4: Dual damascene AG integration scheme (left) compared against a known 45nm dual damascene low-k integration scheme[®] (right). Wet cleans omitted for clarity.



R.Daamen et al., Proc.of 2007 IITC., pp.61-63 (2007)
(NXP Semiconductors, Dow-Chemical)

工程増が少なくBorderless対応可能だが、HF Vaporによる有機膜の一括除去やPolymerの高温一括昇華プロセスの基礎検討段階にあり、プロセスの低温化や安定化を目指した実用化検討が必要

Difficult Challengeの位置づけ

Geometrical Scaling 寸法の微細化	Equivalent Scaling 実効的の微細化	Functional Diversification 機能の多様化
メタル抵抗が増大してしまう⇒バリアメタルは薄膜化せねば！ + 絶縁膜容量が増加してしまう⇒更なるLow-κ化を！ ↓ RC低減困難，消費電力増大	Post-Cu材料のCNTで更なる低抵抗化と信頼性確保を！ + グローバル配線には，貫通電極，光配線で，高速・能力拡大を！	配線に機能をアドオン ↓ 受動素子 スイッチング素子 センサー... ↓ ヘテロジニアス インテグレーションで 新たな機能を 1チップで！

演算・記憶・通信

アプリの主体も変遷

しかし,

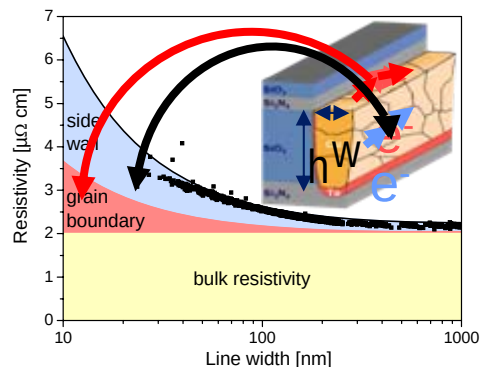
情報・エネルギー・周波数

CMOSコンパチブル

Geometrical Scaling Equivalent Scaling

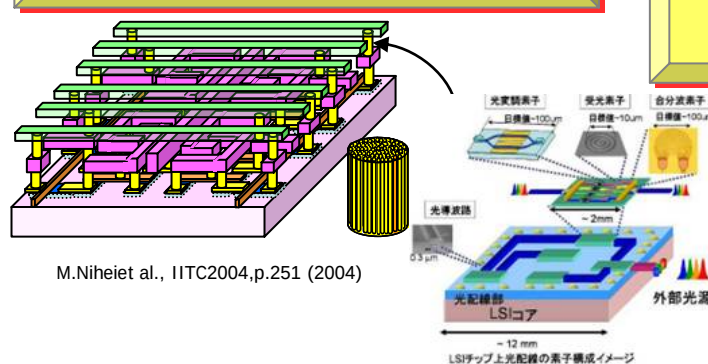
Functional Diversification

配線抵抗上昇対策



G.Steinlesberger et al., "Solid State Electronics, 2002, Vol.47, p.1237

低抵抗配線(CNT, 光配線)

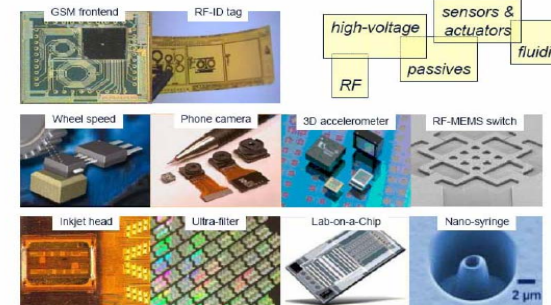


M.Nihei et al., IITC2004, p.251 (2004)

2006年半導体MIRAIプロジェクト成果報告会

ヘテロジニアスインテグレーション マルチチップモジュール

More than Moore:
Heterogeneous technologies



Dirk Beernaert, INC3 (2007)

κ値低減への新材料導入

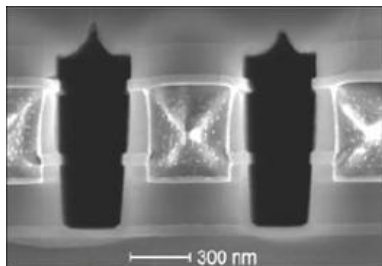


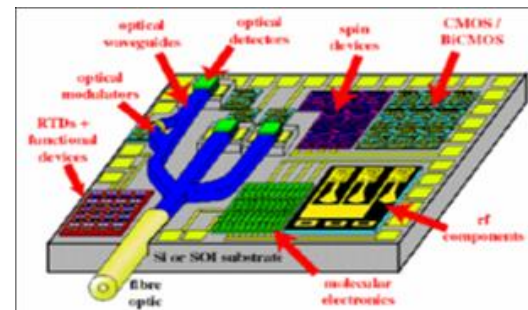
Fig. 1: SEM micrograph of air gap structures etched between adjacent metal lines and closed by selective ozone/TEOS deposition. The depth of the air gaps is defined by a nitride etch stop layer.

Z.Gabric et al., IITC2004, p.151 (2004)

グローバル配線の短距離化 (TSV・3次元配線)

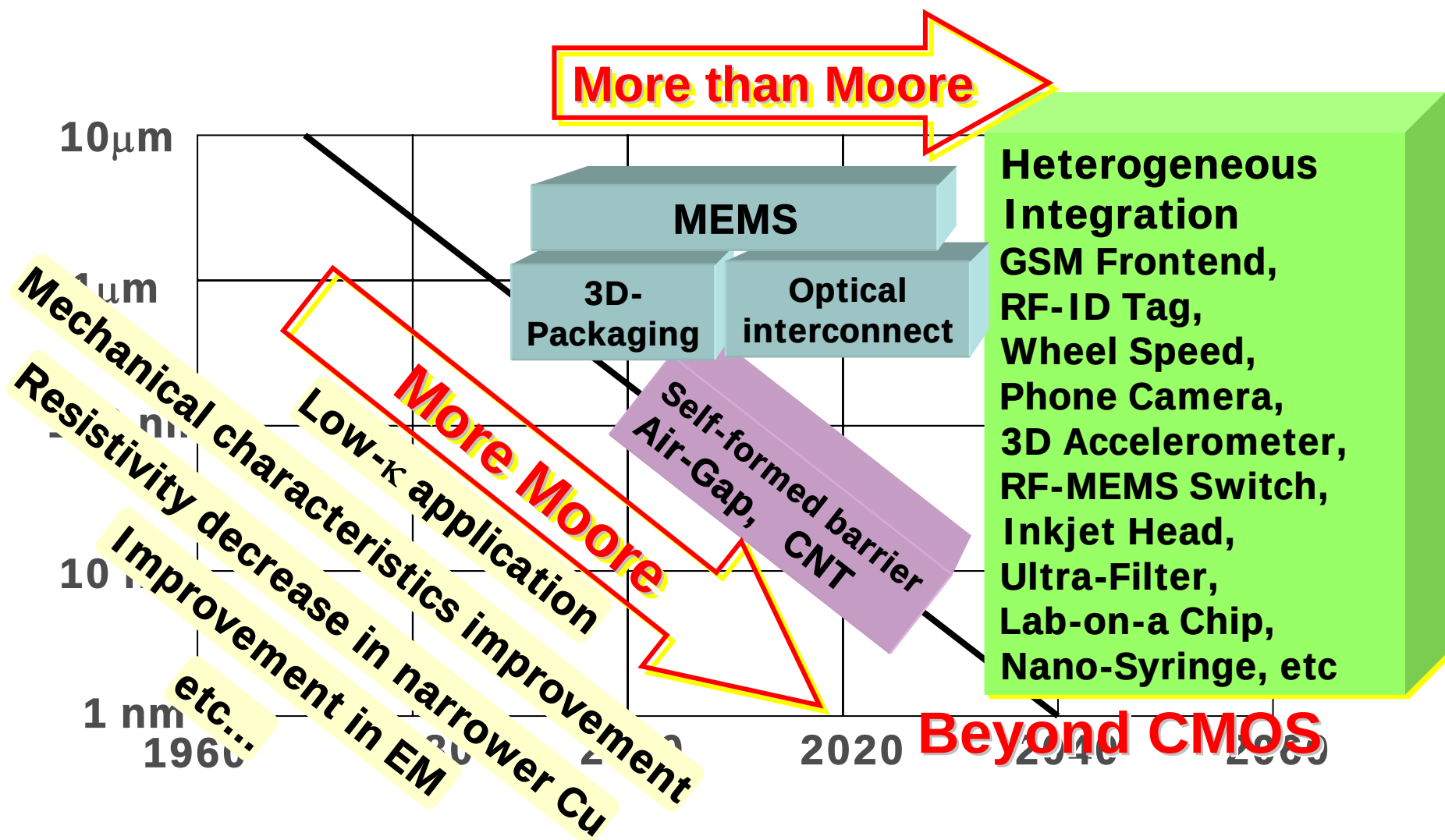


Intel Developer Forum 2005 Spring



A.M. Ionescu, INC3 (2007)

Breakthrough in Interconnect



“New Interconnect Concept and Radical Solutions”

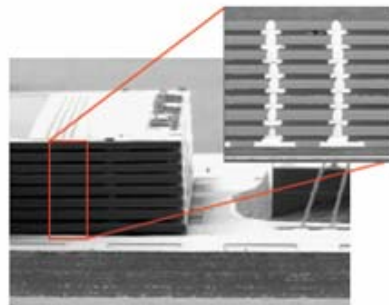
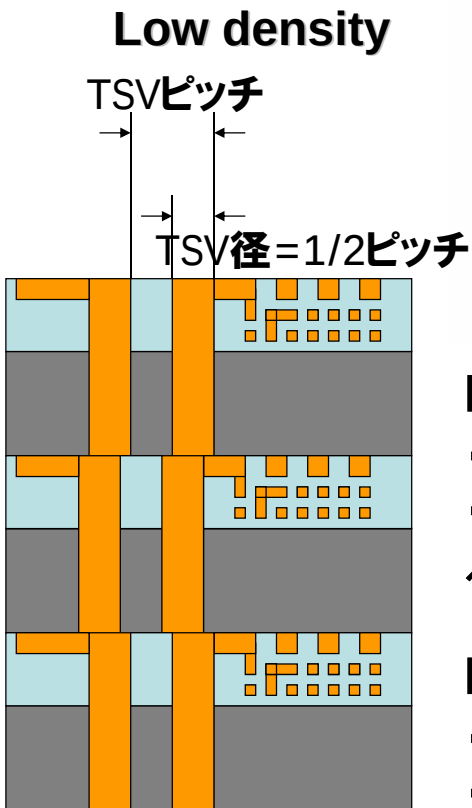
Geometry項に、3次元IC化に向けた配線オプション技術を加筆

Table 84 High Density Through silicon via (HDTSV)仕様を追加

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 ½ Pitch (nm) contacted	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length	25	22	20	18	16	14	13	11	10
Min Interlayer HDTSV Contact Pitch (um)									
High Density	3.2 - 5.0	2.9 - 4.4	2.6 - 3.8	2.2 - 3.4	2.0 - 3.0	1.6 - 2.6	1.4 - 2.2	1.3 - 2.0	1.0 - 1.7
HDTSV diameter (um)									
High Density	1.6 - 2.5	1.4 - 2.2	1.3 - 1.9	1.1 - 1.7	1.0 - 1.5	0.8 - 1.3	0.7 - 1.1	0.6 - 1.0	0.5 - 0.9
Max via density (cm-2)									
High Density	9.77E+06	1.21E+07	1.53E+07	1.99E+07	2.31E+07	3.91E+07	4.82E+07	6.10E+07	9.61E+07
Min Face to Face Pitch (um)									
High Density	5.00	4.38	3.83	3.35	2.93	2.56	2.24	1.96	1.72
Max Layer Thickness									
High Density	7 - 25 um	7 - 25 um	7 - 25 um	6 - 20 um	6 - 20 um	6 - 20 um	5 - 15 um	5 - 15 um	5 - 15 um
Total Thickness Variation	< 1 um			< 0.75 um			< 0.5 um		

ITRS2007改訂 : HDTSVに関するITWGでの議論

- 3D / TSVへの取組み:実装、配線WGの線引きは？
Before vs After Passivation @7月・サンフランシスコ
- High Densityの定義は？

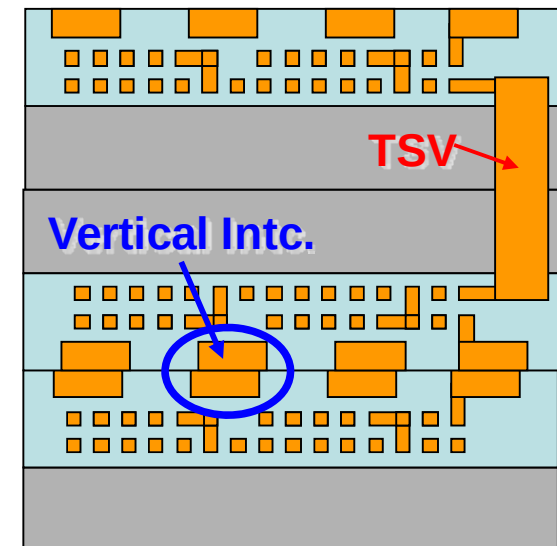
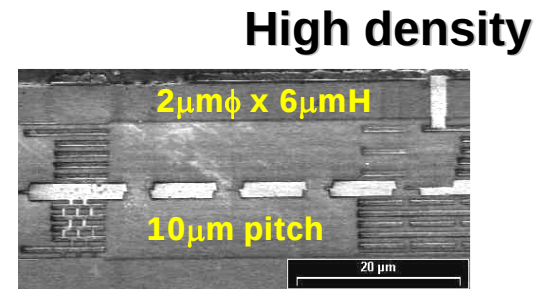


Low density

- ボンディングパッドに替わるもの
- MCMで実現できている機能に置き換わるもので、性能向上につながる。

High density

- 回路内部の配線
- MCMではできなかった機能を実現

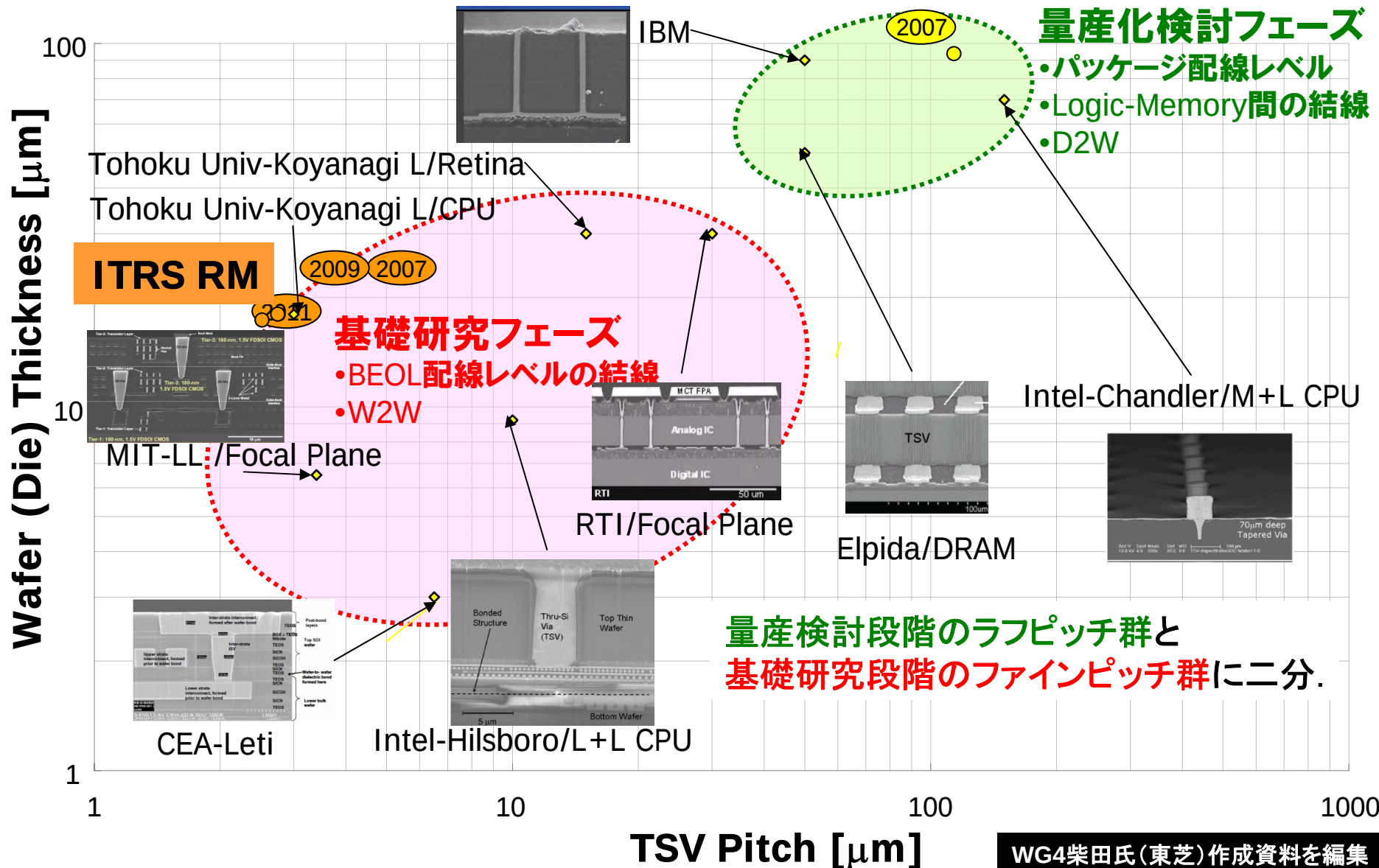


Low densityとHigh densityの境界: TSV径=50 μm でいいか？

TSVピッチのスケーリング: DRAMピッチ準拠 or アライメント能力準拠=87.5%/年)

TSVの微細化・ウエハー薄膜化の動向

ITRSはファインピッチ製品を牽引



今後の取り組み

1. ロードマップの対象

- ・ 配線WG: グローバル配線の代替技術としてのTSV微細化ロードマップ
 - ・ Potential solution
 - ・ 個別の要素技術とその目標仕様
- ・ 実装WG: WBの代替技術としてのTSV, 3次元実装

2. 進め方

- ・ 狙いの明確化:
アプリケーションとそれに必要な要素技術を抽出
- ・ STRJでは, 実装～配線WG共同で検討(棲み分け、一貫性)

まとめ

＜微細化の深耕＞

- Cu/Low-k配線の現状と課題について要素プロセス毎に整理し、解決策について示した。
- ITRS2007改訂
 - ・Low-k 化の鈍化傾向を受けてk値のトレンドを見直した。
 - ・Cu拡散防止膜のk値トレンドをRequirement Tableに表記した。
 - ・クロック周波数アップの鈍化傾向を受けて、電流密度Jmaxのトレンドを見直した。

＜Beyond Cu/low-kの展望＞

- 寸法の微細化、実効的微細化、機能の多様化 をキーワードとして、新たな発展を遂げようとしている。
今年度、特に関心のあった3D配線、Air Gapについて調査しまとめた。

＜今後の取り組み方針＞

- 3D配線ロードマップ化のため、アプリケーション調査と必要とされる要素技術の抽出をおこなう。
- Jmaxモデルを再検討し高精度化する。