

検証課題の深耕

—SOC大規模化に向けての検証阻害要因は—

2010年 3月 5日

JEITA半導体技術ロードマップ専門委員会 (STRJ)
設計ワーキンググループ (WG1)

目次

◆はじめに

- ワーキングメンバ、スコープ、ミッションなど

◆国際活動

- ITRS2009アップデートなど

◆国内活動

- SOC大規模化に向けての検証阻害要因は

◆まとめ

用語集

- ・ RTL: Register Transfer Levelの略。回路をフリップフロップ+組み合わせ論理回路で表現したレベルのこと。現在の論理回路設計はおもにこのレベルの記述を使用する。
- ・ SLD: System Level Designの略
- ・ LCP: Logic/Circuit/Physical Designの略
- ・ DFM: Design For Manufacturabilityの略で、歩留まり等の製造性考慮設計のこと。
- ・ SOC: System On Chipの略
- ・ CP: Consumer Portableの略
- ・ EDA: Electronic Design Automationの略
- ・ ESL: Electronic System Levelの略
- ・ TLM: Transaction Level Modelingの略
- ・ IP: Intellectual Propertyの略で、半導体の設計データやシミュレーションモデルなどの設計資産のこと。シミュレーションモデルを検証IPともいう。
- ・ バス: SOCの内外、各回路がデータを交換するための共通の経路、配線。
- ・ アサーション: 論理的に成立すべき関係や条件を記述したもの。それをチェッカとして論理検証で活用。
- ・ フォーマル(形式的)検証: 設計と仕様を数学的モデルで表現し数学的推論により正しさを検証する静的検証手法。等価性検証とプロパティ検証がある。
- ・ ランダム検証: ランダムにテストパターンを自動生成し、人手による順序性や規則性を排除し、検証の網羅性を高める検証手法。コーナケースのバグ検出に効果がある。
- ・ カバレッジ: 検証の網羅性の尺度。ハードウェア設計では、機能検証に対するカバレッジを指すことが多い。
- ・ 高位合成・動作合成: C/C++などのアルゴリズム記述から、RTLを自動的に合成すること。

設計WG(WG1)メンバー



松崎 正己(リーダー)
富士通マイクロエレクトロニクス

中山 勝敏(サブリーダー)
ルネサステクノロジ

樋渡 有(国際担当)
東芝

隅谷 三喜夫(幹事、国際担当)
パナソニック

豊田 忠雄
シャープ

斎藤 利忠
東芝

浅田 善己
富士通マイクロエレクトロニクス

柿本 勝
ソニー

朝重 浩喜
パナソニック

森井 一也
三洋半導体

澁谷 洋志
NECエレクトロニクス

浅井 健史
ローム

山本 一郎
ロームグループ OKIセミコンダクタ

小野 信任
ジーダット

今井 正治
大阪大学

計15名

設計WGのスコープ

SOC設計全般の広範囲な技術分野を担当

System Level Design

- 仕様から最適なHW/SWに分割し、HWに関してはRTL記述を生成する

Logic / Circuit / Physical Design

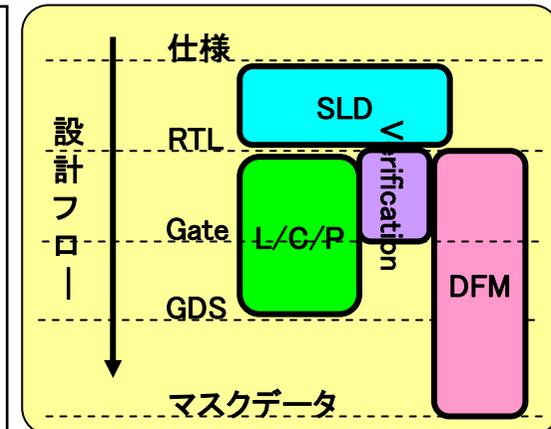
- RTL記述から製造可能な設計品質のレイアウトデータ(GDS II)を生成する

Design Verification

- RTL記述の機能と性能を仕様に基づき検証する

Design For Manufacturability

- プロセスの物理現象モデルに基づき、製造可能性/歩留まりを検証/最適化する。



設計WGのミッション

◆国際活動：ITRSのSystem Drivers章とDesign章を担当

- System Drivers章
 - ・ ITRSの全ての技術分野をドライブする製品分野毎の仕様や要求を定義
- Design章
 - ・ 設計技術に対する将来課題と課題解決策の提示

◆国内活動

- SOC構造・規模を時間軸で定量化し、ロードマップ検討の基礎として提示
- 設計技術課題(「設計生産性」や「消費電力」の観点)を時間軸で定量評価し、解決策を提案(ロードマップ作成)



◆期待される効果

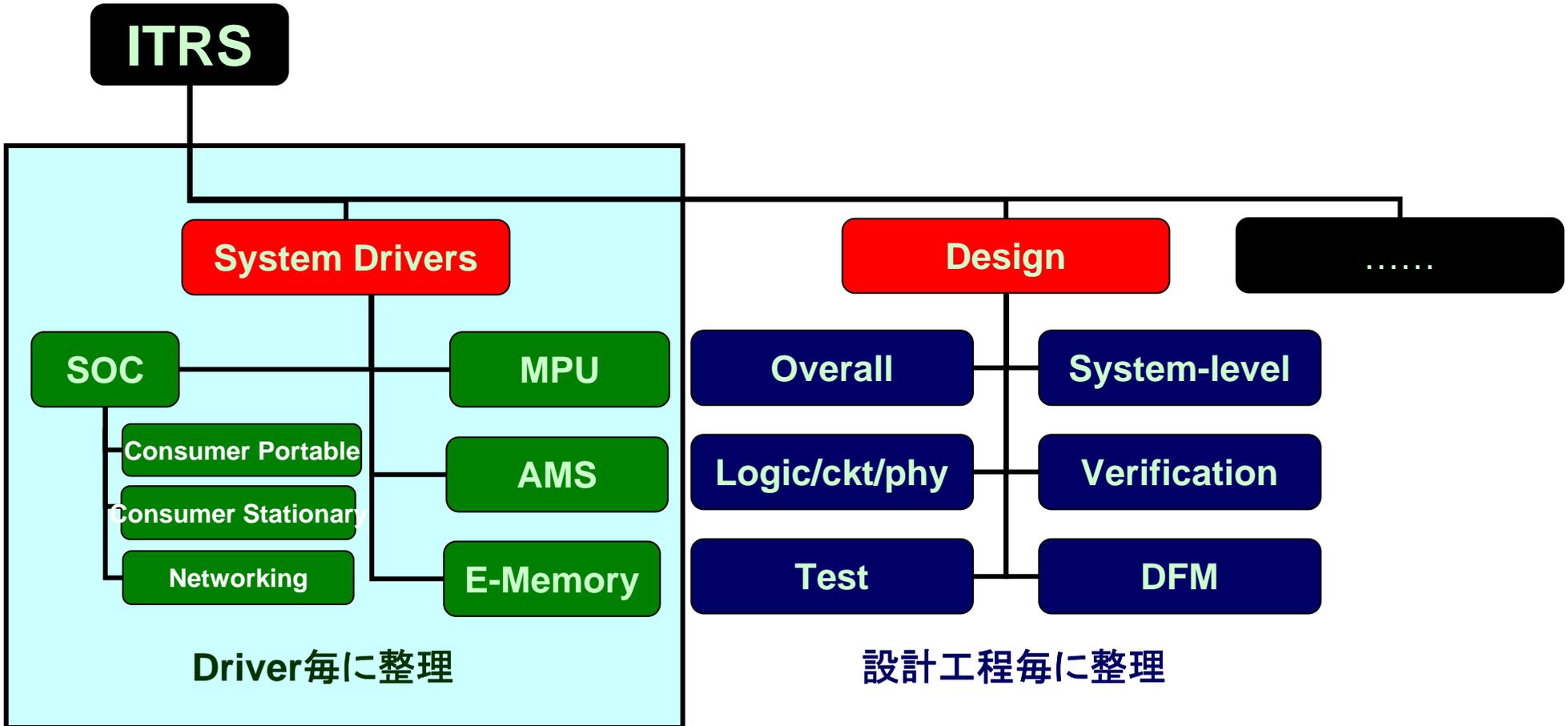
- ITRSロードマップのSOC設計に与える影響を定量化し、発信
- ITRSロードマップ見直しのきっかけをつくる
- 設計技術革新(EDA自動化技術)の加速を支援(EDAベンダーへ)

設計WGの活動内容(2005～2008年度)

	国際活動 (ITRSへの主な貢献)	国内活動	
		設計WG	旧設計TF
2005年度	System Drivers章 Consumer Portable SOCを提案 Design章 課題項目の確認と修正案提示	SOC設計技術ロードマップの見直し ・SLD,L/C/P,Verification,DFMの4分野で 重要な技術課題の明示と解決策の提案	低電力SOCのロードマップ ・DFMの検討とばらつきのSOC 性能への影響を評価
2006年度	System Drivers章 Consumer Stationary SOCを提案 Design章 SLDとVerificationの課題の項目値 の確認と修正案提示	設計遅れ要因変化の分析と提言 ・設計遅れ要因変化(3年間)の分析と課題 解決策提言 DFMのSOC設計への影響考察 ・SOC設計へのばらつきの影響の考察	低電力SOCのロードマップ ・配線分布/抵抗の予測とSOC性 能への影響を評価
2007年度	System Drivers章 Consumer Portable & Stationary SOCの数値の見直し Design章 LCPとDFMの課題の確認と修正案	SOC設計技術ロードマップの詳細化 /定量化 ・論理検証と物理設計の2分野で「設計生産 性向上」の観点でロードマップを詳細化/定量化	配線性能とSOC性能の関 係 ・ITRSの配線性能から見たムーアの 法則の限界
2008年度	System Drivers章 Consumer Portable & Stationary SOCの数値の見直し Design章 ソフトウェア関係のSLDテーブルへ の追加	SOCの低消費電力設計技術の課題と解決策 ・消費電力トレンドを示すロードマップの再構築 モデル(モチーフ)の見直し 消費電力計算式の見直し(パラメータ追加を含む) ・設計生産性に対する低消費電力設計技術の解決策ロードマップの作成	

System Drivers章

製造技術および設計技術をドライブする製品分野と
分野毎の仕様や要求を定義



Design章の構成

～設計技術のロードマップ～

General Challenges

シリコン複雑度とシステム複雑度への対応

Productivity

Power

DFM

Interference

Reliability

Key Design Challenges

5つの大きな課題

Mapping

System design

Logic/circuit
Physical D

Design
verification

Design
Test

DFM

目標を定量化するための枠組み(=設計工程)

ITRS2009 Overview



2009

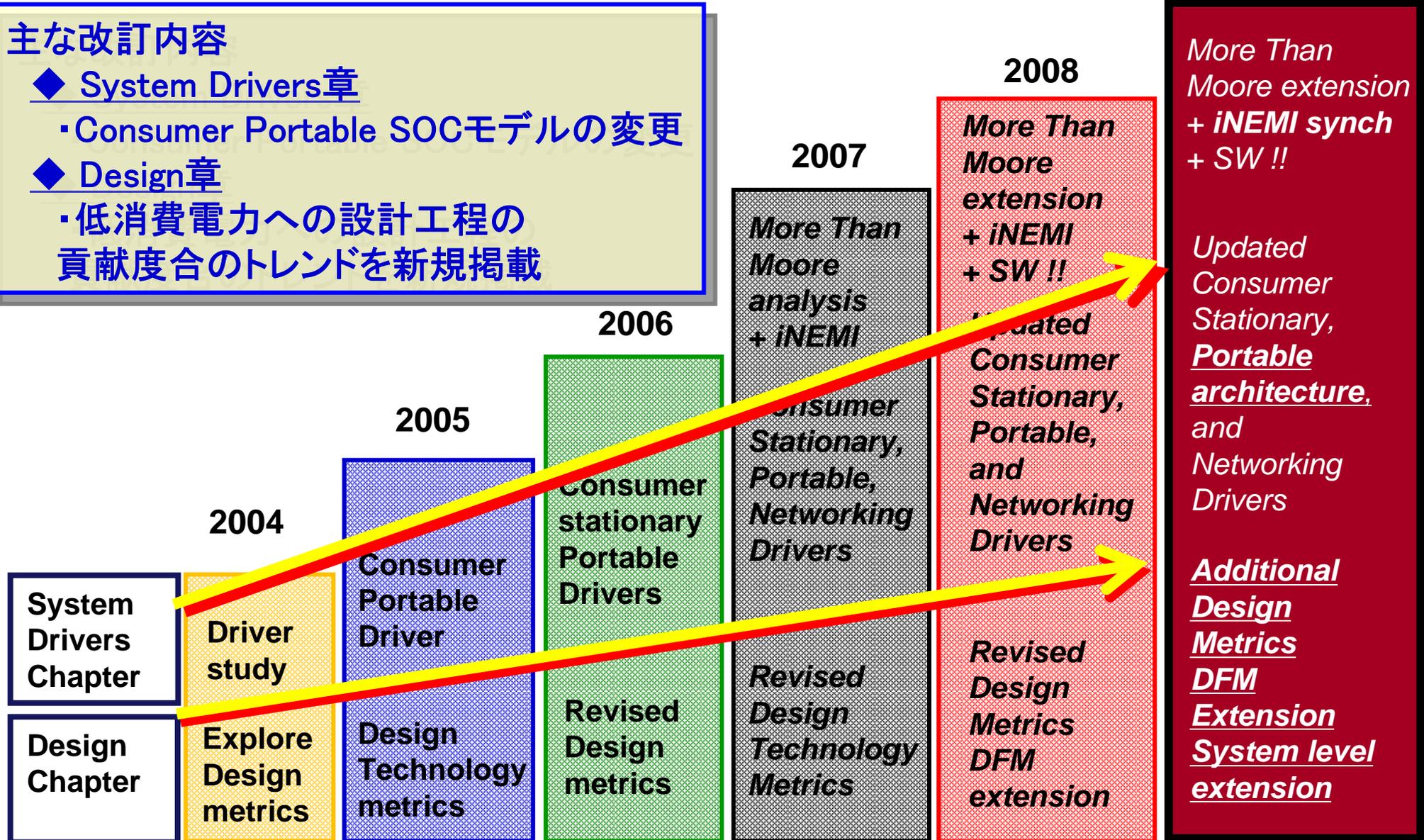
主な改訂内容

◆ System Drivers章

- ・ Consumer Portable SOCモデルの変更

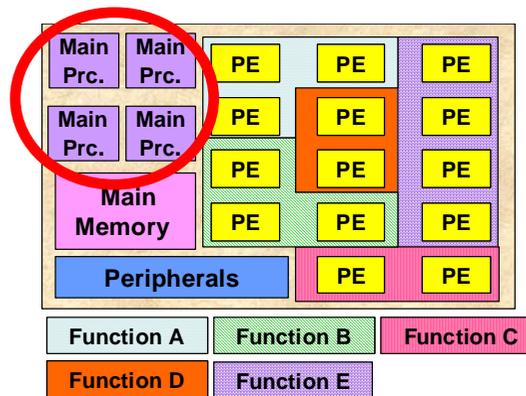
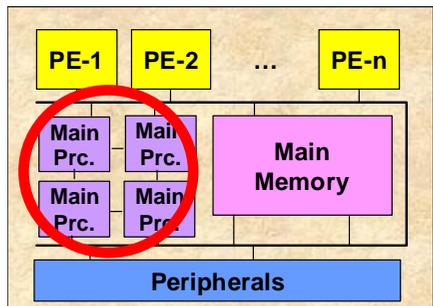
◆ Design章

- ・ 低消費電力への設計工程の貢献度合のトレンドを新規掲載



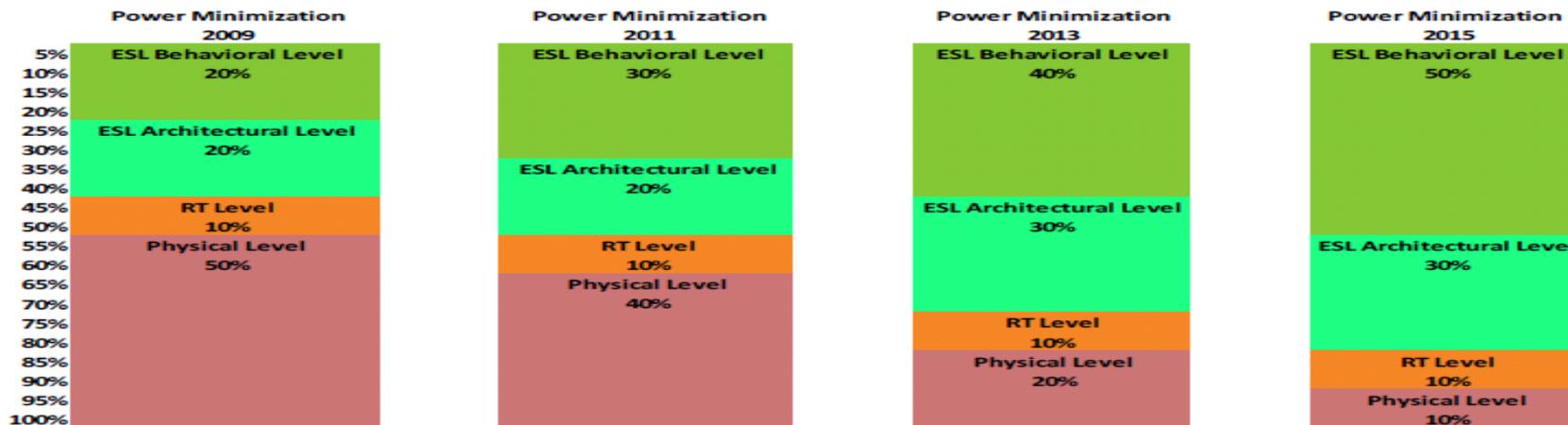
- System Drivers章

- Consumer Portable SOCモデルの変更 (STRJ WG1の2008年の成果)
- マルチコア化のトレンドなどを反映



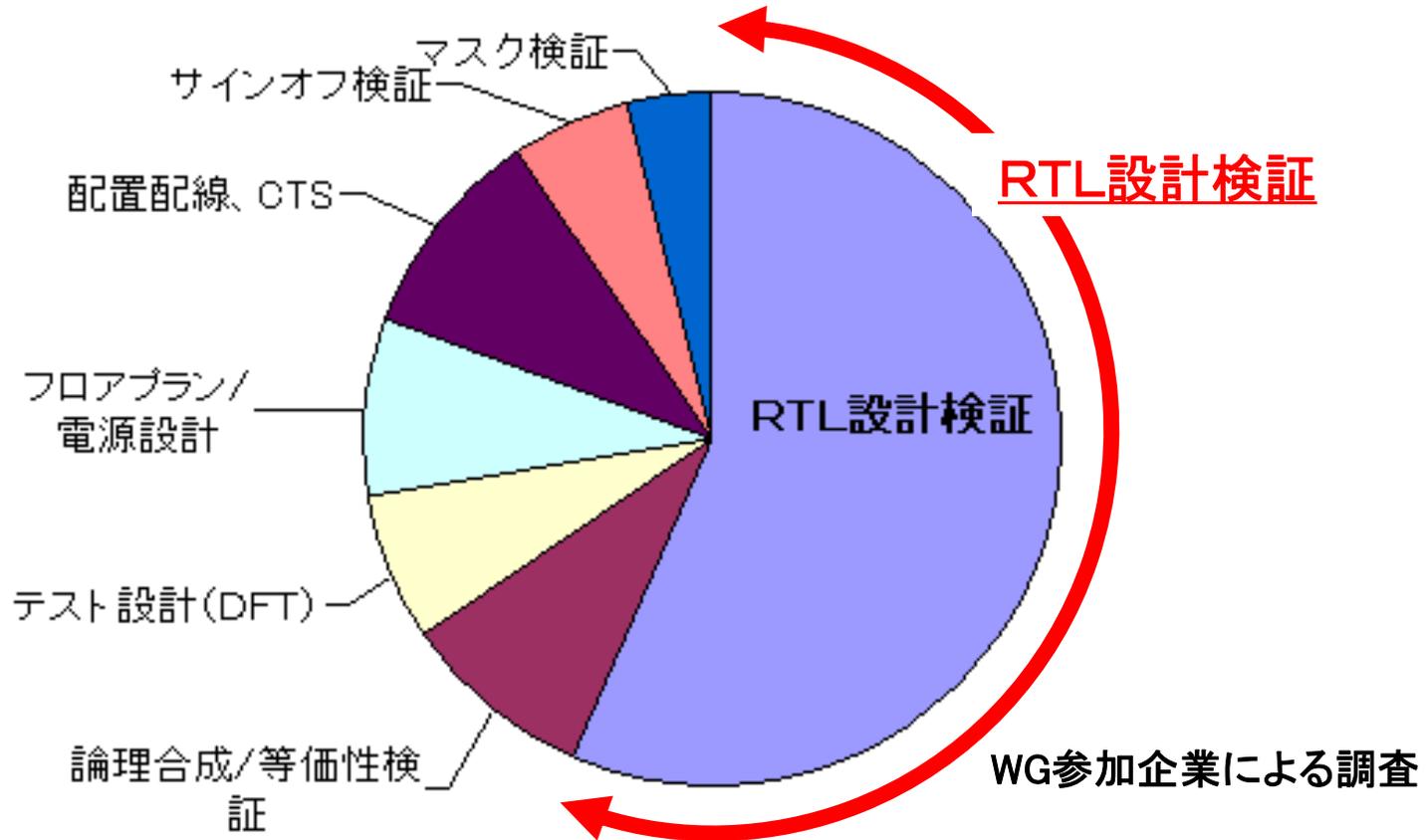
- Design章

- 低消費電力設計への設計工程の貢献度合を新規掲載
- 低消費電力化のキーはPhysical LevelからESL(Arch.やBehavioral Level)へ



SOCの設計工程別工数分布

SOC設計における設計工数分布(2009年度)



SOC設計に占める工数は、RTL設計検証の工数が支配的

過去の検証に対する活動

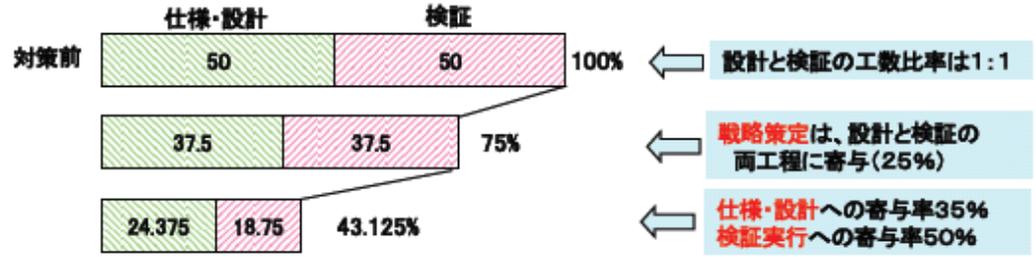
国内活動
Verification 課題解決策

	技術課題	課題解決策		
		2005~2008	2009~2011	2012~2014
検証戦略・手法	検証項目の抽出	・ブロックレベルのファンクションカバレッジ算出技術(ランダム検証など)	・ファンクションカバレッジ算出技術の適用範囲拡大(ランダム検証など)	・UML等で記述した要求仕様からの検証項目抽出技術
	検証モデル・テストベンチの作成	・標準IPに対する検証IPの整備 ・検証手法の標準化が進み、ガイドラインが整備	・ブロックレベルの検証IPの充実(品質認証済み) ・検証ガイドラインに基づいたテストベンチの充実	
検証実行	検証実行速度	・ボードプロトタイプ技術 ・高位レベルとの等価性検証技術の運用開始	・分散処理シミュレータ ・高位レベルとの等価性検証技術の利用拡大	
	解析の効率化	・アサーション/プロパティ検証での自動化で改善	・検証実行の拡張によりアサーション/プロパティ検証での自動化が進展	
	検証ステップ間の整合性	・トップダウンの検証への移行開始	・トップダウンの検証への移行進展	
	非同期回路など検証	・RTL構造検証(Super-Int)技術	・RTL構造検証技術の改善(疑似エラー検出)	
その他	・アナログ機能記述の進展	・高速アナログ混在シミュレーション技術		

2005年度
設計検証の課題解決策
とロードマップ策定

国内活動
2010年の設計検証の生産性向上率

設計生産性向上率は**2.3倍**(100/43.125)
ITRSで記載されている生産性要求値(1.96)をクリア



Work in Progress - Do not publish STRJ: March 9, 2007

2007年度
設計検証の生産性向上率を定量化

ITRS2007の設計生産性要求テーブル

	2007	2008	2009	2010	2011	2012	2013	2014
Trend: SOG total logic size (normalized to 2007)	1.00	1.29	1.62	2.12	2.64	3.24	4.07	5.29
Requirement: % of reused design	38%	42%	46%	50%	54%	58%	62%	66%
Requirement: Productivity for new designs (normalized to 2007)	1.00	1.25	1.54	1.96	2.38	2.84	3.47	4.37

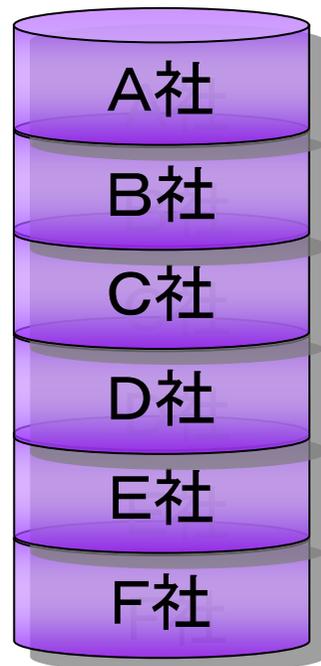
Work in Progress - Do not publish STRJ WS: March 6, 2008, WG1 Design 18

今年度の活動概要

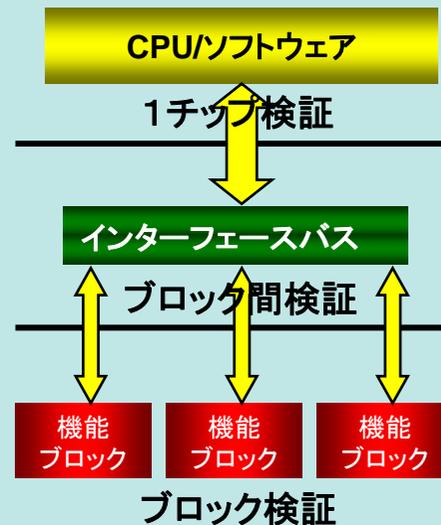
「SOCの検証に関する課題分析と提言」

WG1参加の半導体企業7社より、
計79件の検証課題を抽出

WG1メンバーによる、
課題の分類、分析



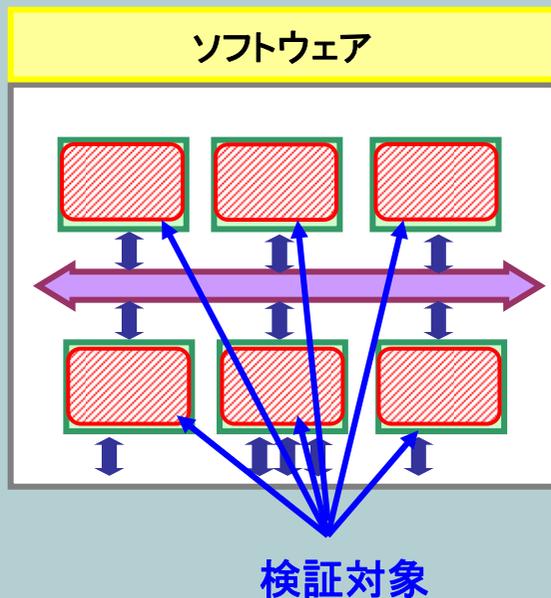
3つの検証対象毎に分類



検証対象による分類

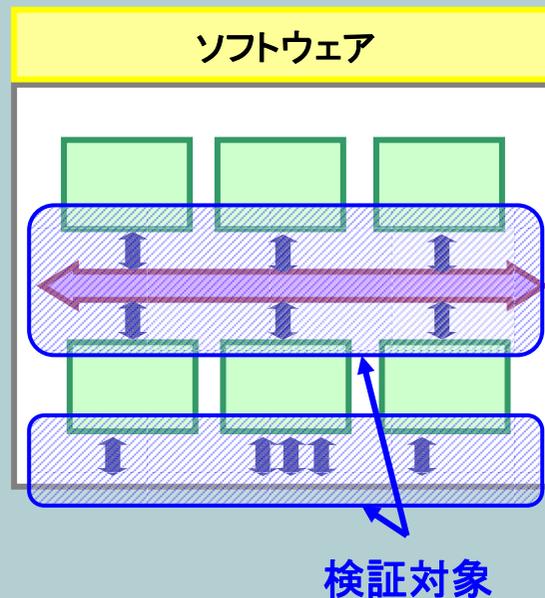
ブロック検証

機能ブロック単体の検証。
IPを含む機能ブロック内の
すべての機能、及び機能
ブロックと外部をつなぐインター
フェース部の検証も行う。



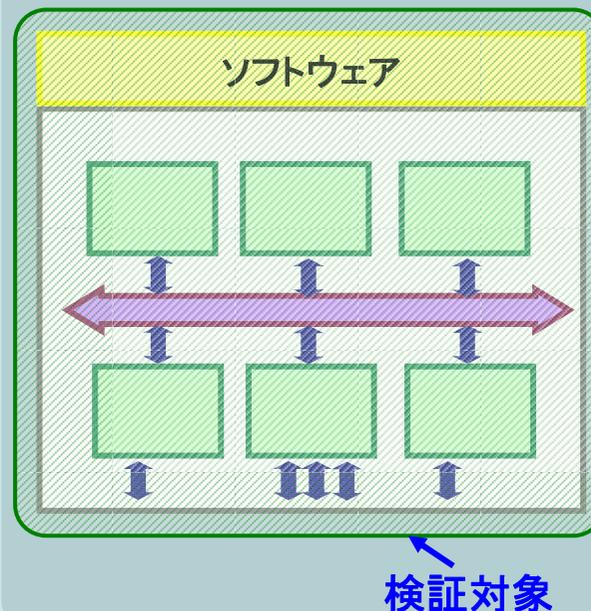
ブロック間検証

機能ブロック間の通信プロト
コルやタイミングの検証。
確認には、バス・ファンクショ
ン・モデルを使用。アナログー
デジタル間の検証も含む。

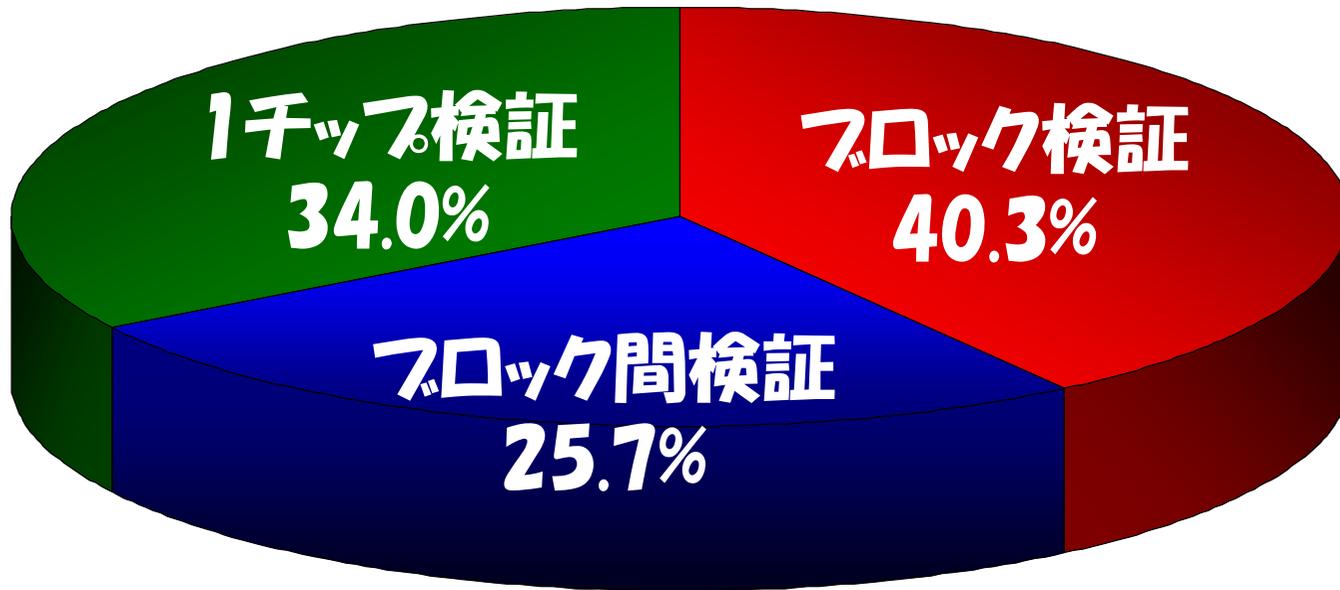


1チップ検証

SOC全体の機能・性能の検証。
外界モデルも使用して、
ハードウェアとソフトウェアの
間に問題がないかを確認。

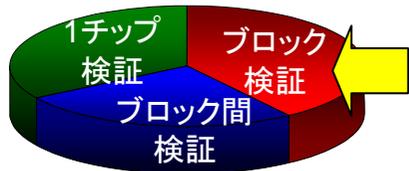


検証対象による課題分類結果



若干のバラツキはあるが、大きな隔たりはなく平均的
検証の課題解決のためには…

検証対象すべてについて対策することが必要!!



ブロック検証の課題と提言

- 設計者によるシミュレーションベースの機能検証が主で、網羅性向上のためにアサーション/ランダム検証やカバレッジを利用
- IP(再利用ブロック)は、仕様が容易に理解出来ることで検証効率が向上

課題

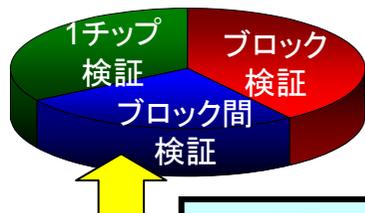
- 検証技術の利用のスキルが不足
- 検証環境の再利用を進めたいが再利用を意識した構築が難しい
- 設計仕様やIP仕様が不統一で理解に時間がかかる
- IPの品質が不十分でバグが出る

対策案

- 検証技術の共通化/検証IPの充実と利用技術の習得促進
- 検証環境の部品化と共通化
- 設計仕様の表記の統一や実行可能仕様(高位モデル)の活用
- IPの品質向上と品質の規格化

提言

- 検証技術の利用を容易にするために標準化/パッケージ化を推進
- IP品質の向上と機能仕様を顧客が容易に確認できる仕組みの提供



ブロック間検証の課題と提言

- 検証エンジニアによる検証環境の構築を行い、ブロック間をつなぐバスなどの検証IPを駆使して、プロトコル検証、相互通信検証を実施
- アナログ-デジタルの接続検証は、アナログ主体の検証に依存

課題

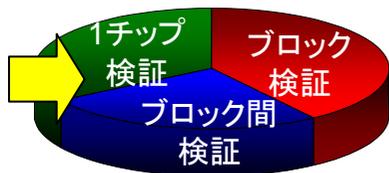
- チップ/ブロック(IP)の仕様が不明確で検証シナリオを作るのが難しい
- 搭載ブロック数の増加により接続が複雑になり、検証漏れのリスク増大
- アナログ-デジタル間の接続検証に時間がかかる

対策案

- プラットフォーム化で接続関係の検証を効率化
- 検証環境の部品化と共通化
- デジアナ混在検証技術の向上

提言

- 仕様を早期に固め、設計初期から検証環境が構築出来る仕組み作り
- 検証IP共通化による効率的な検証環境構築とデジアナ検証技術向上



1チップ検証の課題と提言

- 検証エンジニアが主体でチップ検証環境を構築し、システムエンジニアがユースケースに基づくテストシナリオを用意
- ブロック設計の進捗に合わせて機能検証を実行

課題

- チップ検証環境を構築するための外界モデルの不足
- ユースケースが不十分で検証漏れが出る
- プロトタイピングによる検証環境構築に手間/時間がかかる

対策案

- 外界モデルや検証IPなど環境構築用モデルの充実
- 実行可能な仕様(高位モデル)と機能力バレッジで漏れを確認
- 高位合成でプロタイプデバイス回路と実回路を同時に生成

提言

- 設計と並行してチップ検証環境が構築できるよう外界モデルを充実
- 高位モデルや動作合成の活用で早期にプロタイプを開発

まとめ

国際活動

■System Drivers章

- ・Consumer Portable SOCモデルの変更

■Design章

- ・低消費電力への設計工程の貢献度合のトレンドを新規掲載

国内活動

■「検証課題の深耕」をテーマに活動

- 各社から検証の課題を抽出し、検証対象毎に分類・分析を実施
⇒検証対象すべてについての課題解決が必要
- 検証対象(ブロック検証、ブロック間検証、1チップ検証)それぞれの要件定義を行い、解決すべき課題を明確化。
- 課題に対する対策案の検討と提言のまとめを実施。

来年度以降、対策についての技術ロードマップ策定を予定