

Emerging Research Devices (ERD)

～More-than-Moore, Beyond CMOSの現状と動向～

- リーダー:** 内田 建(東工大)
- サブリーダー** 木下敦寛(東芝)
- 幹事:** 品田賢宏(早稲田大学)
- 企業:** 佐藤信太郎(AIST), 川端清司(ルネサス)
小瀧 浩(シャープ), 林 重徳(パナソニック)
白根 昌之(NEC), 屋上公二郎(ソニー)
- 特別委員:** 平本俊郎(東大), 高木信一(東大)
栗野祐二(慶應大), 和田恭雄(東洋大)
秋永広幸(産総研), 浅井哲也(北大)
日高睦夫(ISTEC), 遠藤哲郎(東北大)
長谷川剛(NIMS), 菅原 聡(東工大)
ペパー フェルディナンド(NICT)
藤原 聡(NTT), 河村誠一郎(JST)
野田 啓(京大)

Emerging Research Devices Working Group

- ◆ Hiroyugi Akinaga
- ◆ Tetsuya Asai
- ◆ Yuji Awano
- ◆ George Bourianoff
- ◆ Michel Brillouet
- ◆ Joe Brewer
- ◆ John Carruthers
- ◆ Ralph Cavin
- ◆ An Chen
- ◆ U-In Chung
- ◆ Byung Jin Cho
- ◆ Sung Woong Chung
- ◆ Luigi Colombo
- ◆ Shamik Das
- ◆ Erik DeBenedictis
- ◆ Simon Deleonibus
- ◆ Bob Fontana
- ◆ Paul Franzon
- ◆ Akira Fujiwara
- ◆ Mike Garner
- ◆ Dan Hammerstrom
- ◆ Wilfried Haensch
- ◆ Tsuyoshi Hasegawa
- ◆ Shigenori Hayashi
- ◆ Dan Herr
- ◆ Toshiro Hiramoto
- ◆ Matsuo Hidaka
- ◆ Jim Hutchby
- ◆ Adrian Ionescu
- ◆ Kiyoshi Kawabata
- ◆ Seiichiro Kawamura
- ◆ Suhwan Kim
- ◆ Hyoungjoon Kim
- ◆ Tsu-Jae King Liu

- AIST
- Hokkaido U.
- Keio U.
- Intel
- CEA/LETI
- U. Florida
- PSU
- SRC
- GLFOUNDRIES
- Samsung
- KAIST
- Hynix
- TI
- Mitre
- SNL
- LETI
- IBM
- NCSU
- NTT
- Intel
- PSU
- IBM
- NIMS
- Matsushita
- SRC
- U. Tokyo
- ISTEK
- SRC
- EPFL
- Renesas Tech
- Selete
- Seoul Nation U
- Samsung
- U.C. Berkeley

- ◆ Atsuhiko Kinoshita
- ◆ Dae-Hong Ko
- ◆ Hiroshi Kotaki
- ◆ Mark Kryder
- ◆ Zoran Krivokapic
- ◆ Kee-Won Kwon
- ◆ Jong-Ho Lee
- ◆ Lou Lome
- ◆ Hiroshi Mizuta
- ◆ Kwok Ng
- ◆ Fumiyuki Nihei
- ◆ Ferdinand Peper
- ◆ Yaw Obeng
- ◆ Dave Roberts
- ◆ Barry Schechtman
- ◆ Sadas Shankar
- ◆ Takahiro Shinada
- ◆ Satoshi Sugahara
- ◆ Shin-ichi Takagi
- ◆ Ken Uchida
- ◆ Thomas Vogelsang
- ◆ Yasuo Wada
- ◆ Rainer Waser
- ◆ Jeff Welser
- ◆ Philip Wong
- ◆ Dirk Wouters
- ◆ Kojiro Yagami
- ◆ David Yeh
- ◆ In-Seok Yeo
- ◆ Hiroaki Yoda
- ◆ In-K Yoo
- ◆ Yuegang Zhang
- ◆ Victor Zhirnov

- Toshiba
- Yonsei U.
- Sharp
- INSIC
- GLOBALFOUNDRIES
- Seong Kyun Kwan U..
- Hanyang U.
- IDA
- U. Southampton
- SRC
- NEC
- NICT
- NIST
- Nantero
- INSIC
- Intel
- Waseda U.ss
- Tokyo Tech
- U. Tokyo
- Toshiba
- Rambus
- Toyo U.
- RWTH A
- NRI/IBM
- Stanford U.
- IMEC
- Sony
- SRC/TI
- Samsung
- Toshiba
- SAIT
- LLLab
- SRC

ERD Chapterのミッション



2011年版ERD Chapterのミッション

- 情報処理技術におけるCMOSの機能を拡張／補完する技術や取り組みの適合性・成熟度を評価する。
- 2022年までに適応できる情報処理技術で有望なものを明らかにする。
- More-than-Mooreアプリケーションを発展させるデバイス技術の評価する。

ERD Chapterのスコープ

**ERDメモリー(Soli-State Storageを含む), ロジック,
More-than-Moore, アーキテクチャ**

**Technology Entriesはpublished research activity,
credibility, progressによって判断される。**

ERDのTechnology Entryは以下の要件を満たす。

- ◆ 2つ以上のグループによって論文誌や査読付き国際会議での発表があること。
- ◆ 1つのグループであっても論文誌や査読付き国際会議に多数の発表がなされていること。

2011年版 ERD Chaptersの変更案

- ◆ Memoryセクションに以下の追加
 - “Storage Class Memory” サブセクション
 - “Memory Select Device” サブセクション
- ◆ More-than-Mooreセクションを追加
 - 2011版では”RF Filter Application”にフォーカスの予定
- ◆ InGaAs(nFET) Ge(pFET)はPIDS & FEPへ

2009 Memory Technology Entries

Resistive Memories

- Spin Transfer Torque MRAM
- Nanoelectromechanical
- Nanowire PCM
- Macromolecular (Polymer)

- Electronic Effects Memory
 - Charge trapping
 - Metal-Insulator Transition
 - FE barrier effects

- Redox Memory
 - Nanoionic memory
 - Electrochemical memory
 - Fuse/Antifuse memory
- Molecular Memory

Capacitive Memory

- FeFET Memory

2011 Memory Technology Entries

Resistive Memories

- Spin Transfer Torque MRAM
- Nanoelectromechanical
- Nanowire PCM
- Macromolecular (Polymer)

- Redox Memory
 - Nanoionic memory
 - Electrochemical memory
 - Fuse/Antifuse memory
- Molecular Memory

- Electronic Effects Memory
 - Charge trapping
 - Metal-Insulator Transition
 - FE barrier effects

Capacitive Memory

- FeFET Memory

2009 Logic Technology Tables

**Table 1 – MOSFETs
Extending MOSFETs
to the End of the
Roadmap**

**CNT FETs
Graphene nanoribbons
III-V Channel MOSFETs
Ge Channel MOSFETs
Nanowire FETs
Non-conventional
Geometry Devices**

**Table 2- Unconventional
FETS, Charge-based
Extended CMOS
Devices**

**Tunnel FET
I-MOS
Spin FET
SET
NEMS switch
Negative Cg MOSFET**

**Table 3 - Non-FET, Non
Charge-based 'Beyond
CMOS' devices**

**Collective Magnetic Devices
Moving domain wall devices
Atomic Switch
Molecular Switch
Pseudo-spintronic Devices
Nanomagnetic (M:QCA)**

2011 Logic Technology Tables

**Table 1 – MOSFETs
Extending MOSFETs
to the End of the
Roadmap**

CNT FETs
Graphene nanoribbons
 III-V Channel MOSFETs
 Ge Channel MOSFETs
Nanowire FETs
 Non-conventional
 Geometry Devices

**Table 2- Unconventional
FETS, Charge-based
Extended CMOS
Devices**

Tunnel FET
I-MOS
Spin FET
SET
NEMS switch
 Negative Cg MOSFET
Excitonic FET
Mott FET

**Table 3 - Non-FET, Non
Charge-based 'Beyond
CMOS' Devices**

Collective Magnetic Devices
Spin Transfer Torque Logic
Moving domain wall devices
Pseudo-spintronic Devices
Nanomagnetic (M:QCA)
Molecular Switch
Atomic Switch

ERD Memory Recommended Focus

ITRS ERD/ERM Memory Assessment Workshop
において下記2つをRecommended Focusとした。

1) STT-RAM

2) Redox Resistive RAM

ERD Logic Recommended Focus

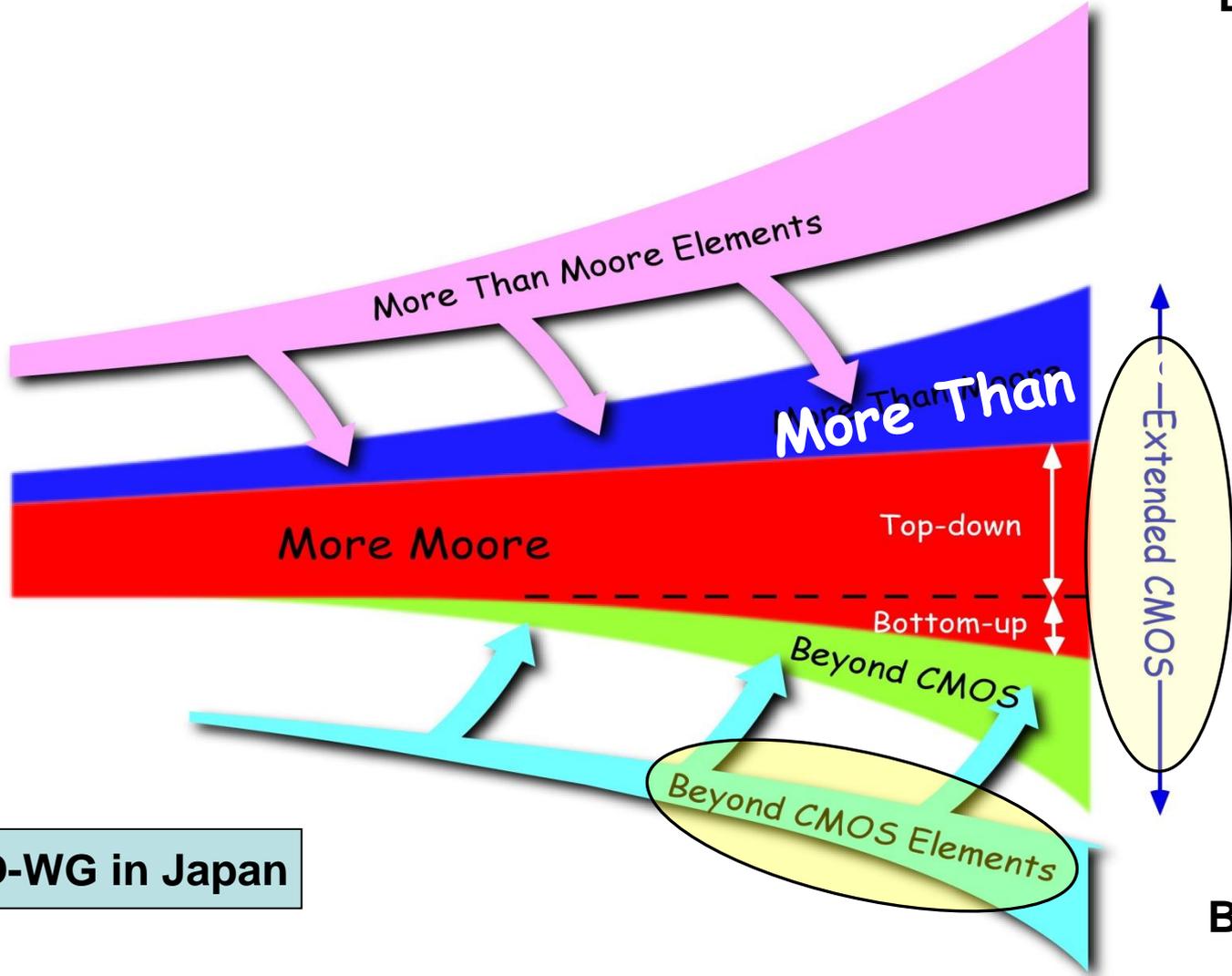
ITRS ERD/ERM Logic Assessment Workshopに
おいて下記2つをRecommended Focusとした。

Carbon-based Nanoelectronics

– Carbon Nanotubes and Graphene

Evolution of Extended CMOS

Elements

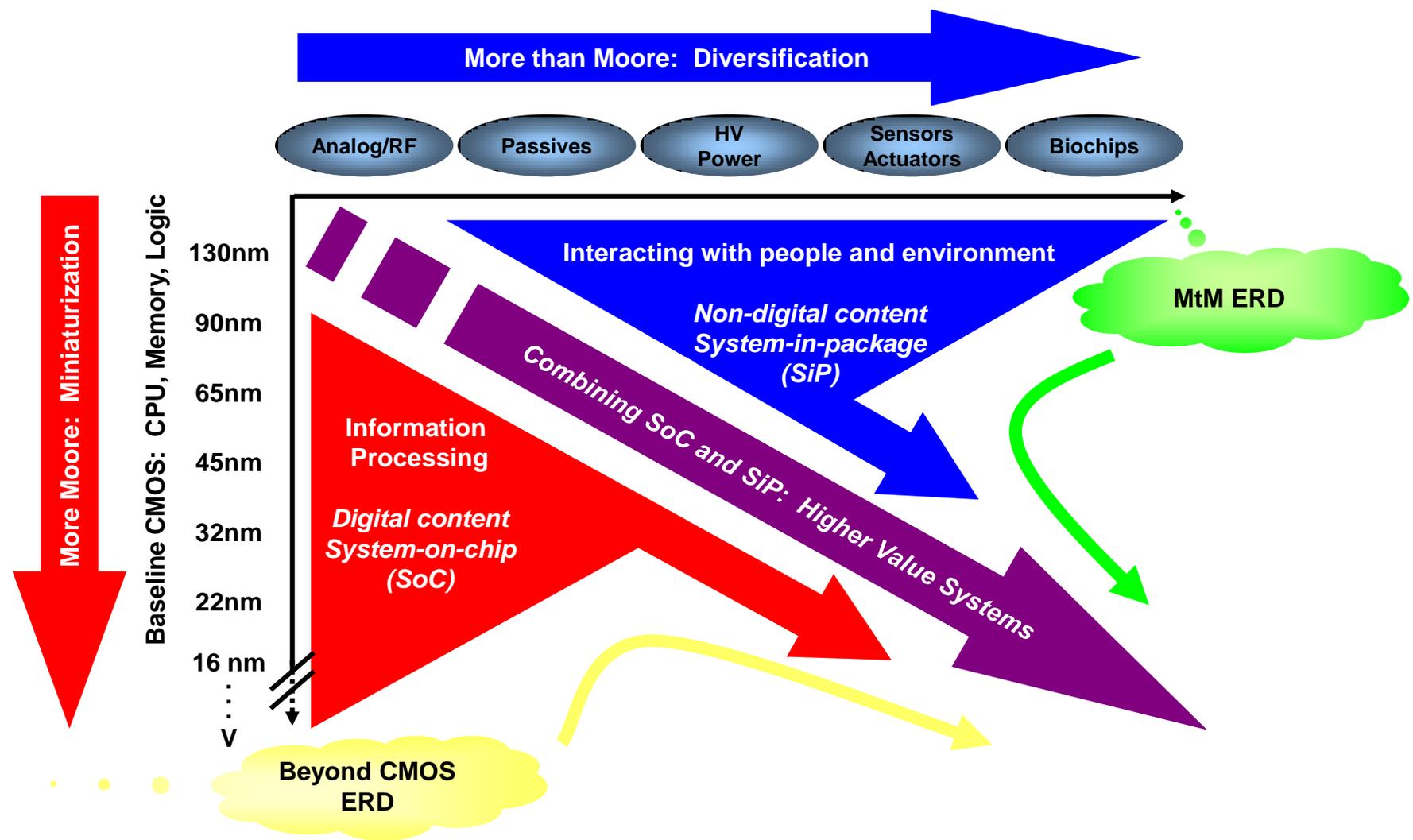


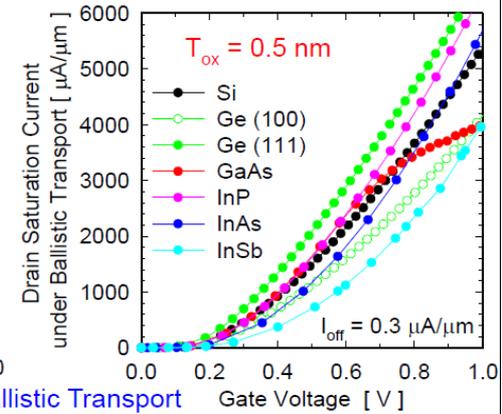
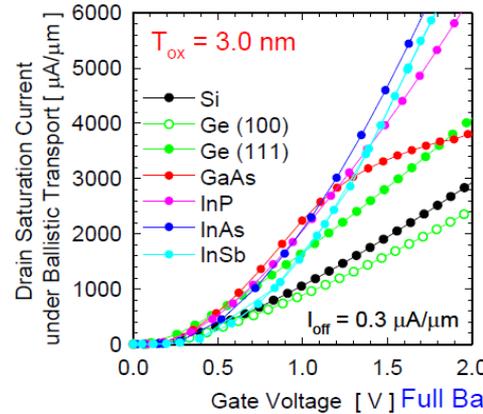
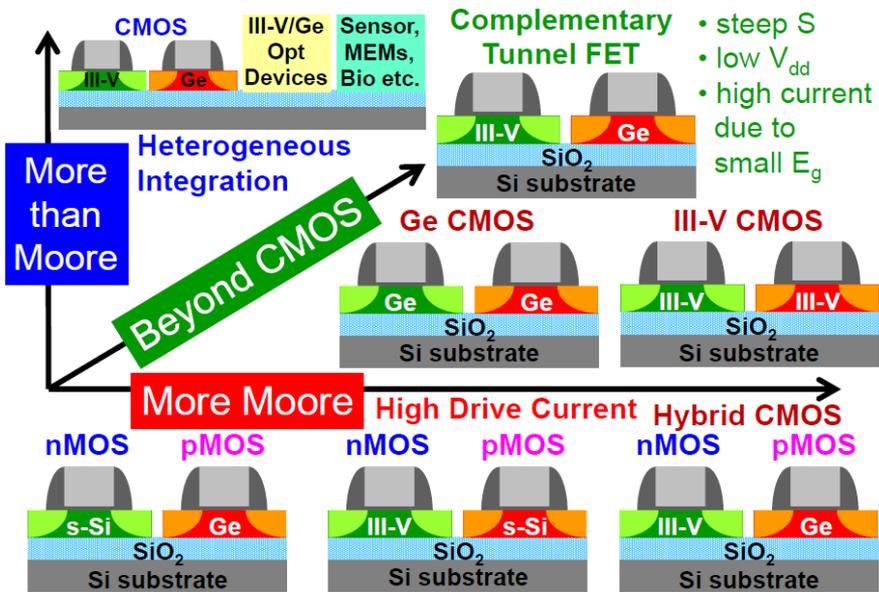
ERD-WG in Japan

Beyond CMOS

year

The microelectronic landscape

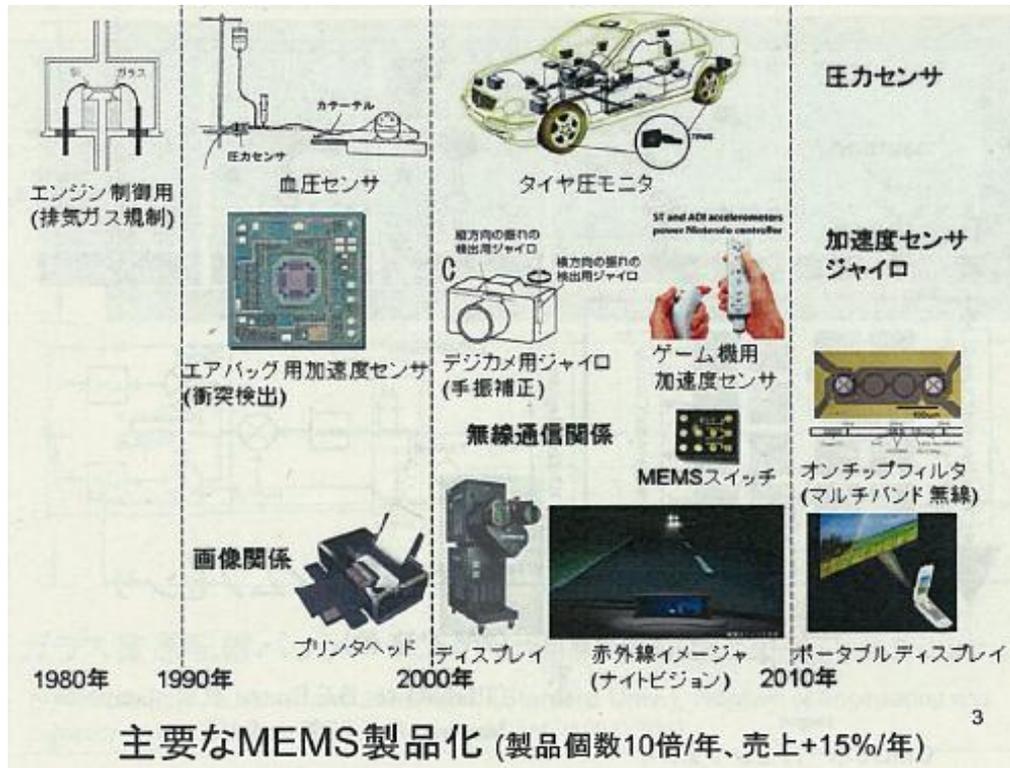




研究機関	チャネル	絶縁膜	界面	EOT [nm]	S値 [mV/dec]	D_{it} 参考値 [$\text{cm}^{-2} \text{eV}^{-1}$]	Ref.
—	Si	熱酸化 SiO_2	—	—	~60 (理想値)	low 10^{10}	—
—	Ge	熱酸化 GeO_2	—	—	100~200	~ 10^{12}	—
Intel	$\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ QW	TaSiO_x	InP 2nm	2.2	85	N/A	IEDM 2009
国立シカゴ ーホル大 Lee & Kwong	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	HfO_2	P_xN_y	2.2	98	N/A	IEDM 2009
本研究	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	Al_2O_3	硫黄処理	5.4	136	Low 10^{12}	APEX 2009
IMEC	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	Al_2O_3	硫黄処理	~5	170	Low 10^{12}	INFOS 2009 IEDM 2009
パーデュー大	$\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$	Al_2O_3	硫黄処理	~5	190	Low 10^{12}	IEDM 2008
テキサス大	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	HfO_2	Si 0.5 nm	3	197	N/A	ESSL 2009
国立シカゴ ーホル大 Yeo	歪 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	HfAlO_x	SiH_4+NH_3	N/A	200	N/A	VLSI Symp 2010 EDL 2009
台湾精華大	$\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$	Al_2O_3 on GGO	—	1~9	—	Low 10^{11}	APL 2008 IEDM 2008

InGaAs(nMOS), Ge(pMOS)はPIDSで議論するフェーズとしたが問題は山積。ITRS全体で組織的な研究方向性のコントロールが必要。

MEMSによるヘテロ集積化 (東北大:江刺先生)



3

- リーク0(ゼロ)は圧倒的魅惑。
- Endurance保障は難しそうだが、TiO₂コーティングで10⁹回などのデータも出てきている。
- 溶着と抵抗, 面積と力のトレードオフをどこまで回避できるかが鍵。
- CNT応用, アモルファス金属(AlTiO_x)を使った断裂回避など, 材料・プロセスのイノベーションが大量に眠っている。
- MtMはRFを中心に取り上げるが, Beyond CMOSとしても継続検討が必要。

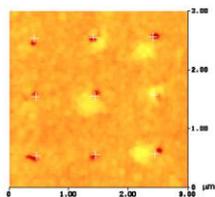
確定的ドーピングデバイス Deterministic doped devices

❖ 確定的ドーピングデバイスとは何か(定義)

単一もしくは少数のドーパントがチャネル領域の他、ソース/ドレイン領域に10nm以下の精度で制御された探求的デバイス。ERMで提唱されている確定的ドーピングを可能にするプロセス、それによって実現される材料から構成されるデバイス。

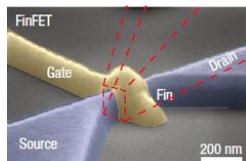
❖ 過去5年間の進展 (Deterministic Doping WSより: 2010年11月、米国バークレー)

ドーパント規則配列

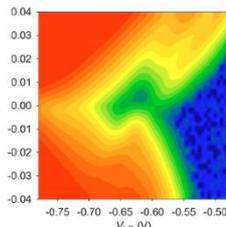


Shinada,
Nature 2005

単一ドーパントデバイス

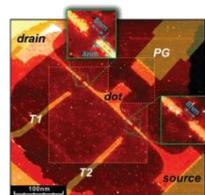


Lansbergen, Rogge
Nature Physics 2008



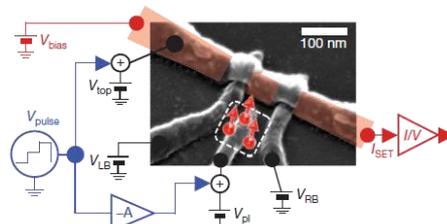
Ono, Fujiwara
APL 2007

STM原子トランジスタ



Simmons,
Nano Letters 2009

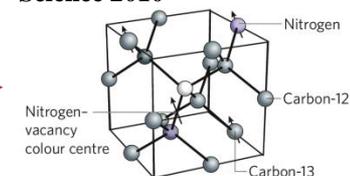
単一ドナースピン検出



Morello, Dzurak, Nature 2010

単一窒素-空孔スピン検出

Nuemann, Jelezko
Science 2010



Hanson, Awschalom
Nature 2008

“確定的ドーピング” → ゆらぎ抑制 (More Moore) と新機能 (Beyond CMOS)

❖ 挑戦的課題

10nm以下の精度でドーパントが導入され、適切にアクティベートされたデバイス構造の実現。室温動作、スループット改善、新機能探索など。

❖ STRJ-ERDの方針

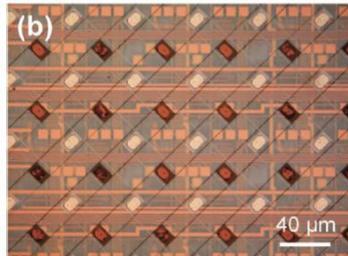
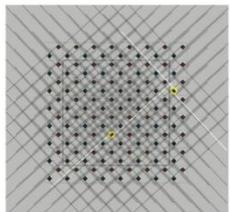
ERMと連携し、ITRS2011版ERD章に掲載を検討。(2009版ERM章では掲載済。2011版ERM章で改訂予定。)

ERDのための新概念アーキテクチャ Emerging Research Architectures

❖ ERDを用いてどのような演算が可能になるか？(具体的なERDを幾つか選んで検討)

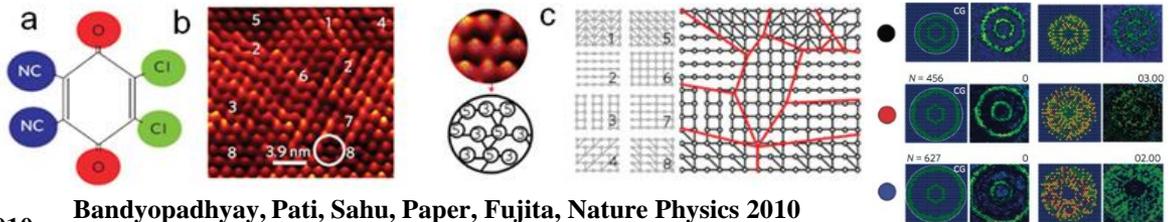
1. MOSFET + 不揮発 (ReRAM, MTJ) : 再構成可能論理演算, アナログ素子のばらつき補正
2. Molecular Devices/Elements: 分子の相互作用を利用した超並列演算 / 知的演算

不揮発FPGA/LUT



Q. Xia, W. Robinett, M.W. Cumbie, et. al, Nano Letters 2010

有機分子層における超並列演算(ロジック、幾何学演算、熱拡散および癌細胞を模擬)

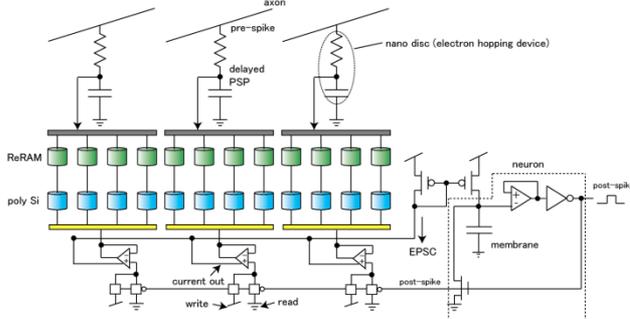


Bandyopadhyay, Pati, Sahu, Paper, Fujita, Nature Physics 2010

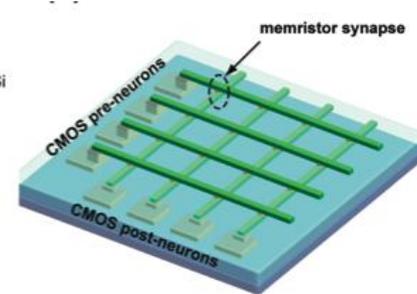
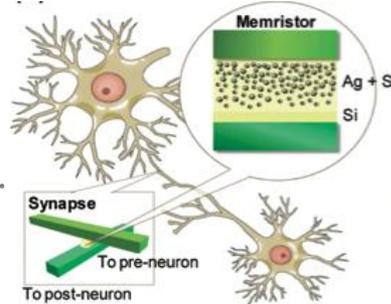
❖ ERDの利用機会がある情報処理の模索(具体的なアルゴリズムを選んで検討)

→ 脳型計算アーキテクチャ(単電子, 抵抗変化メモリ, ナノディスク, CMOL, CMOS)

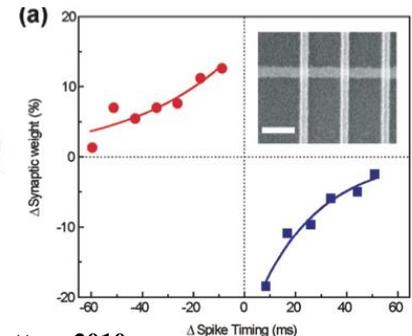
シナプスデバイス(単電子, ナノディスク+CMOS) 神経細胞 & シナプスデバイス(ReRAMをアナログ的に利用し, CMOSと組み合わせて構成)



Morie et al, ISCAS 2010



Jo, Chang, Ebong, Bhadviya, Mazumder, Lu, Nano Letters 2010



❖ STRJ-ERDの方針

ITRS2011版ERD章の執筆(Unconventional Architectures 節: Neuromorphic, CMOL, QCA)

ERDのための新概念アーキテクチャ Emerging Research Architectures

❖ ERDアーキテクチャの分類(ITRS 2007, 2009)

Architecture	Implementation	Computational Elements
Homogeneous Many-Core	Symmetric cores	CMOS
Heterogeneous	Asymmetric cores	CMOS
	CMOL	CMOS + Molecular Switches
	Molecular Cross-bar	Molecular Switches
	Checkpoint	CMOS + Ferromagnetic logic
Morphic	CNN	CMOS + Sensors
	AMP	FG-FET, SET
	Bio-inspired	MFTD, Spin-gain transistor

ITRS 2007 ERD-ERA Chapter

- ・ 特定ERDアーキテクチャのベンチマーク
- ・ メモリアーキテクチャ
- ・ 推論アーキテクチャ
(for Beyond-Neumann Computers)
- ・ 情報処理のパフォーマンス限界の見積もり

ITRS 2009 ERD-ERA Chapter

- ・ メモリアーキテクチャ
- ・ **新概念計算アーキテクチャ(STRJ ERD)**
- ・ 情報処理のパフォーマンス限界の見積もり

ITRS 2011 ERD-ERA Chapter

❖ ERDアーキテクチャの新分類が必要: 出口/目的別の分類 (ITRS 2013 ERAへ向けて)

1. 超高速アーキテクチャ:

デバイス側: スイッチ/配線の高速化が鍵

並列処理(アルゴリズム), 配置配線/ルーティングがキーワード候補

2. 超低消費電力回路/アーキテクチャ: リーク低減、不揮発ロジック、パワーゲーティング

3. コスト: 面積(vs アルゴリズム), 不安定なデバイスでもそれなりに動く, Bio-inspired

4. 超高速通信/ネットワークアーキテクチャ: 無線、チップ間インターコネクト

5. 人々の健康を支援するLSIとシステム: ヘルスケアLSI、人体埋め込みデバイス

6. **インテリジェントセンサ: 超高速イメージャー+識別、その他五感センサ**

☆高周波特性

コアシェルナノワイヤをセルフアライントップゲートと1して使用。 $f_T = 300$ GHz(最高値)

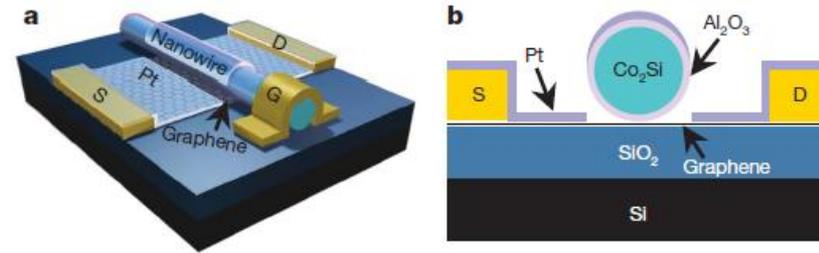
Liao et al., Nature 467, 305 (2010)

ICP Plasma CVDにより650°Cで合成したグラフェンにより、埋め込みゲートのトランジスタ作製

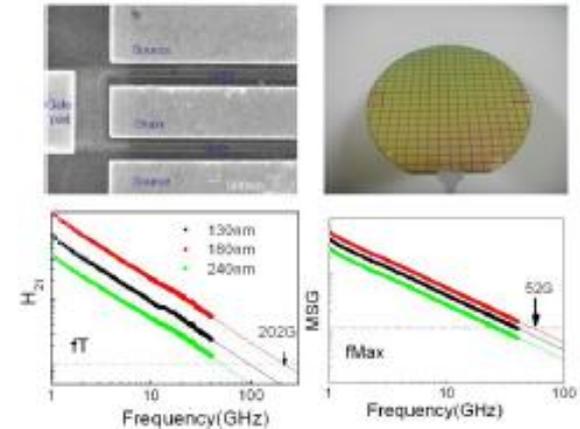
$f_T = 202$ GHz

J. Lee et al., IEDM 2010, p.568

K. Kim, IEDM 2010, p.1



Reprinted by permission from Macmillan Publishers Ltd: Liao et al., Nature Vol.467, p.305 (2010), copyright 2010



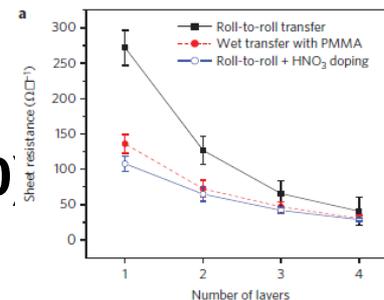
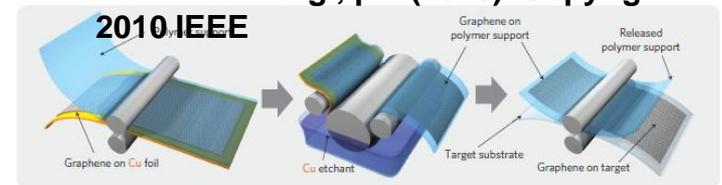
Reprinted with permission from K. Kim., IEDM Tech. Dig., p.1 (2010). Copyright 2010 IEEE

☆透明電極への応用

銅箔上に合成したグラフェンを転写し透明電極形成

ドーピングすることによりITOを超える性能 (30Ω/□ @90% transparency)を達成

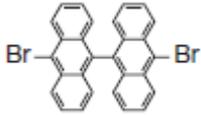
Bae et al., Nature Nanotech. 5, 574 (2010)



Reprinted by permission from Macmillan Publishers Ltd: Bae et al., Nature Nanotechnology. Vol.5, p.574 (2010), copyright 2010

☆バンドギャップの形成

均一幅のグラフェンナノリボンの形成



をプレカーサとして利用し、金基板上で幅の揃ったアームチェアナノリボン(N=7)を形成

電気特性は未評価

Cai et al., Nature 466, 470 (2010)

グラフェンナノメッシュによるバンドギャップ形成

ブロックコーポリマーの自己組織化や、ナノインプリントを用いてナノメッシュを形成

ON/OFF ~100

Bai et al., Nature Nanotech 5, 190 (2010)

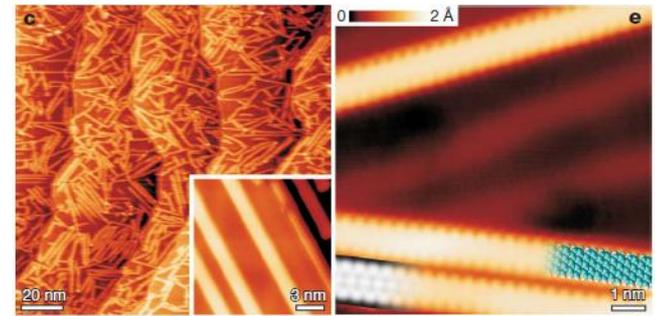
Liang et al., Nano Lett. 10, 2454 (2010)

2層グラフェンへの縦電場印加

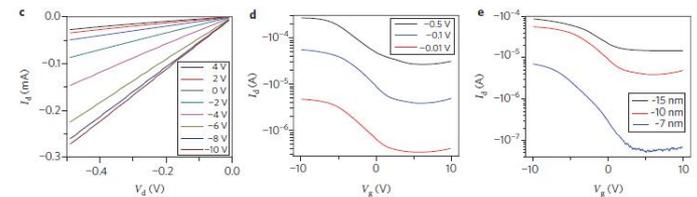
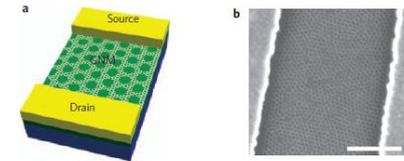
2.2 V/nmの電場印加により、130 meV程度のトランスポートギャップを観測

Xia et al., Nano Lett. 10, 715 (2010)

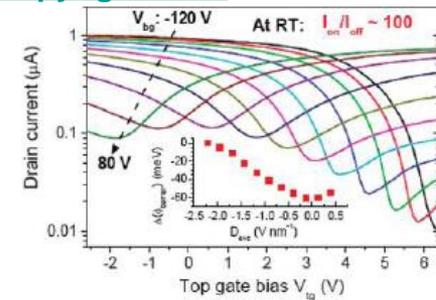
Work in Progress– Do not publish



Reprinted by permission from Macmillan Publishers Ltd: Cai et al., Nature Vol.466, p.470 (2010), copyright 2010



Reprinted by permission from Macmillan Publishers Ltd: Bai et al., Nature Nanotechnology. Vol.5, p.190 (2010), copyright 2010



Reprinted with permission from Xia et al., Nano Lett. Vol.10, p.715 (2010). Copyright 2010 American Chemical Society.

☆ BisFET

n-typeグラフェンの電子とp-typeグラフェンのホールが高濃度でバランスすると、ボーズ凝縮を起こし層間の抵抗が下がり得る
1クロックサイクルあたりの消費電力は0.008 aJ at 100 GHz!

Banerjee et al., IEEE EDL 30, 158 (2009)

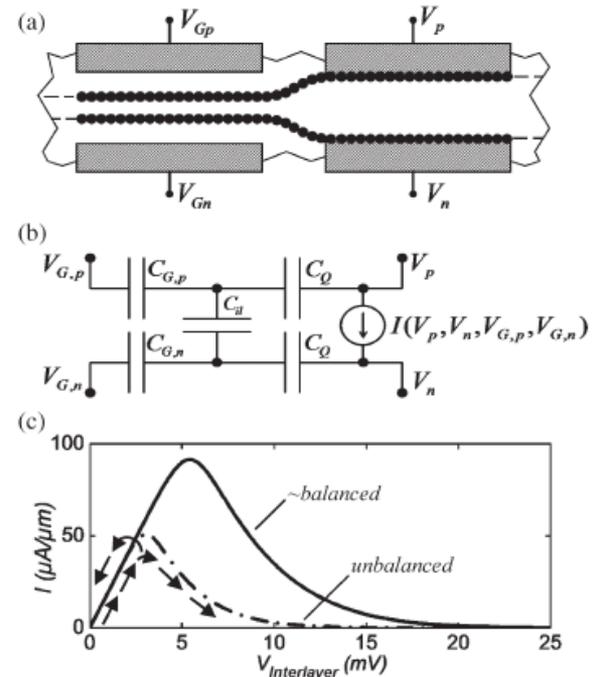


Fig. 1. (a) Schematic representation of a BisFET, (b) circuit model, and (c) interlayer current-voltage (I - V) characteristics for the BisFET used for SPICE simulations in this letter, with approximately balanced—the interlayer voltage itself creates some imbalance—and unbalanced charged densities, the latter due to a -25 mV effective gate voltage. Arrows illustrate inverter operation as clock voltage is ramped up as per discussion in text.

Reprinted with permission from Banerjee et al., IEEE Electron Device Letters Vol.30. p.158 (2009). Copyright 2009 IEEE

CNTについて

最近のトピック

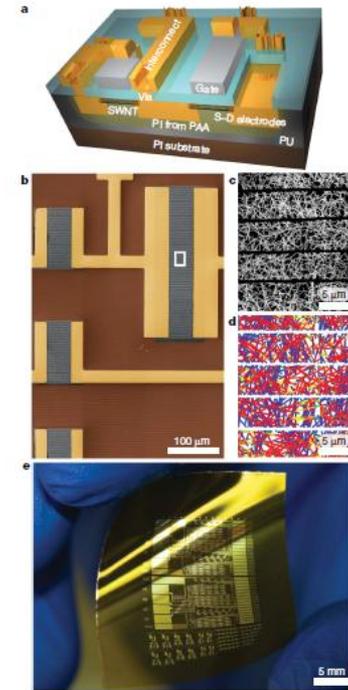
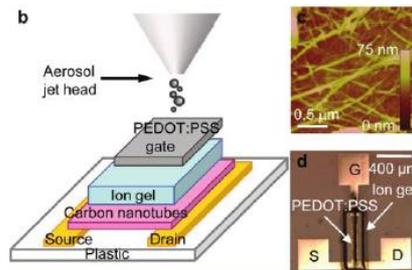
☆CNTフィルムを使ったTFT

CNTフィルムを短冊状にパターニングし、メタルチューブの接続を減らしてON/OFFを向上
Mobility: $80 \text{ cm}^2/\text{Vs}$, SS: 140 mV/dec ,
ON/OFF $\sim 10^5$

Cao et al., Nature 454, 495 (2008)

半金分離によって得た98%半導体CNTを
Aerosol jet printingにより基板にプリント
Mobility: $>20 \text{ cm}^2/\text{Vs}$,
5-stage ring oscillators: $>2.5 \text{ kHz}$
@2.5V

Ha et al., ACS
Nano 4, 4388
(2010)



Reprinted by permission from Macmillan Publishers Ltd: Cao et al., Nature Vol.454, p.495 (2008), copyright 2008

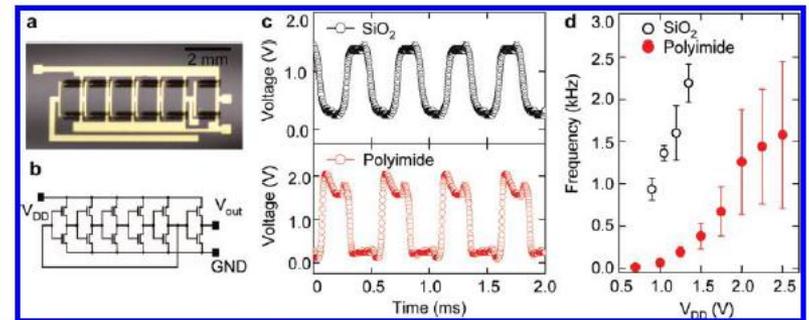


Figure 4. Five-stage ion gel-gated complementary-like CNT ring oscillator with output buffer. (a) Photomicrograph of a printed ring oscillator on polyimide substrate. (b) Circuit diagram of the device. (c) Top panel shows the output characteristics of a device printed on SiO_2 substrate with 2.3 kHz oscillation frequency at $V_{\text{DD}} = 1.5 \text{ V}$; bottom panel shows the response of a device printed on polyimide substrate with 1.9 kHz oscillation frequency at $V_{\text{DD}} = 2.5 \text{ V}$. (d) Output frequency as a function of V_{DD} of devices on polyimide (red solid circles) and SiO_2 (black open circles). Error bars represent one standard deviation.

個々のデバイス特性のばらつき制御が今後の課題か
Work in Progress - Do not publish

Reprinted with permission from Ha et al., ACS Nano. Vol.4, p.4388 (2010). Copyright 2010 American Chemical Society.