

2010年度STRJ Workshop

STRJ-WG4(配線)活動報告 ～微細化の深耕と3次元集積化への展開～

2011年3月4日

WG4リーダー・中村 友二
富士通セミコンダクター

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2010年度活動内容まとめ

2. 2010年度活動内容

- ITRS2010配線のまとめ
- 配線ピッチの微細化シナリオ見直し
- 配線抵抗率のサイズ効果
- Low-k RoadmapとAir-Gap技術動向
- 3次元積層化とTSV技術

3. 2010年度活動まとめと今後の活動予定

ALD	Atomic Layer Deposition	原子層成膜
AR	Aspect Ratio	アスペクト比(深さまたは高さ)/(幅または径)
Co	Cobalt	コバルト
ILD	Inter Layer Dielectric	層間絶縁膜
J	Current Density	電流密度
$J_{\max}$	Maximum Current Density	最大電流密度
k	Dielectric Constant	比誘電率
low-k	low Dielectric Constant	低誘電率
OSAT	Outsourced Assembly and Test	後工程受託企業
Ru	Ruthenium	ルテニウム
TSV	Through-Silicon Via	シリコン貫通ビア
W	Tungsten	タングステン

リーダー	中村 友二	[富士通セミコンダクター]
サブリーダー	柴田 英毅	[東芝]
国際対応	山崎 治	[シャープ]
	青井 信雄	[パナソニック]
幹事・特別委員	前川 敏郎	[SEAJ:荏原製作所]
委員	駒井 尚樹	[ソニー]
	中尾 雄一	[ローム]
	伴 功二	[ルネサスエレクトロニクス]
	松本 明	[ルネサスエレクトロニクス]
特別委員	上野 和良	[芝浦工大]
	大内 明	[SEAJ:東京エレクトロン]
	嘉田 守宏	[ASET]
	小林 伸好	[日本ASM]
	筑根 敦弘	[大陽日酸]
	辻村 学	[荏原製作所]

ITRS2009配線章(大改訂)を受け、2010年度アップデート向けの検討と、2011年度改訂に向けた見直しを行った

- ◆ 配線ピッチの微細化シナリオ
 - ロジックM1ピッチのシナリオ: 製品解析のエビデンスに基づいて見直しを行い、Relax(1年)案を提示、2011年度版に反映させる
 - 最小配線ピッチ: ロジックとメモリの乖離が拡大、デバイスごとの検討が必要
- ◆ 微細化に伴うPotential Solutionsの見直し検討
 - Low-kシナリオ: Air-Gap配線の動向
 - Metallization: 抵抗率のサイズ効果と代替技術
- ◆ ロジック向けコンタクト抵抗/材料技術をITRSへ反映
 - SFO会議にて提案
- ◆ 3次元積層化とTSVの要素技術
Difficult Challengesから、Potential Solutions作成の方向づけを完了

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2010年度活動内容まとめ

2. 2010年度活動内容

- ITRS2010配線のまとめ
- 配線ピッチの微細化シナリオ見直し
- 配線抵抗率のサイズ効果
- Low-k RoadmapとAir-Gap技術動向
- 3次元積層化とTSV技術

3. 2010年度活動まとめと今後の活動予定

- ✓ 3D、Air gap : Emerging sectionsから移動
- ✓ Low-k : 変更なし - この10年間で2度め
 - $k_{\text{bulk}} < 2.0$...実現に向け、Air gapに期待
 - $k_{\text{bulk}} < 2.4$...2011年には加速が必要
- ✓ J_{max} : 最大電流密度は、配線幅に依存(2009年STRJ活動)
- ✓ Barrier metal、Nucleation layerは、重要課題として位置付け
 - ALD膜のインテグレーションは、絶縁膜とBarrier metalの最適な組み合わせの調査も含め、依然として検討段階
 - Barrier metalと積層した、新規liners(Co, Ru 等)を用いたアプローチが急増
 - メタルキャップは信頼性向上で必要
- ✓ Cu contact : 2013年以降に必要(2009年STRJ活動)
- ✓ 新規配線技術 : Cu配線延長、Cu配線からの置き換え、ネイティブデバイス配線

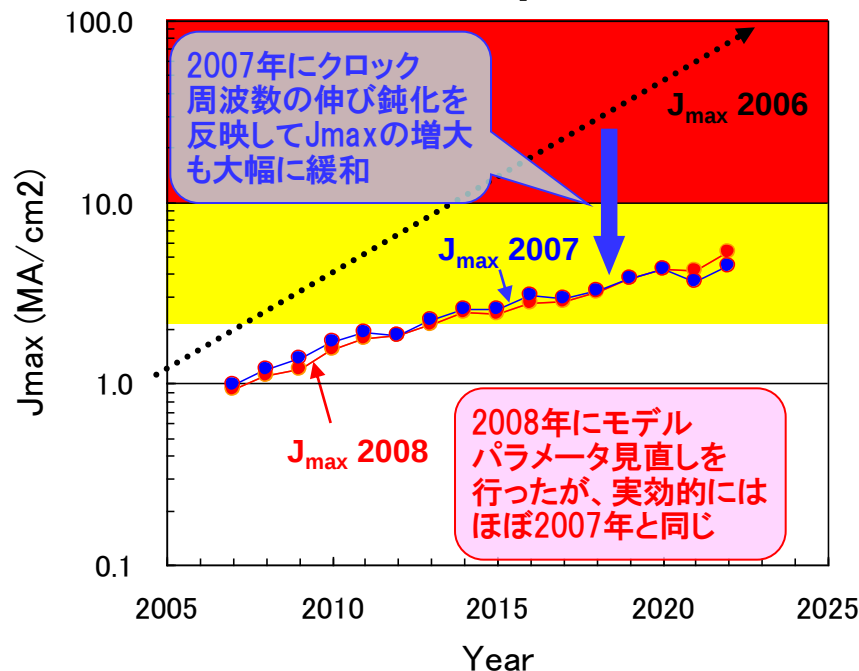
■ 改訂の経緯

日本が提案

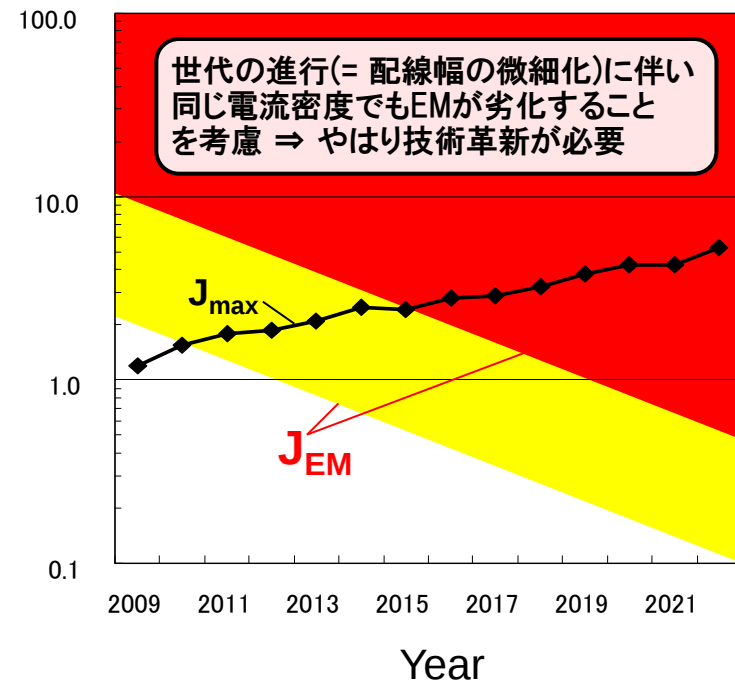
- 2007年度 クロック周波数増加の鈍化による危機回避
- 2008年度 モデルパラメータ見直し（結果は2007年度とほぼ同じ）
- **2009年度 配線幅依存性の考慮により危機を再予測**

- Yokogawa & Tsuchiya, 7th International Workshop on Stress-Induced Phenomena in Metallization, pp.124-134, 2004.
- Hu et al., Microelectronics Reliability, vol.46, pp.213-231, 2006.

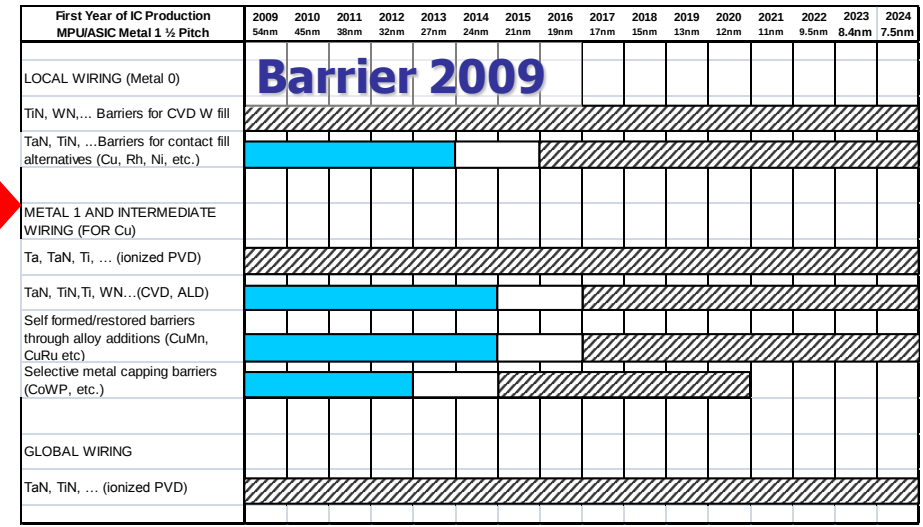
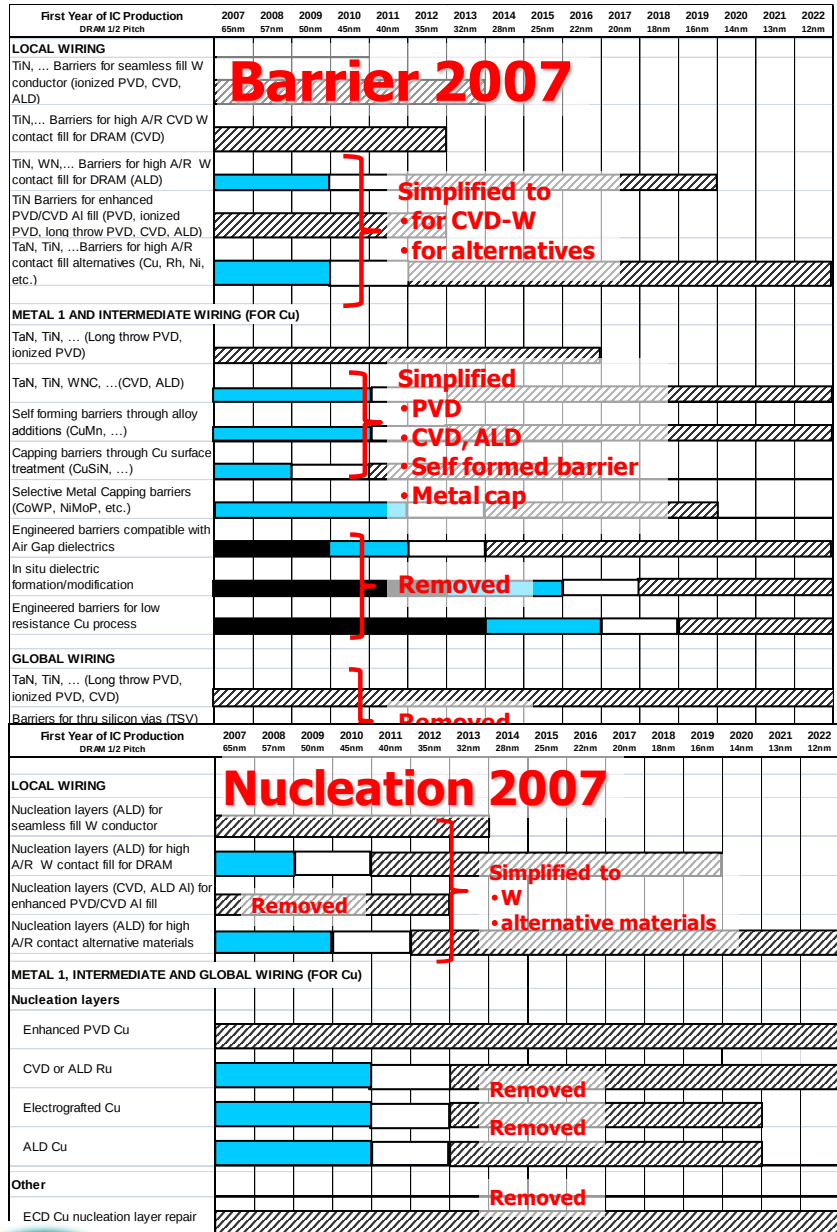
2008 Update



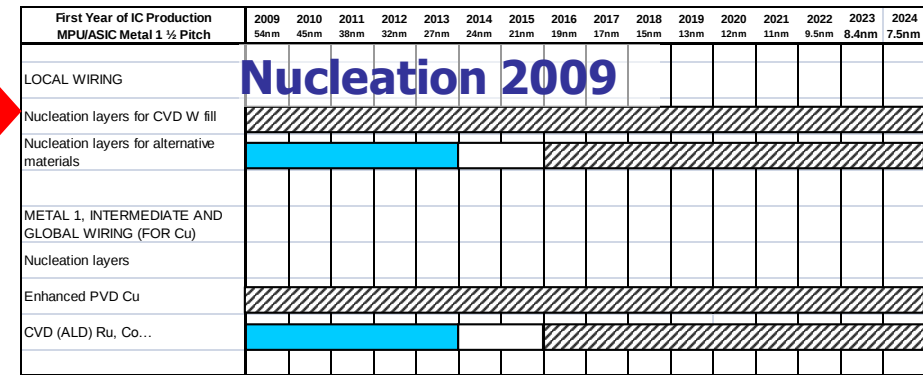
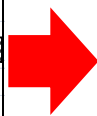
2009 Revision



Barrier metal、Nucleation layerのPotential Solutions



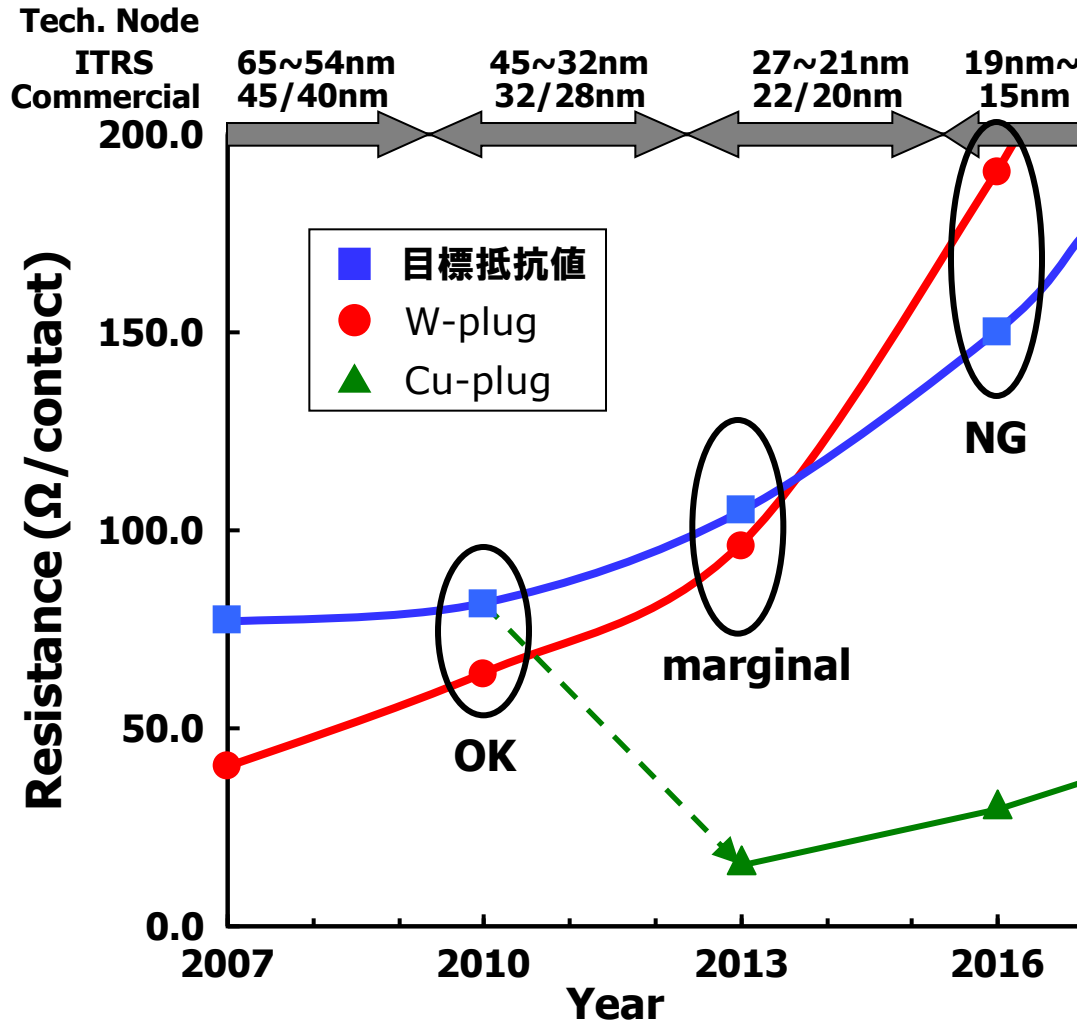
- ITRS2009で大幅改訂(日本が担当)
- RuTa、RuW、RuMn等、Barrier metal /Nucleationの様々な組合せが新たな候補
- 2011年版で改訂予定



Cu contact: 2013年以降に必要

- PIDS(およびFEP)から、全寄生抵抗(R_{total})の5%を配線側コンタクト抵抗として許容との提示を受け、W-plugの適用限界の見積りを実施

2009STRJ



W-plugは

- ・2013年(22/20nmノード)で、ほぼ限界
- ・2016年(15/14nmノード)で、適用不可

Cu-plugを適用すれば

2016年(15/14nmノード)以降も当面コンタクト抵抗自体は回路動作上大きな障害とならない

左図は、アンケート結果から下記を前提にモデル計算した結果

- ・アスペクト比=5.5
- ・W-plugのバリアメタル
PVD-Ti 底10nm, 側壁2nm
CVD-TiN 底・側壁とも5nm
- ・Cu-plugのバリアメタル
Ta系PVD 底5nm, 側壁1nm
Ru系CVD 底・側壁とも2nm

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2010年度活動内容まとめ

2. 2010年度活動内容

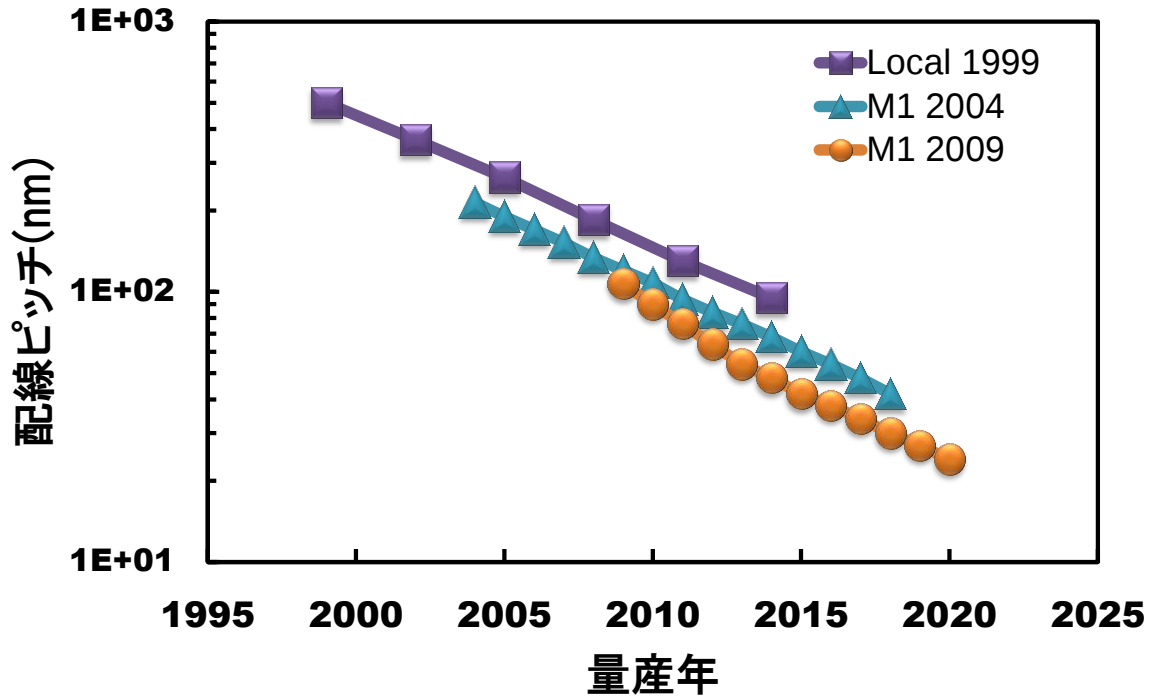
- ITRS2010配線のまとめ
- 配線ピッチの微細化シナリオ見直し
- 配線抵抗率のサイズ効果
- Low-k RoadmapとAir-Gap技術動向
- 3次元積層化とTSV技術

3. 2010年度活動まとめと今後の活動予定

配線ピッチの微細化シナリオ見直し

背景:

- ITRS2009のM1ピッチ
- ORTC指摘:市場動向との乖離
“製品はRelaxしている”
- TSIA要求:1年前倒し
“Aggressiveな指標が必要”

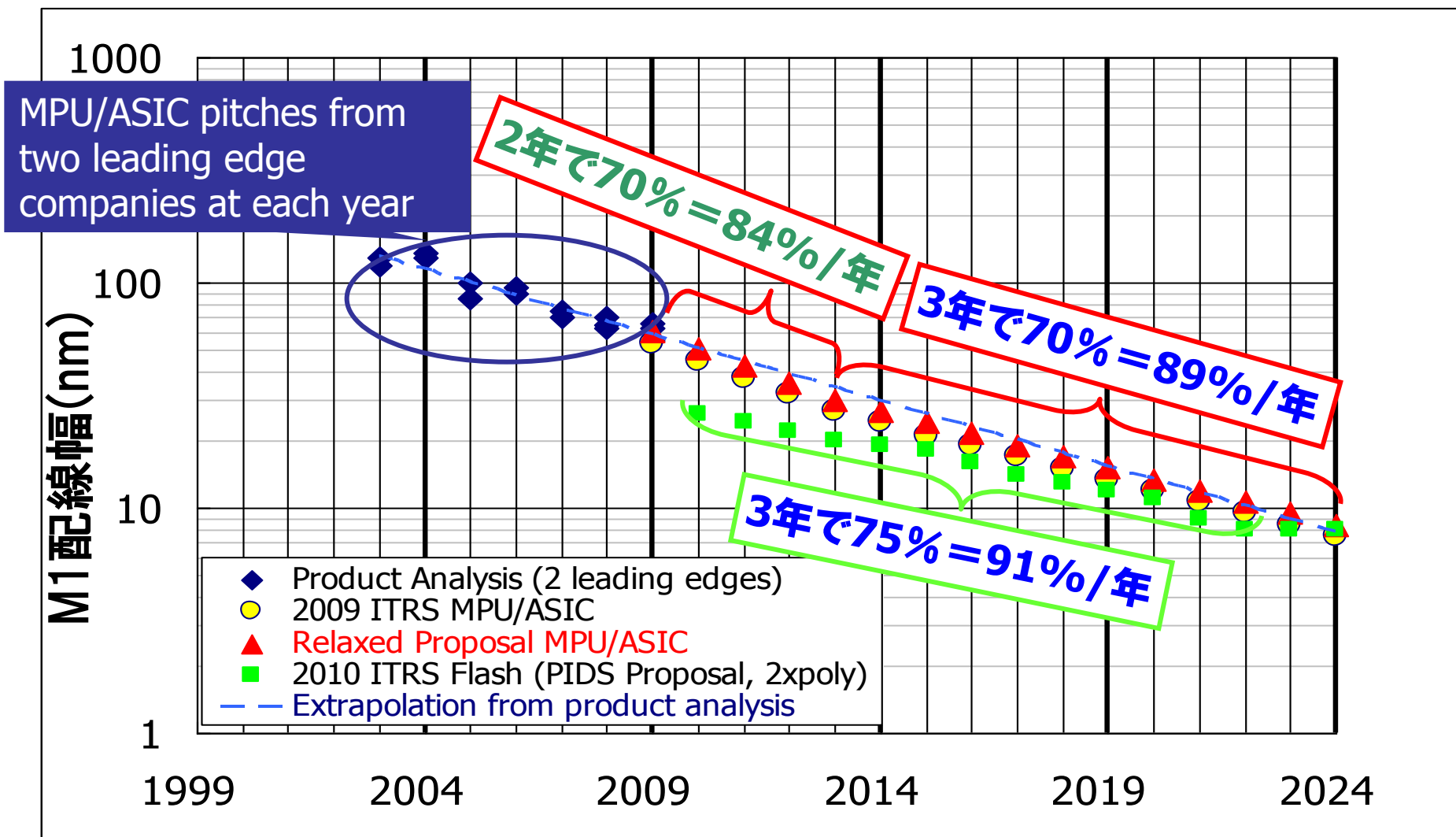


Year of Production	2009	2010	2011	2012	2013	2014	2015	2016
MPU/hpASIC "Node"	32nm		22nm		16nm			11nm
2009 ITRS Flash poly	38	32	28	25	22	20	18	16
2009 ITRS DRAM M1 1/2pitch(nm)	52	45	40	36	32	28	25	22
2009 ITRS MPU/ASIC M1 1/2pitch(nm)	54	45	38	32	27	24	21	19
2009 ITRS High Performance GLpr(nm)	47	41	35	31	28	25	22	20
2009 ITRS High Performance GLph(nm)	29	27	24	22	20	18	17	15

WG4活動:

微細化トレンドを、国際会議発表と製品の配線ピッチ調査から検討

M1配線幅(half pitch):見直し案



製品の配線ピッチ(先端2社分)トレンドから2024年までを外挿(青線)
2年サイクルと3年サイクルの条件から、各年ごとの配線ピッチを算出(赤▲)

M1 配線ピッチテーブル

2009 ORTC Jun-10 by Jul-10 INTC New by PIDS	Year of Production	2009	2010	2011	2012	2013	2014	2015
	ORTC MPU/ASIC "Node"	32		22		16		
	Metal 1 wiring pitch (nm)	107	90	76	64	54	48	42
	Metal 1 wiring pitch (nm)	108	90	76	64	54	48	42
	Metal 1 wiring pitch (nm)	122	102	86	72	61	54	48
	Flash Metal 1 (nm)		52	48	44	40	38	36

2016	2017	2018	2019	2020	2021	2022	2023	2024
11			8					
38	34	30	27	24	21	19	17	15
37.8	33.8	30	26.8	23.8	21.2	19	16.8	15
43	38	34	30	27	24	21	19	17
32	28	26	24	22	18	16	16	16

- ORTC “node”:2009年サンフランシスコ 会議発表
- Jun-10 by INTC:論文公表値に基づき、配線TWGで提案
- Jul-10 by INTC:製品の配線ピッチ(先端2社分)とその外挿により算出

- 配線ピッチの見直し:2011年版改訂時に行う
- ロジックとフラッシュとのM1ピッチ乖離が拡大。デバイスごとに、課題と対策の見直しが必要

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2010年度活動内容まとめ

2. 2010年度活動内容

- ITRS2010配線のまとめ
- 配線ピッチの微細化シナリオ見直し
- 配線抵抗率のサイズ効果
- Low-k RoadmapとAir-Gap技術動向
- 3次元積層化とTSV技術

3. 2010年度活動まとめと今後の活動予定

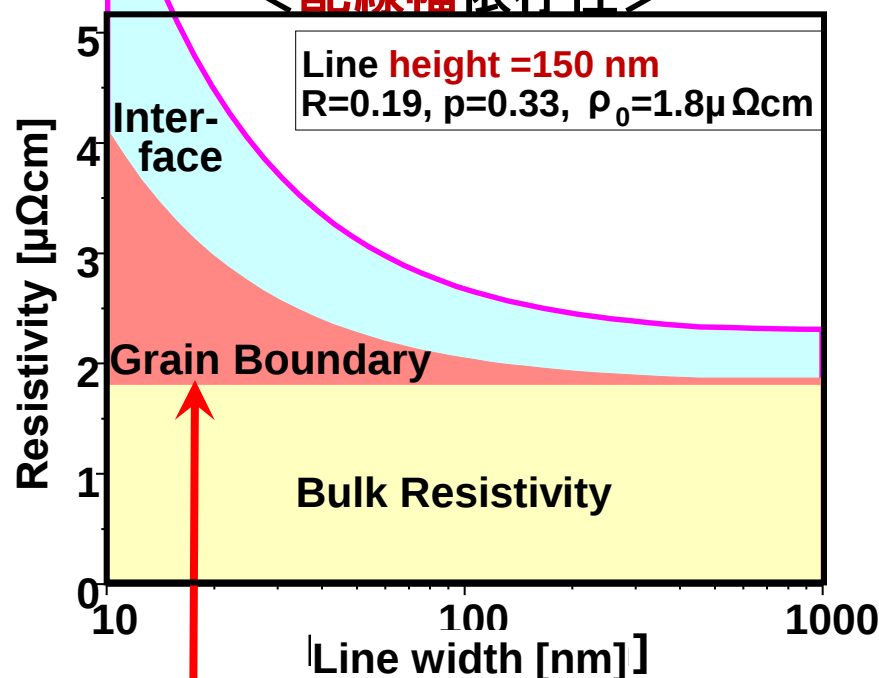
Cu配線抵抗率のサイズ効果(ITRS2005)

$$\rho = \rho_0 \left\{ \frac{1/3}{1/3 - \alpha/2 + \alpha^2 - \alpha^3 \ln(1 + 1/\alpha)} \right.$$

$$\left. + \frac{3}{8} C(1-p) \left[\frac{1+AR}{AR} \right] (\lambda/W) \right\} \text{ with } \alpha = (\lambda/d)(r/1-r), AR = T/W$$

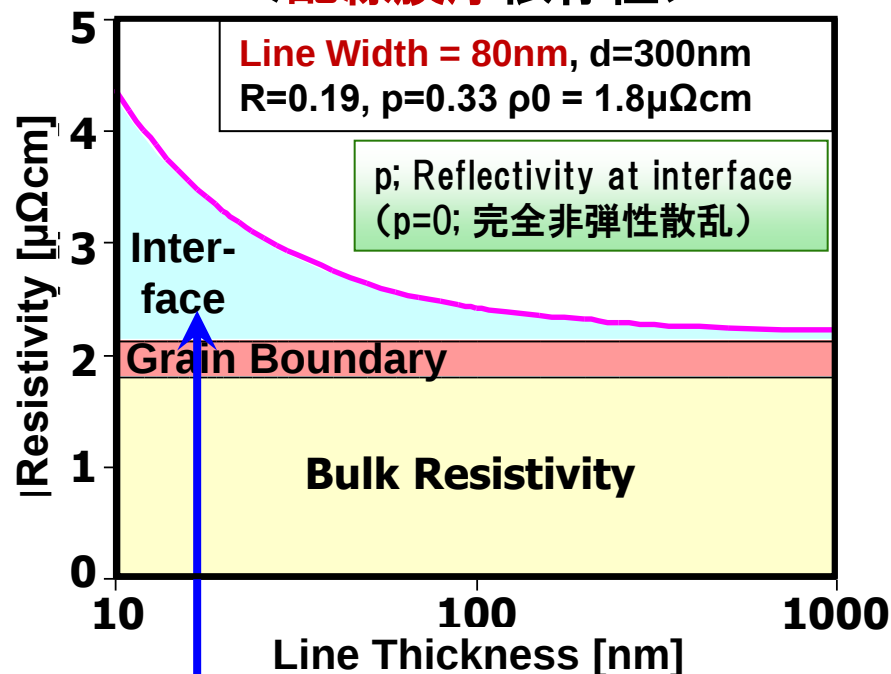
(W. Steinhogel et al, JAP, 97, 023706 (2005))

<配線幅依存性>



d(結晶粒径)=W(配線幅)
と仮定すると微細化に伴って
粒界散乱の影響が顕著に

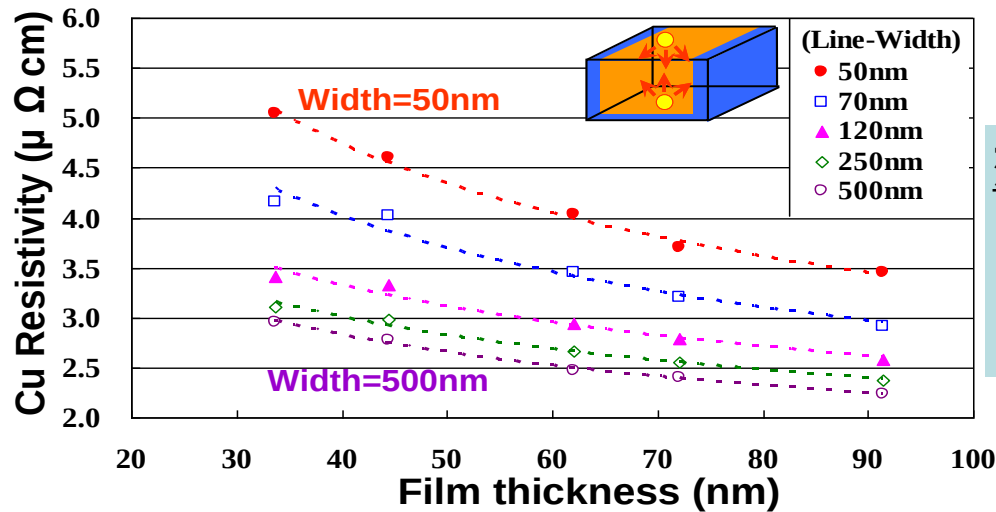
<配線膜厚依存性>



配線薄膜化により
界面散乱の影響が顕著に

- Cu配線抵抗率のサイズ効果: 2005年以降、多くのモデルが提案された
- 抵抗率上昇の正確な予測と、対策の検討が必要

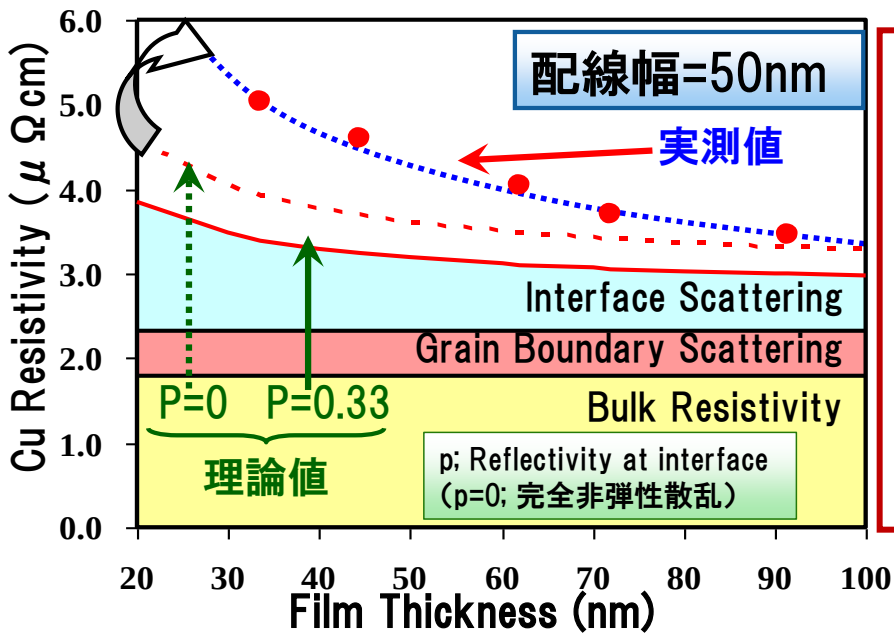
Cu配線抵抗率のサイズ効果:実測値との比較



M. Wada et al., AMC2007, pp. 245-251

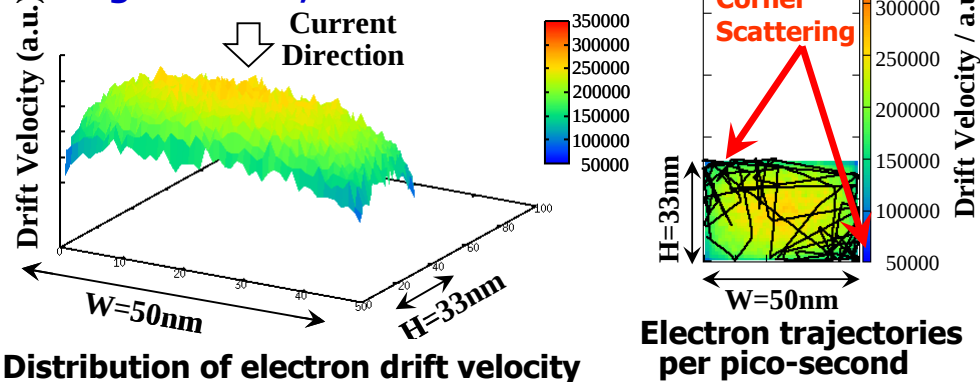
薄膜化に伴う抵抗率の上昇

- 配線上下界面での非弾性散乱の増加
- 従来モデルでは説明不可能
- コーナ散乱の影響を考慮し、説明可



M. Wada et al., AMC2009, pp.130-131(2009)

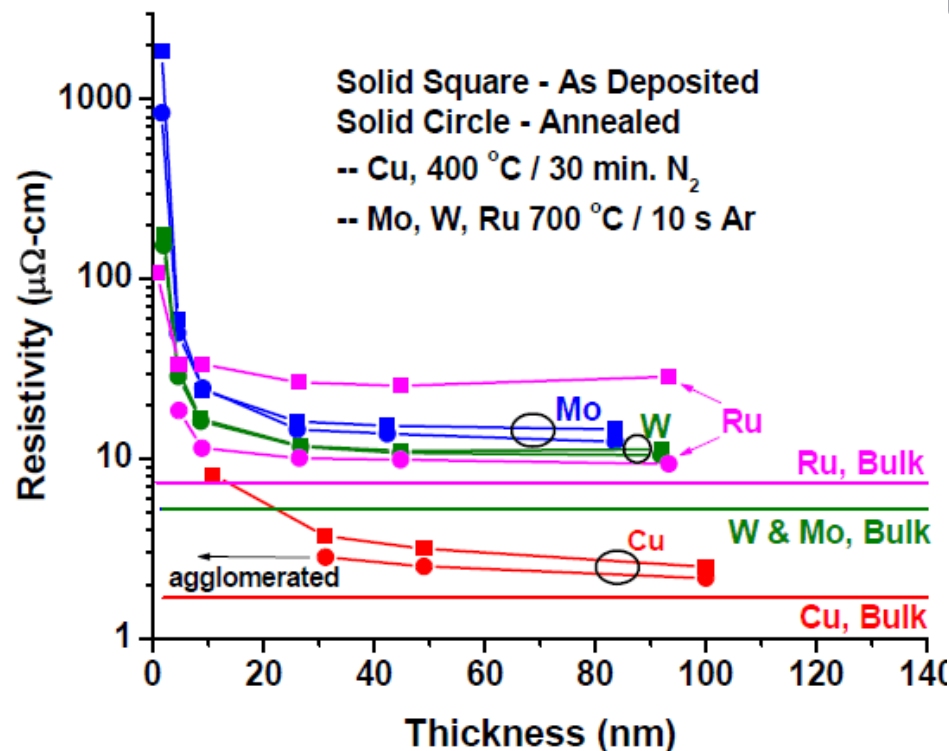
Height=33nm, Width=50nm



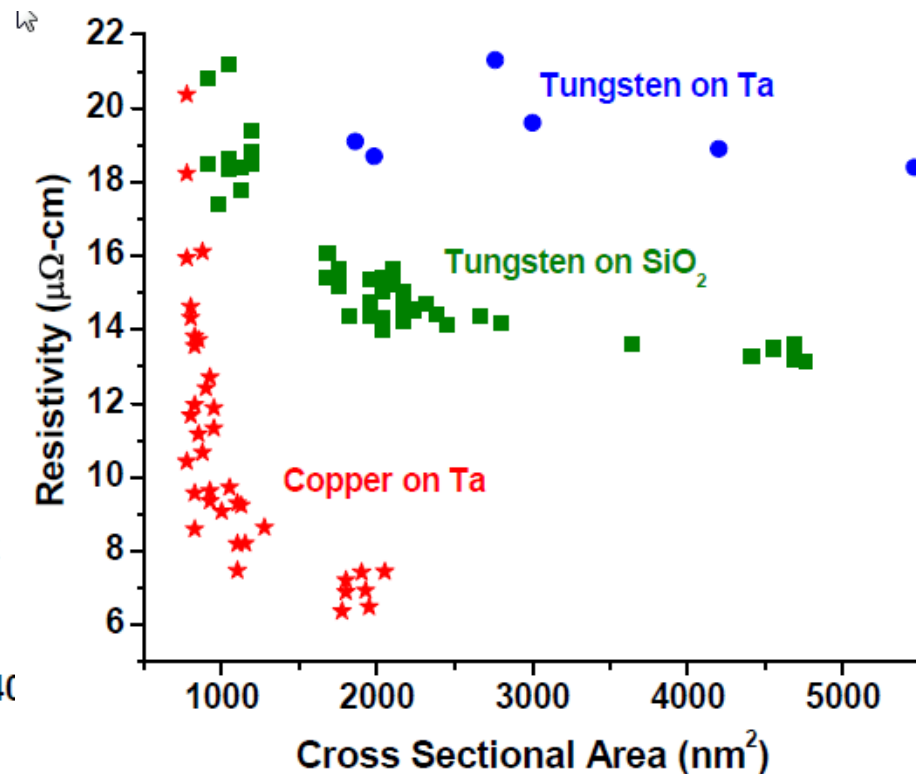
配線Cu代替金属の検討

サイズ効果による抵抗率上昇: 電子の平均自由行程 λ に依存

$\lambda_{\text{Cu}}: 39\text{nm} > \lambda_{\text{W, Mo, Ru}} \sim 10\text{nm}$



C. Cabral, Jr. et al., AMC2010



- ・平均自由行程が短い材料: バルク材料が高抵抗率
- ・最小線幅と太幅配線が、同一層に共存する場合の対応

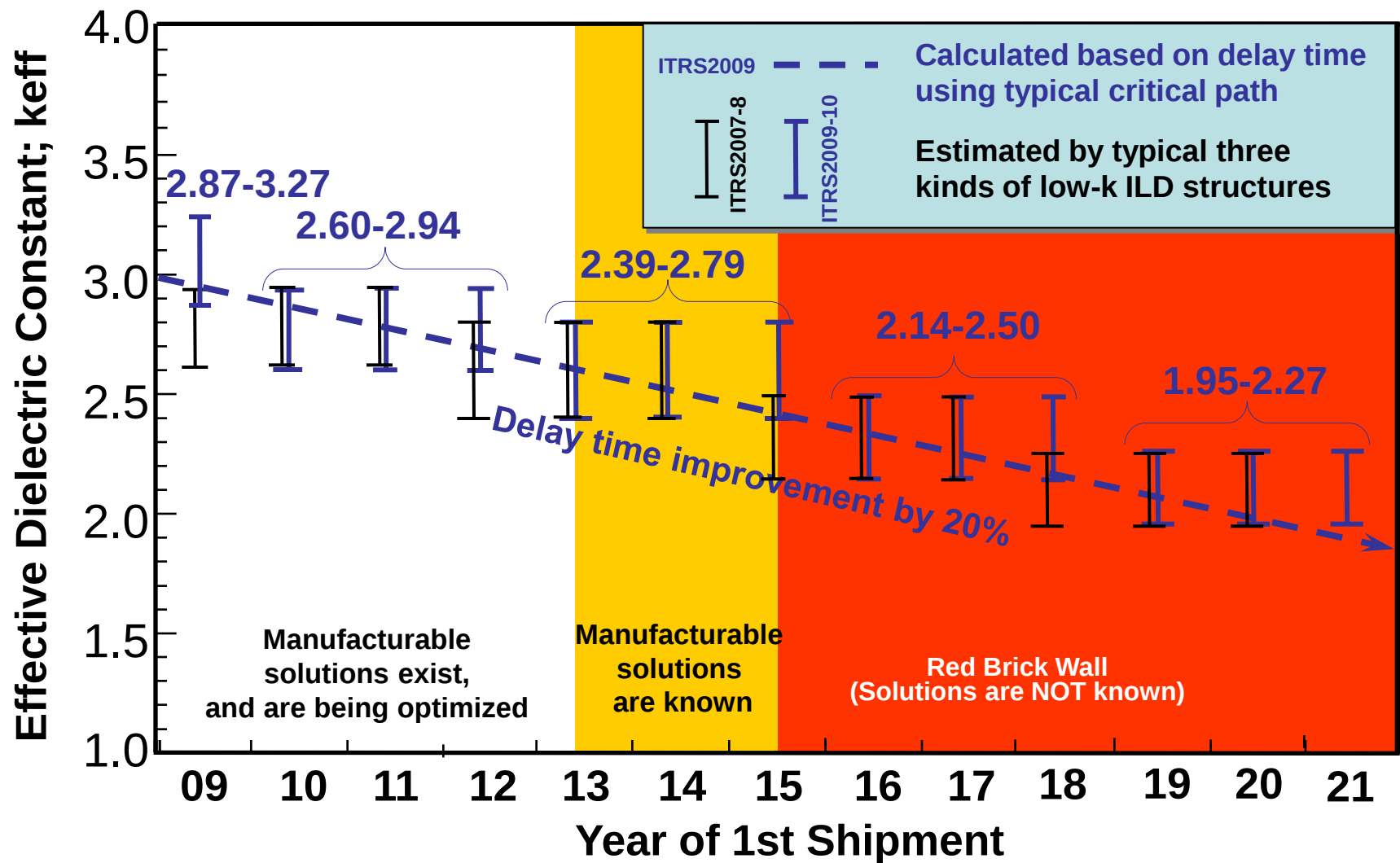
1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2010年度活動内容まとめ

2. 2010年度活動内容

- ITRS2010配線のまとめ
- 配線ピッチの微細化シナリオ見直し
- 配線抵抗率のサイズ効果
- Low-k RoadmapとAir-Gap技術動向
- 3次元積層化とTSV技術

3. 2010年度活動まとめと今後の活動予定



2009-2010年は世代の刻みを変更したが、それ以外はkeffに変化なし

K.Prall et al.,(Micron & Intel), "25nm 64Gb MLC NAND Technology and Scaling Challenges", Tech. Dig. of IEDM2010(Invited Paper), pp.102-105(2010).

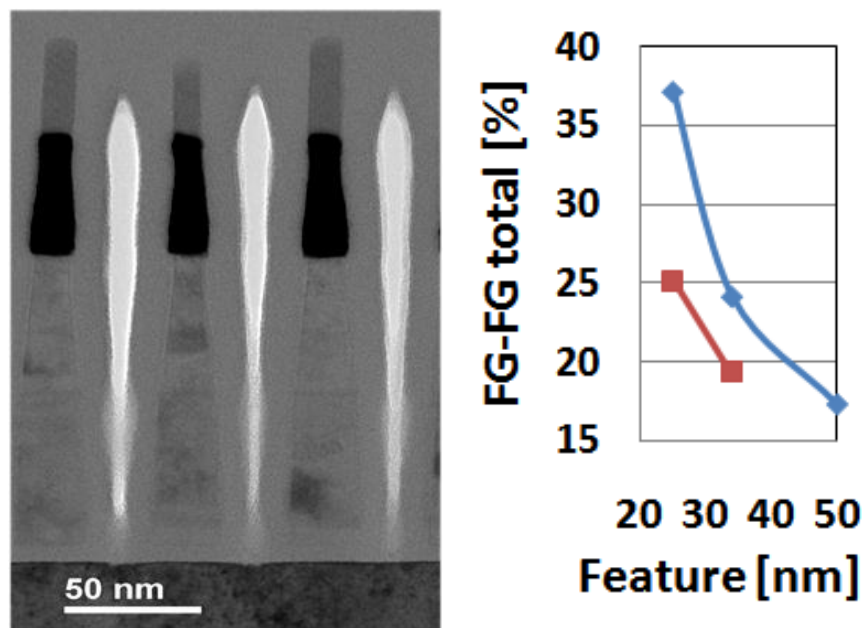


Fig. 6 Cross-section of the cell in the WL direction showing the WL airgap and **reduction in total FG-FG coupling** with airgap (red square) and without (blue diamond). WL bending is caused by sample preparation. **A 25% reduction in total interference** is achieved with the airgap.

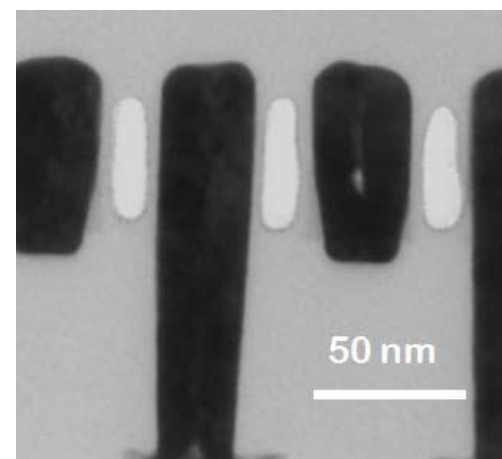
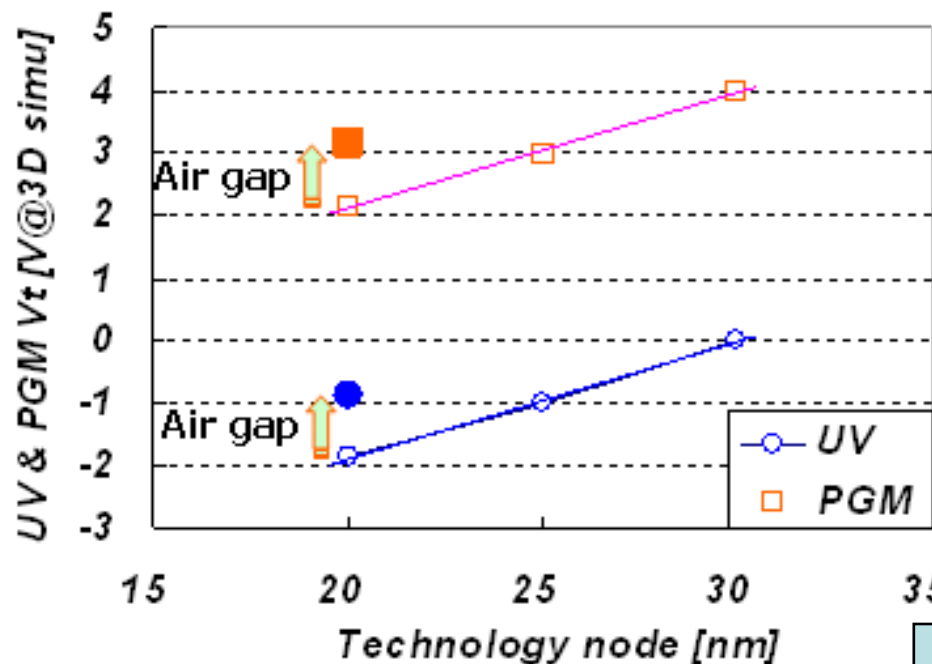


Fig. 7 Cross-section of the cell in the BL direction showing the bit line airgap. **A 30% reduction in BL capacitance** was achieved.

FlashメモリにおけるAir-Gap技術動向(2)

**S.Hong (Hynix), "Memory Technology Trend and Future Challenges",
Tech. Dig. of IEDM2010, pp.292-295 (2010).**



WL to WL distance dependent cross coupling causes rapid reduction of UV Vt, which results in reduction of program speed. Air-Gap technology can increase UV Vt and improve interference, but it is simultaneously necessary to secure the process for precise uniformity control.

2013年(Flash 1/2 pitch Poly:2Xnm)以降、Flashメモリにおけるセル間干渉低減を狙ったWord Line間及びBit Line間へのAir-Gap導入が本格化する可能性。2011年は、Flashメモリ向け配線技術のPotential solutionsを含めた、ロードマップ策定が必要。

1. はじめに

- 主な略語について
- STRJ-WG4 構成メンバー
- 2010年度活動内容まとめ

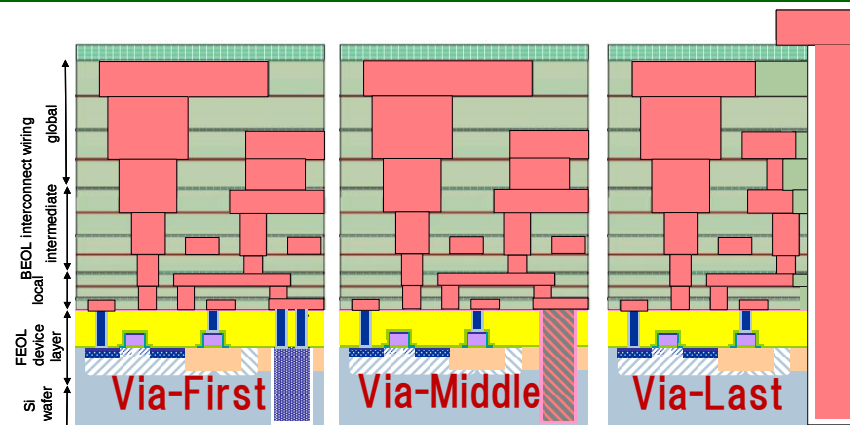
2. 2010年度活動内容

- ITRS2010配線のまとめ
- 配線ピッチの微細化シナリオ見直し
- 配線抵抗率のサイズ効果
- Low-k RoadmapとAir-Gap技術動向
- 3次元積層化とTSV技術

3. 2010年度活動まとめと今後の活動予定

3次元配線構造の定義と区分(ITRS2009)

- LSIチップのInterconnectレベルの、“何をつなぐ”のかに着目し分類
- WG4では、Global、Intermediate、Local配線レベルの3次元構造を扱う



Level	Suggested Name	Supply Chain	Key Characteristics
Package	3D-Packaging (3D-P)	OSAT Assembly PCB	Traditional packaging of interconnect technologies, e.g., wire-bonded die stacks, package-on-package stacks. Also includes die in PCB integration No through-Si-vias (TSVs)
Bond-pad	3D-Wafer-level Package (3D-WLP)	Wafer-level Packaging	WLP infrastructure, such as redistribution layer (RDL) and bumping. 3D interconnects are processed after the IC fabrication, “post IC-passivation” (via last process). Connections on bond-pad level. TSV density requirements follow bond-pad density roadmaps.
Global	3D-Stacked Integrated Circuit/ 3D-System-on-Chip (3D-SIC /3D-SOC)	Wafer Fab	Stacking of large circuit blocks (tiles, IP-blocks, memory –banks), similar to an SOC approach but having circuits physically on different layers. Unbuffered I/O drivers (Low C, little or no ESD protection on TSVs). TSV density requirement significantly higher than 3D-WLP : Pitch requirement down to 4-16μm
Intermediate	3D-SIC	Wafer Fab	Stacking of smaller circuit blocks, parts of IP-blocks stacked in vertical dimensions. Mainly wafer-to-wafer stacking. TSV density requirements very high: Pitch requirement down to 1-4 μm
Local	3D-Integrated Circuit (3D-IC)	Wafer Fab	Stacking of transistor layers. Common BEOL interconnect stack on multiple layers of FEOL. Requires 3D connections at the density level of local interconnects.

Si貫通ビア(TSV)、3次元積層化技術

3D 積層化ICの歩留り、コスト、信頼性は、プロセス課題に依存

構造仕様

材料

- ・ビア: Cu, W, P-Si
- ・コンタクト: はんだ
- ・ボンド材

TSV形状

- ・直径
- ・高さ (アスペクト比)

TSV密度

- ・ビア数

TSV禁止領域

3D 積層化プロセス

TSV 形成

エッチング

- ・レジスト / BEOL層 / Si 基板. 選択性
- ・アンダーカット / ノッチング
- ・スキロップング
- ・残渣

ライナー

- ・デバイスプロセスとの整合性
- ・電気特性: リーク電流, ブレークダウン電圧, etc.

バリア層

- ・膜質: ピンホールフリー
- ・被覆特性

メタル埋めこみ & CMP

- ・高アスペクト孔への、ボイドフリーメタル埋めこみ
- ・Cu シートカパレッジ

薄化 & 搬送システム

ウェハ薄化

- ・Si厚の均一性制御
- ・表面層の品質、ダメージ層

ウェハ清浄化

- ・パーティクル除去
- ・プロセスラインへの再投入

保持基板(仮接着)

- ・基板材料 (ガラス、Si)
- ・ウェハエッジ処理

裏面プロセス

- ・裏面処理、保護
- ・再配線

ボンディング / 積層化

仮接着

- ・接着剤: プロセス中の安定性と剥離しやすさ
- ・接着方法: 厚さ制御

永久接着

- ・接着剤: プロセス整合性以降のプロセスでの安定性

貼り合わせ

- ・方式: W2W, D2W, or D2D
- ・位置合わせ精度

メタル接合

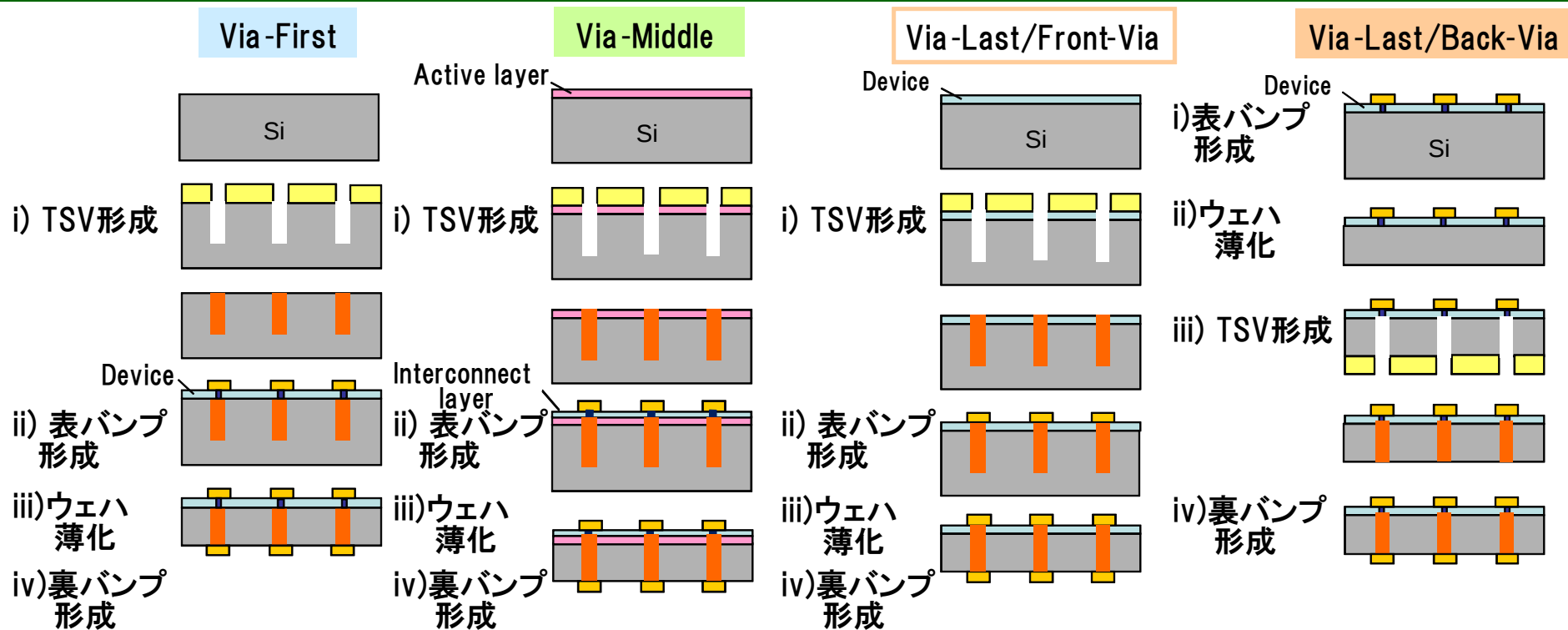
- ・接合方式: 熱圧着、マイクロバンプ
- ・突き刺し方式
- ・バンプレス(シームレス)

仕様・特性

抵抗
容量
帯域幅
歩留り
信頼性

TSV形成工程、薄化工程、およびウェハ(ダイ)ボンディング工程の順番(Via first, Via middle, and Via last)で、各プロセスの難易度が異なる

TSV形成プロセスと困難な課題



	Via-First	Via-Middle	Via-Last/Front-Via	Via-Last/Back-Via
Difficult Challenges	-OSATでの実施が困難 -金属系電極材の使用不可→TSV高抵抗 -薄化後のTSV頭出しと接合形成	-OSATでの実施が困難 -薄化後のTSV頭出しと接合形成	-TSV加工困難（多層絶縁膜とSiの厚膜SiO₂） -プロセス温度制限（≤300℃） -薄化後のTSV頭出しと接合形成	-プロセス温度制限（≤200℃） -ビア径の微細化

今後の計画: TSV形成に必要なPotential Solutionsの明確化、ロードマップ化

2010年度活動のまとめ

- ◆ 配線ピッチの微細化シナリオ
 - ロジックM1ピッチのシナリオ: 微細化のペースを、製品解析のエビデンスに基づいて見直し、Relax(1年)案を提示
 - 最小配線ピッチ: ロジックとメモリの乖離が拡大。デバイスごとの検討が必要
- ◆ 微細化に伴うPotential Solutionsの見直し: デバイスごとの検討が必要
 - Low-kシナリオ: Air-Gap配線の動向
 - Metallization: 抵抗率のサイズ効果と代替技術
- ◆ 3次元積層化とTSVの要素技術
TSV形成における、Difficult Challengesを検討

2011年度活動予定

- ◆ 配線ピッチ微細化シナリオの検討 (継続)
- ◆ ロジックとメモリの微細化Potential Solutionsの整理と検討
- ◆ 3次元積層化とTSVの要素技術
Difficult ChallengesやPotential Solutionsの観点から必要技術を明確化