

# STRJ WG3(FEP)活動報告

## － 今後のFEP技術 －

2011年3月4日

北島 洋 (ルネサスエレクトロニクス)

# 用語集

CIP: Continuous Improvement Program

COC: Chip on Chip (C2C=Chip to Chipと言われることもある)

COW: Chip on Wafer (C2W=Chip to Waferと言われることもある)

EEMI: European 450mm Equipment & Materials Initiative

EPMs: Equipment Performance Metrics

FDSOI: Fully Depleted Silicon On Insulator

HKMG: High-k (Dielectric) /Metal Gate (Electrode)

IG: Intrinsic Gettering

JEDEC: Joint Electron Device Engineering Council

P/P+: P(-epi) on P+

MUGFET: Multi-Gate Field Effect Transistor

PBS: Poly Back Seal

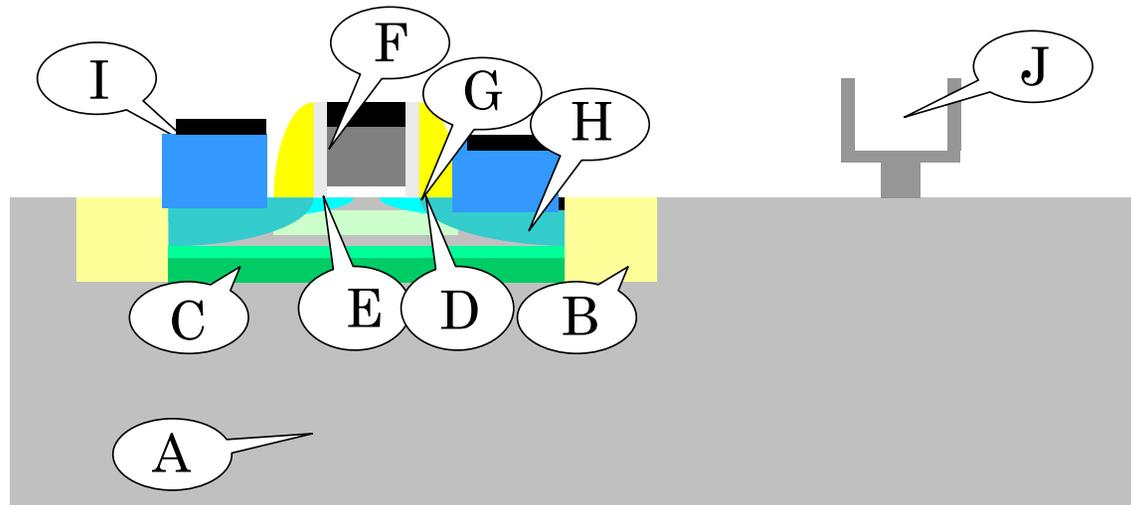
SFQR: Site Front least sQares Range

STT-RAM: Spin Torque Transfer Random Access Memory

TSV: Through Silicon Via

WOW: Wafer on Wafer (W2W=Wafer to Waferと言われることもある)

# F<sub>ront</sub> E<sub>nd</sub> P<sub>rocesses</sub> Scope



- A: Starting Material**
- B: Isolation**
- C: Well Doping**
- D: Channel Surface (Preparation)**
- E: Channel Doping and Channel Strain**
- F: Gate Stack (Including Flash) and Spacer**
- G: Extension Junction and Halo**
- H: Contacting Source/Drain Junction**
- I: Elevated Junction and Contacts**
- J: DRAM, Phase Change, and FeRAM Storage**

# STRJ/FEP\_WGメンバー

リーダー：北島 洋（ルネサスエレクトロニクス）

✧：国際対応

サブリーダー：✧丹羽 正昭（パナソニック） 2010年12月まで

✧水島 一郎（東芝）

委員：堀井 義正（富士通セミコンダクター）

奈良 安雄（富士通セミコンダクター）

✧羽根 正巳（ルネサスエレクトロニクス）

平野 智之（ソニー）

大路 洋（ローム）

永田 敏雄（ローム）

特別委員（大学）：酒井 朗（大阪大学）

クロス ジェフリー（東京工業大学）

特別委員：中嶋 定夫（日立国際電気）：SEAJより

大形 俊英（日立ハイテクノロジーズ）：SEAJより

✧渡辺 正晴（ニューフレアテクノロジー）

三木 克彦（信越半導体）：新金属協会より

# 2010年度活動

- ITRS2009の問題点修正を含めた、2010Updateに向けた議論。
- ★ 3D-Integration、ばらつきに関する技術調査
- ★ 大口径ウェーハ、HKMGに関する動向調査・議論

★ : 本日の報告対象

# 1. 国際活動

## 2010 FEP Updates

数件のMinor Correctionのみ(省略)

## 2011 FEP Opportunities

- Starting Material: Wafer Flatness Impact (主にEUVL)
- Logic Device:  
Timeline for HKMG, FDSOI, MUGFET, high- $\mu$  channel
- Flash Memory: Table Update (→3D化)
- DRAM: Table Update (→3D化)?
- STT-RAM: New Table?
- 3D/TSV

## 2. 国内活動：技術ヒアリングなど

年月	講師	テーマ
‘10年8月	平本先生(東大) 丹羽委員	トランジスタの特性ばらつき VL2010のトピックス
‘10年8月*1	池田先生(東北大)	スピントロニクスデバイス技術
‘10年9月	嘉田様(ASET)	三次元集積技術(TSV)
‘10年10月	大場先生(東大)	三次元集積技術(TSV)
‘10年10月*2	高木先生(東大)	新チャンネル材料トランジスタ
‘10年11月*2	江刺先生(東北大)	MEMS技術
‘11年2月	渡辺委員	大口径ウェーハ
‘11年3月 予定	村上様(ニコン) 内山様(ルネサス)	EUVLとウェーハ平坦性 ウェーハ端形状のリソへの影響

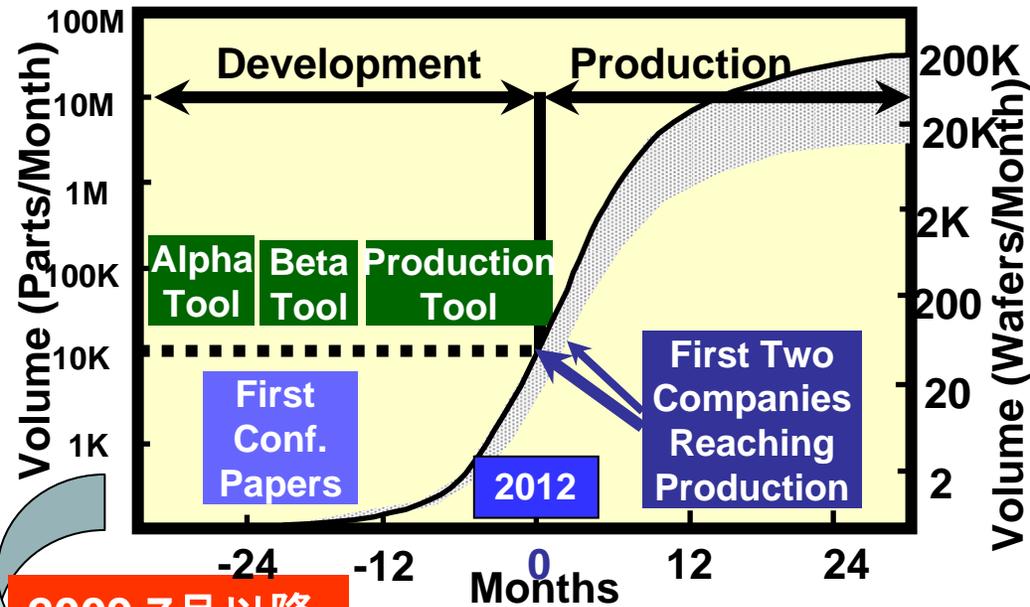
\*1: PIDS (WG6) の会議

\*2: ERD (WG12) の会議

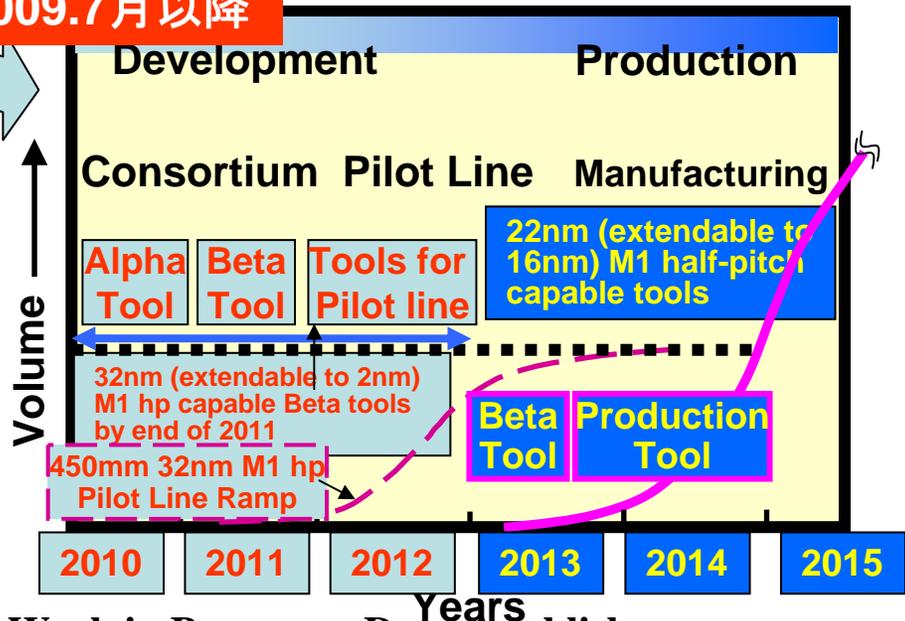
# 大口徑ウェーハ

2008年まで

## ITRS Ramp-up Model

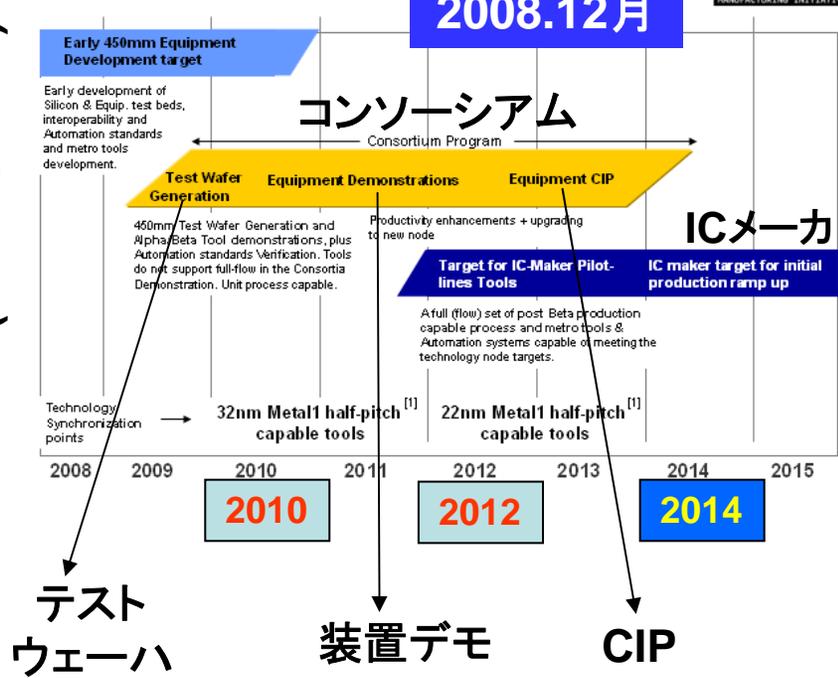


2009.7月以降



Work in Progress - Do not publish

## Development & Technology Intercept Targets for 450mm



現在

Target(スケジュール)は示さず  
 着実な進展を示すようになっている

# これまでの経緯

- 2008年5月  
2008年1H  
2008年11月  
2009年3月  
2009年1H  
2010年4月  
2010年10月  
2010年12月  
2010年12月  
2011年1月
- 2012年Pilot-Lineを公表 (Intel/Samsung/TSMC)  
ウェーハハンドリング法確定 (300mm:エッジ→450mm:裏面)  
Mechanical Wafer Spec. (SEMI)  
厚さ =  $925 \pm 25 \mu\text{m}$   
単結晶ウェーハLoan開始 (ISMI)  
Equipment Performance Metrics (ISMI)  
Process Test Wafer Spec. (SEMI)  
Intel: Pilot-line D1Xの2013年稼動をアナウンス  
TSMC: Pilot-line@Fab12の2013-2014稼動アナウンス  
Prime Wafer Spec.の議論を開始 (SEMI)  
EEMI450: 450mm Prototyping-lineをアナウンス  
(Member: ASM, ASML, Siltronic, Soitec, IMEC, Intel等)

# EPMs are completed for 60 450 mm Process and Metrology Equipment, Organized into 11 Tool Groups

## Example:5.1 Dry Etch Dielectric, Poly - Active Area/STI

	Attribute	Units	Metrics (32 nm)	Metrics (22 nm)	Notes
Equipment Parameters	Auto End-point Detection	-	Required	Required	
	in-situ Bevel Clean Capability		Option	Option	Need better solution to eliminate bevel polymer contamination
	In-situ Chamber Clean Capability	-	Required	Required	
Process Targets	STI Depth Bulk	nm	323	309	Criteria of ITRS
	STI Width at top	nm	40	32	Criteria of ITRS
	STI Sidewall angle	Deg	>88.2	>88.7	Criteria of ITRS
	Total Variability $3\sigma$ – all sources	nm	< 1.5	< 1	
Process Characteristics	Selectivity to	-	> TBD , each company input selectivity requirements w.r.t materials chosen	> TBD, each company input selectivity requirements w.r.t materials chosen	
	Loading Effect	%	< 5	< 5	Etch rate difference l/s to iso
	Charge Damage	-	To be measured	To be measured	
	Residue after etch	-	None	None	
Defects, PWP @ 1.5 mm edge exclusion	On bare Si $\geq 30$ nm	#/cm <sup>2</sup>	< 0.0084	< 0.0060	
	Backside on Si	#/cm <sup>2</sup>	< 0.28 @ $\geq 75$ nm	< 0.28 @ $\geq 50$ nm	Need to find better solution for e-chuck to eliminate need for post-etch backside clean
Manufacturing Targets (@ High Volume Manufacturing Phase)	Availability	%	95	95	
	MTBF	hour	> 500	> 500	
	MTTR	hour	< 4	< 2	
	MTB/T Clean		To be measured	To be measured	Will depend on process chemistry

# テストウェハ規格抜粋

	テストウェハ		
用途	Particle Monitors	Lithography Monitors	Other Monitors
タイプ	P		P or N
抵抗率	0.005-100 $\Omega\text{cm}$	P:0.5-100 $\Omega\text{cm}$ N: 1-20 $\Omega\text{cm}$	
酸素濃度	Not specified		Customer specified
金属不純物	$\leq 1\text{E}10/\text{cm}^2$		
パーティクル $\geq 0.045\mu\text{m}$	$\leq 250/\text{wafer}$	$\leq 500/\text{wafer}$	
平坦度 (SFQR)	Not specified	$\leq 42\text{nm}$	Not specified
エッジ形状	SEMI M76		
ノッチ	現行ノッチ		

# 3D/TSV

典型的なMtM技術(→Heterogeneous Integration)で、

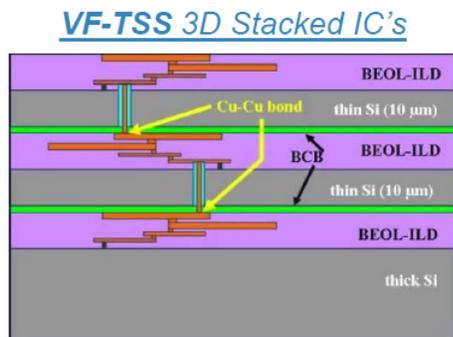
- ・CSP → 3D-SiPに続く次世代実装技術
- ・次世代のDRAM(DDR4)を実現する有力技術
- ・携帯機器で、超ワイドバス化、省電力化、小型化に関して強い要求

## Managing the Form Factor

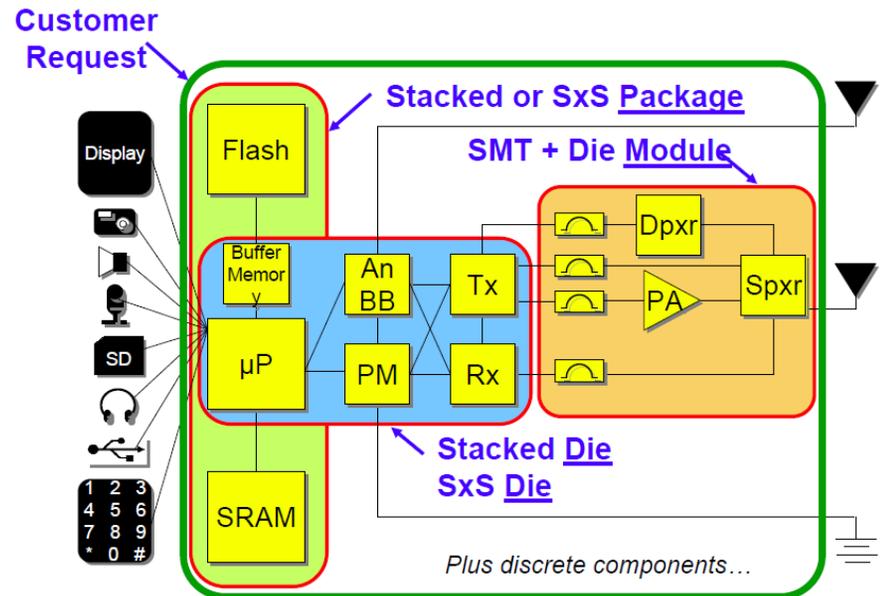
JEDEC Publication JEP158 (2009)

...driving "More than Moore's law" thru Innovative Packaging  
 ...Typical Handset Block Diagram

2011年にはWide I/Iメモリに関する  
 JEDEC規格が発行される見込み



Source: IMEC



# 3D/TSVプロセス

TSVに加わる温度

- ・Via First : Si基板にVia形成(+導電材埋込)→Tr等 形成 **800~1000°C**
- ・Via Middle : ウェーハプロセスの途中(例.Tr形成後)でVia形成 **配線工程温度**
- ・Via Last : ウェーハプロセス完了→Via形成+3D化 **≤200~250°C**
- ・COC (Chip on Chip) : TSVを形成してChip化した後、積層する
- ・COW (Chip on Wafer) : TSVを形成してChip化したものをウェーハ上に積層する
- ・WOW (Wafer on Wafer) : TSVを形成したウェーハ同士を積層する

嘉田さん、大場先生のヒアリングから

ASET(嘉田さん)ではVia Last(Back Via)でWOWかCOC

東大(大場先生)ではVia LastでWOWが中心

# Cross Cut: FEPのミッション

- ・機械的にどこまで薄くできるのか (Open?)
- ・薄ウェーハ後の重金属ゲッタリングはどうなるのか (FEP/PIDS)
- ・TSV周辺のストレス、そのデバイスへの影響 (FEP/PIDS)
- ・機能も考慮して。どこまで薄ウェーハ化可能か (FEP/PIDS)  
EM?, 冷却能力?, ゲッタリング?
- ・TSVレイアウトのグランドルールは? (PIDS/FEP)  
Keep Out Area (あるいは Area Penalty)
- ・Device Impact Model (PIDS/FEP)

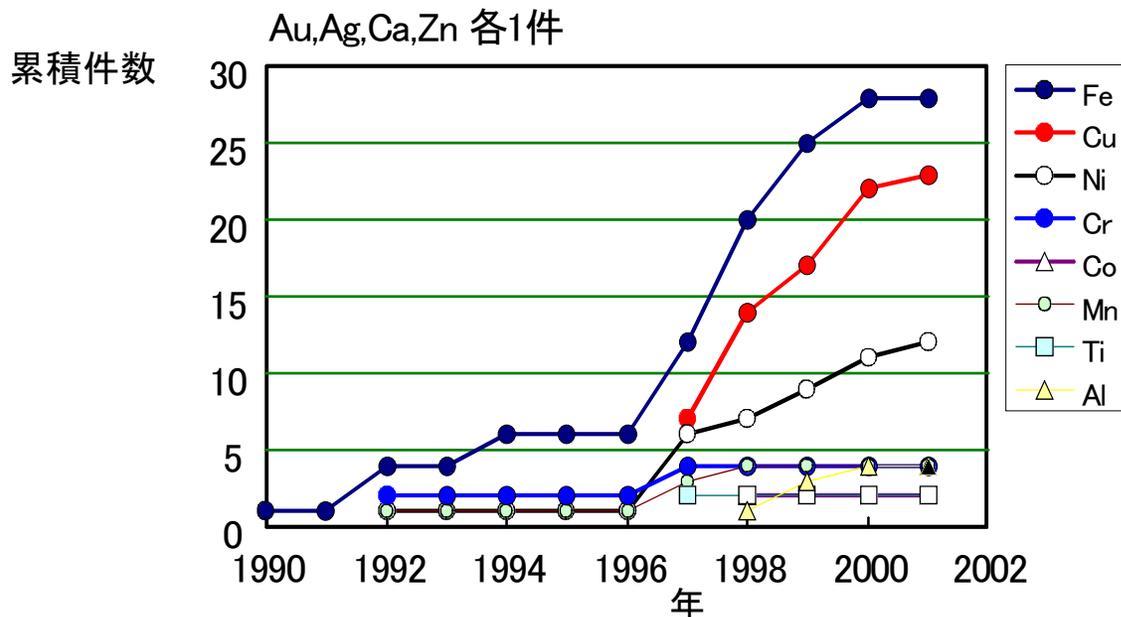
Cross Cutとは FEP/PIDS/INCT/Design and A&P

ITRS会議の議論では、誰一人Via Firstは想定していないようである

# 重金属ゲッタリング

- ・FEPのゲッタリングは高温工程を前提にしている。  
高温(拡散and/or固溶)→冷却(ゲッタサイトに固着and/or過飽和)
- ・性質が異なる3種類の元素(Fe, Cu, Ni)の発表件数が多い
- ・ITRSでは、ゲート絶縁膜への影響を最重要視
- ・Via Firstを除外する⇒従来とは別の観点で検討する必要がある

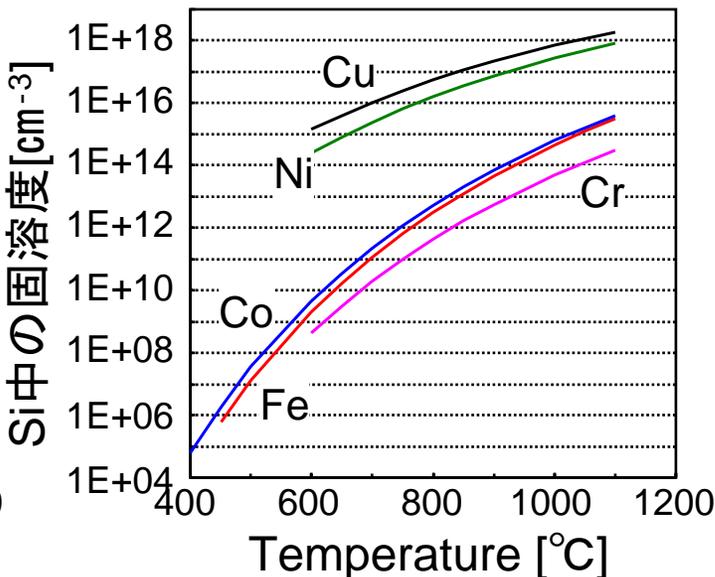
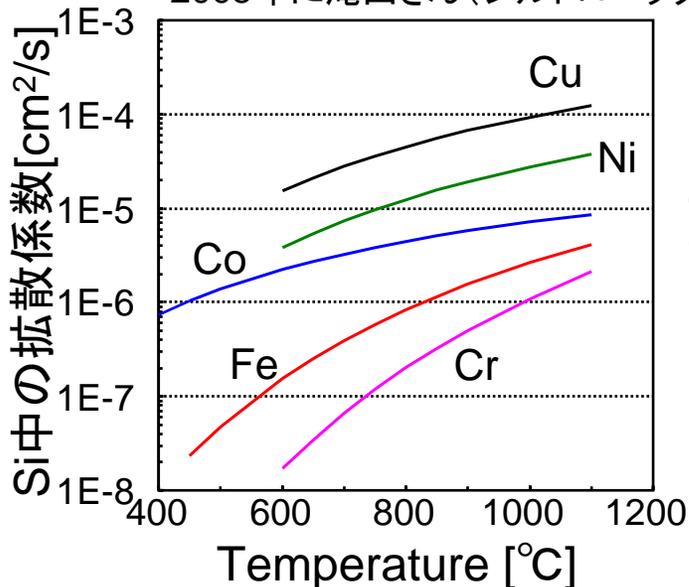
2002年頃にECS会議でのゲッタリング関連発表件数を調べた結果



# 低温プロセスでの重金属ゲッタリング

- ・固溶度が大きくなる温度で拡散させ、低温下でゲッタサイトに捕獲。  
Fe: P/P+層が有効 (IGも程々)、Cu: P/P+層とPBSが有効、Ni: IG (とPBS) が有効。
- ・拡散 (or 溶解) には  $D \sim 1e-10 \text{ cm}^2/\text{s}$ , 固溶度  $> 1e9 \sim 10 \text{ cm}^{-3}$  位になる温度が必要。
- ・室温  $\sim 250^\circ\text{C}$  では、問題になる重金属はCuとNi。Cuは室温でも動く (Niも?)。
- ・Cu-ViaとSiの局所的接触により、悪影響はある (但し、プロセス=バリア膜の問題)。  
ウェット系での汚染などはゲッタリングの問題になる可能性がある。  
(例. ウェーハ厚さ  $30 \mu\text{m}$  の内の  $20 \sim 25 \mu\text{m}$  を  $p^{++}$  にしてどうか等)

2005年に滝山さん(シルトロニックジャパン)講演いただいたときの資料を元に作成(字サイズ等を修正)



P/P+: P-epi on p+など  
(固溶度の差を利用)

IG: 基板内部に欠陥形成  
(Intrinsic Gettring)

PBS: 基板裏面に 'Poly-Si'  
(Poly Back Seal)

# ViaストレスのMOSFETへの影響

- ・Y. S. Kim(東大) et al., IEDM2009, p.365。Via Last, WOWで45nm世代のCMOSFET。ウェーハ厚さ=7  $\mu$  m。FET特性の劣化は見られなかった。
- ・A. Marcha et al., VL2010, p.109。Via MiddleでHKMG CMOSFET作製。ウェーハ厚さ=25  $\mu$  m。Viaとの距離が20  $\mu$  m以下では、ストレスでIonの低下もしくは増加が見られた。

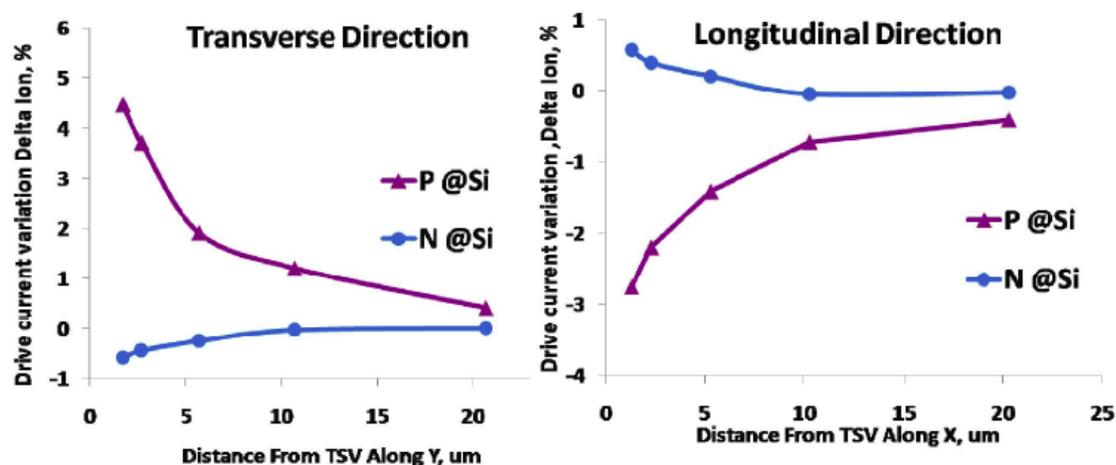


Fig. 14: Variation of ION versus distance to TSV from experimental data of DAC with pMOSFETs (like Fig. 13) and nMOSFETs current sources.

Marcha et al., VL2010, p.109

# その他のコメント

## -大場先生もしくは嘉田さん-

- ・コストに関して: 微細化⇒チップ縮小によりコスト低減効果は期待できないが高価な次世代露光装置の導入と比較すると 安価になる。
- ・多層化による歩留り: LogicとDRAM多チップ積層(WOW)の場合、積層数が増える(Multi-TSV)と歩留り低下が落ちますが、1枚をリダンダンシーとする考え方もある。微細化+2D-Integ.での歩留り低下より遥かに良い可能性あり。
- ・薄ウェーハ化する際のターゲットになる厚さは、Via径とアスペクト比で決まる。現実的なターゲットは20～30  $\mu\text{m}$ 。

# まとめと謝辞

## 1. ITRS FEP update

- ・2010年: 主要な変更なし
- ・2011年: Starting Material, Logic Timeline, 3D化の議論を行う

## 2. 技術動向調査

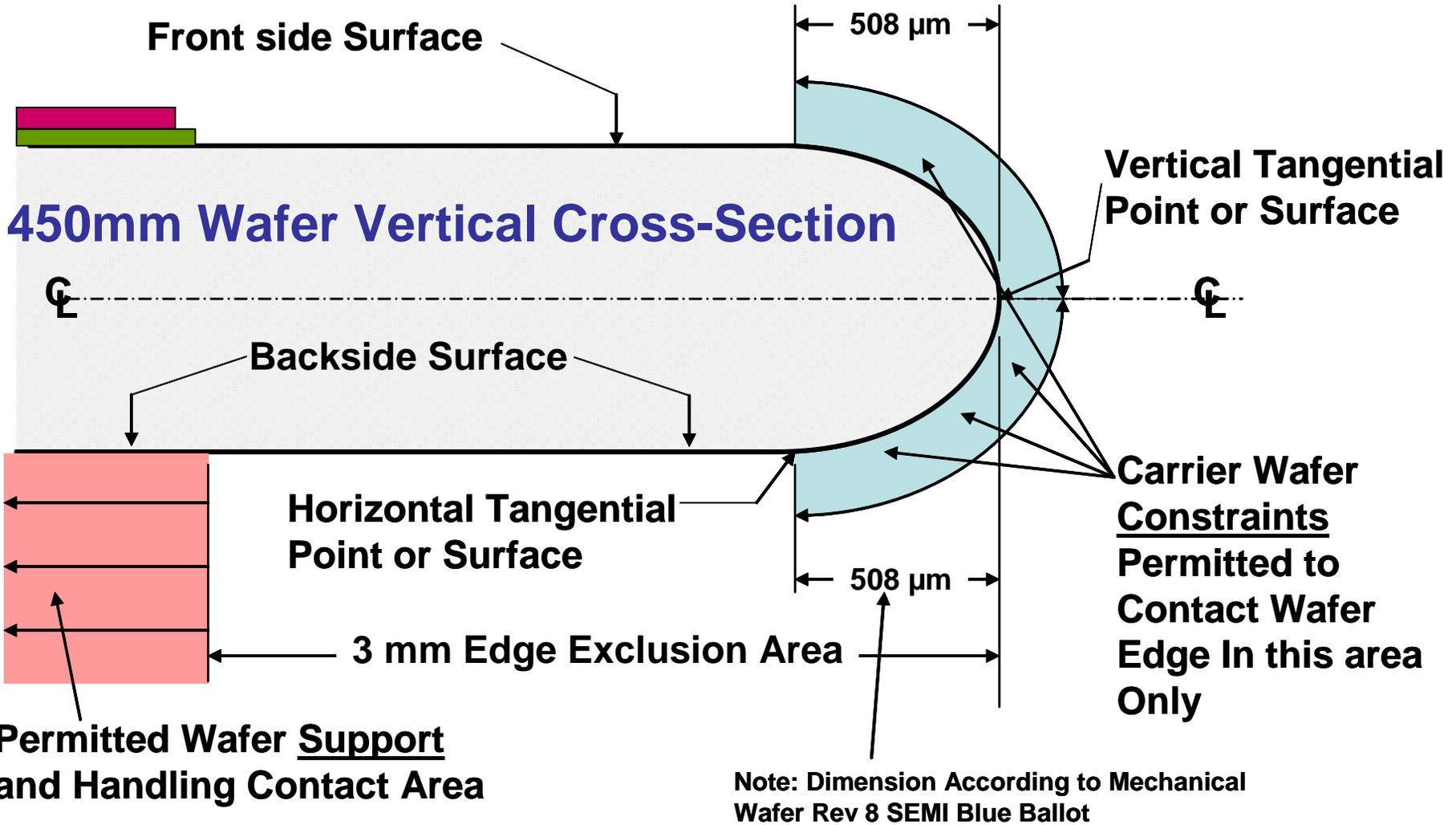
- ・450mm: 2012~13年 Pilot-line、2014~15年 量産に変更。  
ISMIの活動はロードマップに沿ってオンスケジュールに見える
- ・3D/TSV: DRAMで2012~13年量産化を目指して進展している  
Hetero. Integration (MtM)に向けた検討も活性化が予想される

技術調査にご協力をいただいた(含: 予定)

平本先生、池田先生、嘉田様、大場先生、高木先生、江刺先生、村上様、内山様に感謝します

以下はBackup

# 450mm Wafer Handling Guideline Update



**ISMI Member Company Consensus to Move to Backside Wafer Handling in 450mm**