

2012年度STRJワークショップ

テストの複雑性への新たな挑戦

WG2(テストWG) 安藏 顕一(東芝)

目次

- 1.テストWGの位置づけ
- 2.WG2体制
- 3.WG2活動テーマ
- 4.2012年度活動サマリ
- 5.ITRS2012トピックス
- 6.STRJ独自活動(ATE)
- 7.STRJ独自活動(DFT)
- 8.まとめ

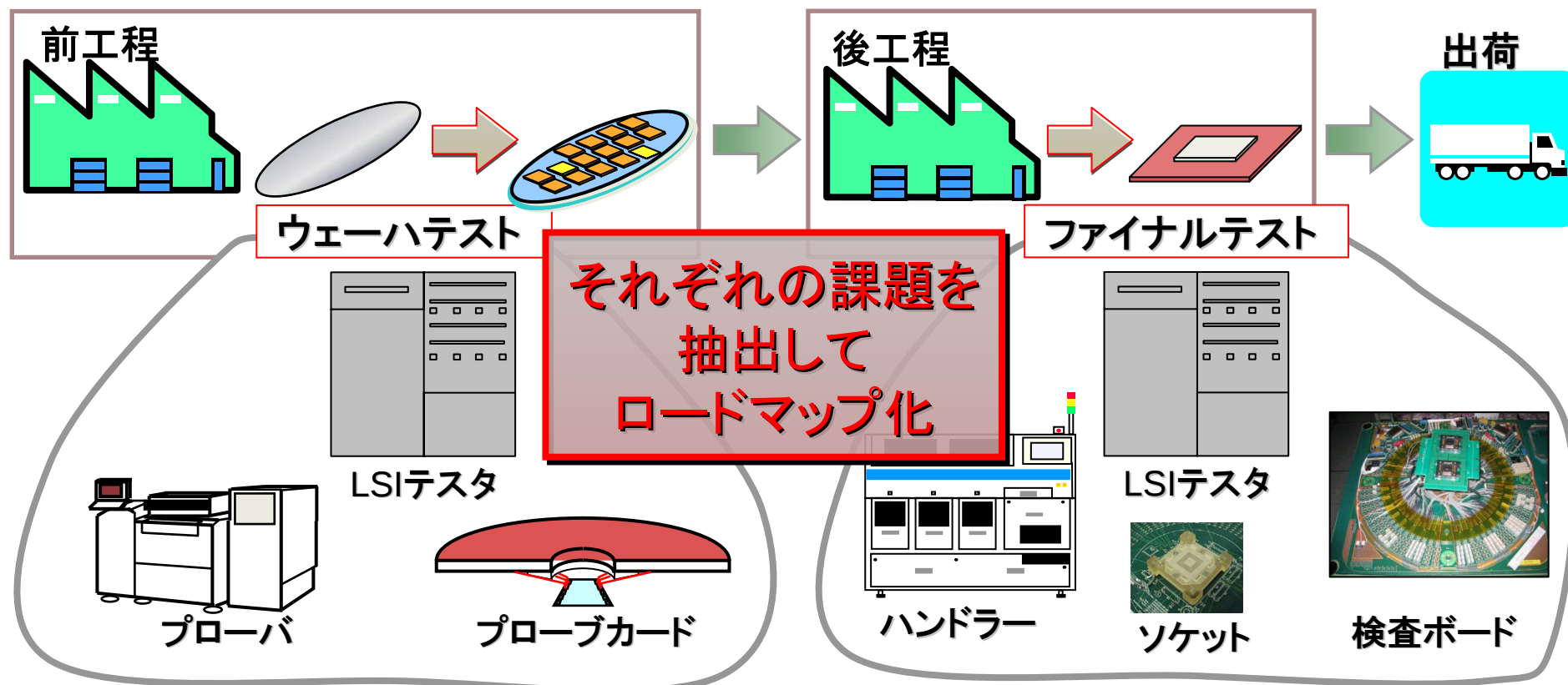
略語	用語	説明
ATE	Automatic Test Equipment	大型テスト他テスト装置・システム全般の呼称
DFT	Design for Testability	テスト容易化を考慮した設計
DFx	Design for xxx	xxxを考慮した設計、DFTだけでなく、DFR (Design for Repair)、DFY (Design for Yield)なども含めた総称
ATPG	Automatic Test Pattern Generator	自動テストパターン生成
BOST	Built-Out Self-Test	テストの計測機能を補完する為にテスト・ボード上に搭載したもの
BIST	Built-In Self-Test	チップ内蔵の自己テスト
TAP	Test Access Port	IEEE標準規格1149.1及び関連規格で定められた、バウンダリスキャン(プリント基板上でLSI内部にアクセスする動作)のためのLSI入出力ピンの標準セット
SoC	System-on-a-Chip	複数の機能ブロックなどを一つのLSIに搭載してシステムを実現する設計手法
NoC	Network-on-a-Chip	IPブロックとその間のパケット通信構造を、一つのLSI上で実現する設計手法
SiP	System-in-a-Package	複数のLSIを一つのパッケージに搭載してシステムを実現する設計・実装手法
TSV	Through-Silicon Via	シリコン製半導体チップの内部を垂直に貫通する電極のこと。複数枚のチップを重ねて1つのパッケージに収める場合に、上下のチップ同士の接続をこの貫通電極で行なう
DPM(O)	Defects per Million (Opportunities)	百万回(個)のうち、欠陥が含まれる割合。製品の品質を示す指標として用いられる
IP	Intellectual Property	一般には知的財産の意。LSI設計では、ある機能を実現する回路部品の情報を意味する
HSIO	High Speed Input/Output	高速I/Oインタフェースのこと。下記「高速IO」参照
AMS	Analog / Mixed Signal	アナログ回路とデジタル回路を混載した回路部品のこと

用語	説明
ハンドラ	テスト時のチップの搬送、テストソケットへの装着、温度制御等を一貫して行う装置
プローブカード(Probe Card)	ウェーハ上のLSIを電気測定するための治具。髪の毛以下の太さの針(プローブ)の集合体
バーンイン	チップの初期劣化不良を検出するため熱・電圧ストレス等を長時間かける工程
テストソケット	テスト時にLSIパッケージを挿入固定するための治具
治工具	ソケットやプローブカード、インタフェースボード等、テスト時に必要な治具
構造化テスト	LSIの機能をテストするのではなく、LSIが設計通りの構造に出来上がっているかをテストする手法
スキャンテスト	ランダムロジックを対象とするDFTの代表的手法
アダプティブテスト(Adaptive Test)	テストデータの統計的解析を基に、上流・下流のテスト仕様を最適化する手法
同測テスト	複数のチップを同時にテストする手法、テストスループット向上によるコスト低減が可能
コンカレントテスト	チップ内の複数のコアおよび回路を並列にテストする手法
フォールトトレランス	チップ内で故障が発生しても、その部分を回避や補正し、正常な動作を保ち続ける機能のこと
トグル率	全クロック数におけるゲート出力の反転回数(トグル数)の割合
同測効率	テストの同時処理効率 N 個同測のテスト時間を $T_0 + T_1 \times N$ とすると同測効率は $T_0 / (T_0 + T_1)$
IR-Drop	配線の抵抗成分による電位降下のこと。半導体の特性で信号遅延などを起こす
高速IO	LSIが外部と高速にデータ送受信を行うための回路やインタフェース。USB,DDR,SATA等標準規格がある

1. テストWG活動の位置づけ(1)

■ 製造工程において、良品/不良品を選別するための手段

- ー LSIテストを用いることが一般的
- ー LSIとLSIテストの接続のために、様々な検査治具を用いる
プローブカード、プローバ、ハンドラー、ソケット、検査ボード...
- ー LSIにはテストを容易にするための設計 (**DFT**) を施している



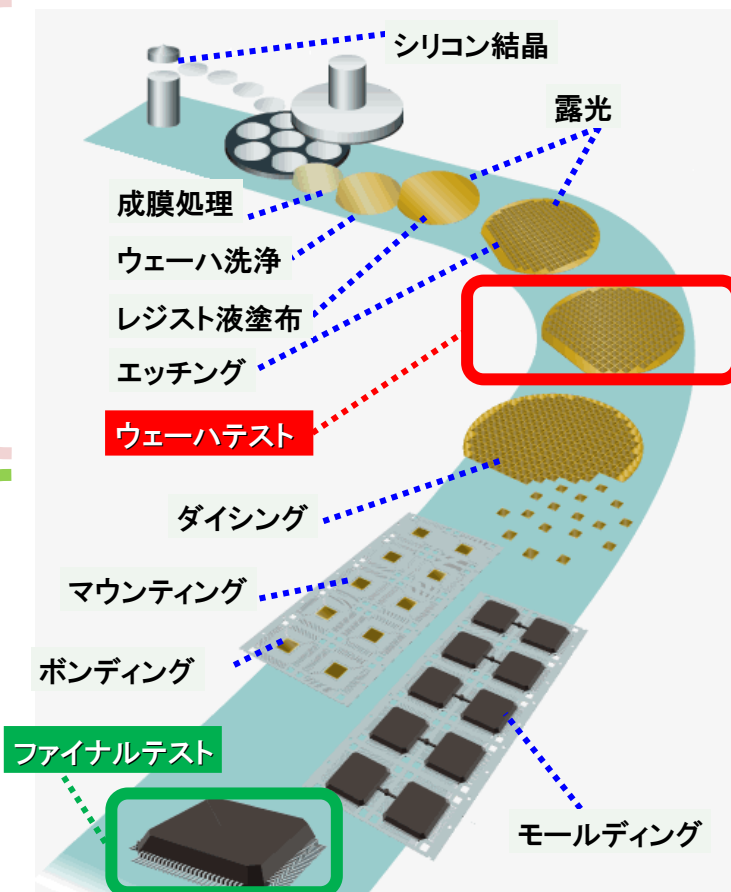
1. テストWG活動の位置づけ(2) 検査治具の例:プローバ

ウェーハテスト : ウェーハ上に形成されたデバイスを検査

ウェーハプローバ: 検査針と検査パッドを自動で位置合わせし検査する為の装置

前工程

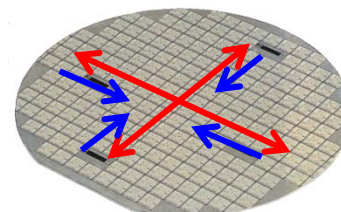
後工程



◆検査温度(-55℃～200℃)



-55℃～

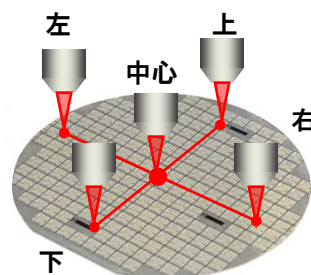


温度によりウェーハは伸縮!

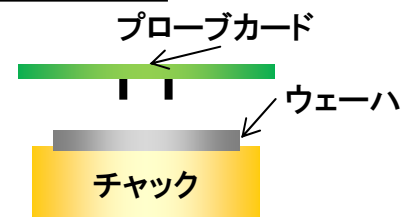


～200℃

◆位置合わせ精度(±1um以下)



カメラで検査対象パッド認識



制御 X-Y軸方向 ±1.0um以下

◆チャック耐荷重(～300kg)

- ・プローブカードのピン数は数百～数万ピン
- ・プローバはこれら針を検査パッドにコンタクトさせる為に～300kgの荷重に耐える必要がある

数umのZ軸制御が必要

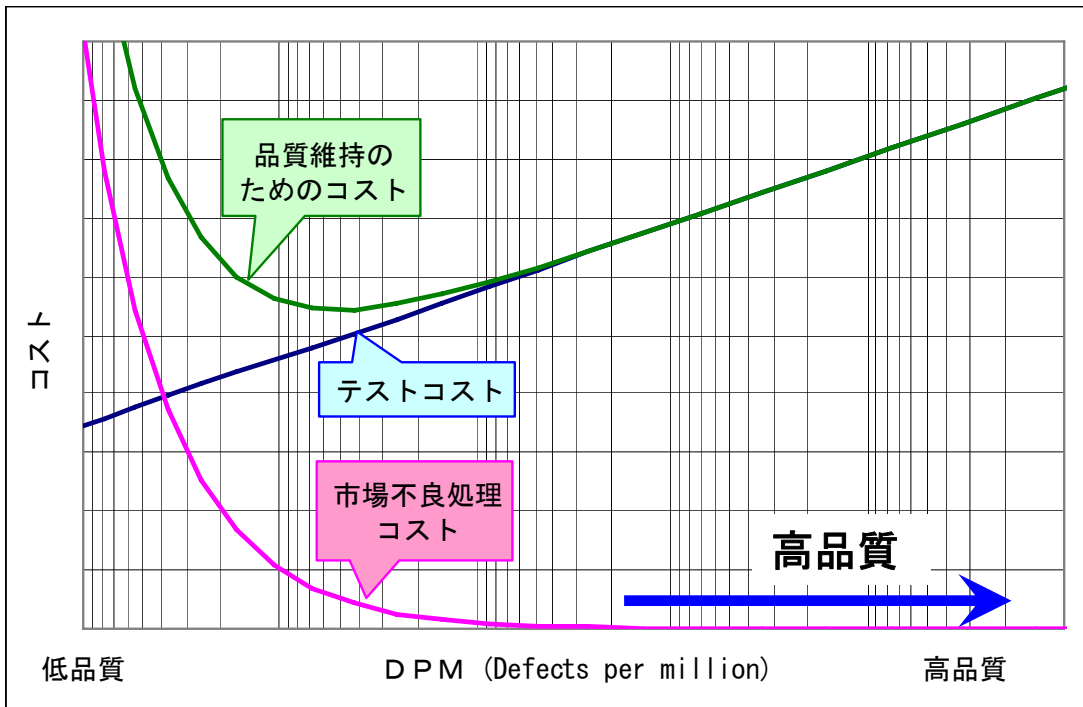


チャック



1. テストWG活動の位置づけ(3)

不良率とテストコスト



青線

→高品質を実現するには膨大なコストがかかる

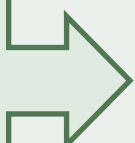
ピンク

→テストコストをかけないと
(=DPMが高いと)
市場不良コスト(=市場不良の後始末コスト)が上がる

緑 = 品質維持のためのコスト
※【**ピンク** + **青**】

微細化、複雑化により、品質を維持するためのテストコストは増大
⇒抑制のための技術開発が大きな課題

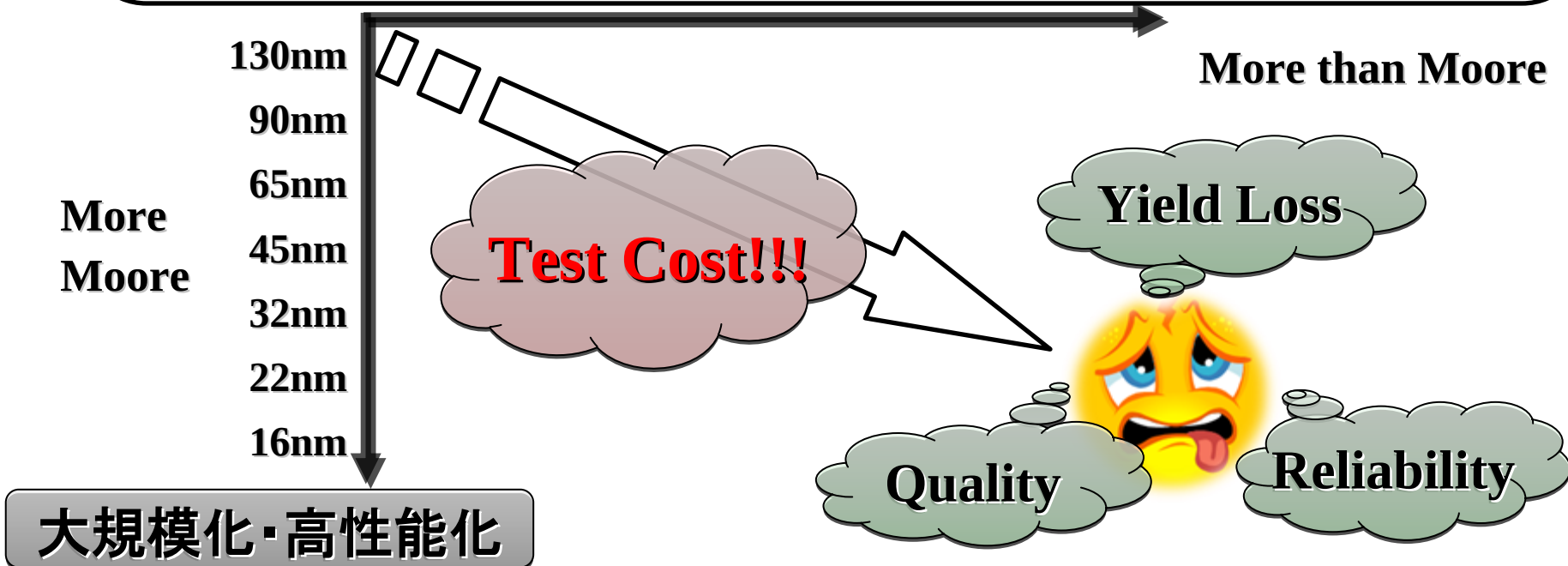
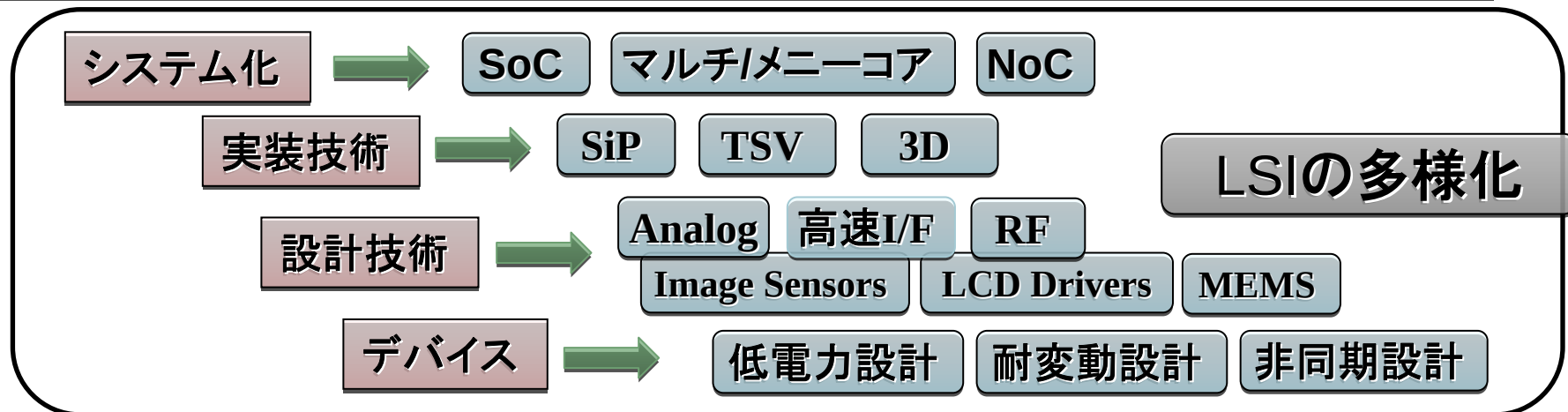
2. WG2体制

	DFT-SWG	ATE-SWG
委員	安藏(東芝) WGリーダー 清水(富士通セミコン) サブリーダー 岩崎(ソニーLSIデザイン) 佐々木(ルネサス) 佐藤(ローム) 小林(パナソニック)	武田(東芝) サブリーダー 平山(富士通セミコン) 渡辺(富士通セミコン) 田村(ルネサス) 前川(パナソニック)
特別委員 (SEAJ技術部会 検査分科会)	テスト装置メーカー からの知見を得る 目的で参加 	加藤(フォームファクター) 北川(アドバンテスト) 近藤(アドバンテスト) 清水(東京エレクトロン) 鈴木(浜松ホトニクス) 藺田(シバソク) 鳴海(日本マイクロニクス)
特別委員 (大学その他)	佐藤(九州工業大学) 畠山(奈良先端科学技術大学院大学)	多田(徳島文理大学) 佐藤(テスト・リサーチ・ラボラトリーズ) 堀部(エスティケイテクノロジー) 西村(東京カソード研究所)

全23名

3. WG2活動テーマ

多様化・高機能化するLSIテストの複雑性へ対応するDFT／ATE技術の検討



4. 2012年度活動サマリ

区分	活 動 内 容	
国際活動	ITRS2012	・プローブカード、プローバなどのテスト装置関連テーブルおよびDFTテーブルを担当、アップデート作業を主導的に行った
	国際会議	・3回の国際会議(オランダNoordwijk、サンフランシスコ、台湾Hsinchu)に参加
国内活動	ATE-SWG	・ITRS2011に新規追加された「3Dデバイステスト」節について深掘りを行ない、テスト課題を整理
	DFT-SWG	・複雑化するSoCのDFTの課題である「多数のIPをテストするためのテスト回路設計」に関する課題について検討

5. ITRS2012 トピックス(1)テーブル更新

テーブル	担当	更新内容
プローバ	STRJ	– 450mmウェーハ対応をシフト(2015→2017)
ハンドラ	STRJ	– Logic製品のピン数、同時測定数増加を前倒し
プロービング	STRJ	– 温度上限ターゲットを150℃から200℃に更新
プローブカード	STRJ	– 450mmウェーハ対応をシフト(2015→2017) – テスト周波数、プローブ針圧の項目を追加
ソケット	STRJ	– Spring Probeタイプでリードピッチ縮小を前倒し
Logic/DFT	STRJ/ITRS	– 圧縮スキャン技術の圧縮率計算式を明確にし、ITRS全体で共有 – 各項目の実現時期を再考し、一部後ろ倒し

5. ITRS2012 トピックス(2) 台湾会議(ATE関連)

3Dデバイステスト -ATE関連トピックス-

★台湾Hsinchu会議で3D技術適用が予測される製品群が挙げられた

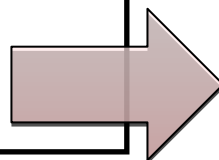
- ①イメージセンサ、②スマホ用、③GPU用、④FlagShipデバイス(サーバ品等)
このうち②～④は、メモリーコントローラーを内蔵したメモリーキューブが
使用され、パフォーマンスを追及したアプリケーションがメインになるだろう



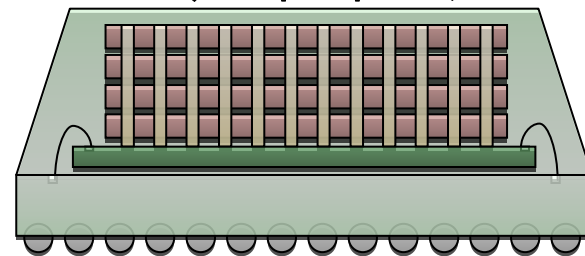
3Dデバイスは要求されるテストがますます複雑化！

★3Dデバイステスト節に記載の課題

- テストフロー/コスト/リソース
- テストアクセス
- DFx/フォールトトレランス/修復
- デバッグ/故障診断
- データ共有
- 消費電力(熱)管理



3Dデバイスイメージ



ATE-SWGで、テスト課題と
重要なポイントを整理

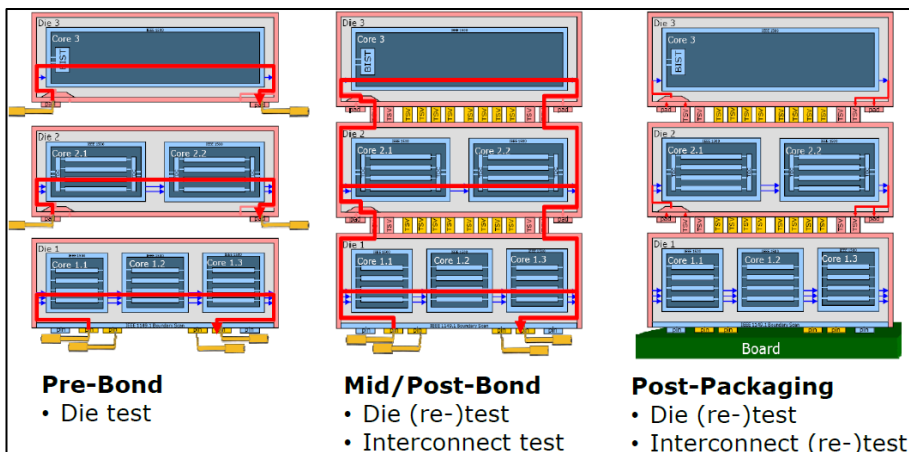
6. STRJ独自活動(ATE-SWG) 3Dデバイステスト-1

ITRSで話題の中心になっている「3Dデバイステスト」について深掘り

課題例①: テストフロー

- ✓ Pre-Bondテスト(ウェーハ)、Post-Packagingテスト(ファイナル)の間に、Mid/Post-Bond(積層途中/積層後)テストが追加される

⇒Mid/Postは開発段階で行ない、量産(コスト重視)では行なわないだろう



[Marinissen - 3D Test Workshop 2011]

課題例②: テストアクセス

- ✓ 積層後に各ダイへ容易にアクセスできることが重要

⇒IEEEの各標準規格を利用する方向

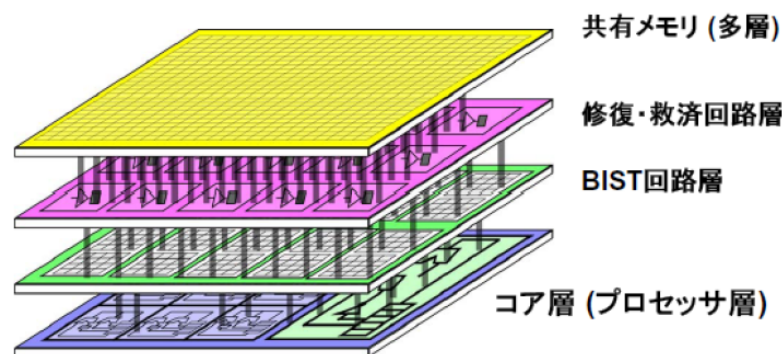
- Std 1149.1(JTAG)
- Std 1500(Embedded Core Test)
- P1687(IJTAG)
- P1838(3D-IC Test Access)

6. STRJ独自活動(ATE-SWG) 3Dデバイステスト-2

課題例③:DFx/フォールトレランス/修復

- ✓ 積層ダイに対するセルフテスト機能、故障が発生しても動作可能な仕組みや修復機能が必要になる

自己修復機能を有する3次元VLSIの構成 (概念図)



[東北大学小柳先生- ディペンダブルVLSIシステムワークショップ2009]

課題例④:デバッグ/診断

- ✓ ダイの不良と積層による不良を切り分ける仕組みが必要になる
- ✓ デバッグ機能の例は、状態取り込み、オシロ、温度モニタ、パワーモニタ、など様々

⇒高信頼性が要求されるアプリケーションには、各種機能を盛り込む必要があり、実現時の製品コストが課題となる可能性がある
⇒必要機能の取捨選択、最適化が重要！

6. STRJ独自活動(ATE-SWG) 3Dデバイステスト-3

課題例⑤: データ共有

- ✓ 各ダイや積層後のテストデータ、解析データは、保管要求が劇的に増加

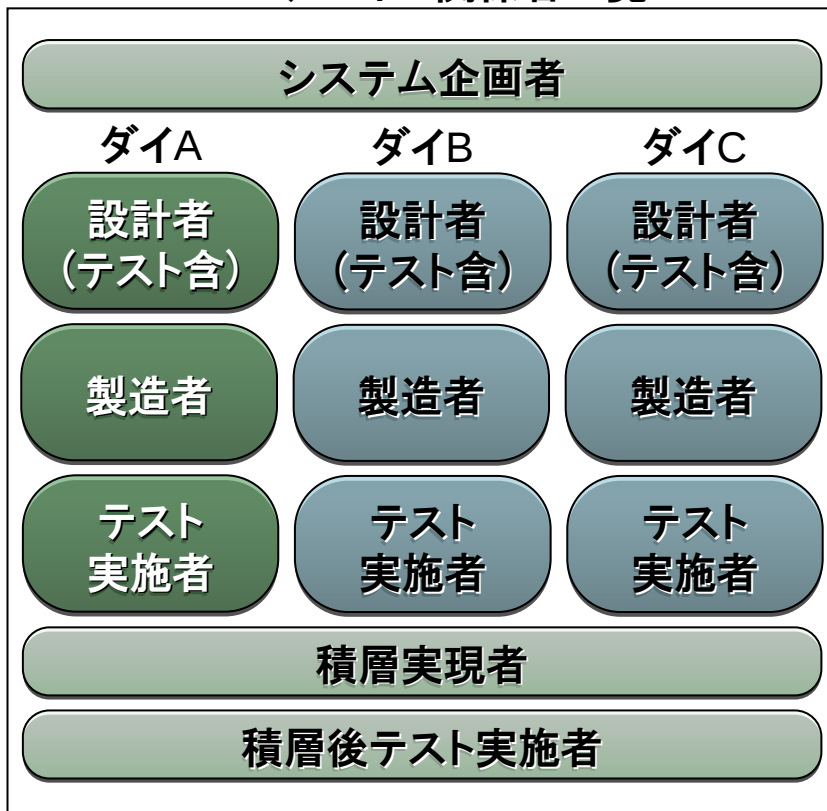
課題例⑥: 消費電力(熱)管理

- ✓ テスト時の消費電力が、実動作よりも大きくなり得る
- ✓ 他のダイが発する熱の影響

⇒近年は分業化が進んできているため、
右図のような関係者の間で、データの
共有や、連携が増々重要！

⇒責任分担の明確化も大変重要！

3Dデバイス関係者一覧



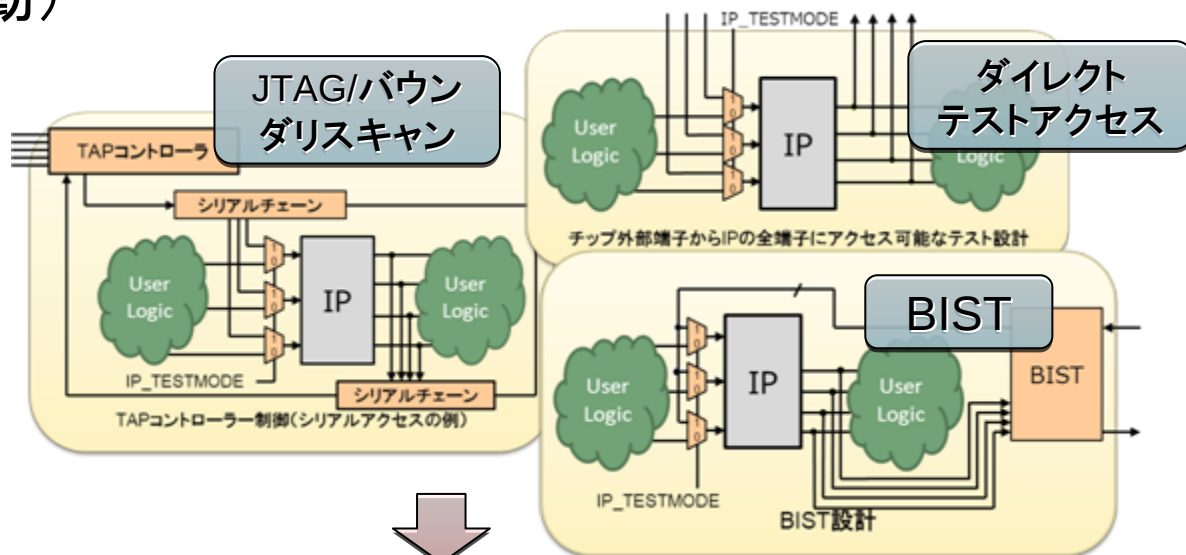
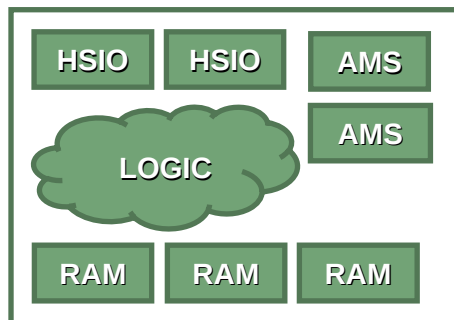
**3Dデバイステストの課題は多岐に渡り、
ITRSもターゲットデバイスを想定して議論を進めている段階。
引き続き、ITRSと連携しながら、情報収集/議論を深める。**

7. STRJ独自活動(DFT-SWG) SoC搭載IPのテスト-1

背景(2011年度活動)

(2) IPテスト設計多様化(ピン数等、チップ仕様依存)

(1) IP多種多数搭載化

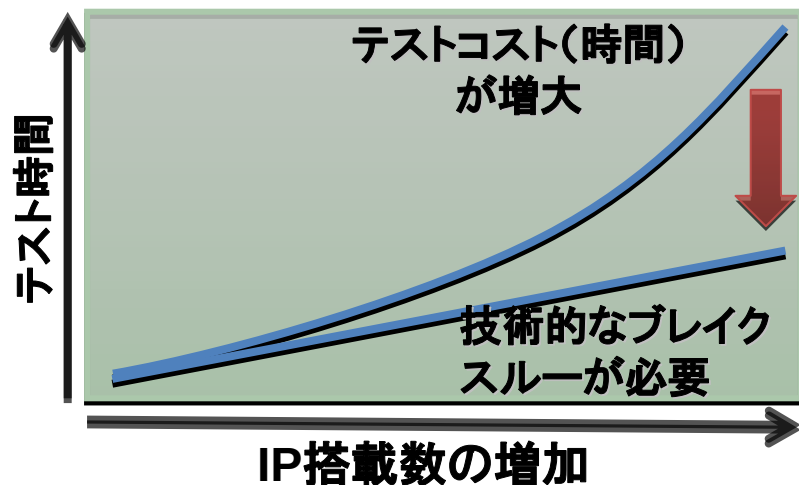


テスト設計(DFT)作業量増大、長設計TAT化

- 設計期間短縮/設計ミス撲滅のために、IPのテスト設計のEDAツール対応を調査・検討を開始
- IEEE標準規格がベース: Std 1500(Core Test)、P1687 (IJTAG)等
- 今後有識者やEDAベンダーへのヒヤリング等を予定

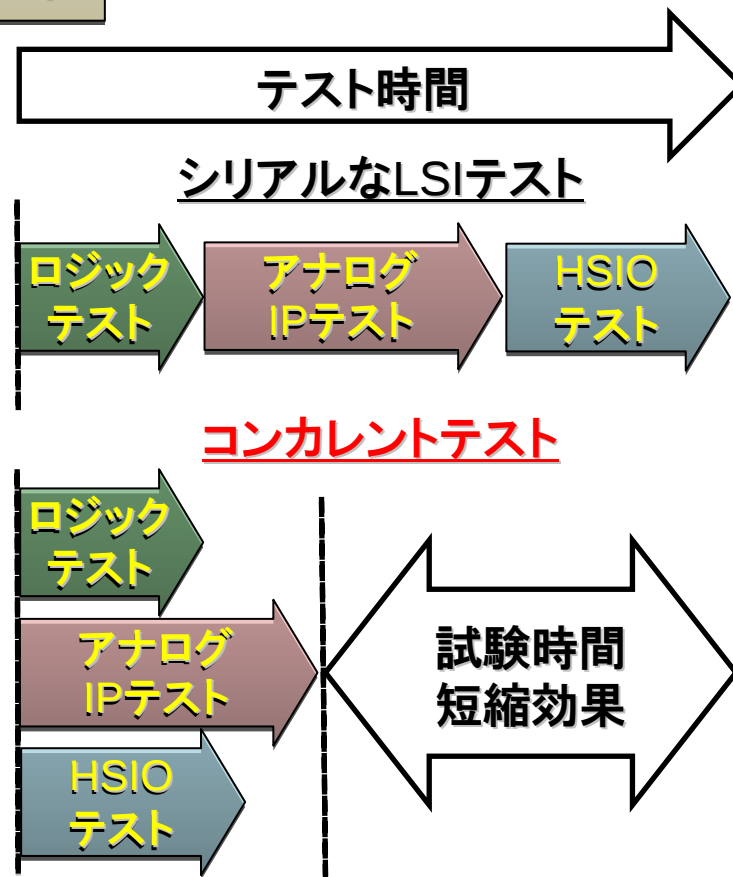
7. STRJ独自活動(DFT-SWG) SoC搭載IPのテスト-2

テストスケジュールの課題: コンカレントテスト



コンカレントテストを用いた
テスト時間短縮が必須!

効率的なテストスケジューリングのため
の仕組み(設計・ソフト)の実現が必要



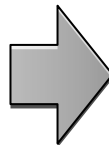
ロジックもIP扱いし、各種IPの
テストを同時並列的に実行

※並列動作における電源ドロップ
などのノイズ考慮が必要

7. STRJ独自活動(DFT-SWG) SoC搭載IPのテスト-3

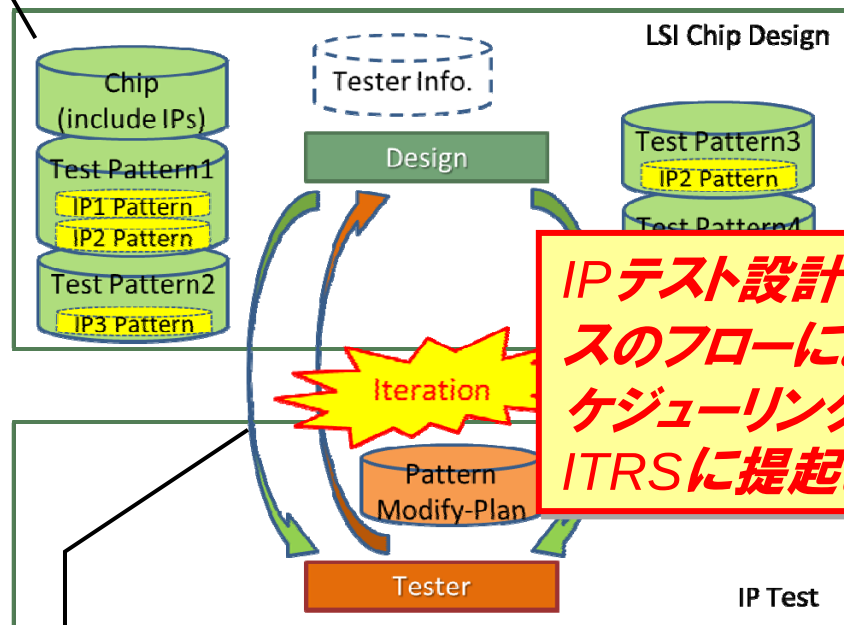
テストスケジュールの課題: テストプログラム

従来手法: 設計とテスト間のイタレーション
多く非効率



理想手法: 設計側から出す情報を用いて、
テスト側で効率的にスケジューリング

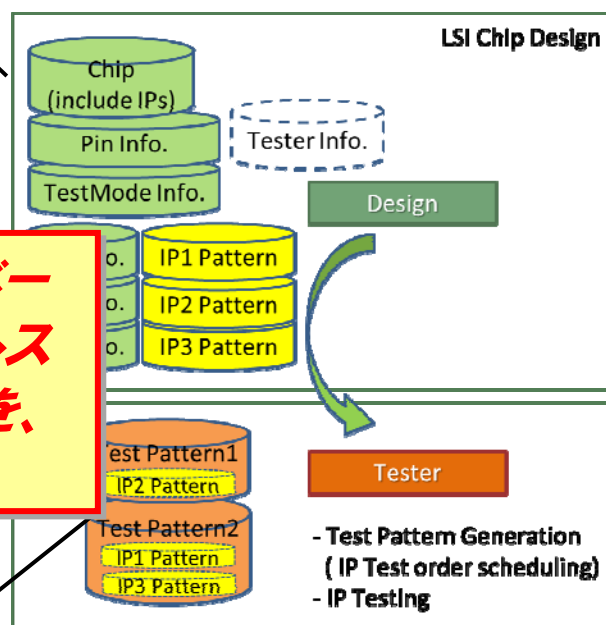
テスト設計担当がテスト担当からの
スケジューリング要求に応じて、最適な
IPテストパターンを生成



テスト時間圧縮とテスト安定のためにイタレーション発生

IPテスト設計標準化ベースのフローによるテストスケジュールリング効率化を、ITRSに提起した

テスト設計担当からテスト担当へは、
各IPのテストパターンとテストインプリ
情報をリリース



テスト担当が各IPのテスト情報を元に、最適にスケジューリング

7. STRJ独自活動(DFT-SWG) SoC搭載IPのテスト-4

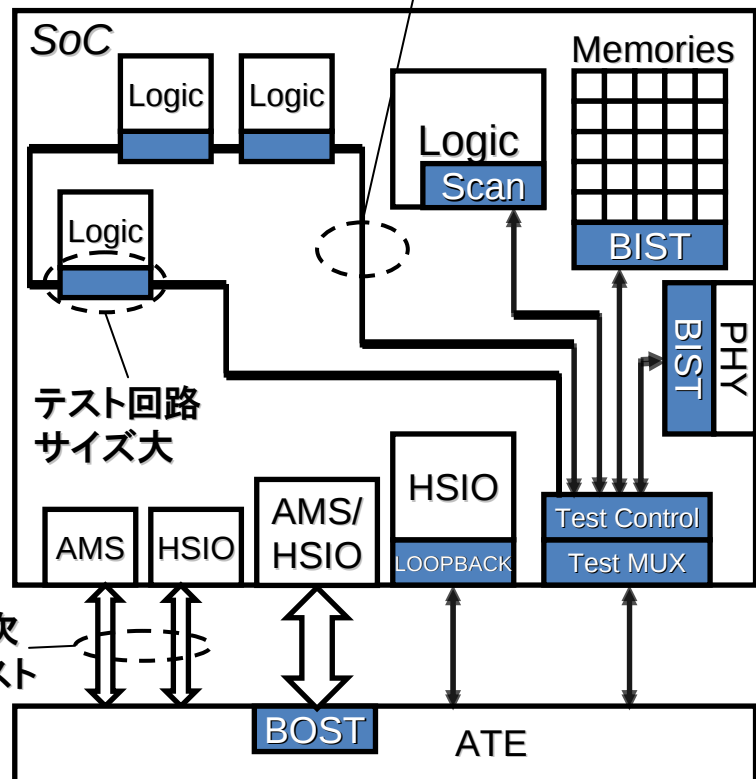
コアアクセスの課題

テスト時のIPコアへのアクセスが多様で煩雑

⇒BIST対応の進展と効率的な標準アクセスが必要

従来のIPコアへのテストアクセス

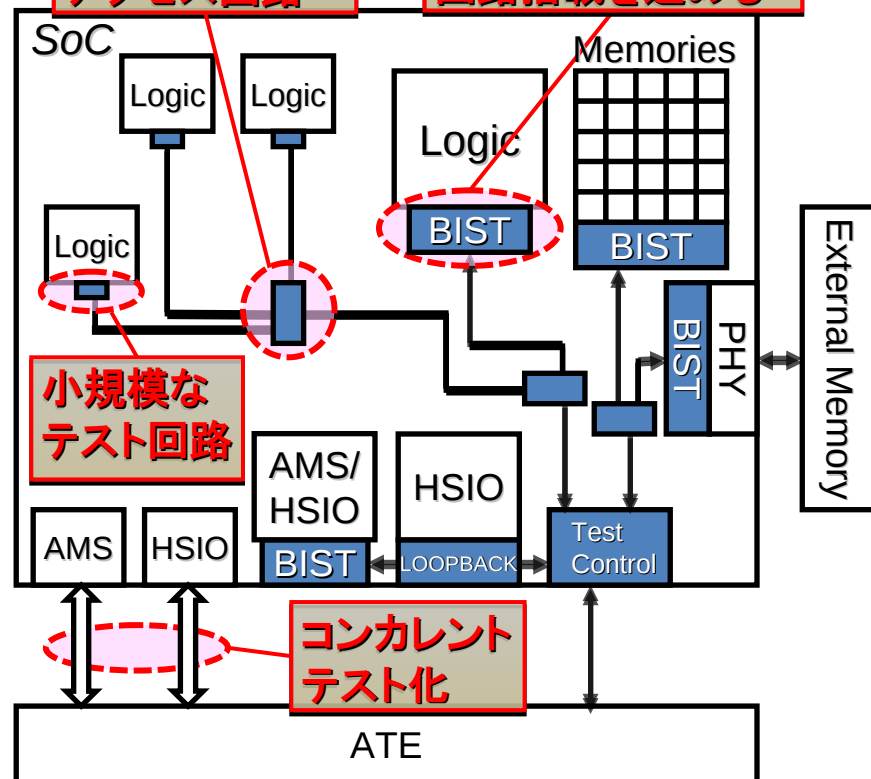
シリアルなテストデータ入出力
によりテスト時間増大



IPコアへの望ましいテストアクセス

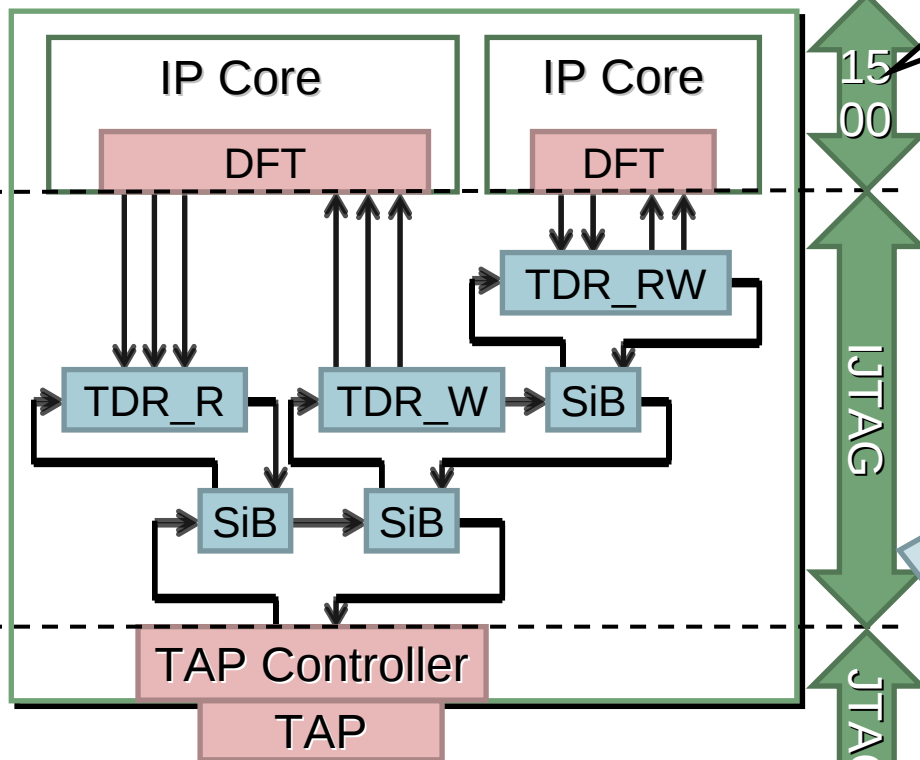
効率的なテスト
アクセス回路

IPコアの自己テスト
回路搭載を進める



7. STRJ独自活動(DFT-SWG) SoC搭載IPのテスト-5

IPコアテスト標準化動向



IEEE Std 1500:
IPコアのテスト回路用インタフェースを定め、コアアクセス用Wrapperを標準化

IEEE P1687 (IJTAG):

- IPコア内のテスト回路へのアクセス方法規格につき**標準化作業中**。
- STRJ
 - 承認時期未定で、Watchしている
 - 高速I/Oやコンカレントテスト対応等、不明な点もあり必要に応じ要求を出す
- EDAベンダの対応状況
 - サポートツールの発表あり(A社)
 - 企業との協業の発表あり(B社)

⇒ 機能調査の必要あり

IEEE Std 1149.1x (JTAG):
ボードテストの標準として、一般的に使用

TAP: Test Access Port, SiB: Segment Insertion Bit,
TDR: Test Data Register
TDR_R: Read Type TDR, TDR_W: Write Type TDR
TDR_RW: Read/Write Type TDR

8. まとめ

■ 2012年度活動結果

- プローブカード、プローバなどのテスト装置関連テーブルおよびDFTテーブルを担当、アップデート作業を主導的に行った
- **ATE**: ITRS 2011に新規追加された「3Dデバイステスト」節について深掘りを行ない、テスト課題を整理した
- **DFT**: IPコアベースSoCテストおよびコンカレントテストについての記述およびテーブル新設をITRSへ提案した

■ 2013年度活動

- ITRS担当節およびテーブルの改訂
- **ATE/DFT**: テストの複雑性に対する検討の結果を基に、テストコスト削減技術の検討を行う
- **DFT**: IPコアベースSoCの技術トレンド調査とモデル検討を行い、結果をITRS 2013へ反映させる。調査の一環としてSTRJおよびITRS内でSurveyフォームを送付した