

# 抵抗変化型不揮発デバイスで 低電圧限界に挑む

— 低炭素社会を実現する超低電圧デバイスプロジェクト —



住広直孝

超低電圧デバイス技術研究組合

Low-power Electronics Association & Project

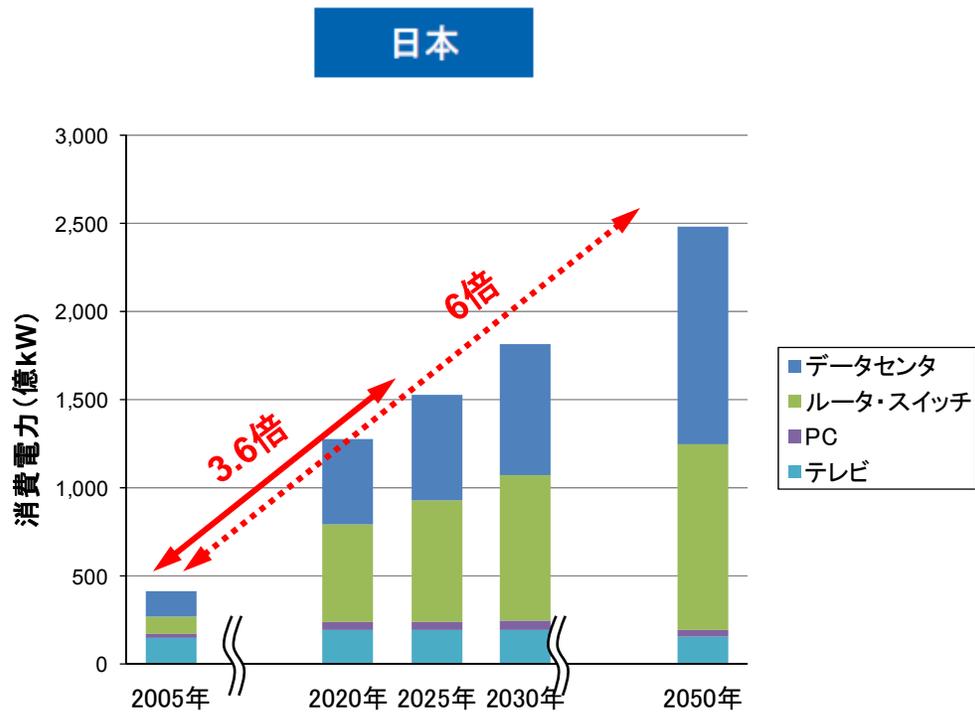
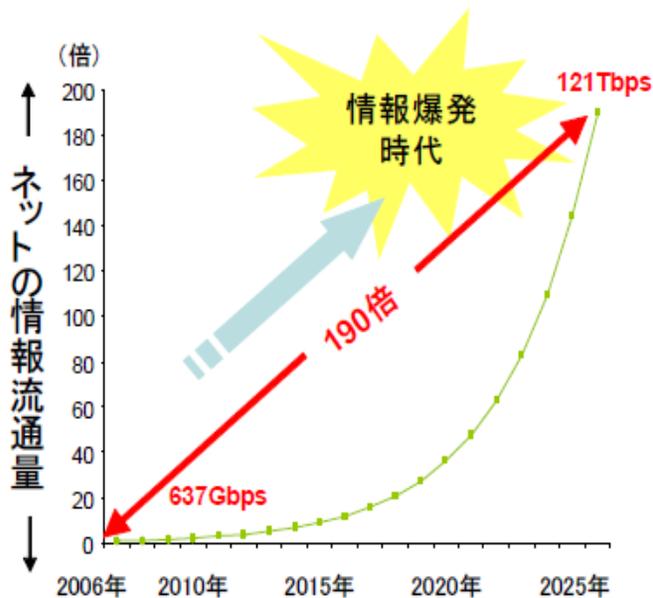
sumihiro@leap.or.jp

- プロジェクトの社会的背景
- LSI低電力化のシナリオ
- BEOLデバイス
  - 原子移動型スイッチ
  - 磁性変化デバイス
  - 相変化デバイス
- 集積化基盤技術
  - ナトランジスタ構造デバイス
  - 三次元ナノカーボン配線技術
- 超低電圧デバイスが実現する未来像
- まとめ

# プロジェクトの社会的背景

情報爆発時代の到来

IT機器の消費電力量が急増

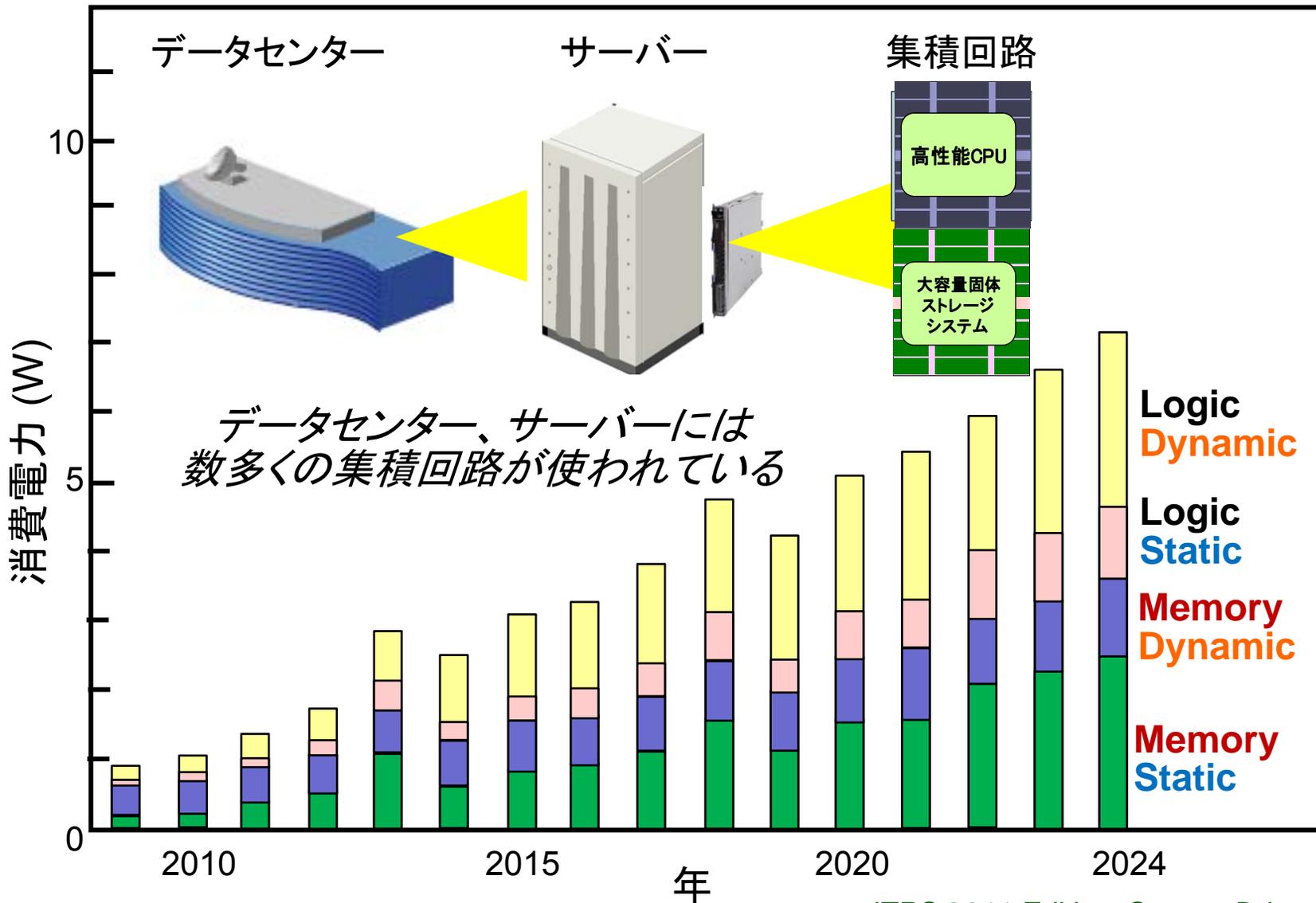


グリーンITイニシアティブの推進 平成20年10月  
 経済産業省商務情報政策局 高濱航氏 発表資料より  
[http://www.csaj.jp/seminar/2008/1006\\_seminar.html](http://www.csaj.jp/seminar/2008/1006_seminar.html)

2009年度グリーンIT推進協議会調査分析委員会報告書より抜粋

インターネットのトラフィック量は、2025年に2006年比で190倍に増大し、IT機器（データセンタ、ルータ・スイッチ、PC）、エレクトロニクス機器（TV）の消費電力は、2005年と比較して、2025年に3.6倍になると予測される。

# プロセッサの消費電力予測



# LSI低電力化のシナリオ

## LSIにおける電力消費(理想形)

$$P = n * \left( \underbrace{CV^2 f}_{\text{動作時電力}} + \underbrace{I_L V}_{\text{待機時リーク電力}} \right)$$

$n$ , デバイスの数,  
 $C$ , 負荷となる容量  
 $V$ , 電源電圧  
 $f$ , 動作周波数  
 $I_L$ , 総リーク電流

## 省電力化シナリオ

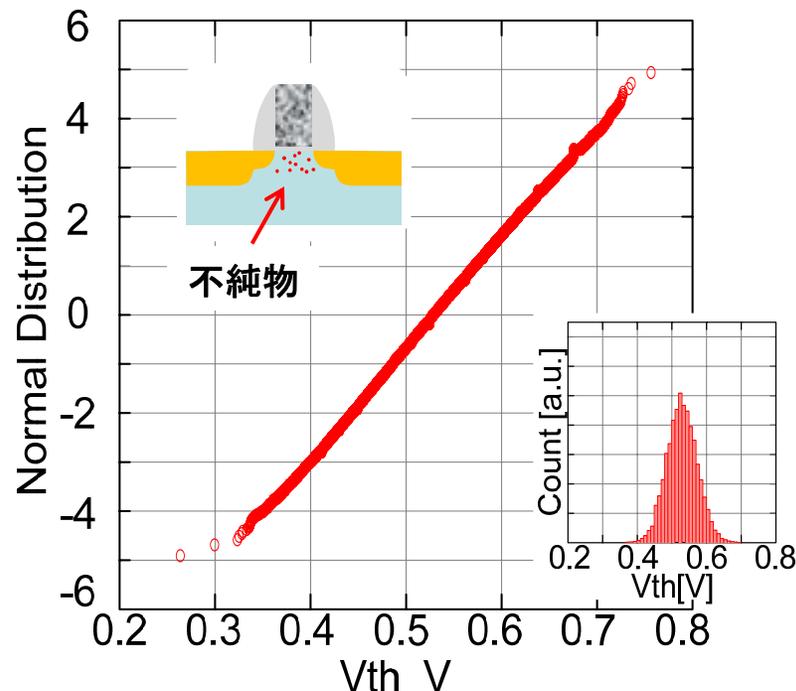
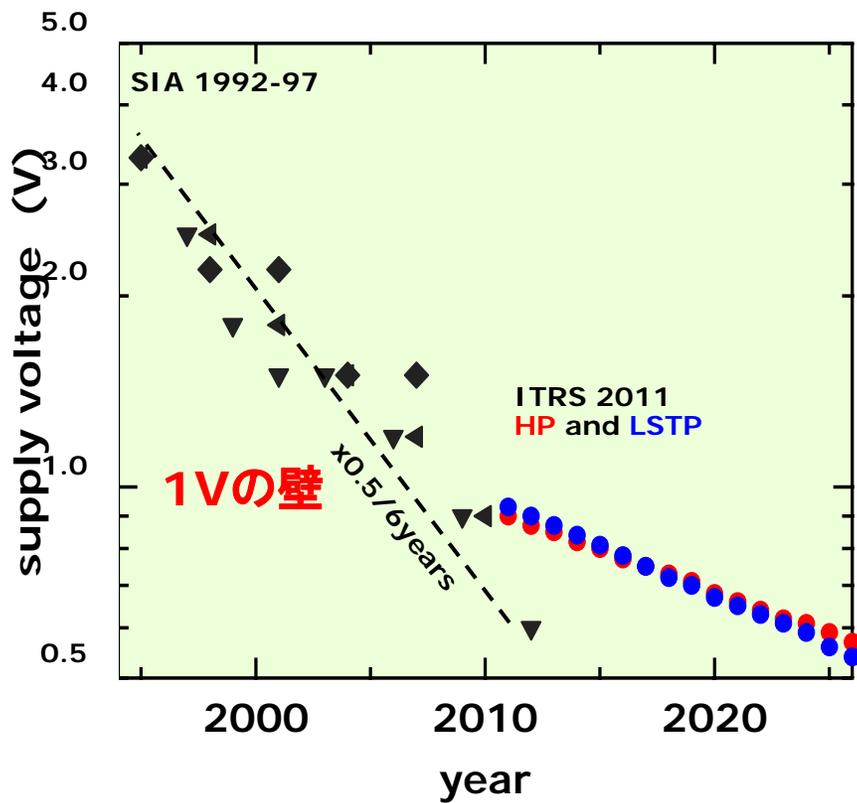
- (1) 動作時電力の削減  $\Rightarrow V, f, C, R$  の低減(微細化、配線低抵抗化、Low-k膜)
- (2) 待機時リーク電力削減  $\Rightarrow I_L, V$  の低減(微細化、Vth設定)、不揮発動作
- (3) 全消費電力の削減  $\Rightarrow n$  の低減(非動作部電源遮断、不揮発動作)

デバイスの観点からは、 $V$  の低減が最も効果的

# 低電圧化を阻む課題

従来のバルクCMOSでは、不純物の数と位置のゆらぎのため、主にローカル  $V_{th}^*$ ばらつきが増大し続け、低電圧動作が困難に

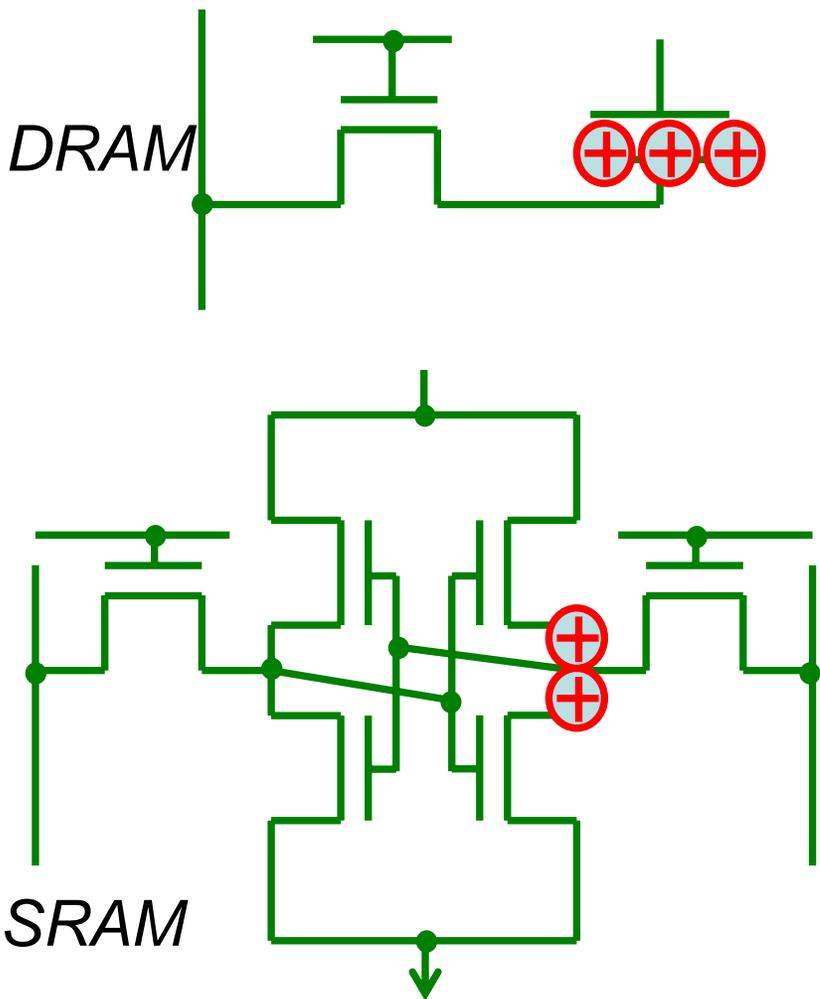
$V_{th}^*$  : トランジスタを動作させるのに必要な最小電圧



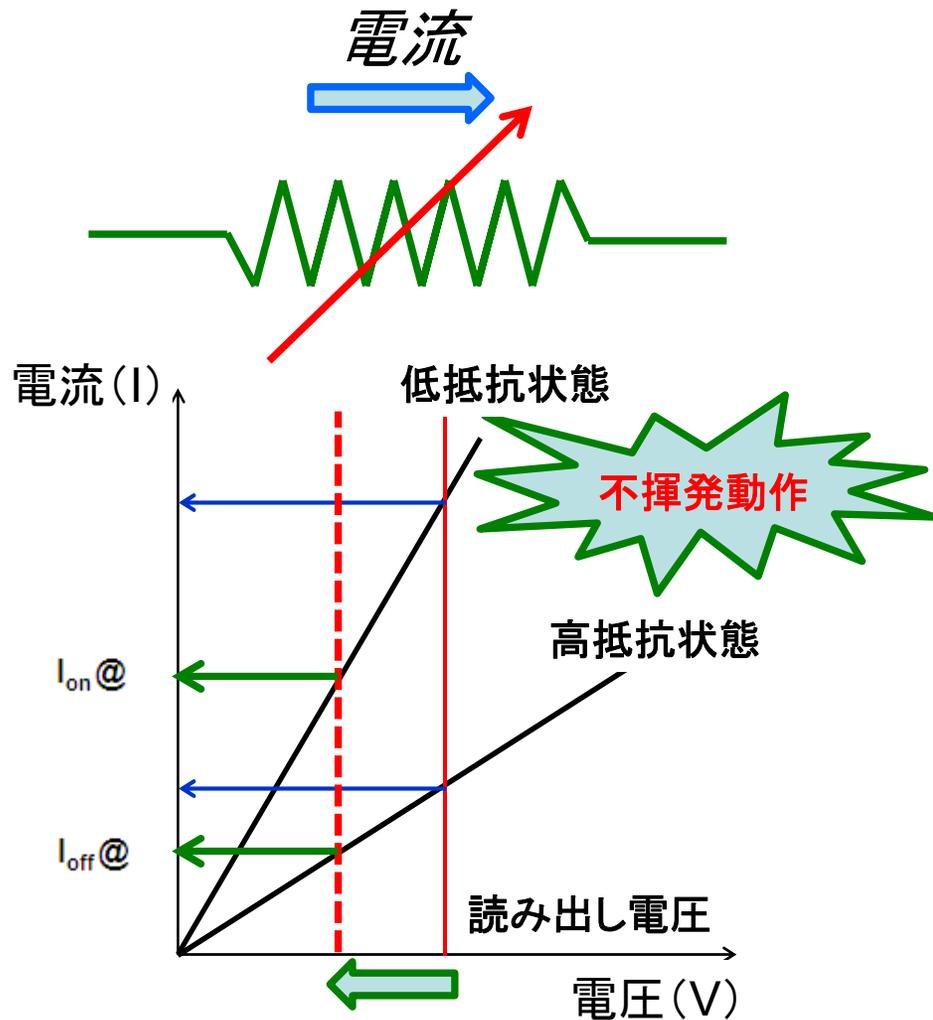
65nmプロセスで製造した100万個トランジスタのローカル  $V_{th}$ ばらつき幅は $\sim 0.5V$   
(MIRAIプロジェクトによる)

# 電荷蓄積型から抵抗変化型へ

従来デバイス

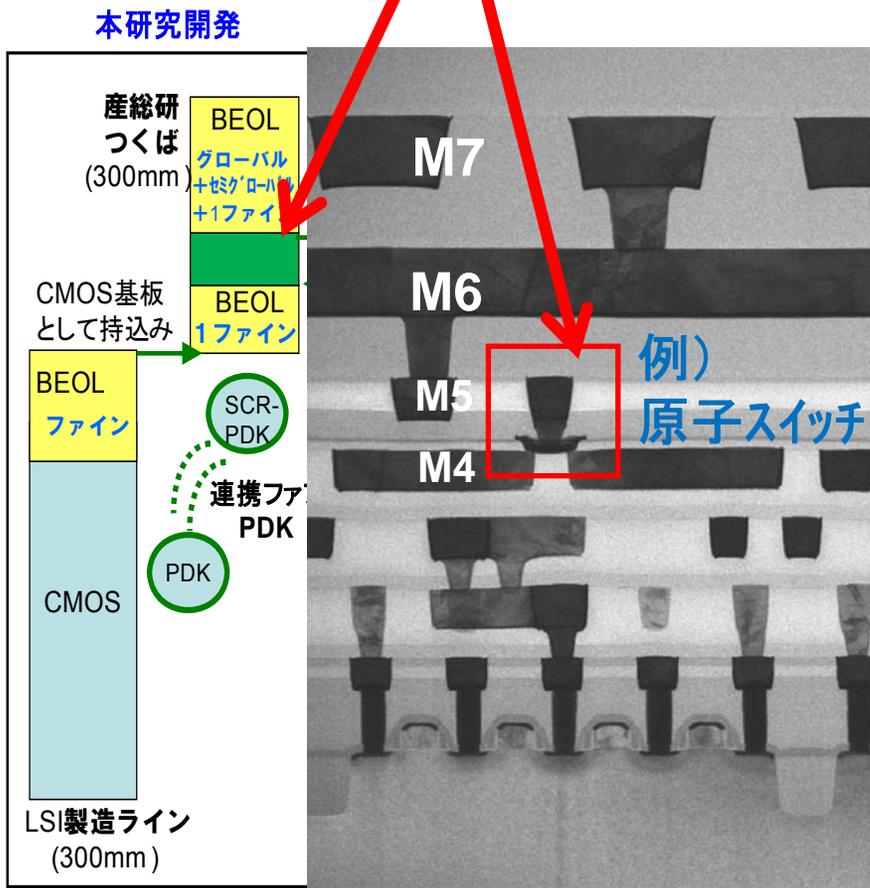


抵抗変化型デバイス

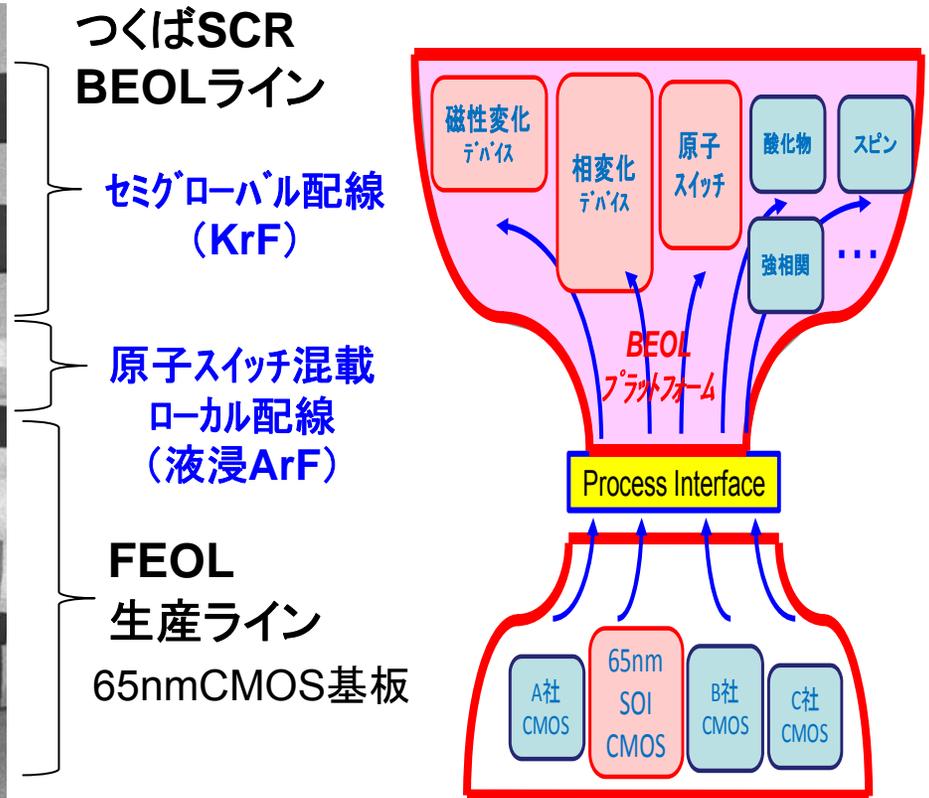


# 配線工程(BEOL)に埋込む抵抗変化型デバイス

## 抵抗変化型デバイス



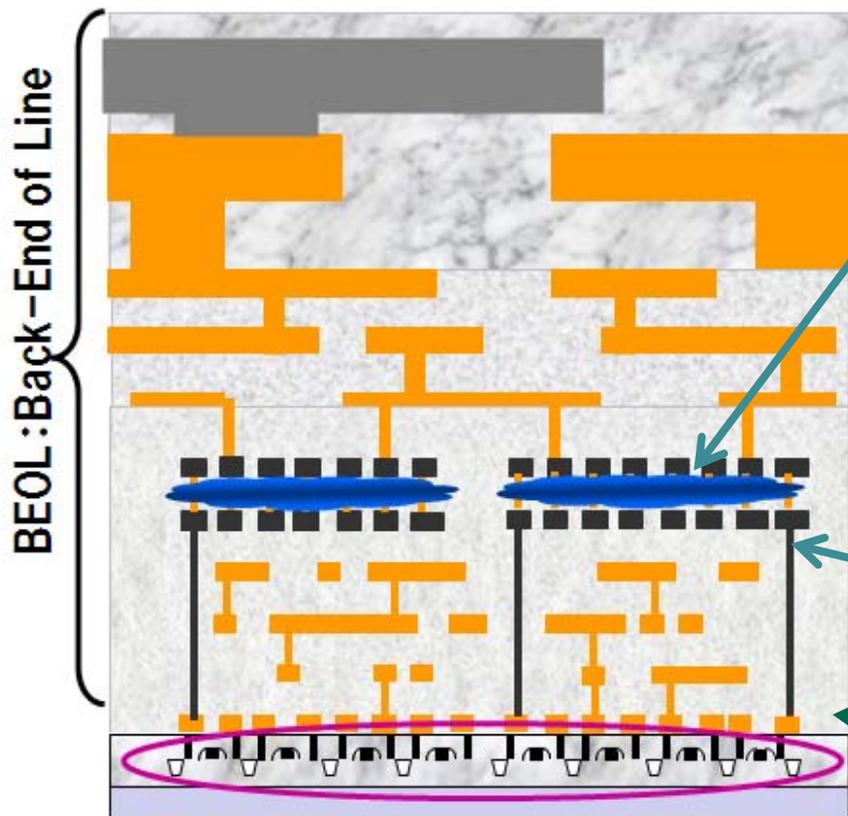
## 『BEOLデバイス製造モデル』



## BEOLプラットフォームの構築

# LSI低電力化に向けたデバイス・集積化技術

- 電荷蓄積ではない、抵抗変化型不揮発デバイス・スイッチ (BEOLデバイス)
- 超低抵抗配線が期待される三次元ナノカーボン配線、 (集積化基盤技術)
- 本質的にばらつきの少ないナトランジスタ構造デバイス



## BEOLデバイス

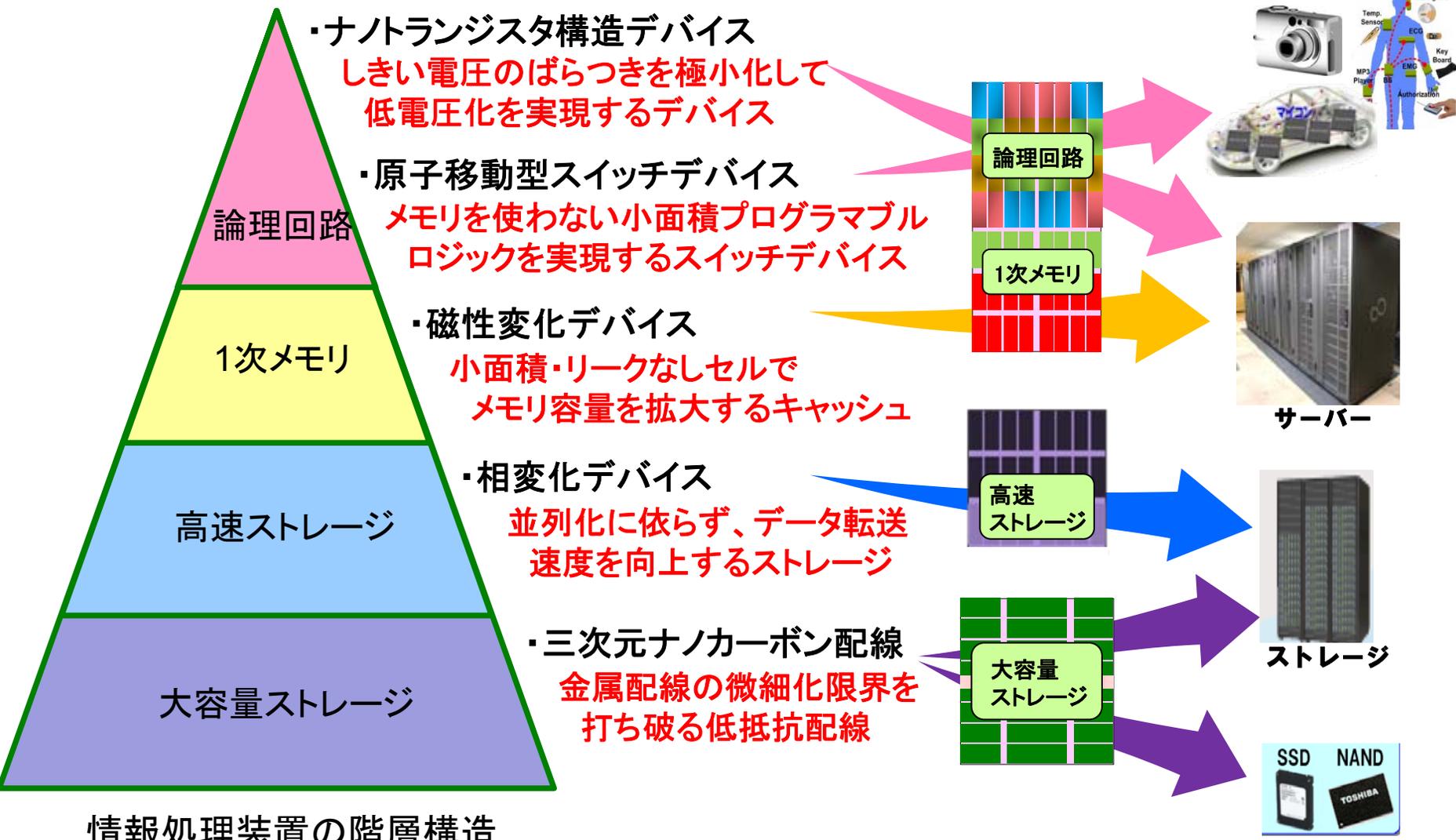
- ・磁性変化デバイス
- ・相変化デバイス
- ・原子移動型スイッチデバイス

シナリオ(1)(2)(3)

## 集積化基盤技術

- ・三次元ナノカーボン配線  
シナリオ(1)
- ・ナトランジスタ構造デバイス  
シナリオ(1)(2)

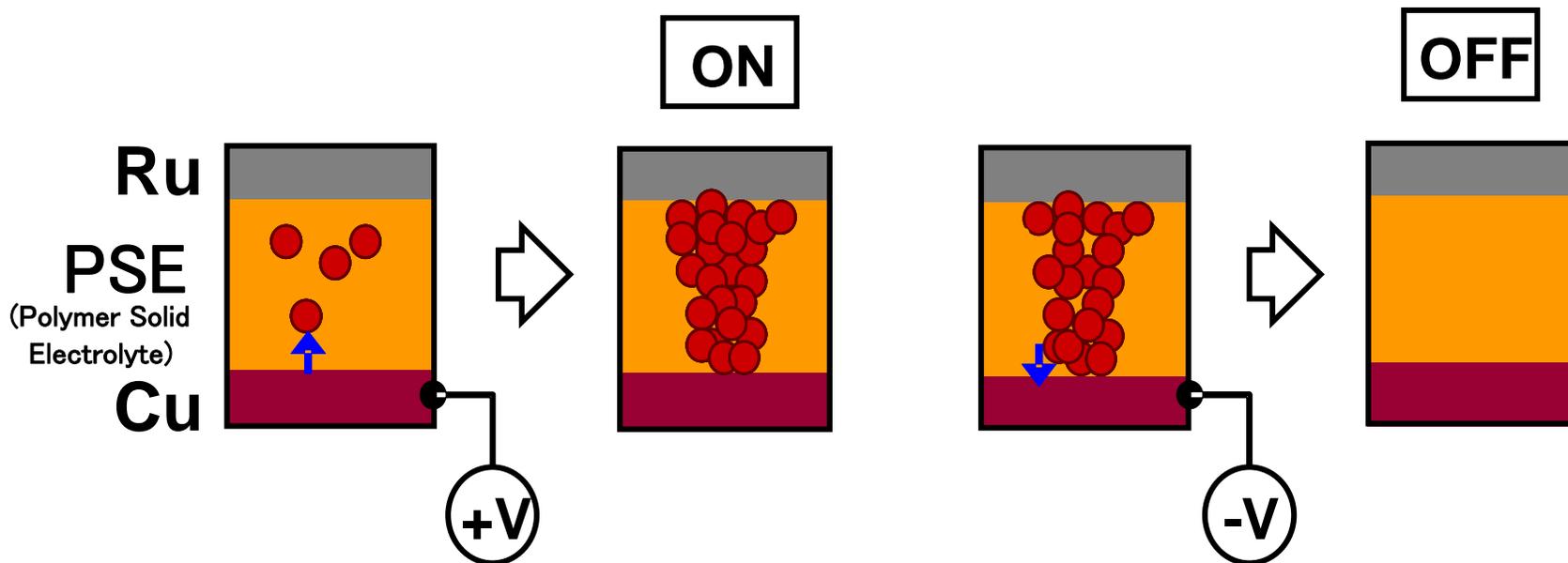
# 超低電圧デバイスが実現するもの



情報処理装置の階層構造

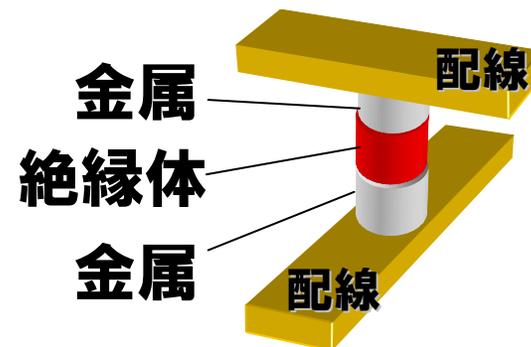
# 原子移動型スイッチとは

■ Cuイオンのイオン伝導・電気化学反応を利用した抵抗変化スイッチ



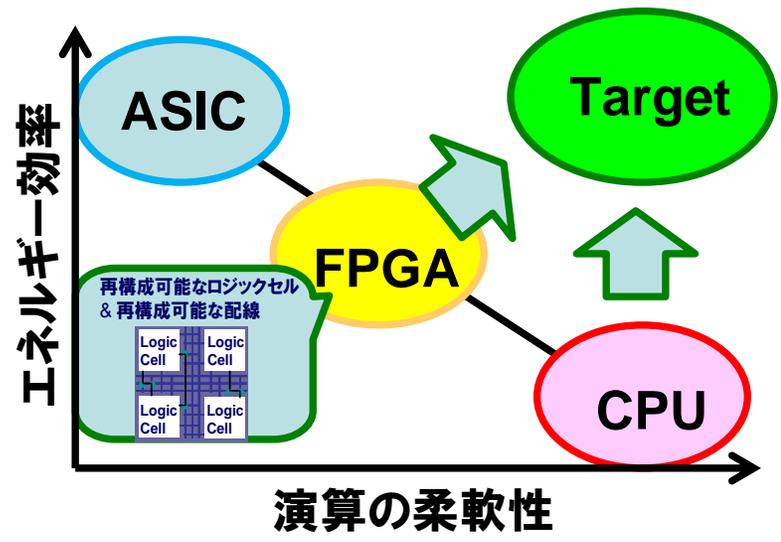
## ■ 特徴

- 高On/Off抵抗比 ( $> 10^6$ )
- 不揮発性
- 書換可能 ( $> 10^3$ )
- 小面積



# 回路再構成機能によるシステムの省電力実現

- 省電力CPU
  - + アクセラレータ(ハードウェア構成)
  - により低消費電力・高フレキシビリティ化が可能
- ハードウェア構成によりシステムの大幅な電力低減を目指す

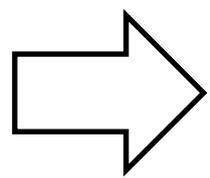


**高性能CPU**  
高性能プロセッサ > 100W

+

**OS、ソフトウェア**  
ミドルウェア

従来構成



省電力CPU

アクセラレータ  
回路再構成

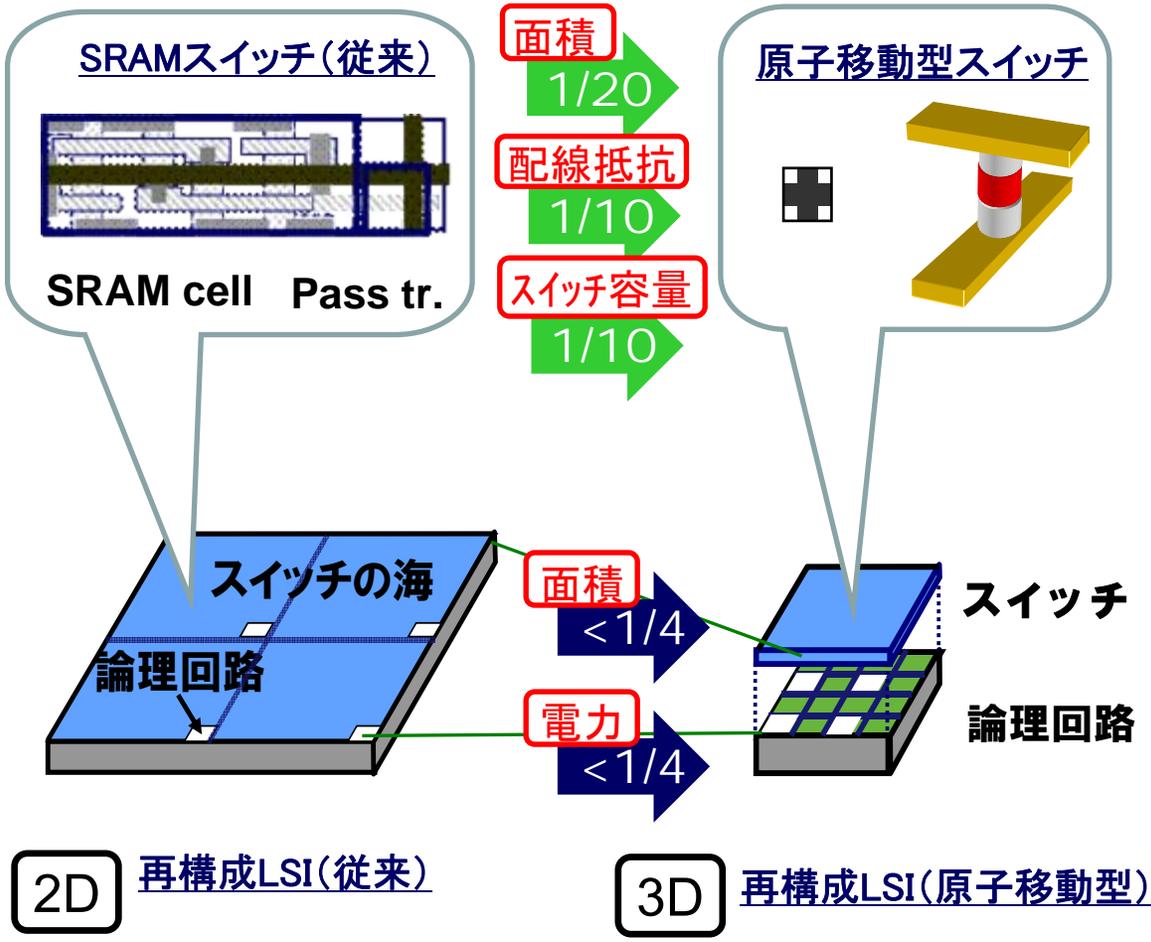
省電力構成

一般的な処理  
(様々な処理)

用途に特化した  
ハードウェア構成  
(高処理能力)  
フレキシブルに変更

# 低消費電力・低価格な再構成回路を実現するには

■再構成可能LSIの性能を決めているSRAMスイッチを原子移動型スイッチで置き換える



### 原子スイッチを用いたプログラマブルロジックアレイ

動作時: 低消費電力・高速動作化

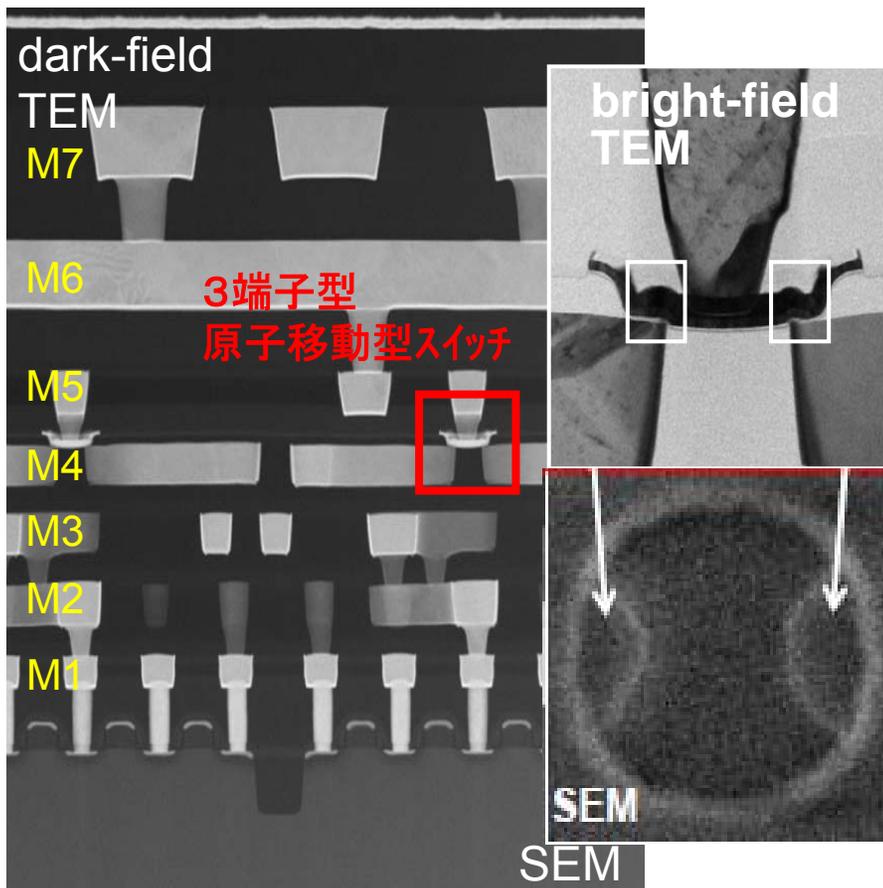
配線長の短縮  
低スイッチ容量・低配線抵抗化

待機時: インスタントオン・スタンバイ電力ゼロ

不揮発性

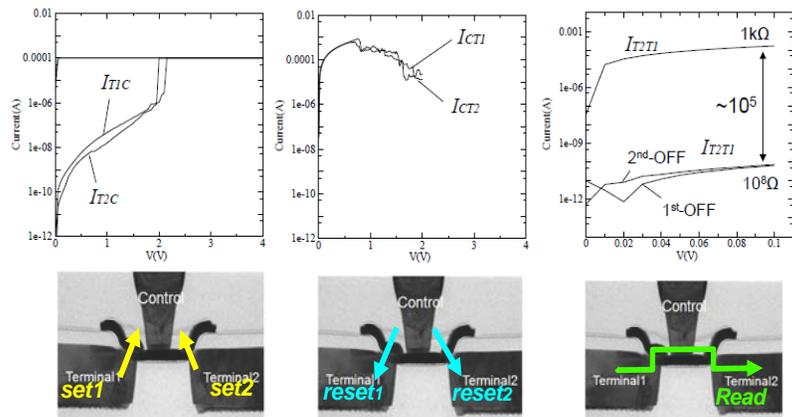
# 原子移動型スイッチの65nmCMOSへの集積

65nm-CMOSの7M-BEOL (Cu配線) に原子移動型スイッチを集積

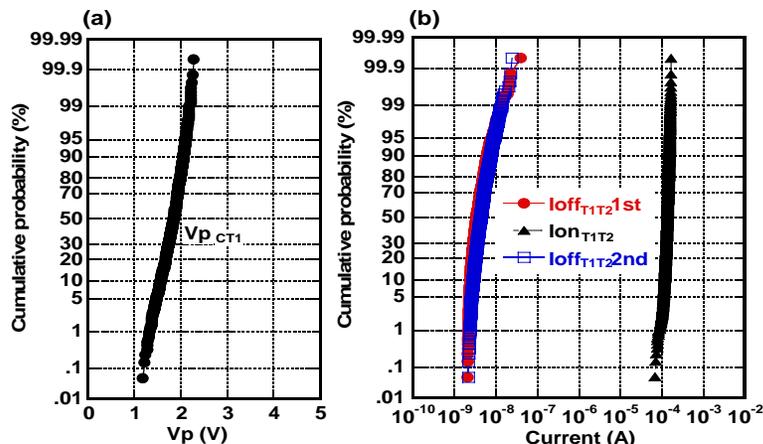


N. Banno et al., VLSI Sympo 2012

Set (架橋の形成)    Reset (架橋の回収)    Read (前後の抵抗)



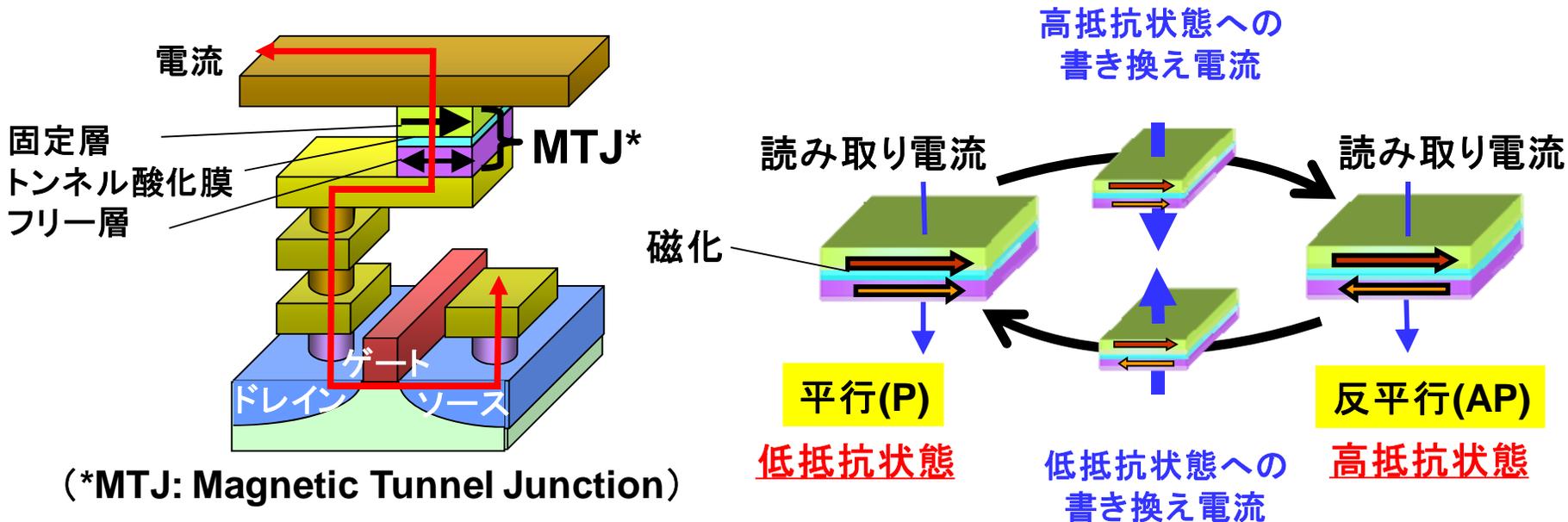
M. Tada et al., IEDM 2011



閾値電圧の分布

オン・オフ時の電流値

# 磁性変化デバイス(STT-MRAM)とは



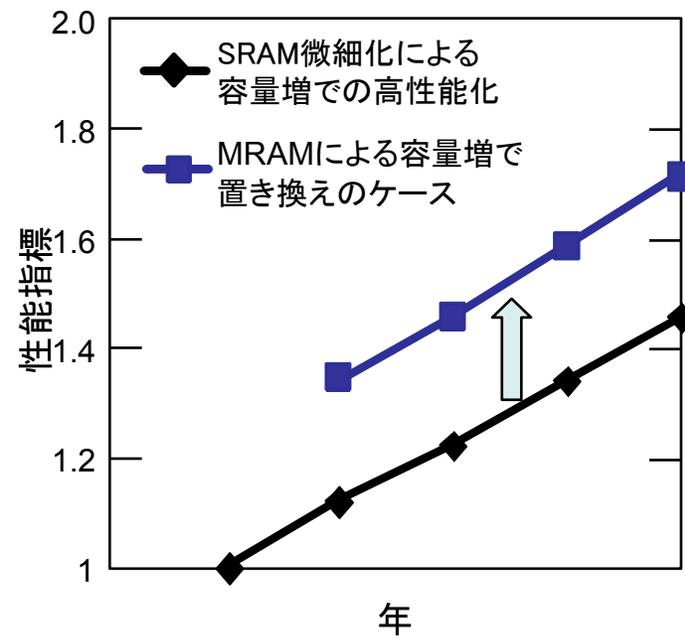
- ◆ **メモリの原理:** 磁気トンネル接合(MTJ)を構成する2層の強磁性体の磁化の向きで抵抗を変化させて情報を記憶
- ◆ **低電力化の原理:**
  - ・不揮発性のため、常時リーク電流がゼロ
  - ・電荷蓄積型ではなく、抵抗変化型メモリ
- ◆ **高速、無限界書き換えの原理:** 磁化反転現象、トンネル現象を利用

# MRAMでSRAMを置き換えると何が変わるか

SRAM性能の実現に加えて、消費電力とチップ面積を増やさずに、混載するメモリ容量の増加(約6倍)が可能

		混載SRAM(現状)	MRAM
MRAMでSRAMと同等の特性を実現	読み出し時間 (ns)	1-5	1-5
	書き換え時間 (ns)	1-5	1-5
	書き換え耐性 (回)	無限回	無限回
MRAMで低電力、キャッシュ容量増大の特性が付加	リーク電流	常時リーク	常時リーク無し
	動作電圧 (V)	~0.8 (6T-SRAM)	< 0.5
	セル面積 (F <sup>2</sup> )	~150	~25
	セル面積 (um <sup>2</sup> ) @ 20nm世代	0.06	0.01
	1Mbマクロ面積比 (セル効率60%)	1	0.17
	マクロ容量比	1	5.9

1次メモリ容量増による高性能化の予想



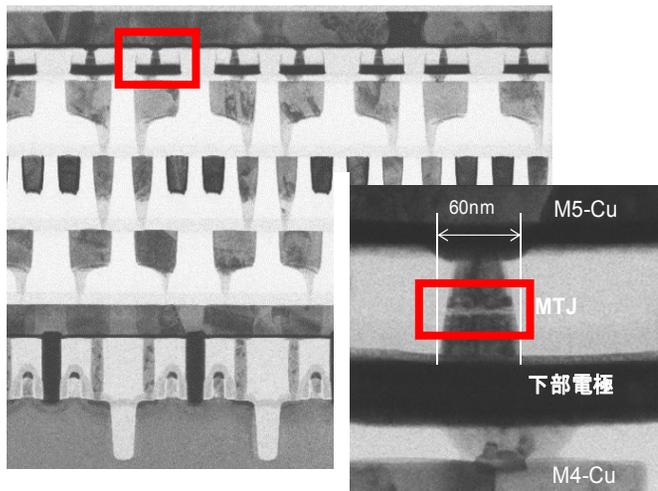
# MRAMでSRAMを置き換えると何がかわるか

MRAMを大容量化しても、リーク電流の増大は無い

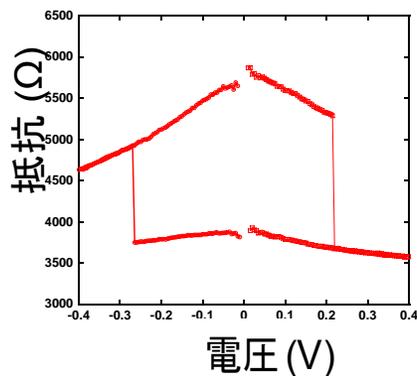
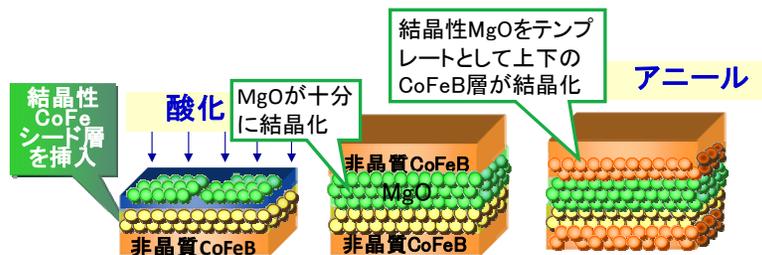
	混載SRAM アレイ	混載MRAM アレイ	消費電流 比較
待機時	<p><math>V_{DD}</math>オン のため リーク発生</p>	<p>リーク発生無し</p>	<ul style="list-style-type: none"> <li>SRAMではラッチを構成する4個のトランジスタが常に電力を消費</li> <li>MRAMでは消費電力ゼロ</li> </ul>
読み書き時	<p><math>V_{DD}</math>に加えて、 選択WL+BL が更にオン</p>	<p>選択WL+BLがオン</p>	<ul style="list-style-type: none"> <li>SRAMでは待機時消費電力に加えて、選択セルのWLとBLに繋がるトランジスタが電力を消費</li> <li>MRAMでは選択セルのBLに繋がるトランジスタが電力を消費</li> </ul>

# 無限回書き換え

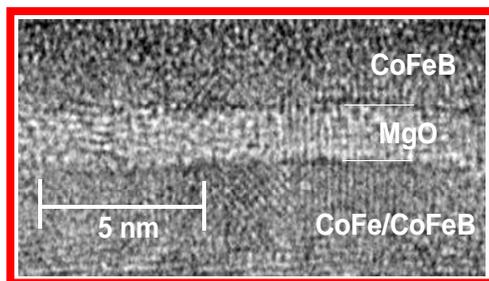
トンネル絶縁膜の高品質化を実現し、加速試験で初めて $10^{16}$ 回 (キャッシュメモリとしての必要条件)の書き換え耐性を実証



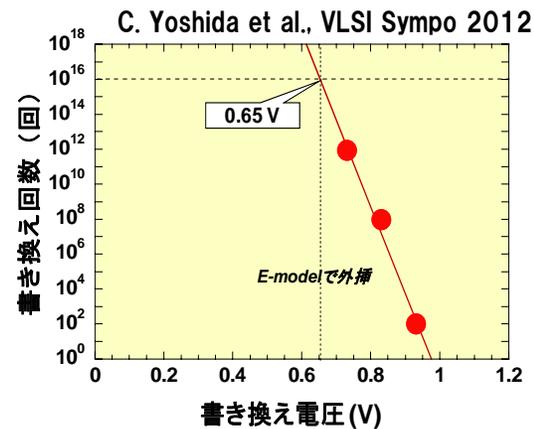
## ◆CoFeシード層挿入した新トンネル絶縁膜形成法



## ◆低電圧書き換え特性



良好な結晶性、シャープな界面



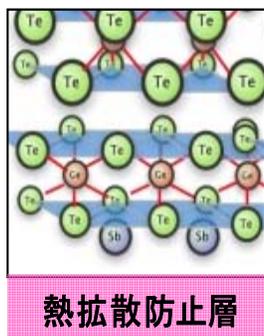
## ◆動作電圧0.65V以下で $10^{16}$ 回(1京回)以上の書き換え

# 超格子相変化デバイスとは

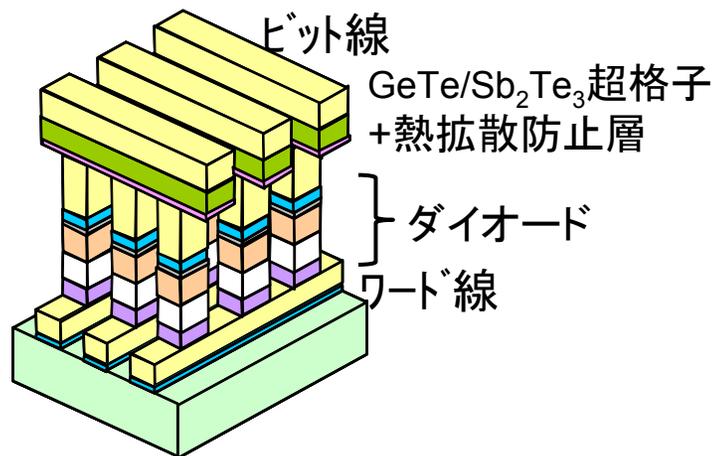
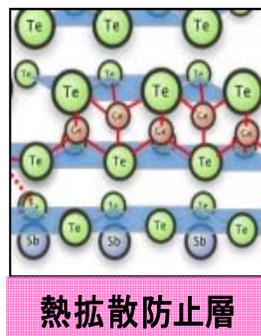
## 原子状態の違いを利用する抵抗変化型の不揮発性メモリ

- ◆ ジュール発熱により超格子相変化材料の抵抗を変化させて情報を記憶
- ◆ 書き換えのために流す電流が一方向のユニポーラ動作

超格子 低抵抗



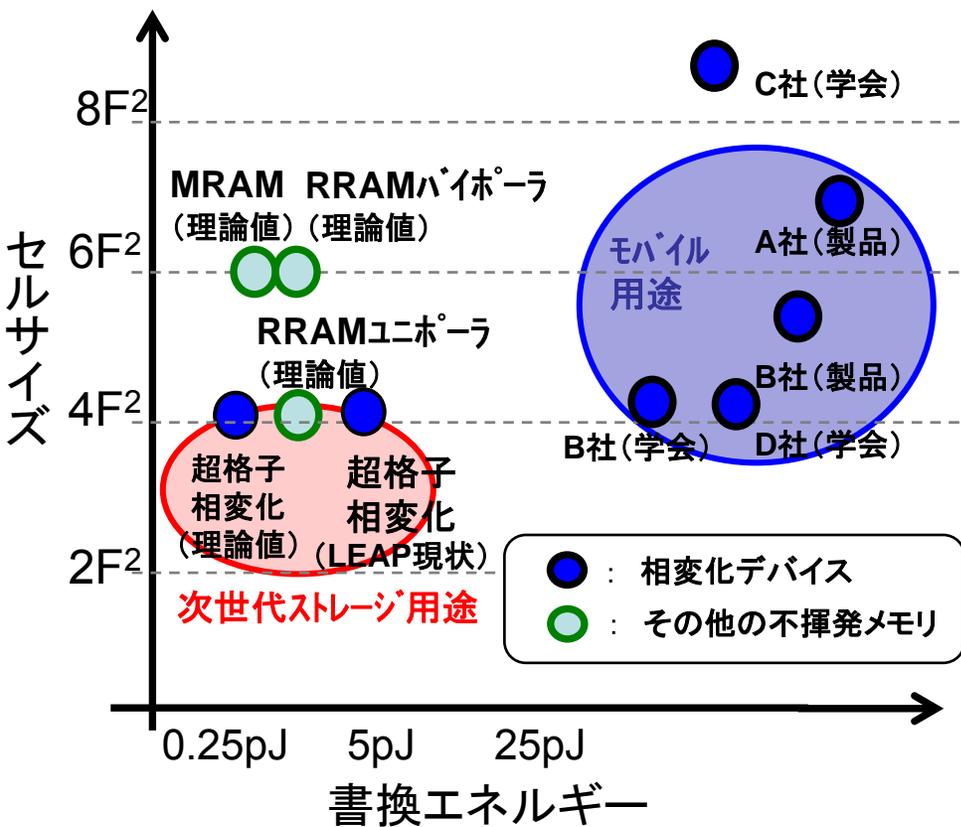
超格子 高抵抗



要求項目	開発項目と効果		
	① 超格子	② 熱拡散防止層	③ クロスポイントセル
転送速度	結晶⇄結晶の相変化 (Geの短範囲移動)	相変化材料への熱閉じ込め	ランダムアクセス
電力			
コスト	相変化領域のダウンサイジング(微細化に対応)		4F <sup>2</sup> 物理的最少サイズ

# 超格子相変化デバイスの特長

- 相変化デバイスはバイポーラ型MRAM, RRAMよりセルサイズが小さい
- 超格子相変化膜で書換エネルギーを低減し、ストレージに用途拡大



## 不揮発メモリの比較 (理論値)

	相変化	MRAM	RRAM
メモリセル			
動作	ユニポーラ	バイポーラ	ユニポーラ
セルサイズ	$4F^2$	$6F^2$	$4F^2$
エネルギー	$0.25pJ$	$0.4pJ$	$0.5pJ$
書換回数	$> 10^6$	$10^{16}$	$<< 10^6$

## 相変化デバイスの比較

	LEAP	A社	B社	C社	D社	
材料	超格子	$Ge_2Sb_2Te_5$				
ステータス	目標	製品	製品	ISSCC 2012	IEDM 2011	IEDM 2011
用途	ストレージ	モバイル	モバイル	モバイル	混載	DRAM
セルサイズ	$4F^2$	$8F^2$	$5F^2$	$4F^2$	$> 8F^2$	$4F^2$
エネルギー	$3.5pJ$	$>100pJ$	$>100pJ$	$\sim 35pJ$	$<100pJ$	$\sim 50pJ$

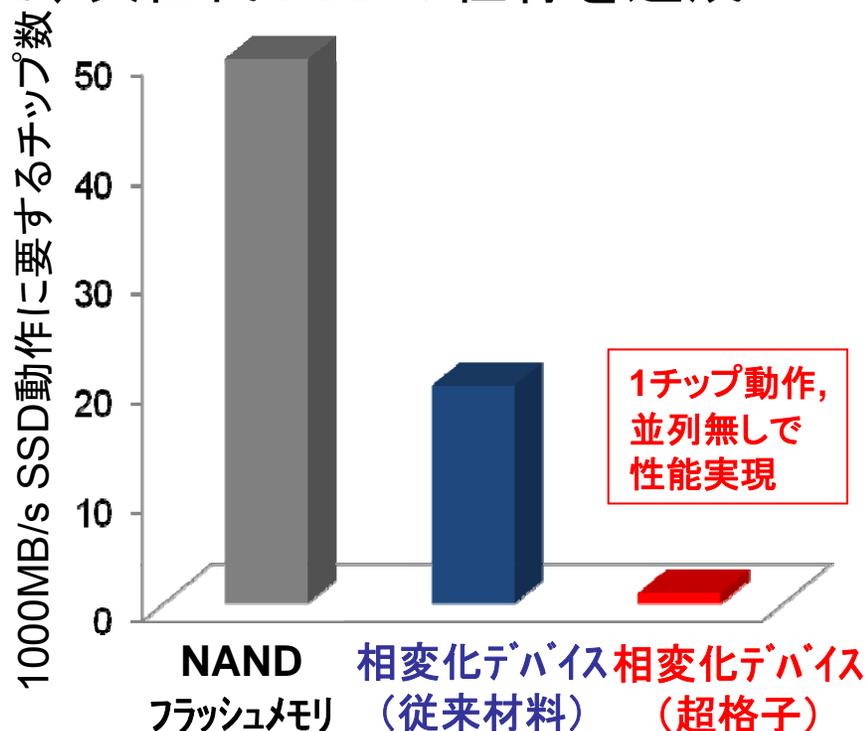
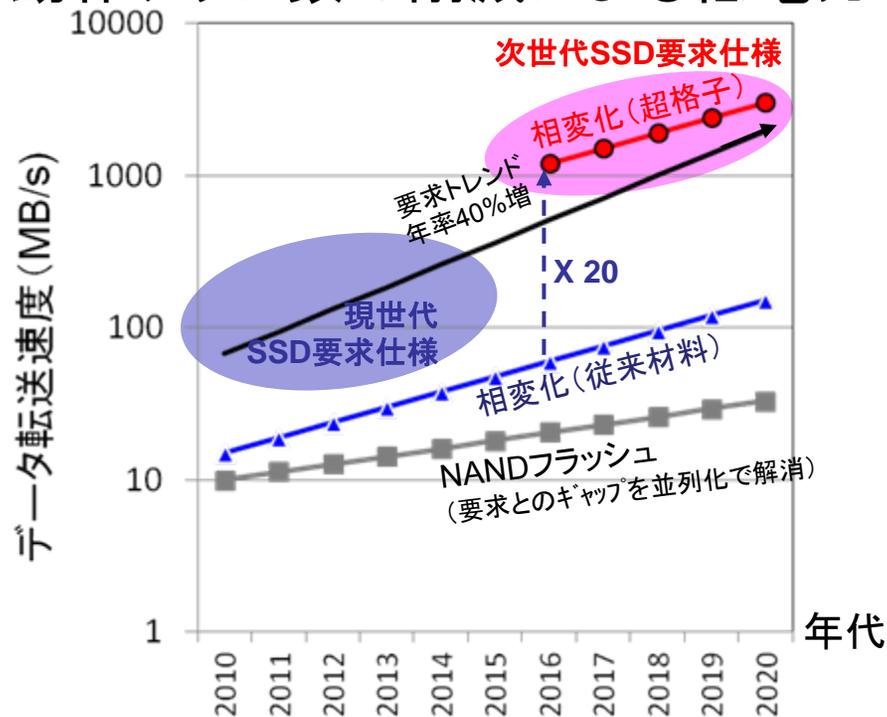
# 超格子相変化デバイスで何が変わるのか

## NANDフラッシュ

並列動作で現世代SSD仕様を達成、次世代SSD仕様の達成は不可能

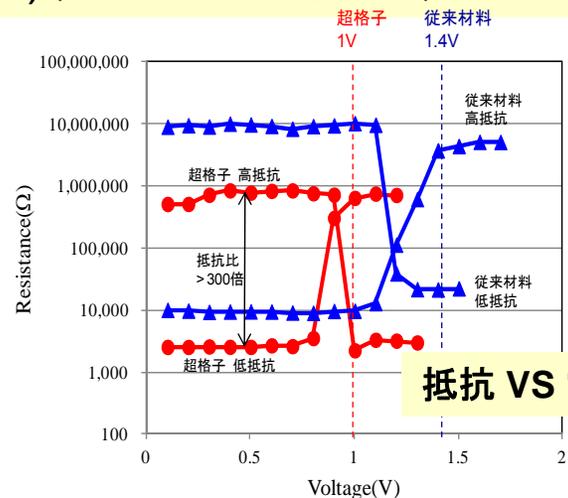
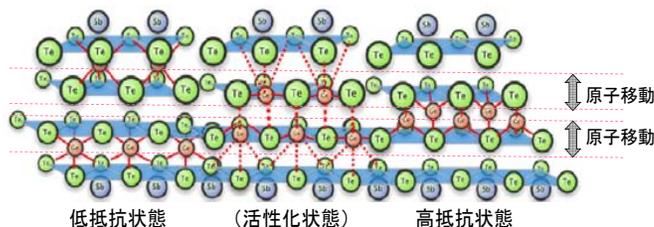
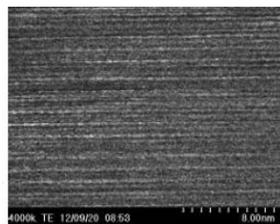
## 超格子相変化デバイス

高速・低電力等の特性が新たに付加され、データ転送速度が向上  
動作チップ数の削減による低電力化で、次世代SSDの仕様を達成



# 超格子相変化膜の動作特性

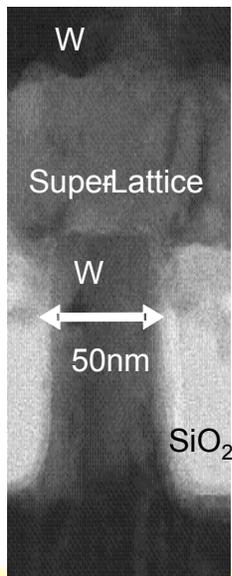
- ◆ GeTe/Sb<sub>2</sub>Te<sub>3</sub>超格子相変化膜の低電圧、低電流動作  
 セット電圧1V (従来1.3V), リセット電圧1V(従来1.5V)  
 セット電流60uA, 従来比1/30 (世界最高水準), リセット電流1mA, 従来比1/2



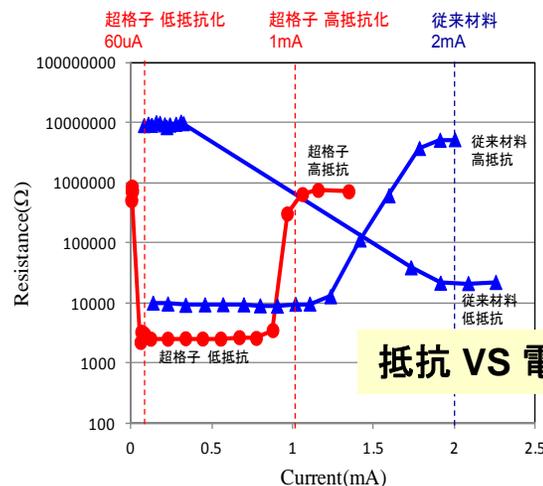
抵抗 VS 電圧特性

## 相変化エネルギーの理論計算

材料	素子寸法 Φ50nm	
	低抵抗化	高抵抗化
Ge <sub>2</sub> Sb <sub>2</sub> Te <sub>5</sub> 合金 (従来材料)	2.2 pJ	5 pJ
<b>GeTe/Sb<sub>2</sub>Te<sub>3</sub>超格子</b>	<b>0.12 pJ</b>	<b>0.25 pJ</b>



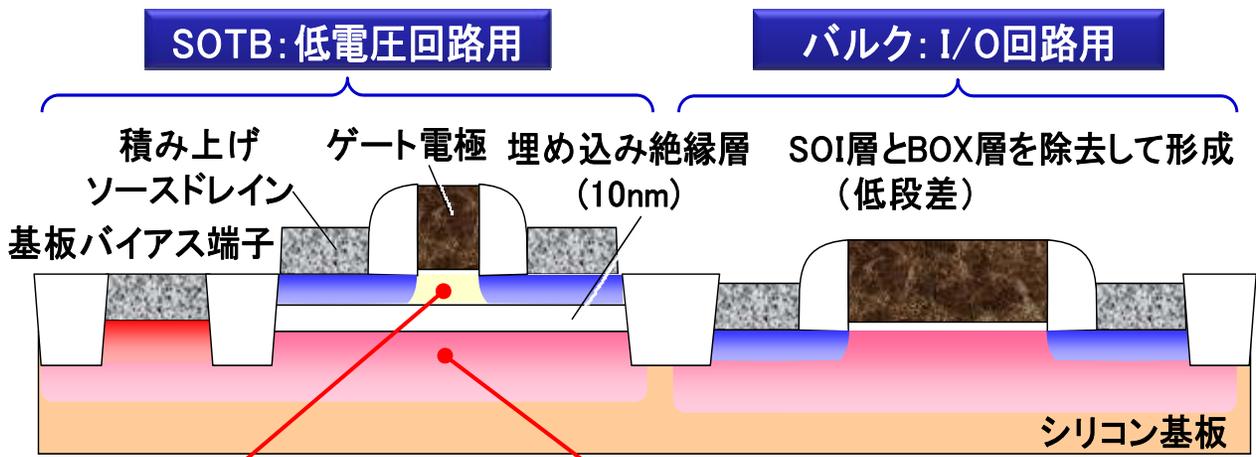
メモリセル



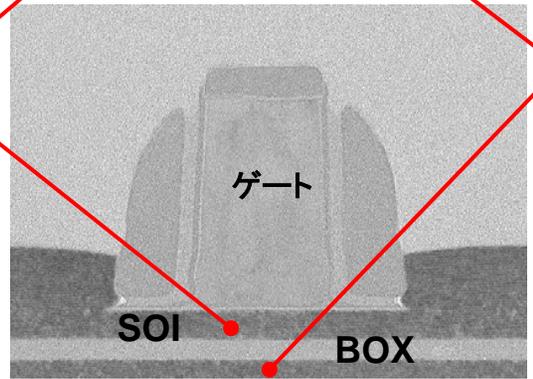
抵抗 VS 電流特性

# 低ばらつきで基板バイアス制御可能な素子：SOTB

- (1) チャンネル不純物を含まず(ドーパントレス)、ローカルばらつき低減が可能→低電圧
- (2) 基板バイアス制御が可能な、プレーナ型 DG(ダブルゲート)構造→ばらつき補正等
- (3) SOTB/バルクのハイブリッド構造→既存IPとの共存、設計移行容易性



SOI層 (~12nm)  
低不純物濃度  
(ドーパントレス)



裏面ゲート  
( $V_{th}$ 調整用基板不純物添加)

SOTB (Silicon on Thin Buried Oxide),  
SOI (Silicon On Insulator),  
BOX (Buried Oxide)

# 何故、超低電圧か？

集積回路を構成するトランジスタ全てが、常にエネルギー効率最大（動作あたりの消費電力最小）の状態で作動することが理想。

消費電力:

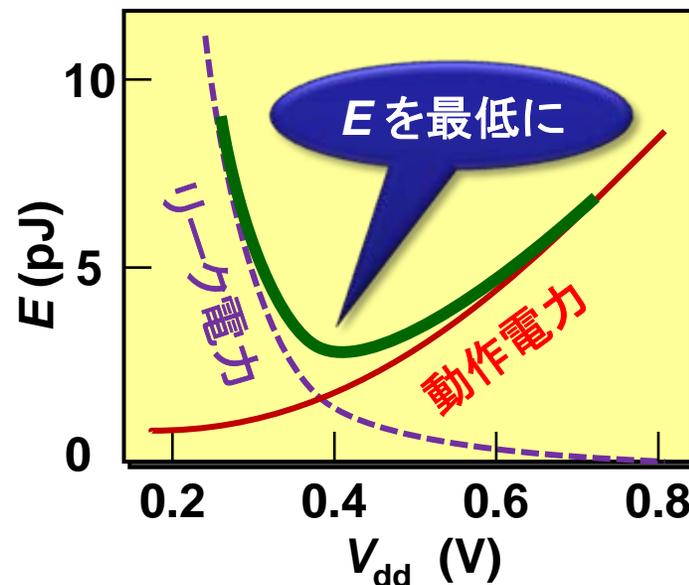
$$P = \underbrace{CV_{dd}^2 f}_{\text{動作電力}} + \underbrace{I_{leak} V_{dd}}_{\text{リーク電力}}$$

動作あたりの消費エネルギー:

$$E = CV_{dd}^2 + I_{leak} V_{dd} / af$$

$a$ : 動作率

*E* を最低に

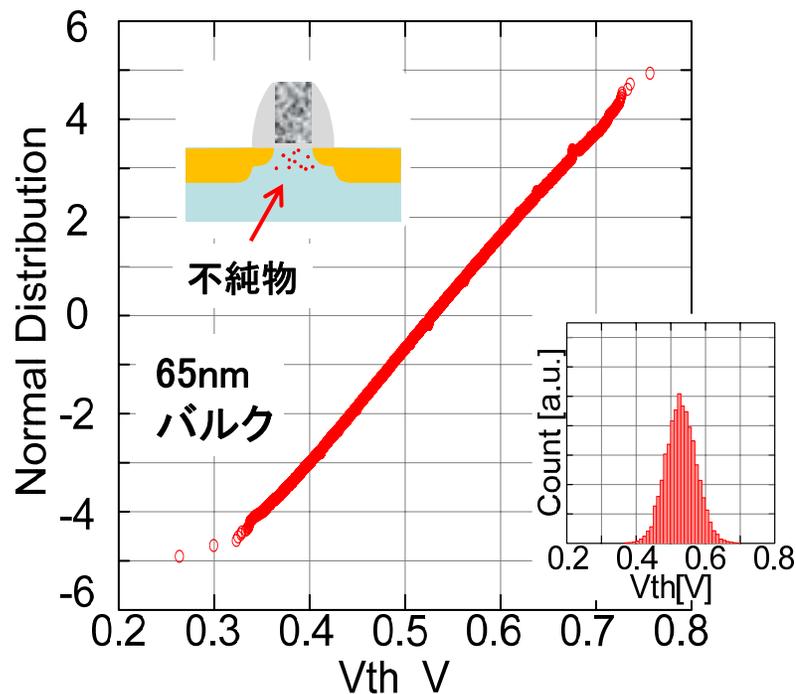


Si-CMOSでは電源電圧  $V_{dd}=0.4$ V付近で効率最大になるが、この状態で処理速度要求を満たせる用途は限られる。

# LEAPのねらい: 低ばらつきと適応制御

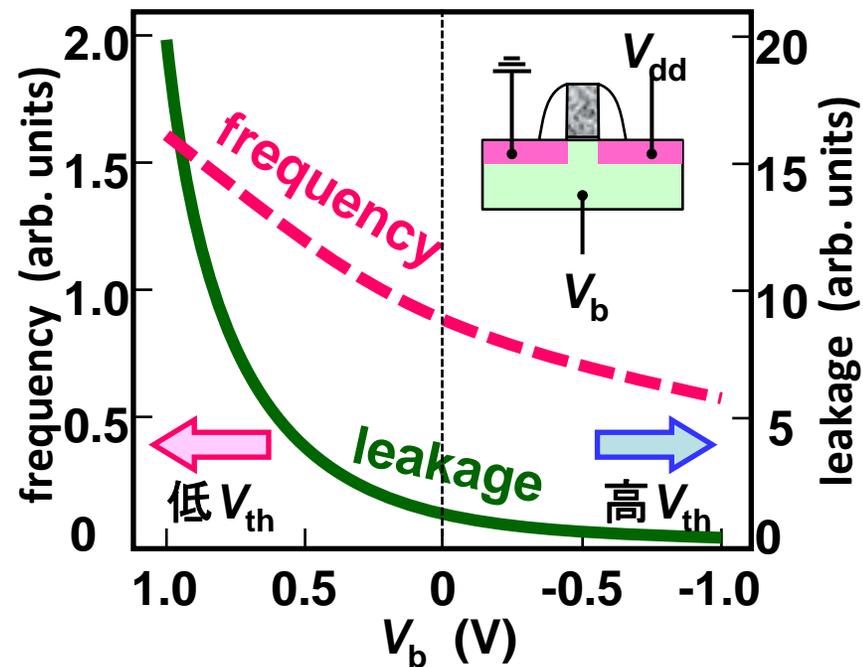
## 不純物による $V_{th}$ ばらつきを低減

$V_{th}$ : しきい電圧



100万個トランジスタの $V_{th}$ ばらつき幅は  
 $\sim 0.5V$  (MIRAIプロジェクトによる)  
 構造を変え、ばらつきを低減させる。

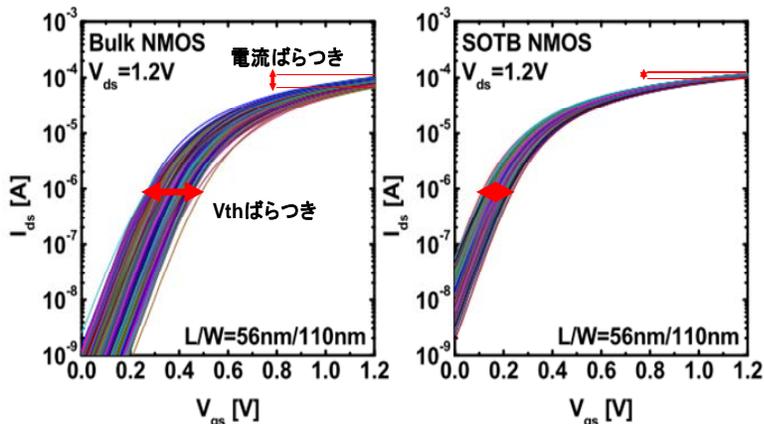
## 基板バイアス $V_b$ で $V_{th}$ を制御



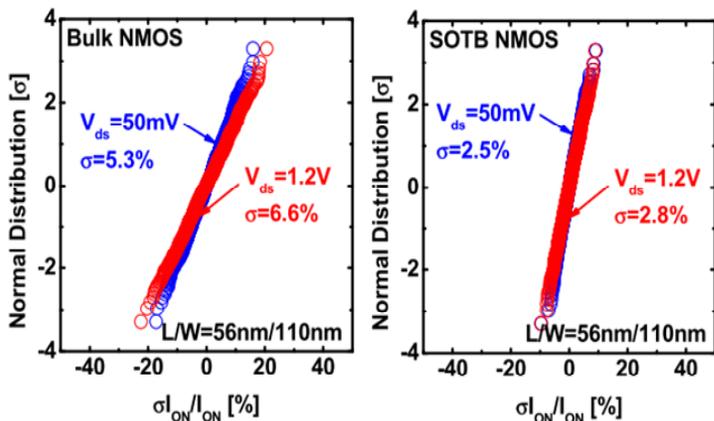
$V_{th}$ を制御しながら、性能・電力最適化  
 動作を行う  
 超低電圧でも実用性ある速度で動作。

# 特性ばらつきの低減

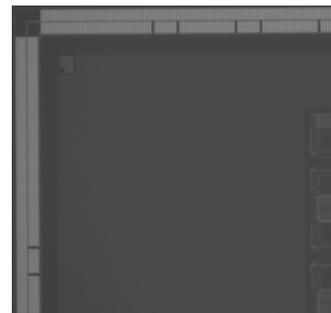
チャネル不純物による影響の少ない(ドーパントレス) SOTB構造により、しきい値電圧 $V_{th}$ のばらつきのみでなく、出力電流のばらつきも大幅低減。



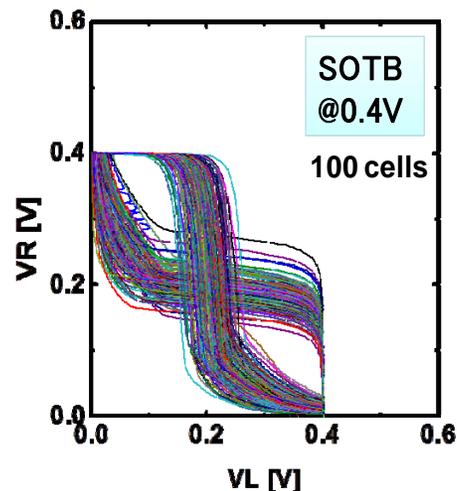
SOTBとバルクCMOSの特性ばらつき比較(ドレイン電流-ゲート電圧特性)



SOTBとバルクCMOSの出力電流ばらつき比較(正規分布累積プロット)  
2012 Silicon Nanoelectronics Workshopで発表



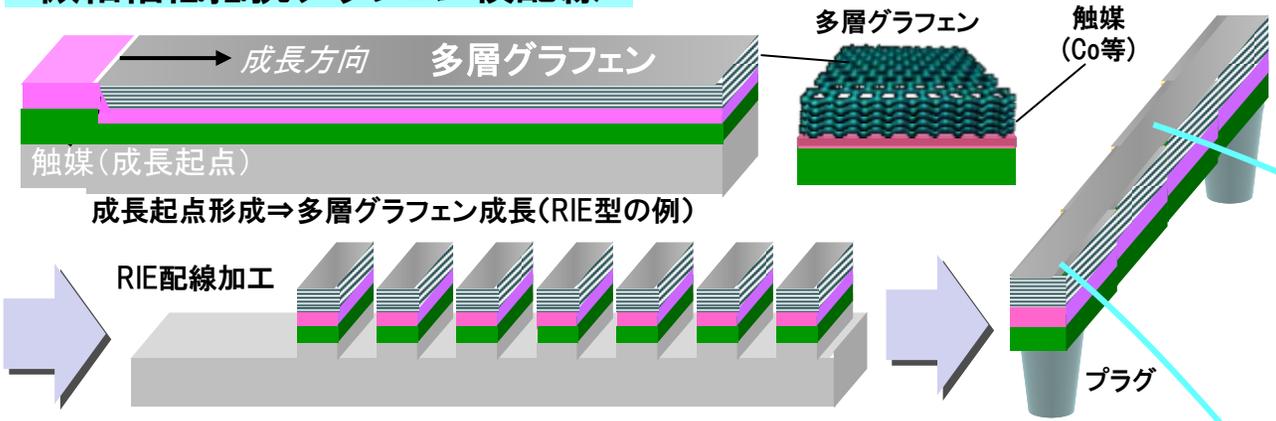
SRAMアレー(Mbit)のSEM像



SRAM 0.4V動作検証

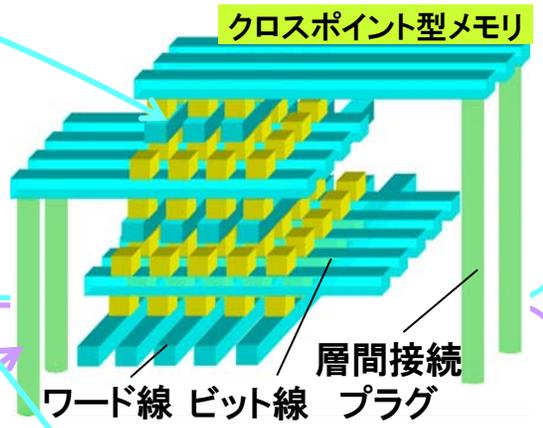
# 三次元ナノカーボン配線

## 微細幅低抵抗グラフェン横配線

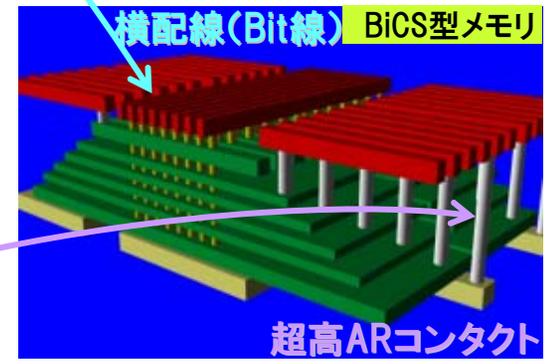
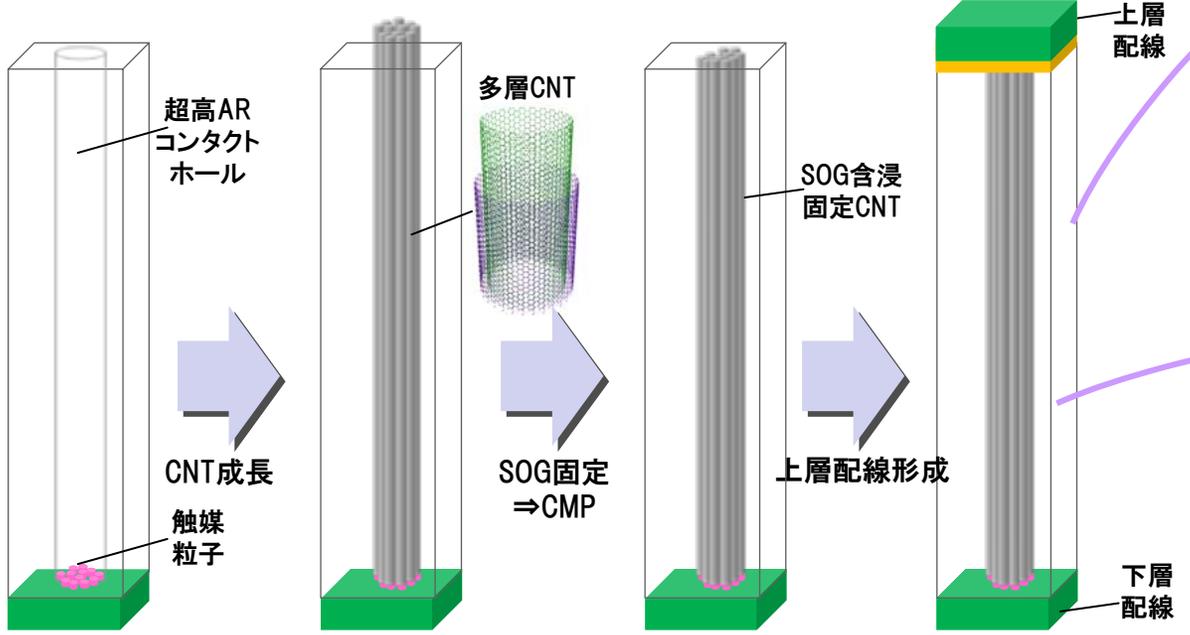


## 微細幅低抵抗グラフェン横配線

【目標】中間:  $50 \Omega / \square @ 100 \text{nm}$   
幅最終:  $3 \Omega / \square @ 20 \text{nm}$ 幅



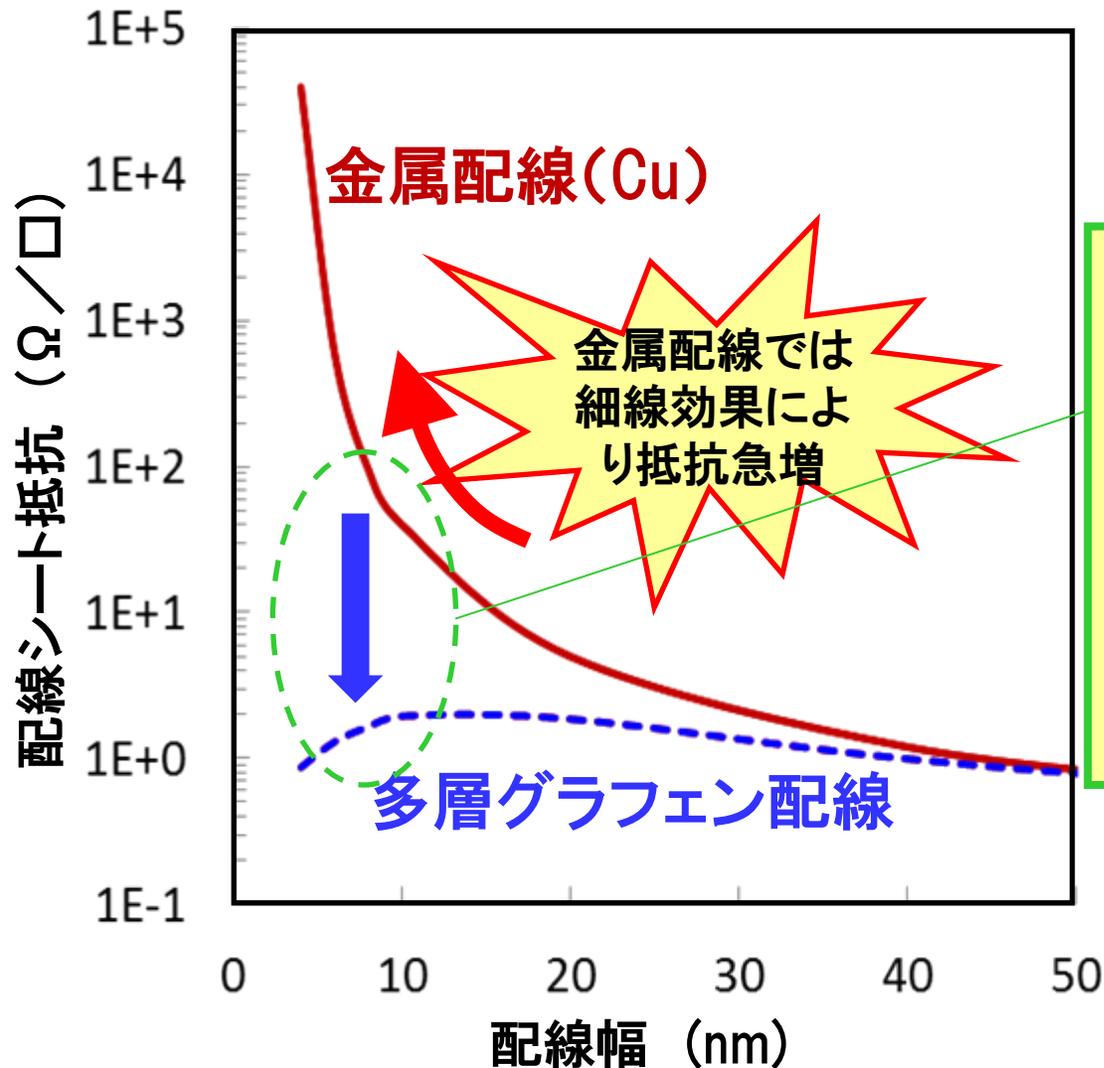
## 超高アスペクト比(AR)CNTコンタクト



## 超高アスペクト比(AR)CNTコンタクト

【目標】中間:  $AR=16 @ 90 \text{nm} \Phi$  埋込み  
最終:  $AR=30 @ 90 \text{nm} \Phi, R \leq W$

# ナノカーボン配線によって何が変わるか



ファイルメモリの微細化に伴う配線抵抗の急増を  
ナノカーボン材料で解決

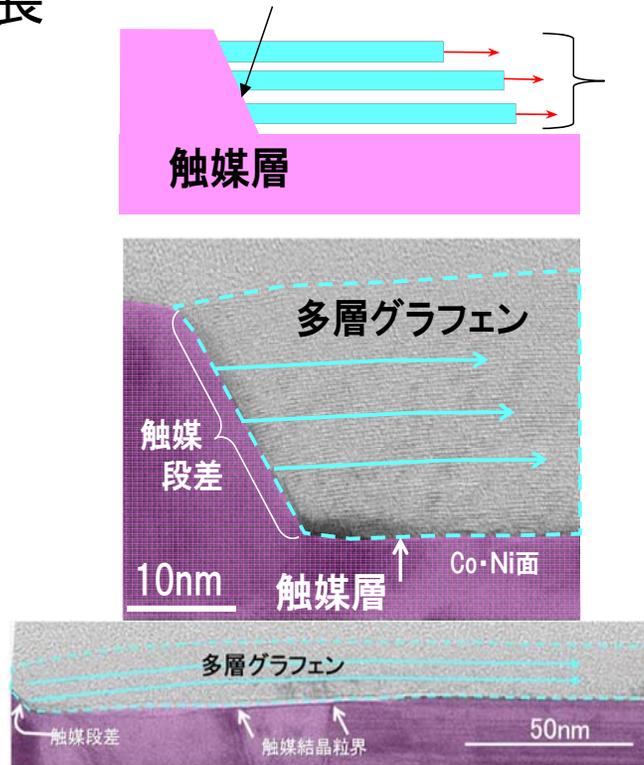


配線での電圧降下を抑制し、デバイスの低電力化に  
寄与

# 多層グラフェン横方向配線

触媒段差を起点にして低温  
(600°C)

固有の機構で多層グラフェンを成長



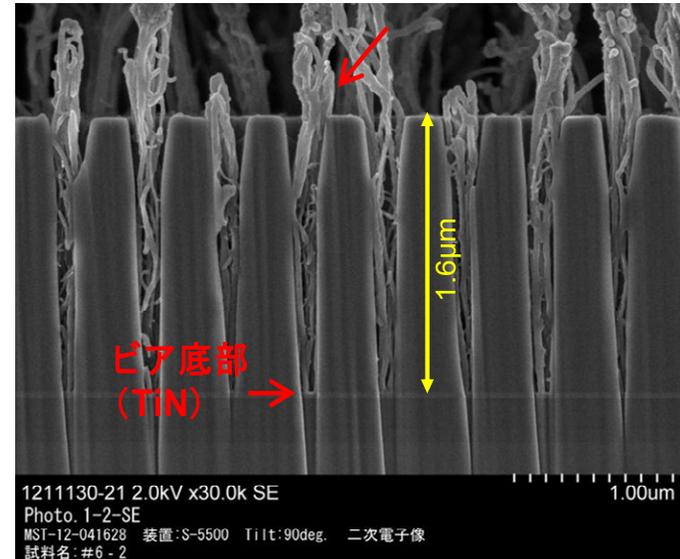
- 段差に応じた多層膜が成長
- 触媒結晶粒界を越えて成長

Yamazaki et. al., APEX 025101(2012)

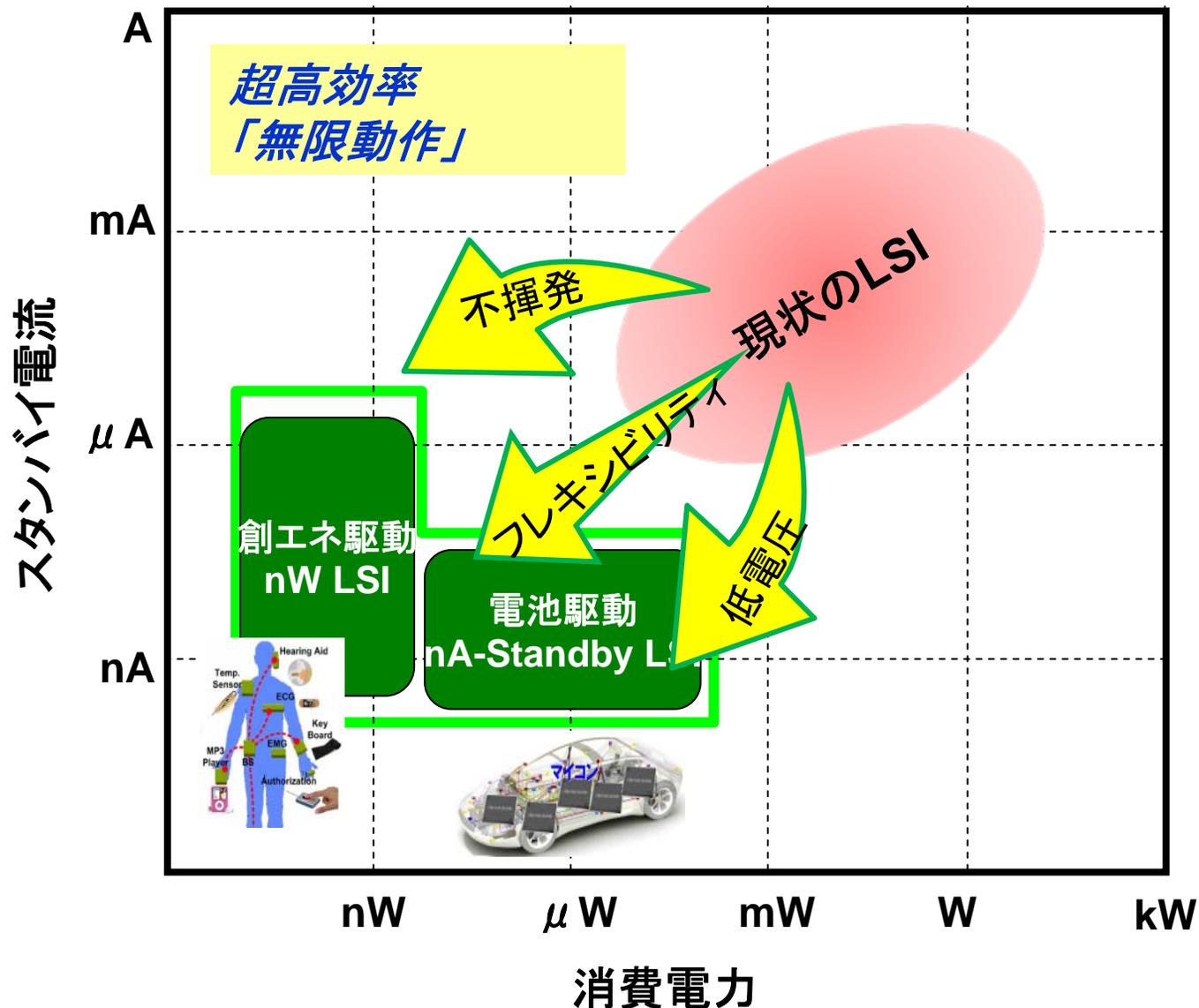
Work in Progress - Do not publish

AR16ビア(高さ1.6 μm、径0.1 μm)底から  
CNT選択成長を確認

FIB加工観察



# 低電力の新しい領域への挑戦



# 超低電圧デバイスが実現する未来像

## 電池レス モバイルコミュニケーションが作る、快適、安全、安心社会



Green, Secure, Smart & Cozy by IT

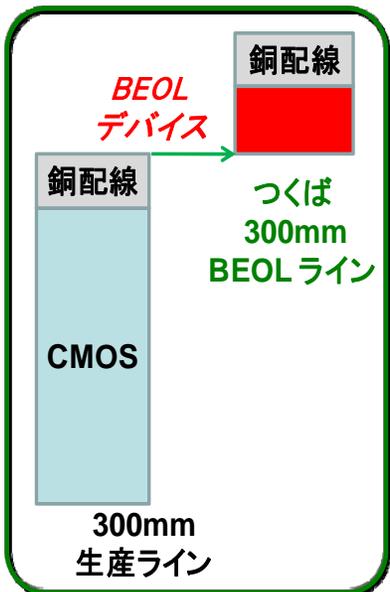
# つくばTIAの活用による効率的なデバイス試作と検証



生産ラインと拠点を結びつけた  
 開発とアプリ開拓のために効率的な検証環境

## ナノエレクトロニクスコア領域

green GNC  
 Green Nanoelectronics Center  
 GNC  
 スーパークリーンルーム (SCR)  
 LEAP  
 PETRA  
 PETRA  
 CSIS  
 EIDEC  
 EIDEC



- システム・装置メーカー
- LSIメーカー
- 大学

# まとめ

本講演では、超低電圧デバイス技術研究組合 (LEAP) がつくばイノベーションアリーナ (TIA) ナノエレクトロニクスコア領域研究拠点 (産総研SCR) で実施している「超低電圧デバイスプロジェクト」に関して、超低電圧デバイス技術開発の狙いと現状の進捗を紹介した。

また、デバイスを集積化して動作検証するためのウェハ試作のしくみとして、SCRと量産ラインを結ぶ新しい仕組みを紹介した。

# 謝辞

本研究は、平成22年度経済産業省産業技術研究開発委託費「低炭素社会を実現する超低電圧デバイスプロジェクト」の委託研究として行ったものである。平成23年度からは、独立行政法人新エネルギー・産業技術総合開発機構（NEDO）「低炭素社会を実現する超低電圧デバイスプロジェクト」に係わる業務委託として実施している。

プロジェクトの推進に当たり、経済産業省・NEDOからの多大なご支援に深く感謝致します。また、デバイス試作に関しては、独立行政法人産業技術総合研究所のスーパークリーンルームを使用し、ナノデバイスセンターの集積実証室にご協力頂きました。