

ITRS2013改訂ポイントと 新Consumer Portable SOCモデル

2014年 3月 7日

JEITA半導体技術ロードマップ専門委員会 (STRJ)
設計ワーキンググループ (WG1)

目次

- ◆はじめに
 - ワーキングメンバ、スコープ、ミッションなど
- ◆ITRS2013アップデートのポイント
 - システム・ドライバ章
 - デザイン章
- ◆新Consumer Portable SOCモデル
- ◆まとめ

用語集



- ・ RTL: Register Transfer Levelの略で、回路をフリップフロップと組み合わせ回路で表現したレベルのこと
- ・ SLD: System Level Designの略
- ・ LCP: Logic/Circuit/Physical Designの略
- ・ DFM: Design For Manufacturabilityの略で、製造性(歩留まり)を考慮した設計のこと
- ・ SOC: System On Chipの略
- ・ CP: Consumer Portableの略
- ・ MtM: More than Mooreの略
- ・ AMS : Analog Mix Signalの略
- ・ RF : Radio Frequencyの略で、高周波信号のこと
- ・ WiFi : Wireless Fidelityの略で、無線による機器間接続のこと
- ・ DES: Design-based Equivalent Scalingの略で、設計技術でtransistor Scalingの減速を補うこと
- ・ AVS: Adaptive Voltage Scalingの略で、ばらつきに応じて電源電圧を制御すること
- ・ MPU: Micro Processing Unitの略で、信号処理やその制御を行うマイクロプロセッサのこと
- ・ GPU: Graphic Processing Unitの略で、画像処理向けのプロセッサのこと
- ・ PE : Processing Engineの略で、信号処理回路ブロックのこと

目次



◆はじめに

- ワーキングメンバ、スコープ、ミッションなど

◆ITRS2013アップデートのポイント

- システム・ドライバ章
- デザイン章

◆新Consumer Portable SOCモデル

◆まとめ

設計WG(WG1)メンバー



齋藤 利忠 (リーダー)	東芝
中山 勝敏 (サブリーダー)	ルネサス エレクトロニクス
柿本 勝 (国際担当)	ソニー
浅田 善己 (国際担当)	富士通セミコンダクター(6月まで)
小野 信任 (幹事)	ジーダット
松崎 正己	富士通セミコンダクター
山本 一郎	ローム
今井 正治	大阪大学
石橋 孝一郎	電気通信大学(新任)
瀬戸 謙修	東京都市大学(新任)
計9名(3月現在)	

設計WGのスコープ



SOC設計全般の広範囲な技術分野を担当

System Level Design

- 仕様から最適なHW/SWに分割し、HWに関してはRTL記述を生成する

Logic / Circuit / Physical Design

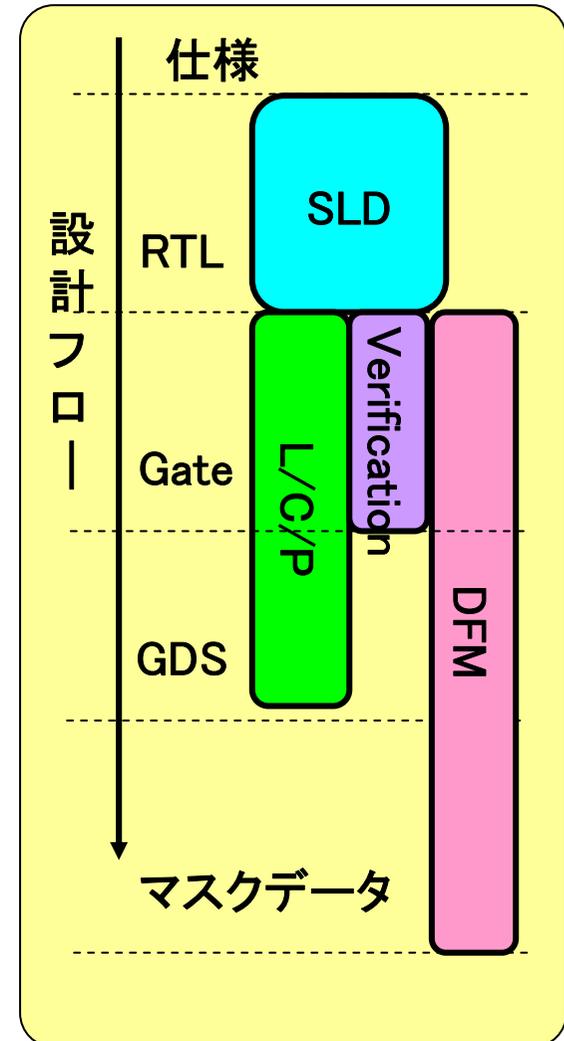
- RTL記述から製造可能な設計品質のレイアウトデータ(GDS II)を生成する

Design Verification

- 機能と性能を仕様に基づき検証する

Design For Manufacturability

- プロセスの物理現象モデルに基づき、製造可能性/歩留まりを検証/最適化する



設計WGのミッション



◆国際活動：ITRSのSystem Drivers章とDesign章を担当

- System Drivers章
 - ・ ITRSの技術分野をドライブする各応用分野で使用される中核デバイスの要求仕様を定義
- Design章
 - ・ 設計技術に対する将来課題と課題解決策を提示

◆国内活動

- SOC構造・規模を時間軸で定量化し、技術開発の指標として提示
- 「設計生産性」「消費電力」「性能」を切り口として設計課題を時間軸で定量評価し、解決策を提案



◆期待される効果

- 中核デバイス要求仕様がITRSロードマップ見直しのきっかけとなる
- ITRSロードマップが設計に与える影響を定量評価して、技術課題を明らかにすることで、解決への取り組みを加速する

設計WGの活動内容(2009年度～)



	国際活動 (ITRSへの主な貢献)	国内活動 設計WG
	2009年度	System Drivers章 Consumer Portable SOCモデルの変更 Design章 低消費電力設計の設計工程の貢献度合を新規掲載
2010年度	System Drivers章 Consumer SOC Driverの更新を実施。 Design章 SOC Costモデルの更新、RF+AMSセクションの更新	機能検証の解決策の深耕 ・「SOC機能検証技術の進展と今後の取り組み」をテーマに活動 各社からヒアリングした課題を分析。“課題に対する現在、および今後の取り組み”を検討。2007年度の解決策に対する進捗状況を確認。 今後の解決に向けての取り組みを深耕、提言のまとめを実施。
2011年度	System Drivers章: 消費電力制約によるMPU周波数の見直し Design章: Power-Awareのロードマップを新規掲載 VerificationにSTRJ WG1の提案を反映	SOCのIF高速化に伴う設計課題抽出と今後の取り組み ・「SOCのIF高速化に伴う設計課題抽出と今後の取り組み」をテーマに活動 参画会社から高速IFの課題を収集し、伝播品質(ノイズ、タイミング)の課題を整理。 PKG/ボードとの関係を取ったチップ開発が必要で、文化が異なるSOC設計とボード設計を統合するロードマップの作成が求められることを提言。
2012年度	System Drivers章: Consumer SOCのテーブル数値の見直し ITRS2013に向けてConsumer Portable SOCモデル改訂案を提案 Design章: 新たな低電力技術の導入検討	Consumer Portable SOCモデルの見直し ・「Consumer Portable SOCモデルの見直し」をテーマに活動 アプリケーション・プロセッサを対象とし公開情報を基に主要なSOCを調査。 SOC-CPモデルの構成について、ブロック構成、チップサイズ(回路規模)、テクノロジ などが確認できたデータを使って定量化。GPUを主要コンポーネントとして位置付け。

2013年度: Consumer Portable SOCモデルの改訂

ITRS2013掲載予定

目次



◆はじめに

- ワーキングメンバ、スコープ、ミッションなど

◆ITRS2013アップデートのポイント

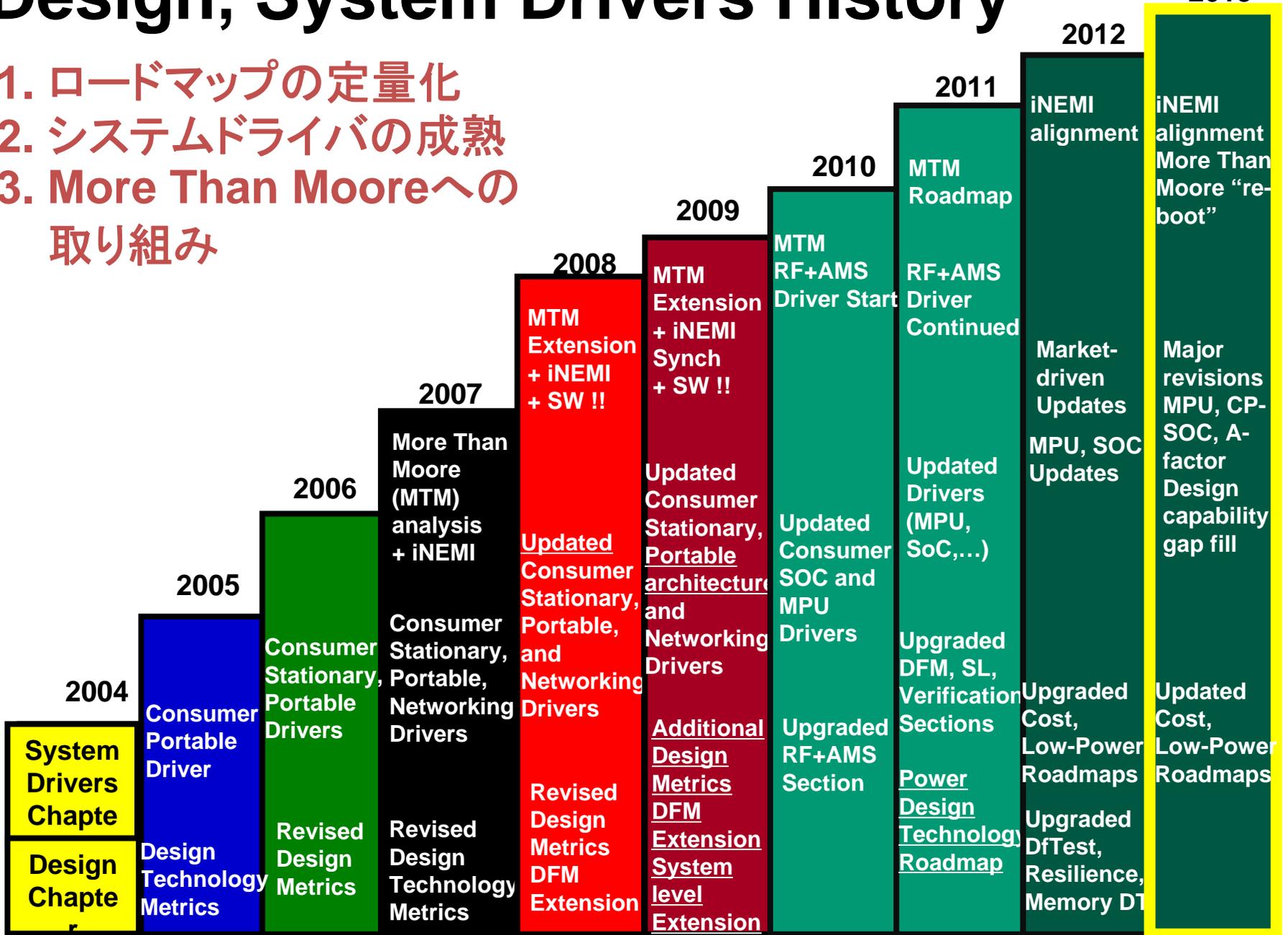
- システム・ドライバ章
- デザイン章

◆新Consumer Portable SOCモデル

◆まとめ

Design, System Drivers History

1. ロードマップの定量化
2. システムドライバの成熟
3. More Than Mooreへの取り組み

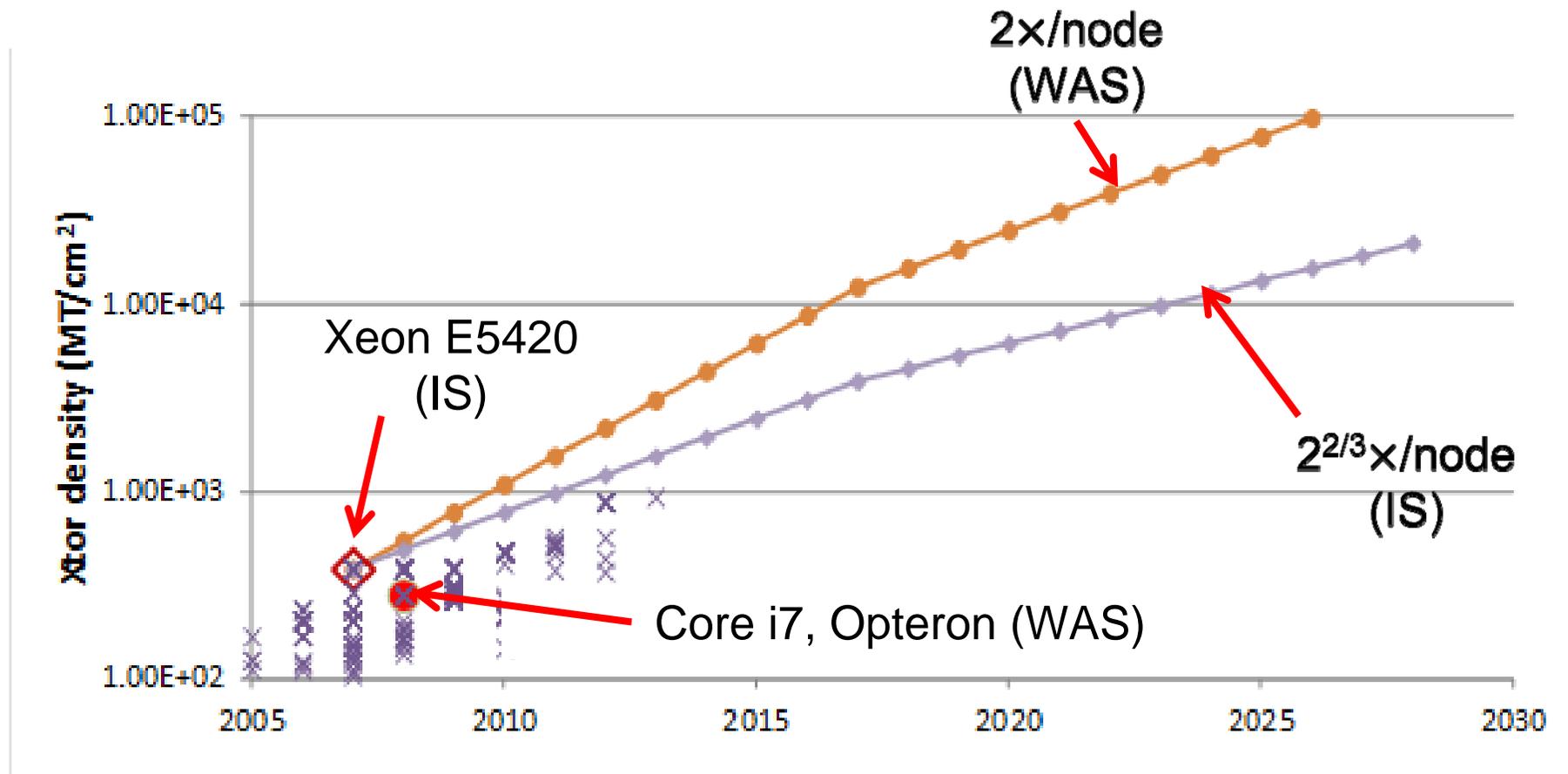


Work in Progress - Do not publish

STRJ WS: March 7, 2014, WG1 Design

Moore's Law Scaling 理想と現実

- セルのA-factorsは不変 \Rightarrow ノード毎に2倍のデバイス密度
- トランジスタ密度をIntel Xeon E5420(2007)で再校正
- 現実のデバイス密度は 2007年以降 $2^{2/3}$ 倍(1.6倍/ノード)



Design-Based Equivalent Scaling

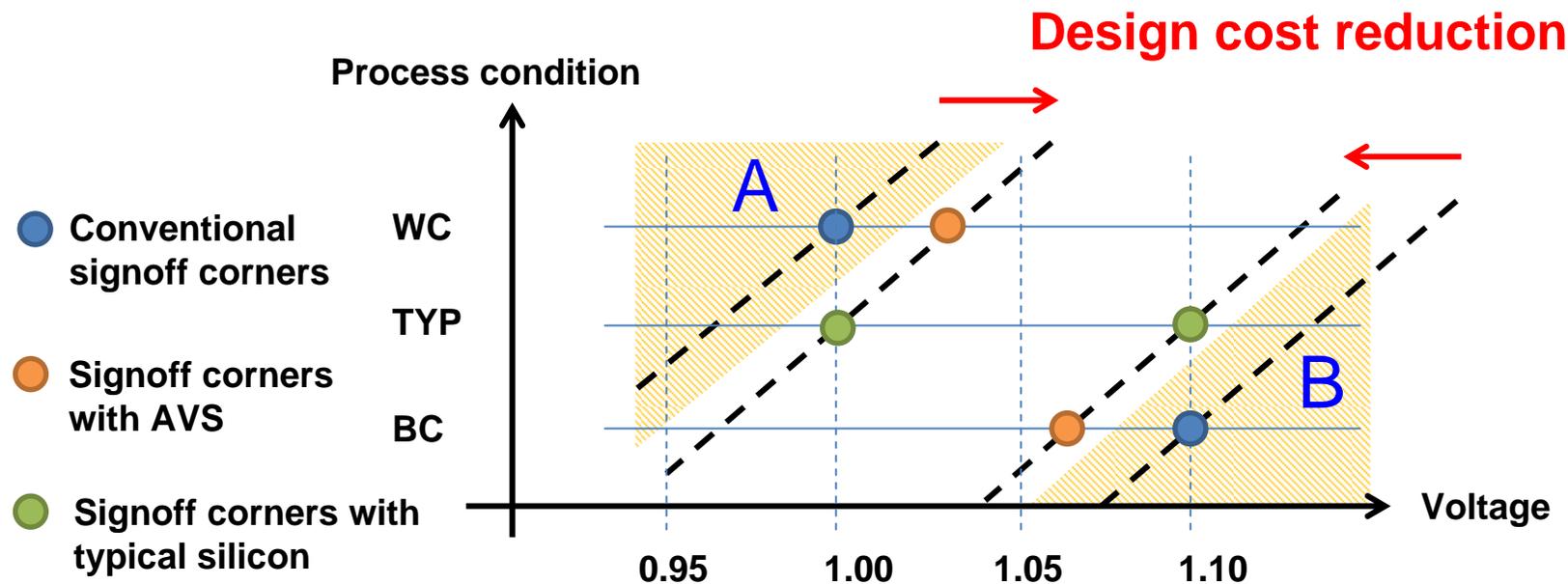
- **困難な課題: Mxハーフピッチサイクルが3年毎にペースダウン**
 - ムーアの法則(1.6x/2年)のトランジスタ密度の維持
 - 2013-2019の6年間は、3年毎の微細化サイクルに対して3世代分の実効トランジスタ密度を維持する
- **解決策: Design-based Equivalent Scaling の導入**
 - **MPU: 2013-2019** に1世代分の実効トランジスタ密度を確保
 - $1.6^{(1/6)} = 1.0815$ 倍/年の設計上のトランジスタ数改善
 - **SOC: 2013-2020** に1世代分の実効トランジスタ密度を確保
 - $1.6^{(1/7)} = 1.0694$ 倍/年の設計上のトランジスタ数改善

DESを実現する技術の例: Signoff at Typical Corner

- 現状のサインオフ条件
→ プロセスのベストコーナ/ワーストコーナ & 最大/最小電圧でのマージン確保
- 適応型電圧制御 (AVS):
→ プロセス ベスト/ワーストコーナを補償する制御で、ティピカル条件でサインオフを実現
- 設計マージンを小さくすることでコストを削減

Region A: 要求性能達成のためにコスト増加

Region B: 消費電力制約によるコスト増加



DESを実現する技術の例



- Design for variability
 - Error-correcting code (ECC) improves memory reliability
 - Error tolerance memory system improves yield [Eltawil,Kurdahi06]
 - Double patterning-aware design technique reduces design guard band
- Low power design techniques
 - Sleep modes, hibernation, clock gating, adaptive V_{dd} and frequency, etc.
 - Reduced power enables more transistors per chip
→ addressing the need of more functionality
- Multi-core SOC architectures
 - Enables continued performance scaling although performance per core does not scale

目次



- ◆はじめに
 - ワーキングメンバ、スコープ、ミッションなど
- ◆ITRS2013アップデートのポイント
 - システム・ドライバ章
 - **デザイン章**
- ◆新Consumer Portable SOCモデル
- ◆まとめ

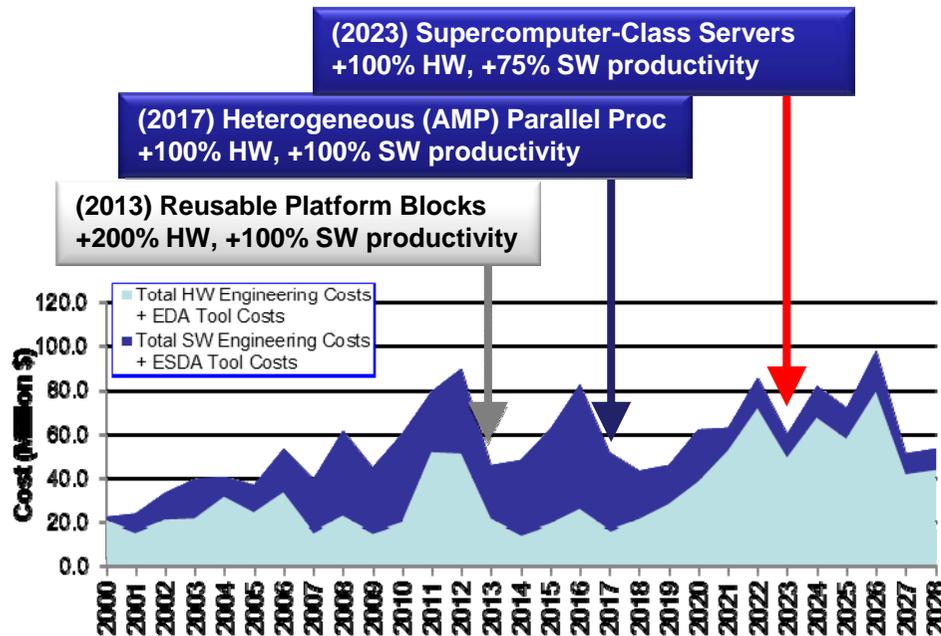
Design CostとLow-Powerのロードマップ



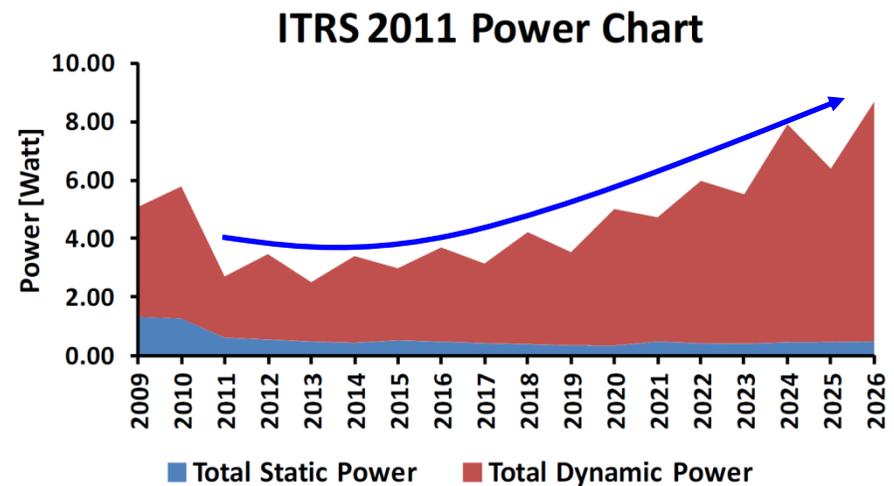
Design Technology Improvement	Year	Productivity Delta	Productivity (Gates/Year/Designer)
Reusable Platform Blocks	2013	200% HW, 100% SW	4949K HW, 5168K SW
Silicon Virtual Prototype	2015	100% HW	9897K HW, 5168K SW
Heterogeneous (AMP) Parallel Processing	2017	100% HW, 100% SW	19794K HW, 10336K SW
Transactional Memory	2018	60% SW	
Many-Core SW Development Tools	2019	60% SW	19794K HW, 16537K SW
Parallel SW Language	2021	200% SW	
Super Computer Class Servers	2023	100% HW 75% SW	
System-Level Design Automation (SDA)	2025	60% HW, 37.5% SW	31671K HW, 45476K SW
Executable Specification	2027	200% HW, 200% SW	95013K HW, 136429K SW

Design Technology Improvement	Year	Improvements		Description
		Dynamic	Static	
Software Virtual Prototype	2011	1.23	1.20	Allow the programmer to develop software prior to silicon
Frequency Islands	2013	1.26	1.00	Designing blocks that operate at different frequencies
Extreme Power Gating	2015	0.90	1.00	Shutting down applications (Dark Silicon)
Hardware/Software Co-Partitioning	2017	1.18	1.00	Hardware/software partitioning at the behavioral level based on power
Heterogeneous Parallel Processing (AMP)	2019	1.18	1.00	Using multiple types of processors in a parallel computing architecture
Many Core Software Development Tools	2021	1.20	1.00	Using multiple types of processors in a parallel computing architecture
Power-Aware Software	2023	1.21	1.00	Developing software using power consumption as a parameter
Near-Threshold Computing	2025	1.23	0.80	Lowering Vdd to 400 - 500 mV
Asynchronous Design	2027	1.21	1.00	Total Non-clock driven design
Total		3.47	0.96	

Design Cost低減の施策とトレンド



Low-Power設計と電カトレンド



MtMに向けての設計の取り組み



- **注力領域:ソフト、アナログミックスシグナル, MEMS, 3次元実装**
- **さらなる設計技術の高度化と設計生産性向上への取り組み**
 - 3次元実装設計フローの構築
 - 連成モデルの作成、シミュレーションと解析技術
- **例 1 : thermal / mechanical analysis (base station)**
- **例 2 : MEMS + electrical analysis (mobile gaming)**
- **例 3 : sensors + signal processing (industrial, medical)**
- **例 4 : software + HW simulation (data center network)**

目次

- ◆はじめに
 - ワーキングメンバ、スコープ、ミッションなど
- ◆ITRS2013アップデートのポイント
 - システム・ドライバ章
 - デザイン章
- ◆**新Consumer Portable SOCモデル**
- ◆まとめ

SOC-CPモデルへの取組み

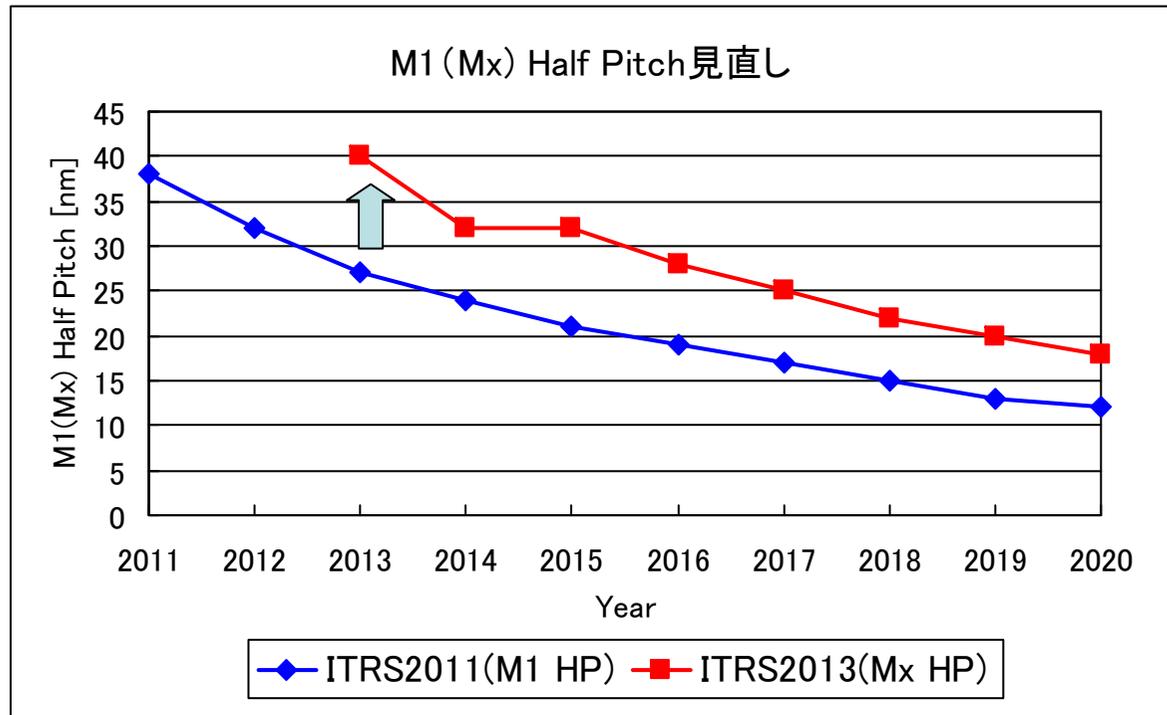
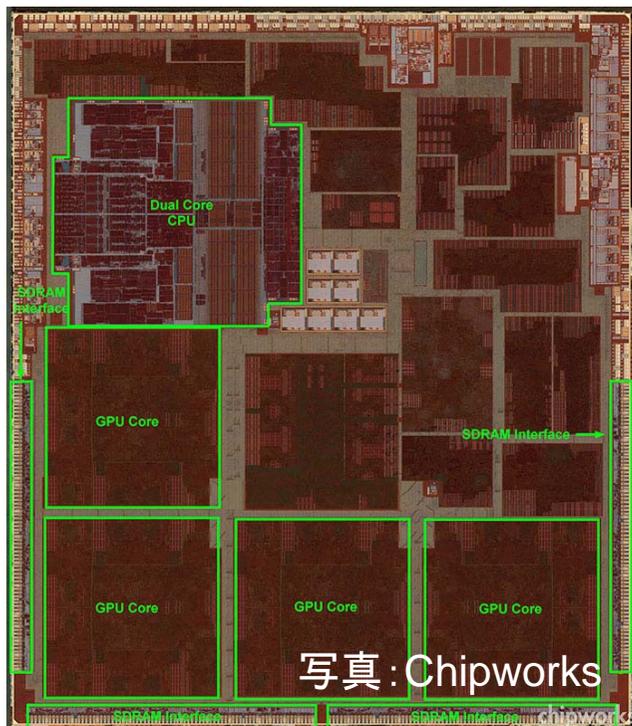


- STRJからSOC-CPモデルを提案
 - 2005年: ITRS2005に掲載
 - 2009年: 面積見直しとMain Proc.をマルチコア化
 - 2013年: モデルを携帯電話向けSOCからスマートフォン向けアプリケーション・プロセッサに見直し
- ITRS2013の見直しポイント
 - M1 HPの値
 - 27nm@ITRS2011→40nm@ITRS2013
 - モデルの想定チップサイズ
 - 49mm²→140mm²
 - SOC-CPの構成要素
 - GPUを追加
 - RF/AMSを追加

M1 HPの見直し

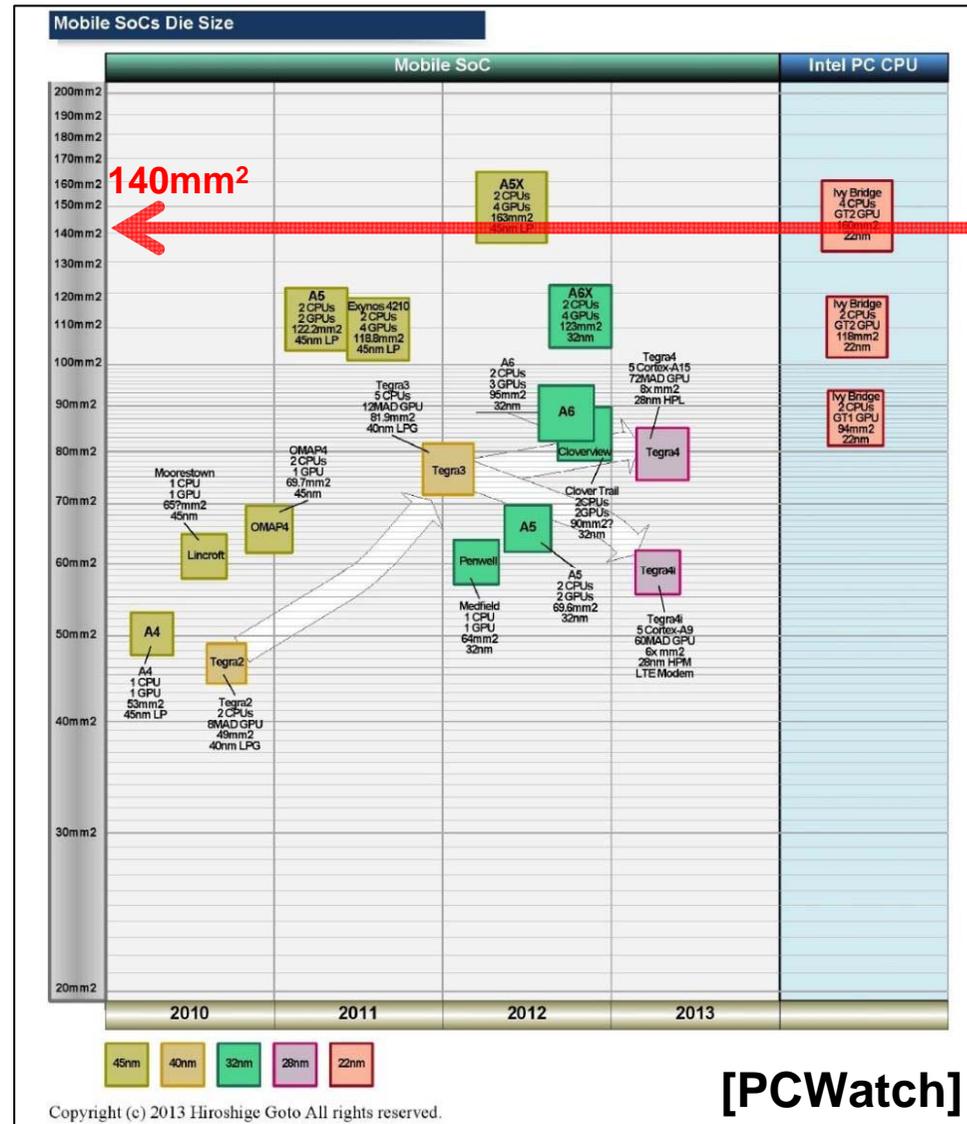
- 市販SOC/MPUの公開チップ写真を解析
- 内蔵MPUのトランジスタ数が**想定値の2倍**
Kahng教授(米国Design WGリーダー、UCSD大)に、M1 HPの妥当性を確認
- Kahng教授の実チップ分析結果から、ORTC、リソ、配線などの各ITWGで協議され、**M1 HP見直しへ**
- 見直し後のM1 HPで市販SOC/MPUを再解析
→ **想定値とトランジスタ密度の整合を確認**

見直しM1HPで2013年版SOC-CPモデルを構築



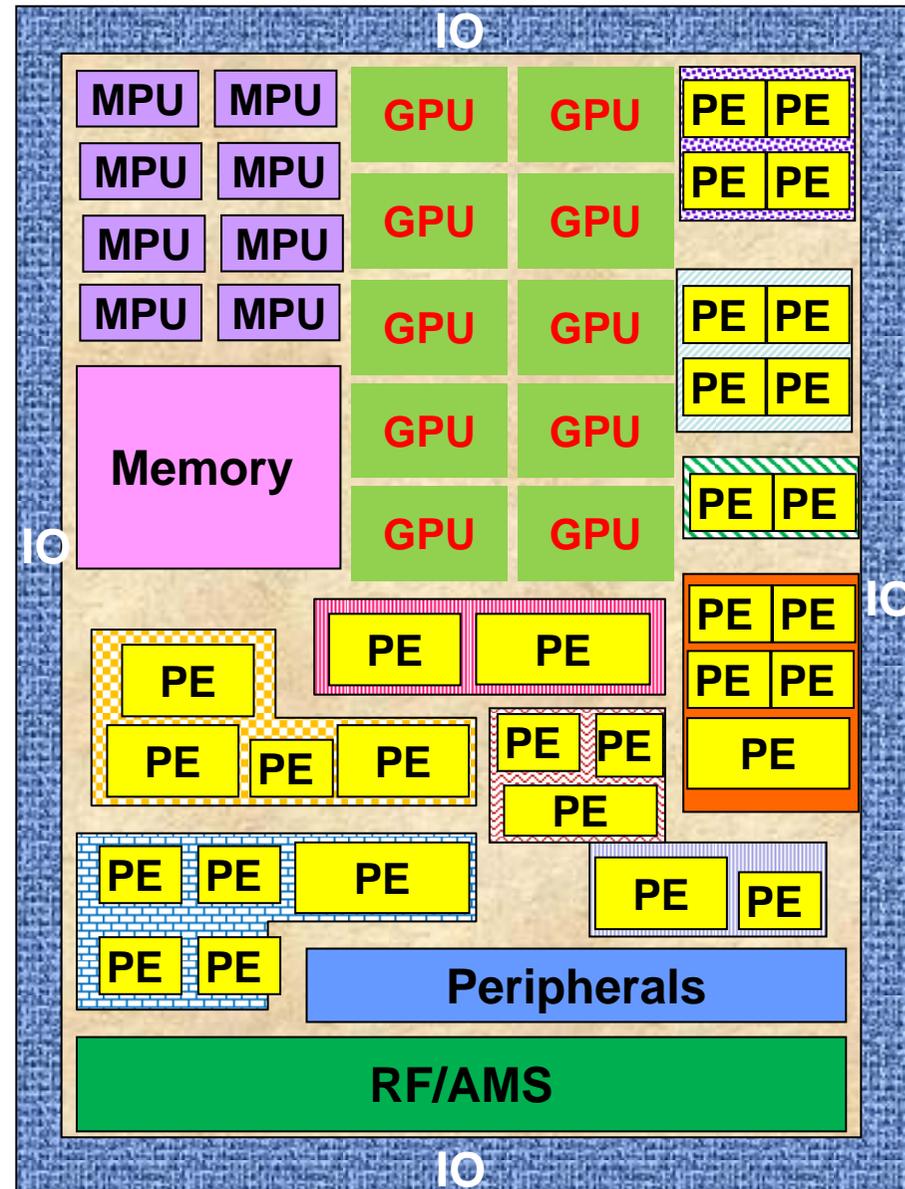
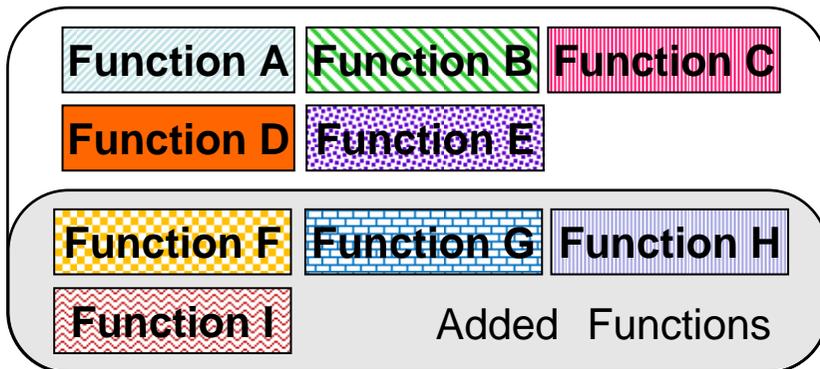
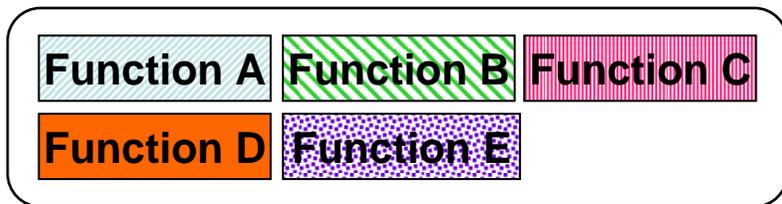
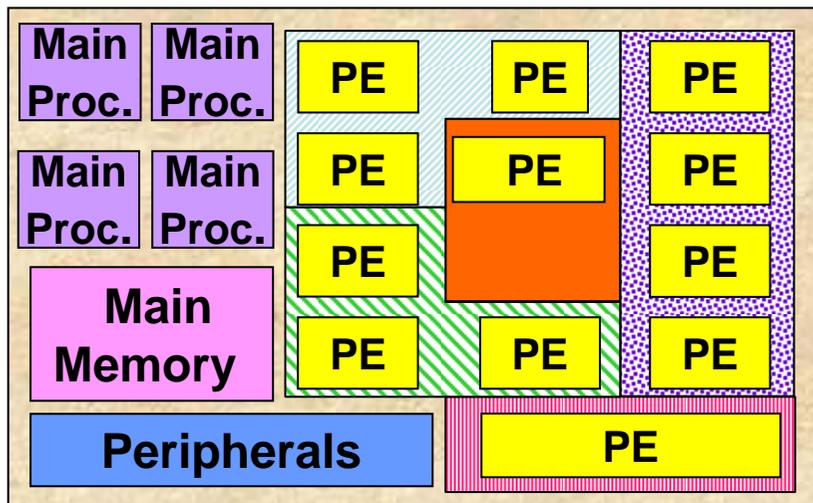
チップサイズのトレンド

- チップサイズを決める要素
 - Cost
 - Power
 - スマートフォン形状からの制約
- 想定チップサイズ
 - 140mm²
 - 従来モデルで含めていなかった
 - RF/AMS
 - I/O
 をモデルに追加
 (当初WG1では上記を除いて
 100mm²を提案)
- チップサイズの増加要因
 - 実装機能の増加
 - MxHP微細化率の鈍化
 - 2.5D logic-logic integration

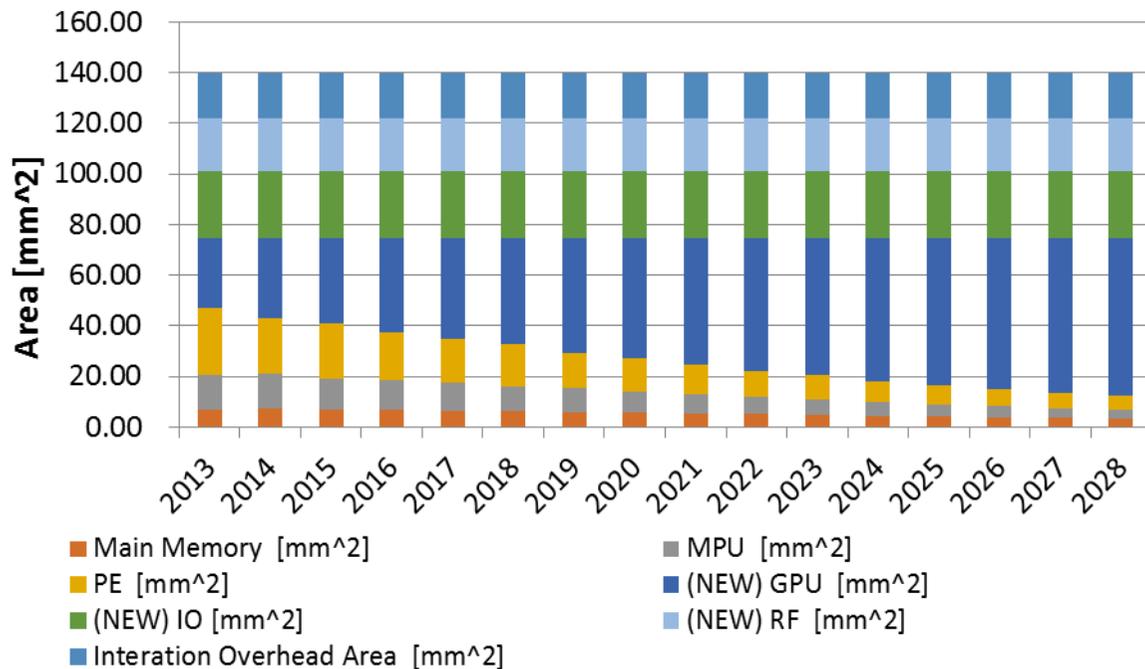


Copyright (c) 2013 Hiroshige Goto All rights reserved. http://pc.watch.impress.co.jp/docs/column/kaigai/20130228_589799.html

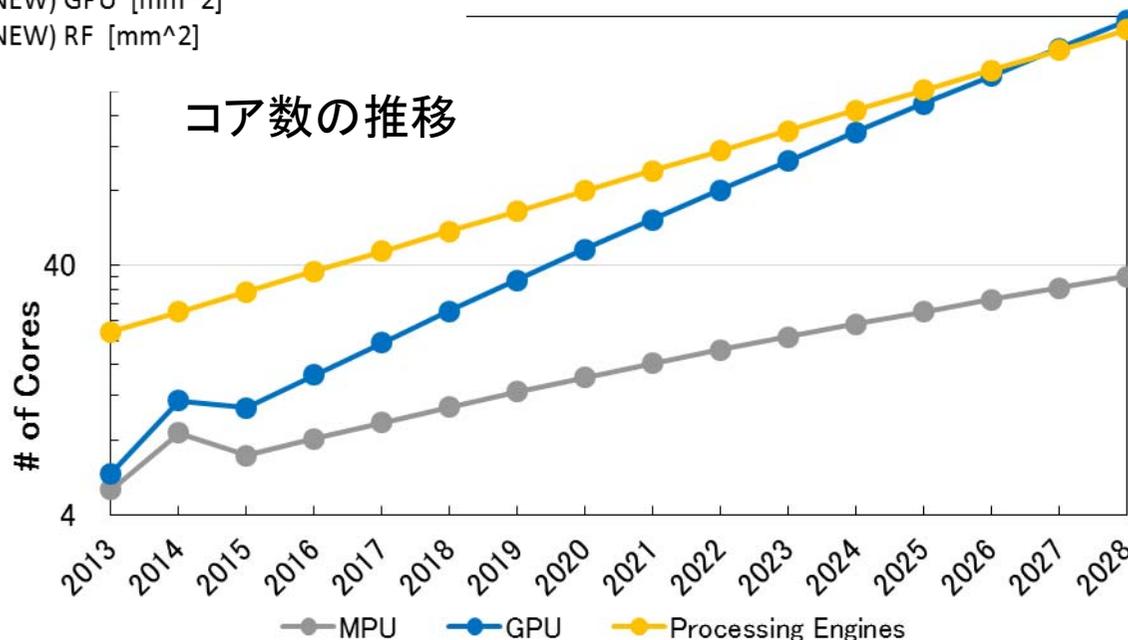
新SOC-CPモデルの構成



SOC-CP プロファイル・トレンド



GPU dominates area
(19% in 2013, 41% in 2028)



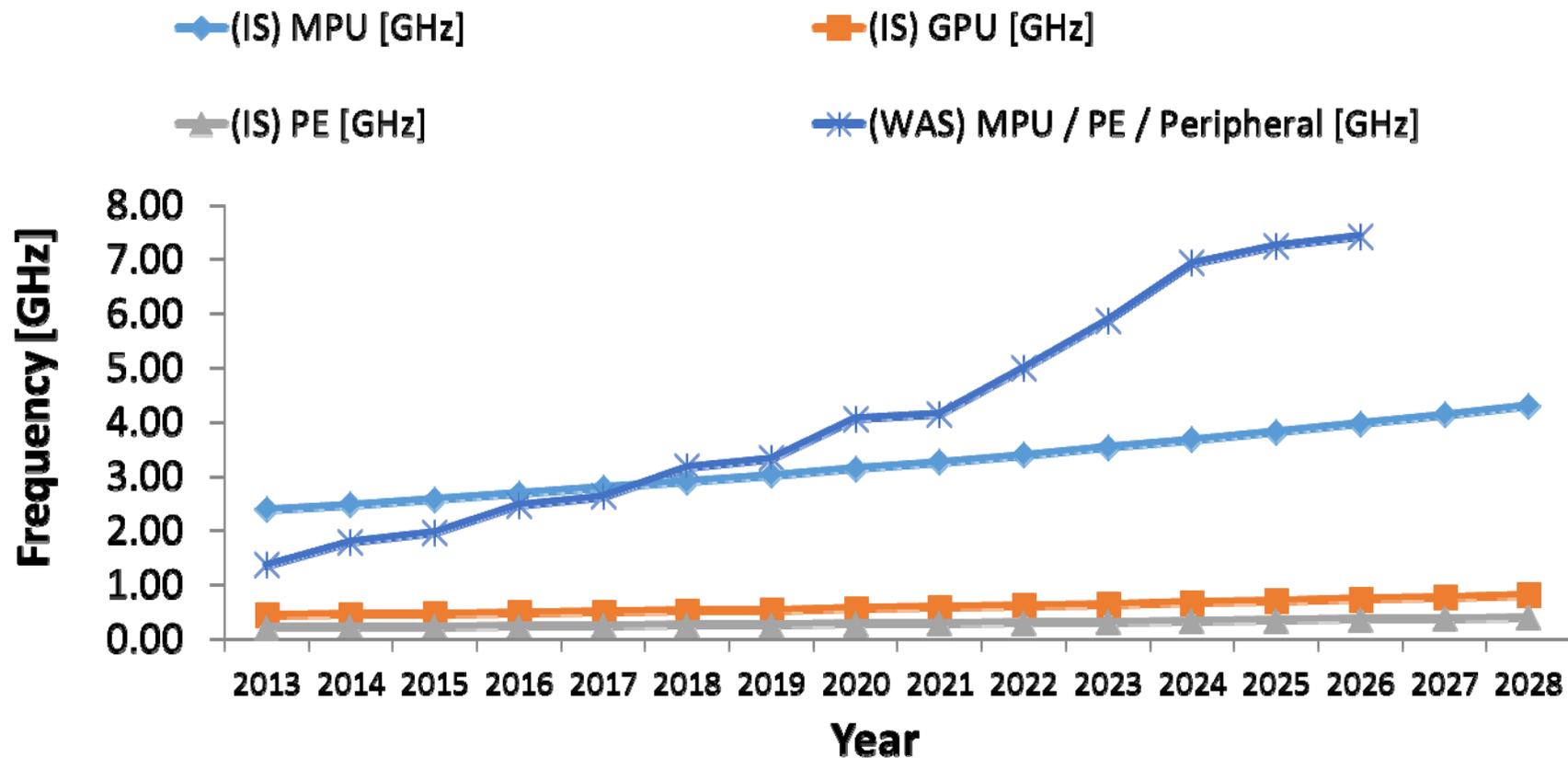
SOC-CP 動作周波数トレンド



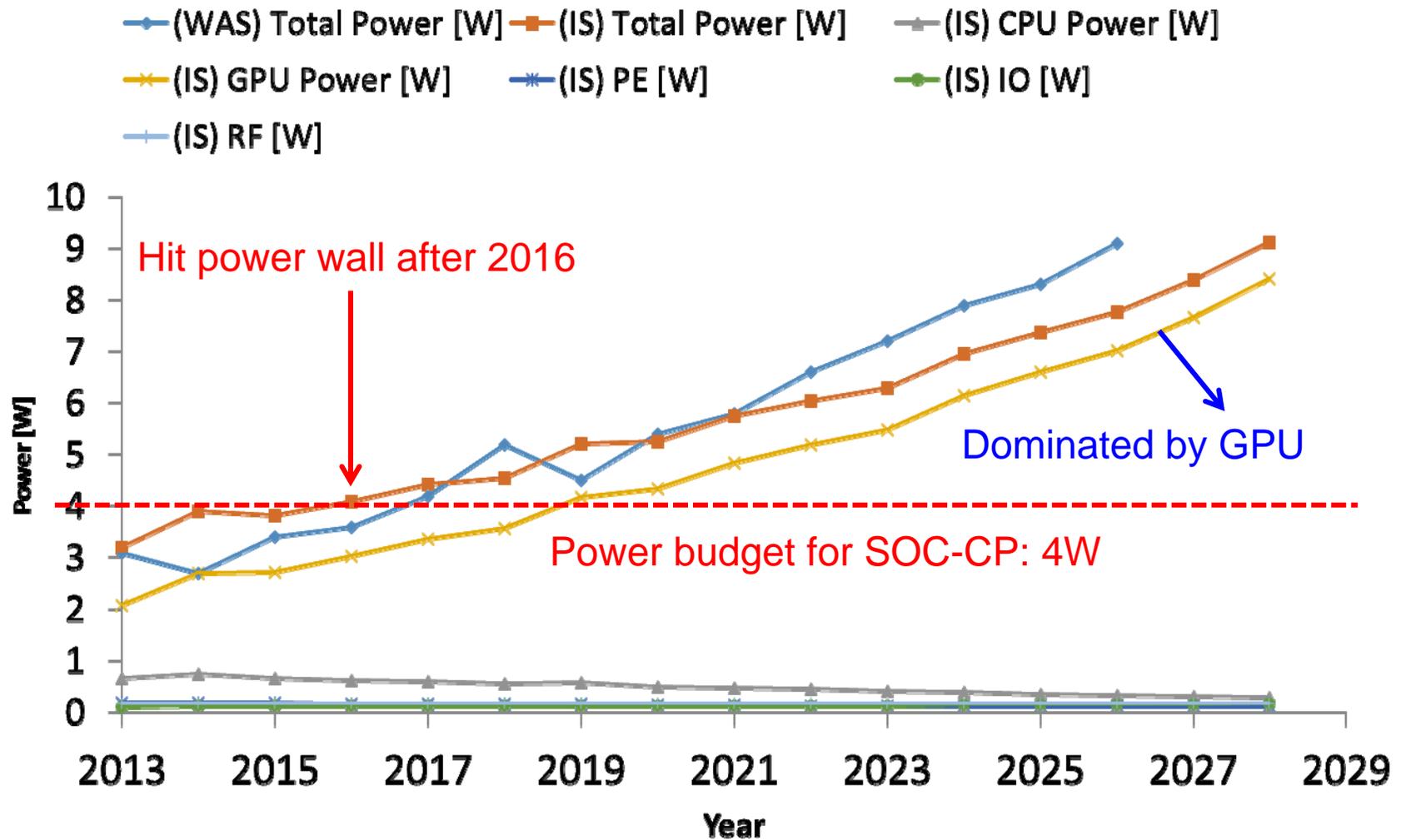
旧モデル: MPU / PE / Peripheral 全てが最高周波数で動作



新モデル: MPUが最高周波数で動作、GPUやPEは消費電力制約の下で動作



SOC-CP 消費電カトレンド



目次

- ◆はじめに
 - ワーキングメンバ、スコープ、ミッションなど
- ◆ITRS2013アップデートのポイント
 - システム・ドライバ章
 - デザイン章
- ◆新Consumer Portable SOCモデル
- ◆まとめ

まとめ

ITRS2013アップデート

■システム・ドライバ章

- ◆ Design-Based Equivalent Scalingの導入

■デザイン章

- ◆ Design Cost Model
- ◆ Low-Power Design Roadmap
- ◆ Design Tech for More Than Moore Fabrics

新Consumer Portable SOCモデル

■新モデルのために見直した要素

- ◆ SOC-CPモデルの対象アプリ
- ◆ M1 HP
- ◆ 想定チップサイズ
- ◆ SOC構成要素にGPUを追加

■新モデルによるトレンドの算出

- ◆ 新モデルの構成要素の面積トレンド
- ◆ 消費電力トレンド

WG1提案モデルを
ITRS2013に掲載予定

END