

# Front-End Processes (FEP) WG

## 新構造・新材料との融合による FEP技術の革新

水島一郎(東芝)

### 内容

- STRJ FEPのメンバー、スコープ
- 今年度の活動
- ITRS2013 FEPの改訂のトピック
- 新構造・新材料との融合によるFEP技術の革新
- まとめ

# 略号

HP: High Performance

LP: Low Power

LOP / LSTP: Low Operating Power / Low STandby Power

STI-CMP: Shallow Trench Isolation- Chemical Mechanical Polish

EOT: Equivalent Oxide Thickness

Dit: InTInterface state Density

UTB-FDSOI: Ultra Thin Body – Fully Depleted Silicon On Insulator

SOTB: Silicon On Thin Buried oxide

RIE: Reactive Ion Etching

TSOI: Thickness of Silicon On Insulator

TBOX: Thickness of Buried OXied

SCE: Short Channel Effect

NW-LWR: NanoWire-Line Width Roughness

RDF: Random Dopant Fluctuation

RSD: Resistance of Source and Drain

GOX: Gate Oxide

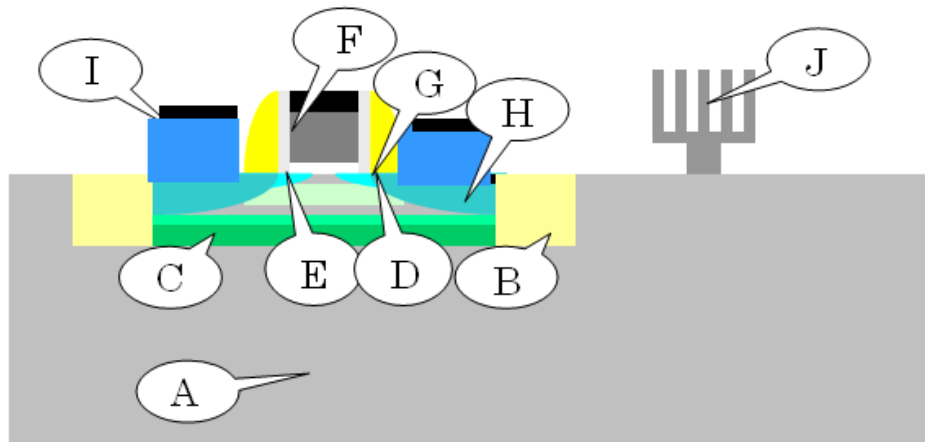
# STRJ/FEP\_WGメンバー

リーダー: 水島 一郎 (東芝)  
幹事: 羽根 正巳 (ルネサスエレクトロニクス)\* \*:国際対応  
委員: 彦坂 幸信 (富士通セミコンダクター)  
宮波 勇樹 (ソニー)  
永田 敏雄 (ローム)  
郡 充秀 (ローム)

特別委員(大学): クロス ジェフリー(東京工業大学)

特別委員: 国井 泰夫 (日立国際電気): SEAJより  
青木 英雄 (日立ハイテクノロジーズ): SEAJより  
渡辺 正晴 (日本セミラボ)\*: 米国Start. Mat. WG  
三木 克彦 (信越半導体): 新金属協会より

# F<sub>ront</sub>E<sub>nd</sub>P<sub>rocess</sub> スコープ



- A: Starting Material
- B: Isolation
- C: Well Doping
- D: Channel Surface (Preparation)
- E: Channel Doping and Channel Strain
- F: Gate Stack (Including Flash) and Spacer
- G: Extension Junction and Halo
- H: Contacting Source/Drain Junction
- I: Elevated Junction and Contacts
- J: DRAM, Phase Change, and FeRAM Storage

## ITRS2013構成(技術記載順)

### DEVICE METRICS

Logic Devices [HP, LP]  
 DRAM Devices  
 Flash Devices  
 PCM Devices  
 FeRAM Devices

←  
 LOP⇒削除  
 LSTP⇒LP

### PROCESS METRICS

Starting Materials  
 Surface Preparation  
 Thermal/Thin Films/Doping  
 Etch  
 STI-CMP

# FEP WG3活動 2013年度の活動方針

## 【国際活動】

1. ITRS2013に向けたFEP技術議論。
2. FeRAMに関する調査、ITRS2013の執筆。
3. ウェーハ仕様、大口径化に関する調査、ITRS2013への反映。

## 【国内活動】

1. ウェーハ大口径化に関する継続調査。
2. 低消費電力化に向けたFEP技術の継続調査。
3. III V材料を含む新材料・新構造MOSFETに必要なFEP技術に関する調査。

# 2013 ITRS FEP Sub-TWG Leadership

- **HP MPU ASIC - FEP 2**
  - Wei-Yip Loh (US)
- ~~**LOP (FEP 3) (Eliminated)**~~
- **LP (FEP 4) (renamed from LSTP)**
  - Wei-Yip Loh (US)
- **DRAM - FEP 5**
  - Kee Jeung Lee (KR)
- **Floating Gate Flash - FEP 6**
  - None
- **Charge Trapping Flash - FEP 7**
  - None
- **PCM - FEP 8**
  - None
- **FeRAM - FEP 9**
  - Yukinobu Hikosaka (JP)
- **Starting Materials - FEP 10**
  - WAS: Mike Walden (US)
  - WAS: Mike Goldstein (US)
  - Bich-Yen Nguyen (US)
- **Surface Preparation - FEP 11**
  - Joel Barnett (US)
- **Therm/Thin Films/Doping - FEP 12**
  - Wei-Yip Loh (US)
- **Etch - FEP 13**
  - WAS: Tom Lii (US)
  - IS: John Arnold (US)
- **CMP - FEP 14**
  - Darryl Peters (US)?

# FEP Difficult Challenges in ITRS2013 Near Term

- Strain Engineering
  - continued improvement for increasing device performance **at tight pitch**
  - application to FDSOI and Multi-gate technologies
- Achieving Low Parastics
  - achieving low resistance and capacitance and continued scaling of gate pitch
- ~~• Achieving DRAM cell capacitance with dimensional scaling~~
  - ~~– finding robust dielectric with dielectric constant of ~60~~
  - ~~– finding electrode material with high work function~~
- Scaling and 450mm
  - ~~– Meeting production level quality and quantity for 450mm wafers~~
  - **Continued areal scaling with next generation substrates (450mm wafers) and adoption of disruptive technologies to meet lithographic challenges.**

# FEP Difficult Challenges in ITRS2013

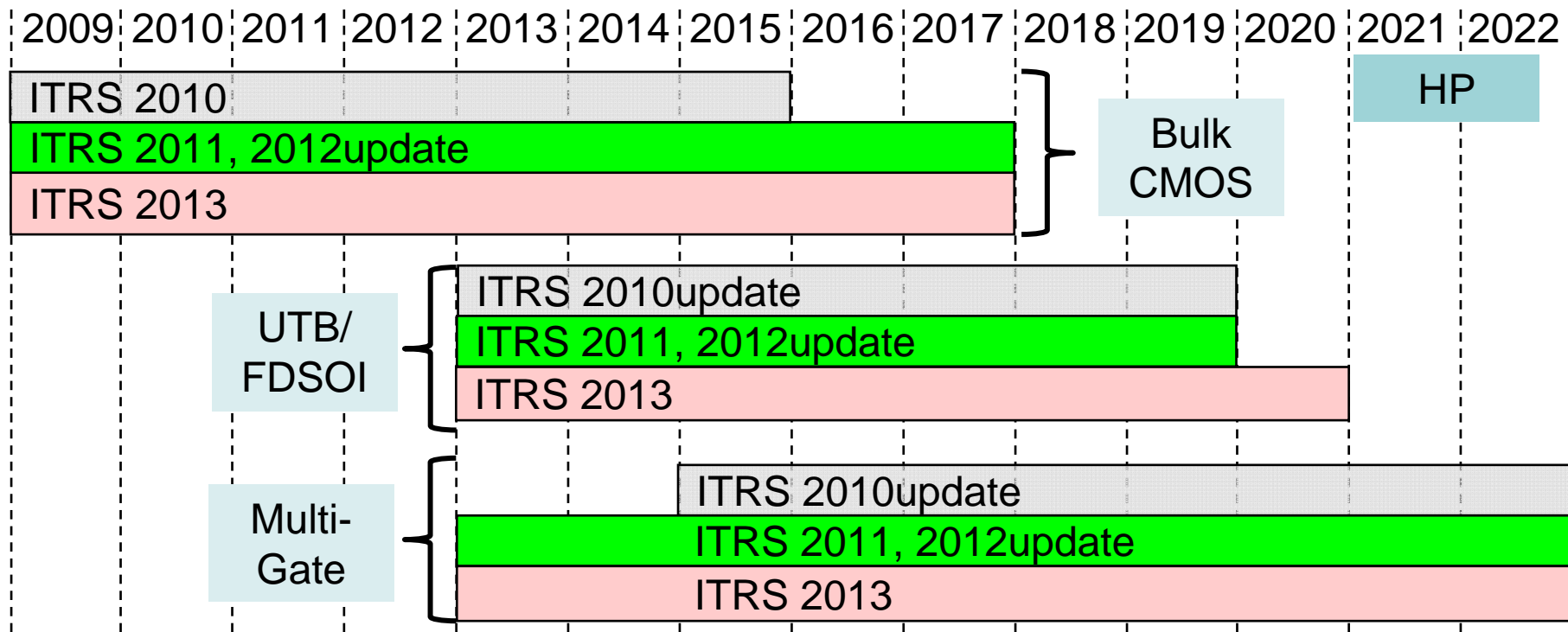
## Long Term

- Continued scaling of HP multigate device in all aspects: EOT, junctions, mobility enhancement, new channel materials, parasitic series resistance, contact silicidation.
- Introduction **and heterointegration** of high mobility channels (based on III-V and Ge) to replace strained Si for continual performance
- ~~• Lowering required DRAM capacitance by 4F2 cell scheme or like, while continuing to address materials challenges~~
- **Continual scaling of device parasitics with new channel materials, especially for contact resistivity due to severe reduction in device pitch and contact area.**
- Continual EOT scaling ~~below 0.7 nm with appropriate metal gates~~ **and gate dielectrics with low  $D_{IT}$ , bulk traps and leakage for high mobility, low bandgap channels materials (Ge, IIIV and 3D materials)**
- ~~• Continued charge retention with dimensional scaling and introduction of new non-charge based NVM technologies~~



# Logic Deviceのロードマップ (HP)

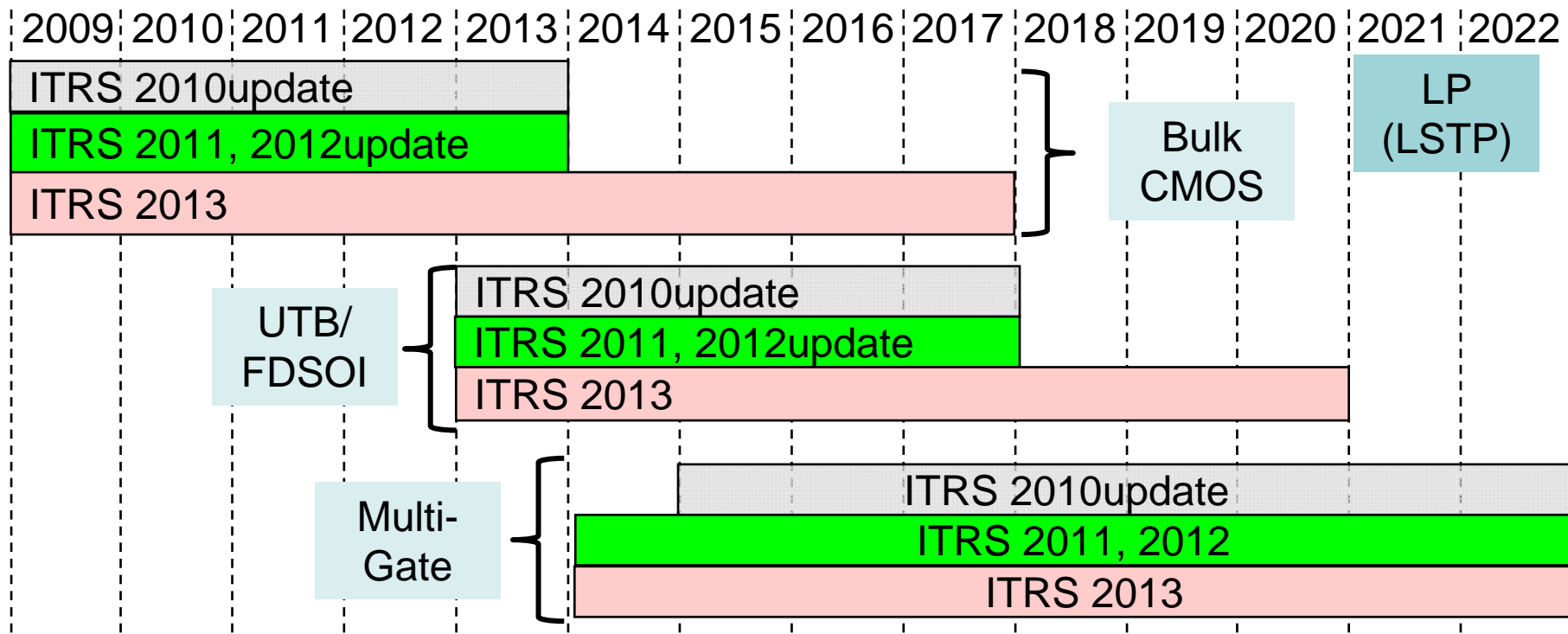
Bulk CMOS、FDSOI、Multi-Gateの平行パス  
 FDSOIの延命による平行期間の長期化  
 Bulk/SOI/MG間でのEOTの統一



# Logic Deviceのロードマップ (LP (LSTP))

## Bulk CMOS、FDSOI、Multi-Gateの平行パス

Bulk CMOSの延命 / SOIの継続 / Multi-gateの前倒し  
LPのロードマップに、FDSOI/Multi-Gateのための寄生抵抗、 $T_{SOI}$ 厚、移動度等の値が追加(2013)



# Starting Material ITRS2013

	<i>Year of Production</i>	2013	2014	2015	2017	2018
<b>WAS</b>	Maximum Substrate Diameter (mm)—High-volume Production **	300	450	450	450	450
<b>2012 Update</b>		300	300	450	450	450
<b>IS</b>		300	300	300	300	450

450mmウェーハの量産時期はさらに後ろ倒し

	<i>Year of Production</i>	2013	2014	2015	2017	2018
<b>WAS</b>	Starting silicon layer thickness (Partially Depleted) (tolerance $\pm 5\%$ , $3\sigma$ ) (nm) (D)	35–55	33–51	30–47	26–40	may be revisited depending on progress of FinFET
<b>IS</b>	Starting silicon layer thickness (PD-SOI->FinFET-SOI or Nanowire) (tolerance $\pm 5\%$ , $3\sigma$ ) (nm) (D)	65-75	65-75	30-50	30-40	

PD-SOIに代えて、FinFETへの適用を想定したSOI厚さを記載

# 3D-Flash

- ITRS2011で、本文中に記載が追加 (Tableなし)

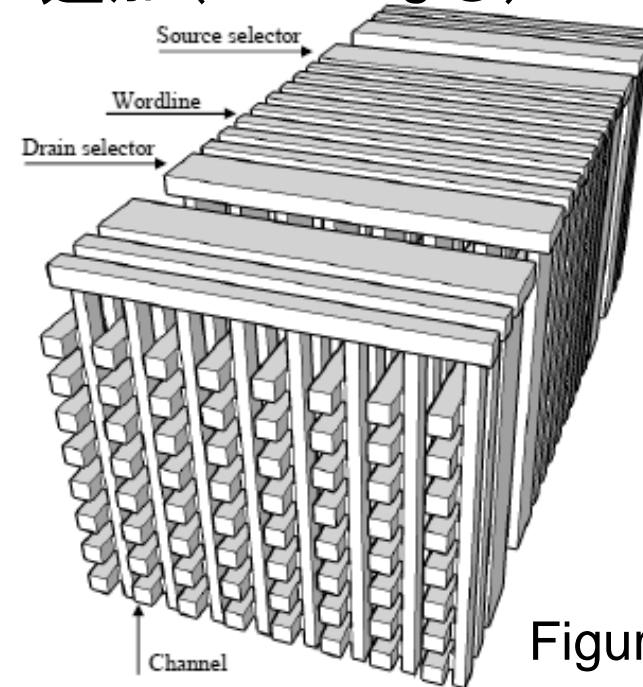
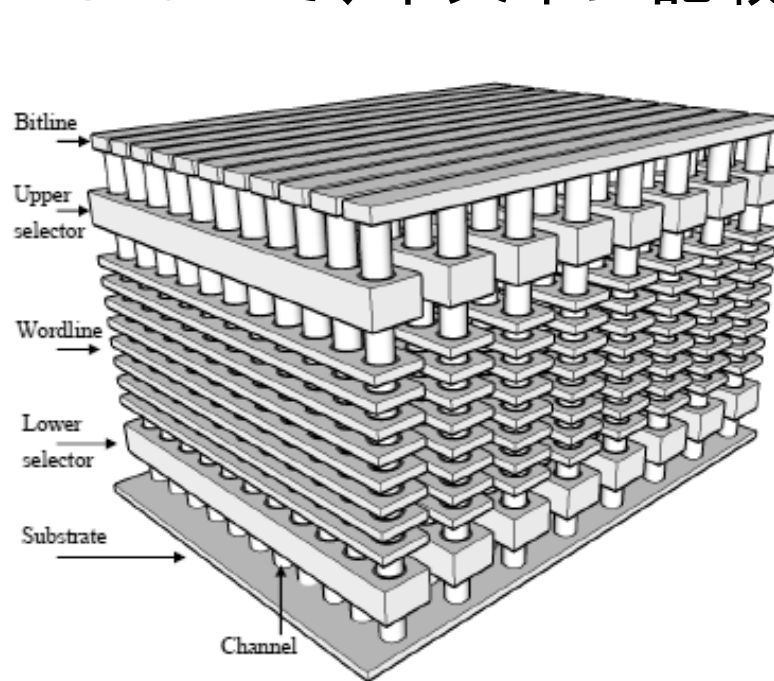


Figure FEP12

vertical channel / horizontal gate    vertical gate / horizontal channel

Node	90nm	65nm	45nm	32nm	22nm
NOR					
NAND					

Charge Trap cell

3D stacked, 3D exotic, .....

構造がFixしておらず、ITRS2013でもTable作成に至っていない

# FeRAM ITRS2013

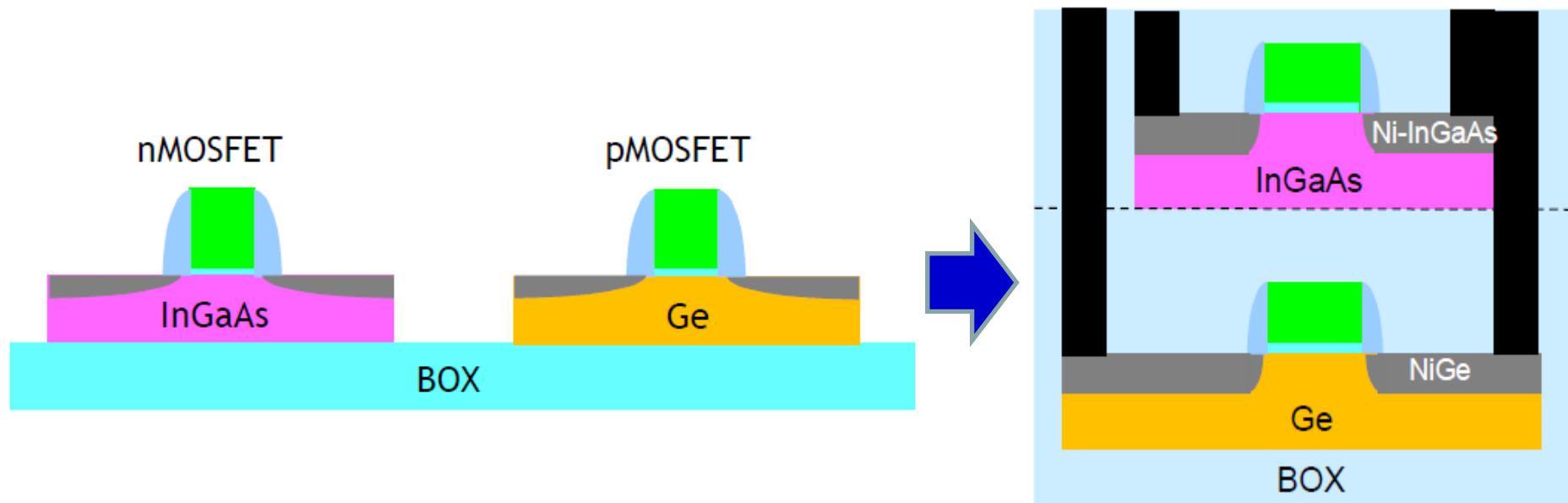
<i>Year of Production</i>		<i>2013-2015</i>	<i>2016-2020</i>	<i>2021-2024</i>	<i>2025-</i>
<i>FeRAM technology node</i>	→2011	130	90	65	45
	→2013	130	90	65	45
<i>FeRAM cell size – area factor a in multiples of F2 [B]</i>	→2011	23.2	21.9	15.3	12.7
	→2013	23.2	21.9	20.0	18.8
<i>FeRAM cell size (<math>\mu\text{m}^2</math>) [C]</i>	→2011	0.710	0.400	0.169	0.081
	→2013	0.710	0.400	0.220	0.12
<i>FeRAM cell structure [D]</i>	→2011	1T1C	1T1C	1T1C	1T1C
	→2013	1T1C	1T1C	1T1C	1T1C
<i>FeRAM capacitor structure [E]</i>	→2011	stack	stack	3D	3D
	→2013	stack	stack	stack	stack
<i>FeRAM capacitor footprint (<math>\mu\text{m}^2</math>) [F]</i>	→2011	0.423	0.234	0.087	0.039
	→2013	0.423	0.234	0.125	0.067
<i>FeRAM capacitor active area (<math>\mu\text{m}^2</math>) [G]</i>	→2011	0.423	0.234	0.175	0.155
	→2013	0.423	0.234	0.125	0.067
<i>Ferro capacitor voltage (V) [I]</i>	→2011	1.5	1.2	1	1
	→2013	1.5	1.2	1	1
<i>FeRAM minimum switching charge density (<math>\mu\text{C}/\text{cm}^2</math>) [J]</i>	→2011	8.5	12.0	13.0	11.5
	→2013	8.5	12.0	18.1	26.5
<i>FeRAM endurance (read/write cycles) [K]</i>	→2011	1.00E+15	1.00E+15	>1.0E16	>1.0E16
	→2013	1.00E+15	1.00E+15	>1.0E16	>1.0E16
<i>FeRAM nonvolatile data retention (years) [L]</i>	→2011	10 Years	10 Years	10 Years	10 Years
	→2013	10 Years	10 Years	10 Years	10 Years

2021年以降もPlanar Stack構造を継続

# ヒアリング(～2013年度)

年月	講師	テーマ	分類
11年8月	沼田 敏典氏(東芝)	Si Nanowire Tri-Gate	Multi-Gate
12年4月	藤田和司氏(富士通)	低電圧MOSFET技術	Bulk CMOS
12年7月	木下ERDリーダー	ERD/ERM 新機軸デバイスの状況	
12年8月	羽根委員	Mears技術ヒアリング情報	Bulk CMOS
12年10月	富岡 克広氏(北大)	ⅢVナノワイヤチャネル	新材料
13年2月	杉井 信之氏(LEAP)	SOTB	FDSOI
13年7月	入沢 寿史氏(GNC)	InGaAs/Ge三次元積層CMOS	新材料
13年9月	能登 宣彦氏(SEH)	FDSOI向け300mm薄膜SOI	FDSOI
14年2月	内田 建先生(慶大)	Extending the FET	FET・新材料

# InGaAs/Ge三次元積層CMOS (1)

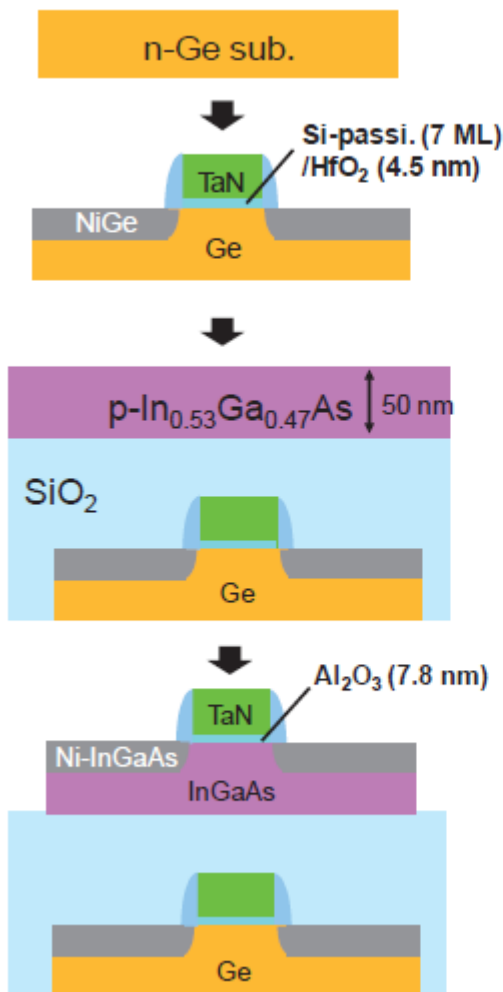


	Si	Ge	GaAs	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	InAs	InSb
Electron Mobility [ $\text{cm}^2/\text{Vs}$ ]	1600	3900	9200	12000	40000	77000
Hole Mobility [ $\text{cm}^2/\text{Vs}$ ]	430	1900	400	300	500	850
Electron injection velocity @ $N_s = 1\text{e}13 \text{ cm}^{-2}$ [ $\text{cm/s}$ ] <sup>[1]</sup>	1.7e7	1.6e7	2.5e7	-	1.0e8	4.7e7

Irisawa, VLSI2013

**nMOS: InGaAs、pMOS: GeのCMOSを  
Ge上InGaAsの積層構造で実現**

# InGaAs/Ge三次元積層CMOS (2)



## Ge MOSFET process

- Field isolation
- Gate dielectric formation
- TaN sputtering and RIE
- Ni sputtering
- NiGe formation anneal
- Unreacted Ni wash-out

## Wafer bonding process

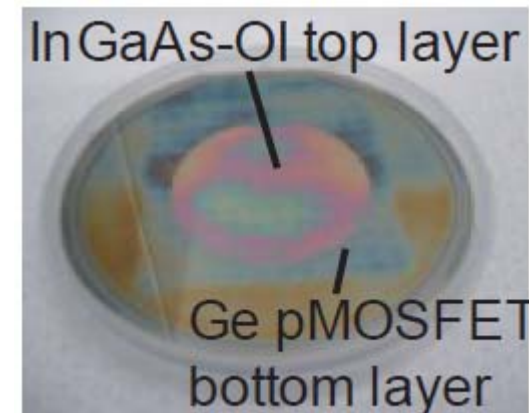
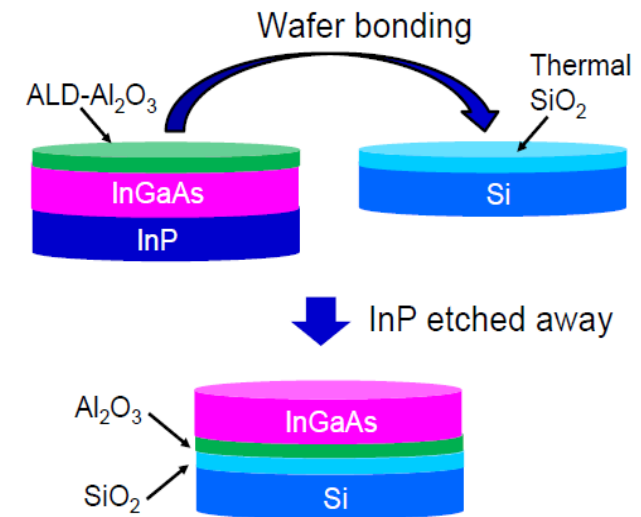
- SiO<sub>2</sub> interlayer deposition
- CMP planarization
- InGaAs wafer bonding
- InP etching

## InGaAs MOSFET process

- Mesa isolation
- Gate dielectric formation
- TaN sputtering and RIE
- Ni sputtering
- Ni-InGaAs formation anneal
- Unreacted Ni wash-out

## Interconnect process

- Interlayer SiO<sub>2</sub> deposition
- Contact hole formation
- Al deposition and RIE

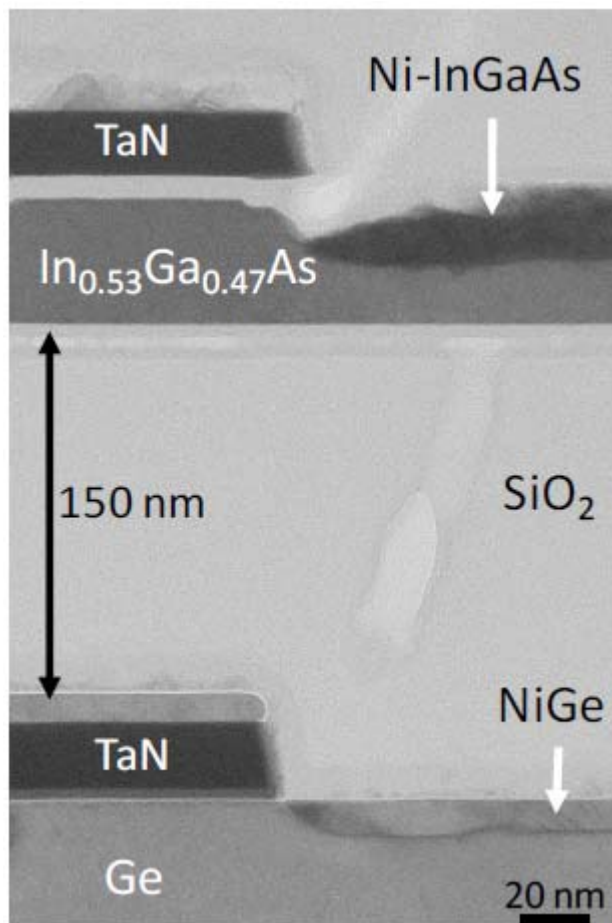


Irisawa, VLSI2013

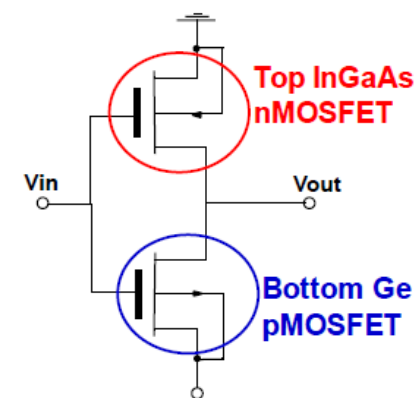
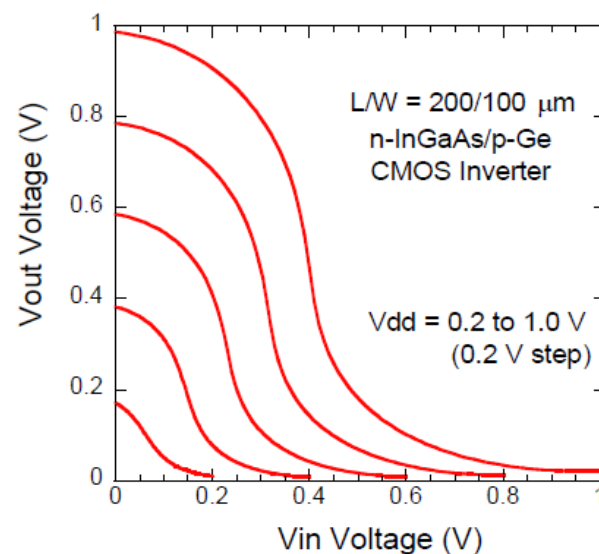
4"φのGe ウェーハ上に2"φのInGaAs層を貼り合わせ



# InGaAs/Ge三次元積層CMOS (3)



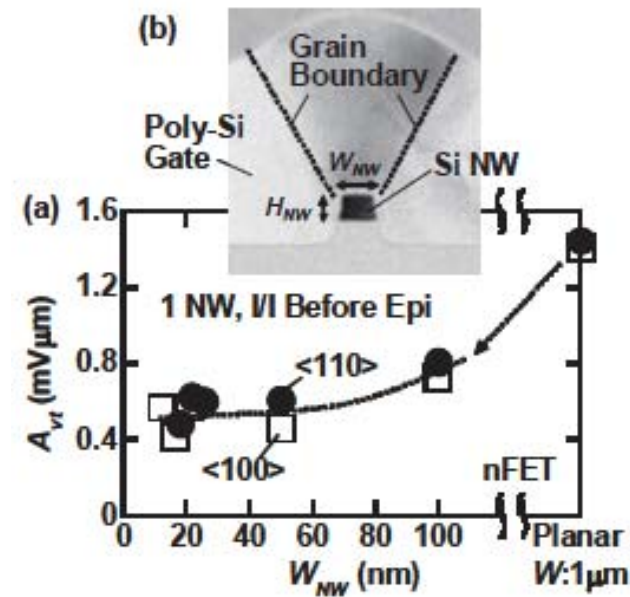
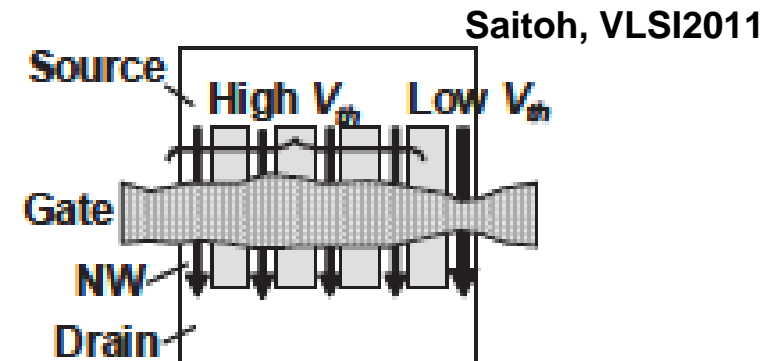
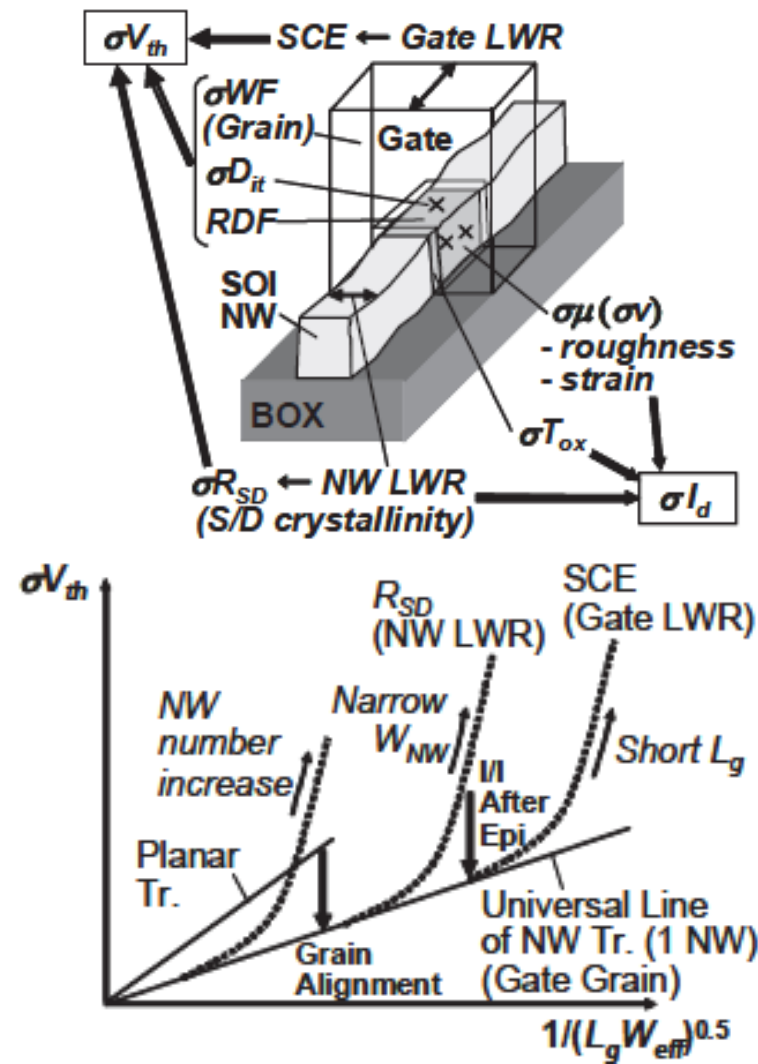
350°C以下でのプロセス構築  
により、Ge PMOSFETへのダ  
メージを抑制



Irisawa, VLSI2013

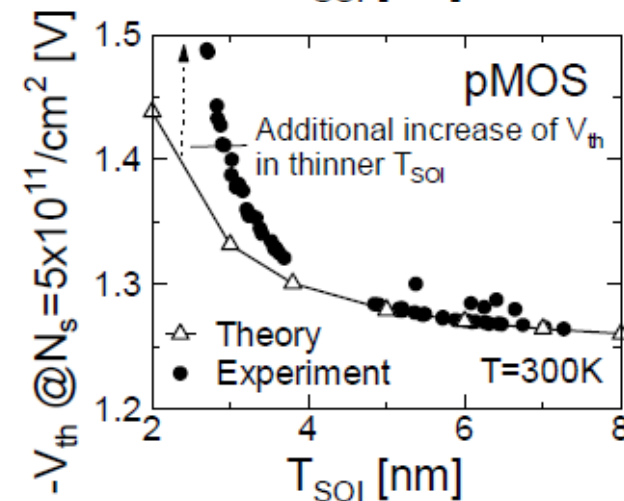
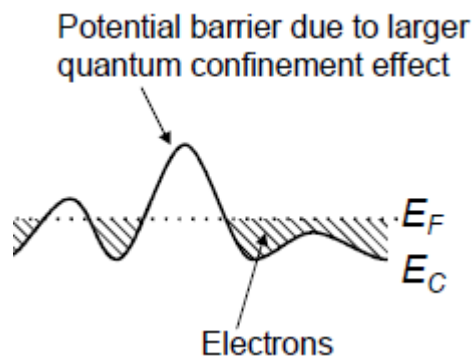
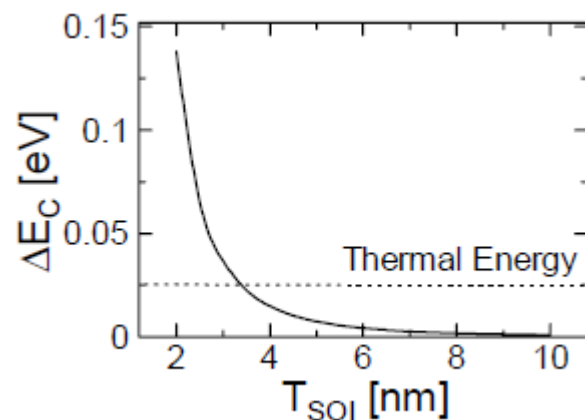
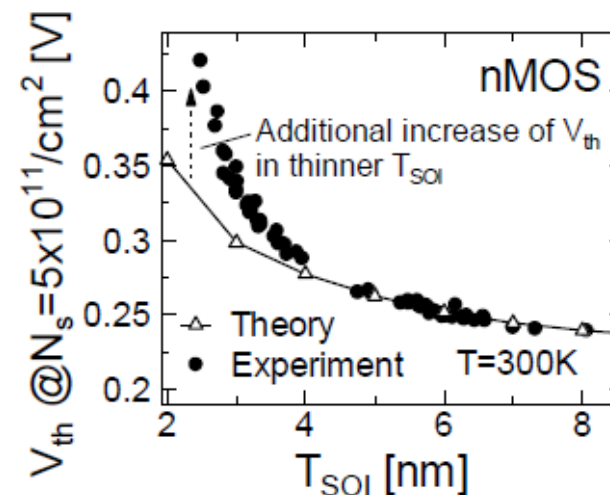
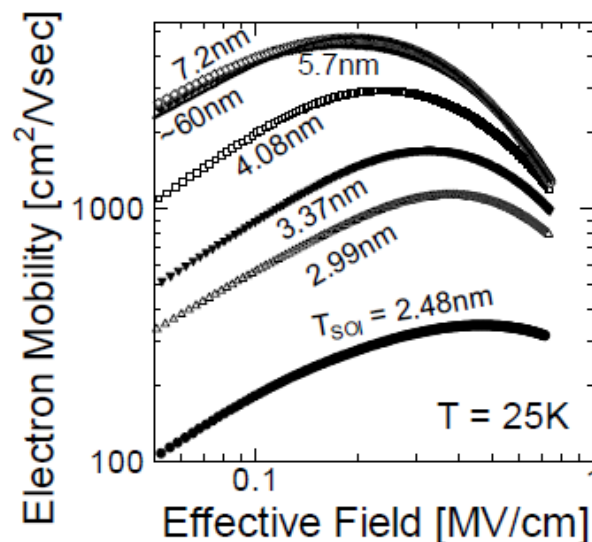
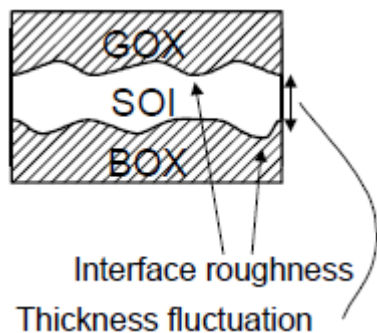
**InGaAs/GeスタックCMOSで0.2V以下での動作を確認**

# Extending the FET (1)



**FinFETの微細化に、各種要因からなるばらつき抑制が必要**

# Extending the FET (2)



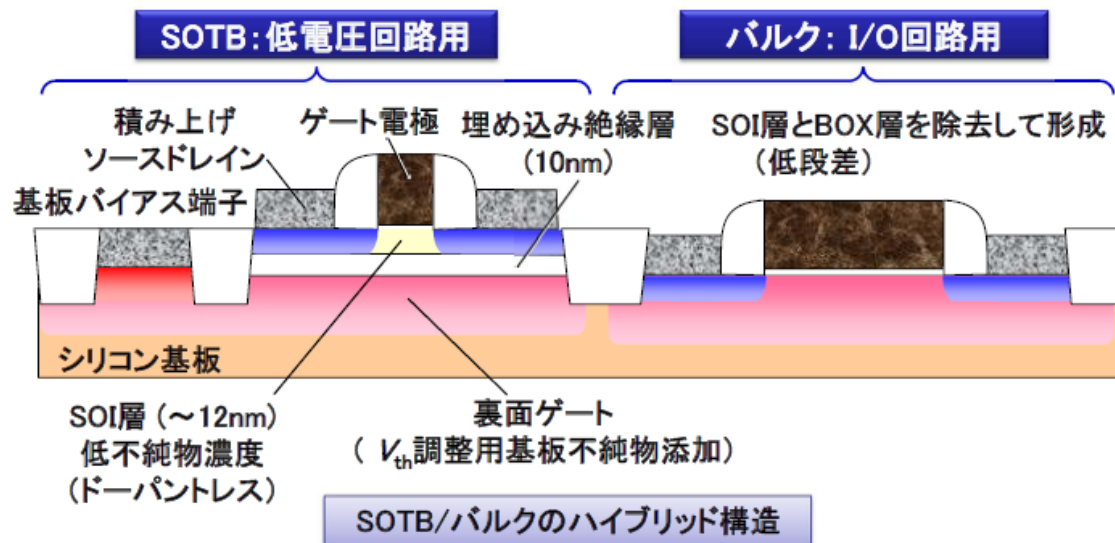
Uchida, IEDM2002

**$T_{SOI}$ のばらつきにより、移動度・ $V_{th}$ のばらつきが増加**

# FDSOI向け $T_{SOI}$ と $T_{BOX}$ (ITRS2013)



Year of Production	2013	2014	2015	2017	2018	2019
Starting silicon layer thickness (Fully Depleted) (tolerance $\pm 5\%$ , $3\sigma$ ) (nm) (E)	10-13	10-13	9-11	8-10	8-10	8-9
Buried oxide (BOX) thickness (Fully Depleted) (tolerance $\pm 5\%$ , $3\sigma$ ) (nm) (F)	30-50	20-40	20-40	15-30	15-30	10-20

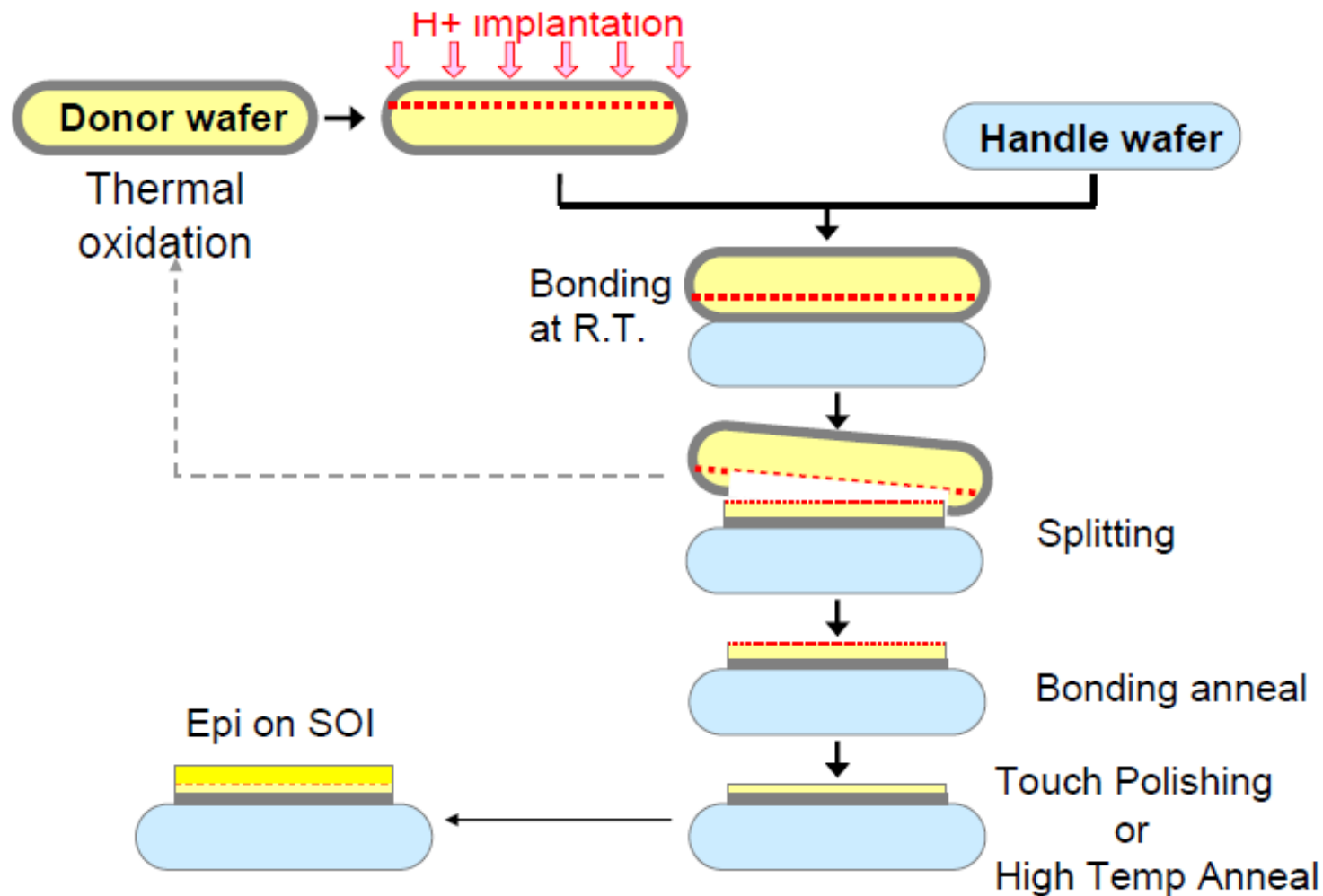


SOTB構造では、  
SiだけでなくBOX  
の厚さも重要

SOTB (Silicon on Thin Buried Oxide), SOI (Silicon On Insulator), BOX (Buried Oxide)

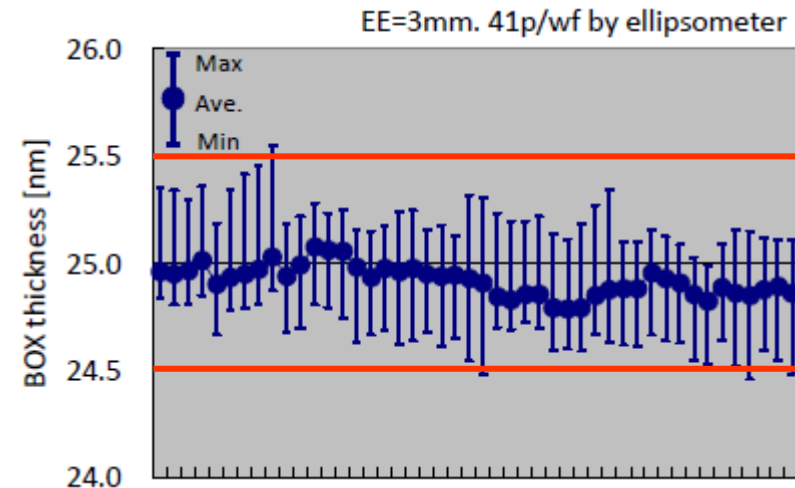
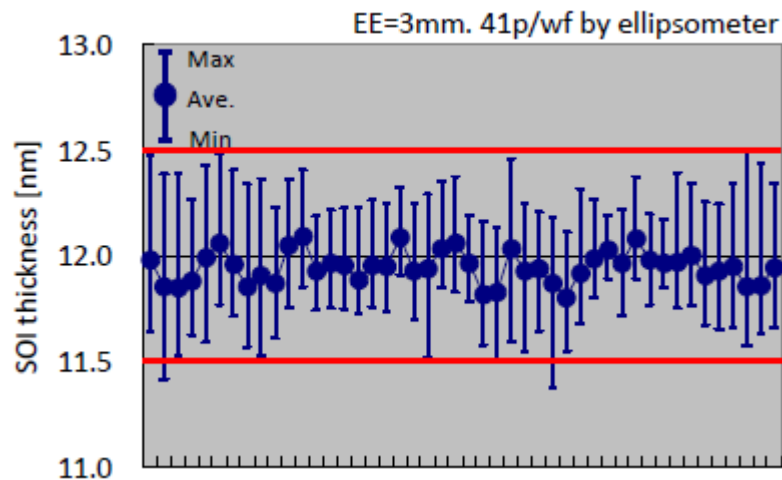
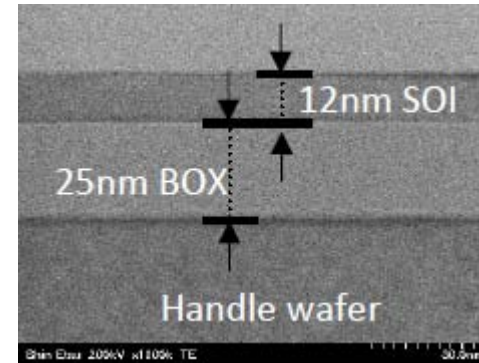
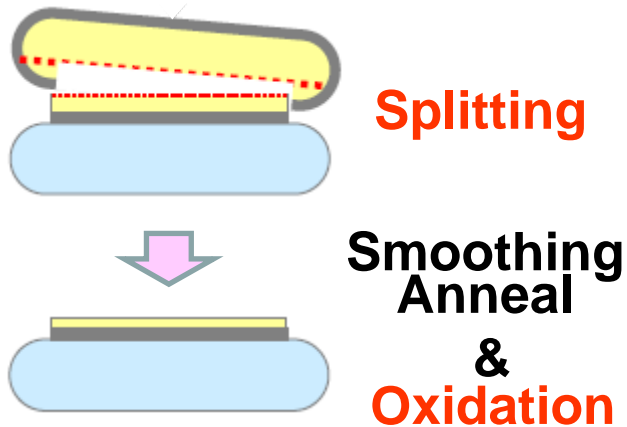
LEAP報告会, 2012年12月

# FDSOI向け300mm薄膜SOI (1)



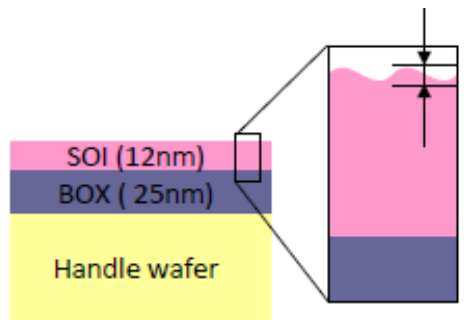
**SmartCutは、薄膜SOI形成に適したプロセス**

# FDSOI向け300mm薄膜SOI (2)

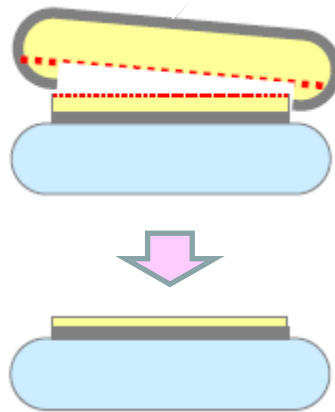


**SOI厚さ、BOX厚さのいずれについても±0.5nmを実現**

# FDSOI向け300mm薄膜SOI (3)

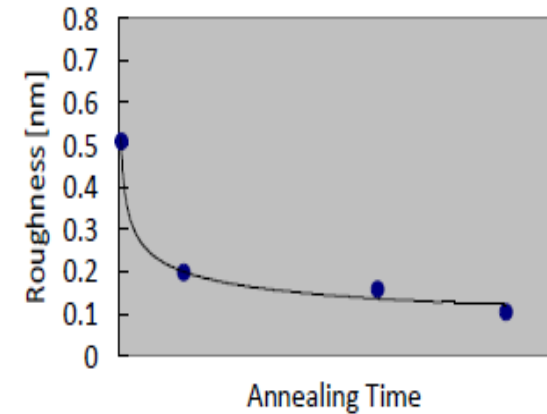


要求値:  
RMS<0.1nm

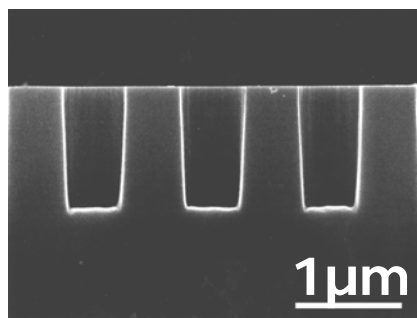


Splitting

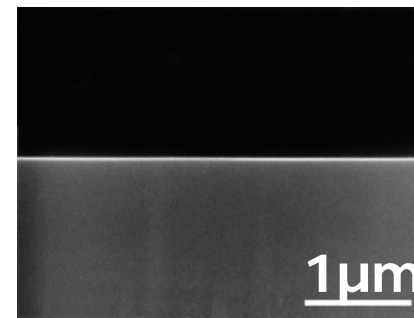
Smoothing  
Anneal  
&  
Oxidation



FDSOIの表面粗さとして、RMS=0.11nmを実現



→  
H<sub>2</sub> anneal  
1100 °C  
10 Torr  
10 min



還元雰囲気での熱処理により、表面のSi原子が流動



Sato, JJAP2004

# まとめ

- ITRS2013 FEP章改訂状況、一部未作成。特にメモリデバイスで将来構造がFixされておらず、ロードマップ作成が困難になりつつあることを反映。
- 新材料を用いた新構造作製技術を中心にヒアリング。異種材料の貼り合わせは不可欠な技術。
- FD-SOI、FinFETにおいて、チャンネル層の極薄膜化に伴うばらつき抑制技術が継続的性能向上に必要。
- 極薄SOIウェーハは現時点のスペックは達成。FinFETの側壁ラフネス抑制も含めた高精度のプロセス制御が鍵

**新材料・新構造の融合を可能とする、  
FEP技術の高精度化・破壊的革新が不可欠**



# 謝辞

技術調査に協力いただいた、  
入沢 寿史さん（産総研）  
能登 宣彦さん（信越半導体）  
内田 建先生（慶應義塾大学）  
に感謝いたします。