

Lithography WG活動報告

「微細化の限界に挑むリソグラフィ技術」

STRJ WS

2015年3月6日

品川：コクヨホール

WG5主査：上澤 史且（ソニー）

— JEITA半導体部会/関連会社 —

- 上澤 史且(ソニー)/リーダー
- 小林 幸子(東芝) /サブリーダー
- 千々松 達夫(富士通セミコンダクター)
- 竹田 裕史(ローム)
- 山本 次朗(日立製作所)

—コンソーシアム—

- 須賀 治(EIDEC)

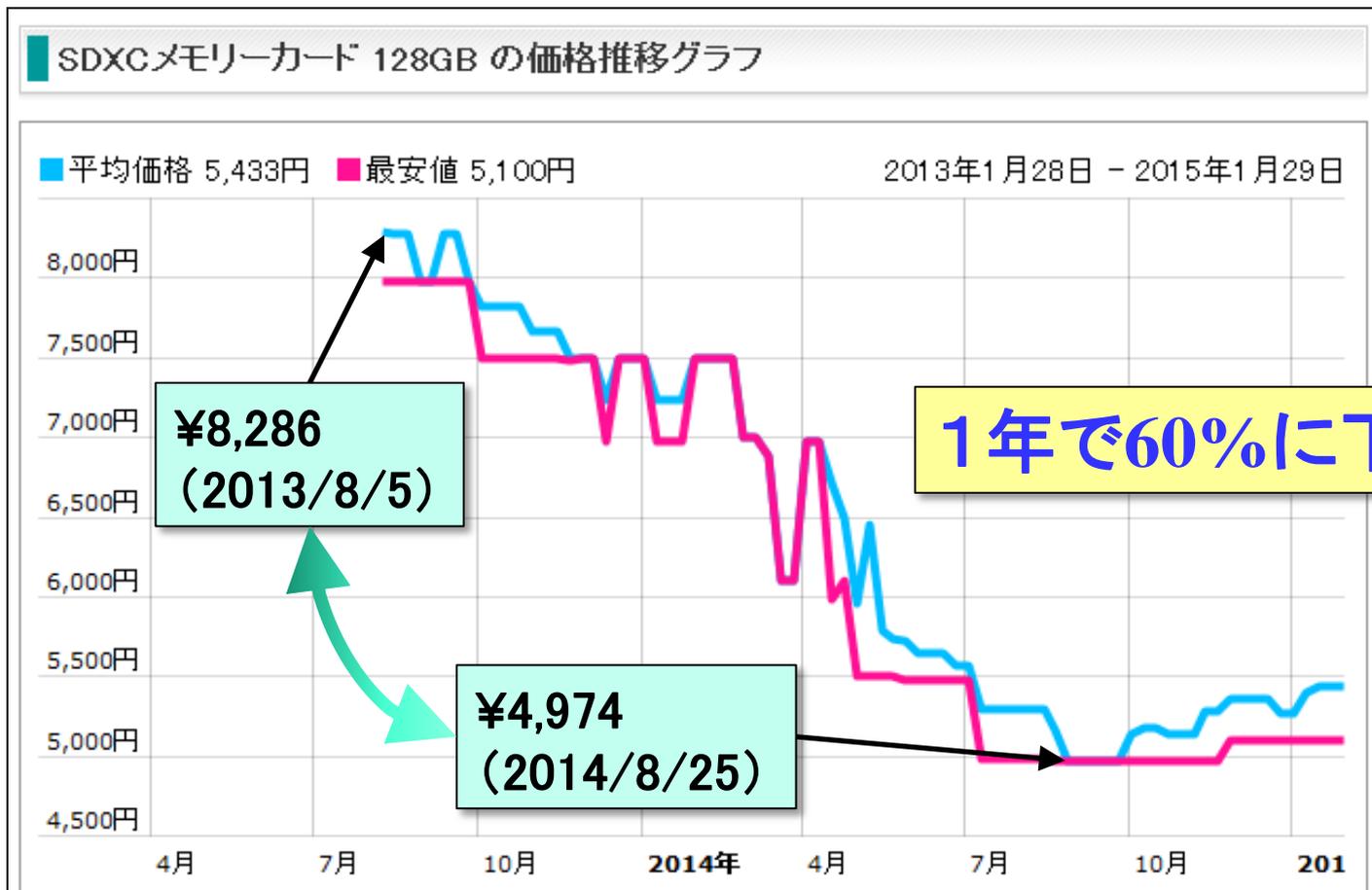
— SEAJ 他 —

- 奥村 正彦/国際委員(SEAJ:ニコン)
- 高橋 和弘(SEAJ:キヤノン)
- 中島 英男(SEAJ:TEL)
- 山口 哲男(SEAJ:ニューフレアテクノロジー)
- 笠間 邦彦(SEAJ:ウシオ電機)
- 大久保 靖(HOYA)
- 林 直也 (大日本印刷)
- 小西 敏雄(凸版印刷)
- 大森 克実(東京応化工業)
- 栗原 啓志郎(アライアンスコア)
- 遠藤 政孝(大阪大学)

計17名

微細化の目的の1つはチップコスト削減

128G Byte SDカードの価格推移例



微細化 → チップ面積縮小 → 理収増加 → チップコスト削減

ITRSのロードマップ (Lithography)

Table LITH1 Lithography Technology Requirements

Year of Production	2013	2014	2015	2016	2017	2018	2019	2020	2021
DRAM									
DRAM minimum ½ pitch (nm)	28	26	24	22	20	18	17	15	14
CD control (3 sigma) (nm) [B]	2.8	2.6	2.4	2.2	2.0	1.8	1.7	1.5	1.4
Minimum contact/via after etch (nm) [H]	28	26	24	22	20	18	17	15	14
Minimum contact/via pitch(nm)[H]	85	78	72	66	60	55	51	46	43
Overlay (3 sigma) (nm) [A]	5.7	5.2	4.8	4.4	4.0	3.7	3.4	3.1	2.8
k1 (13.5nm) EUVL	0.52	0.64	0.58	0.53	0.49	0.45	0.41	0.38	TBD
Flash									
Flash ½ pitch (nm) (un-contacted poly)	18	17	15	14	13	12	12	12	12
CD control (3 sigma) (nm) [B]	1.8	1.7	1.5	1.4	1.3	1.2	1.2	1.2	1.2
Contact CD after etch (nm) [G]	28	26	24	22	20	18	18	18	18
Overlay (3 sigma) (nm) [A]	6.1	5.6	5.1	4.7	4.3	3.9	3.9	3.9	3.9
k1 (13.5nm) EUVL	0.34	0.41	0.38	0.35	0.32	0.29	0.29	0.29	TBD
MPU / Logic									
MPU/ASIC Minimum Metal ½ pitch (nm)	40	32	32	28	25	23	20	18	16
MPU/ASIC finFET fin minimum 1/2 pitch (nm)	30	24	24	21	19	17	15.0	13	12
MPU High-Performance Gate Length in resist (nm)	28	25	22	20	18	16	14	12	11
MPU High-Performance Physical Gate Length (nm)	20	18	17	15	14	13	12	11	9.7
Gate CD control (3 sigma) (nm) [B] **	2.0	1.8	1.7	1.5	1.4	1.3	1.2	1.1	1.0
MPU/ASIC minimum contact hole pitch (nm)	144	115	115	102	91	81	72	64	57
Contact/via after etch (nm) [H]	40	32	32	28	25	23	20	18	16
Overlay (3 sigma) (nm) [A]	8.0	6.4	6.4	5.7	5.1	4.5	4.0	3.6	3.2
k1 (13.5nm) EUVL	0.74	0.78	0.78	0.69	0.62	0.55	0.49	0.44	TBD

↑
N14

チップコストの削減を目的に微細化が着々と続けられている。

2014年は14nmノード元年

A Multi-Year Journey to Re-invent the Notebook

What Was Going On Under the Hood...

2010	2011	2012	2013	2014
Westmere 32nm	Sandy Bridge 32nm	Ivy Bridge 22nm	Haswell 22nm	Broadwell-Y 14nm
ULV processors Turbo Integrated Gfx on Package Power Control Unit Power Gates Increased Parallelism & Hyper-Threading	Integrated On-die Gfx More Aggressive Turbo Core/Gfx Power Balancing Platform Power Limits More efficient OoE Engine	22nm Tri-gate Transistor Improved Perf at Low V Configurable TDP Increased 3D Gfx Perf DirectX11 Support	ULT Process Optimization 2X Battery life 20X Idle power reduction Chipset MCP Integration Low Latency Idle States New FIVR Increased Dynamic Operating Range	

Intel® Core™ Processor Low Power Evolution

Interconnects

22 nm Process	14 nm Process
80 nm minimum pitch	52 nm (0.65x) minimum pitch

52 nm Interconnect Pitch Provides Better-than-normal Interconnect Scaling

Samsung Electronics began production of Apple A9 in 14nm FinFET.

Bae Ok-jin Dec 12, 2014

share Tweet +1 Share Korean Language

Samsung Electronics began production of 'A9,' the application processor (AP) for Apple's next-generation smartphone. It applies the 14nm FinFET, the cutting-edge microprocess for system semiconductors, for the first time. SEC's foundry business picked up momentum again.

According to industry insiders on December 11, SEC began production of Apple's A9 in the Austin plant in the US using the 14nm FinFET technology. Samsung has production lines capable of FinFET process production in Austin, US and Gihung, Korea, but began to produce A9 only in Austin as it is in the initial stage.

SEC originally said it would start production of the 14nm FinFET chip at the end of this year, but did not disclose whether the company received an order from Apple for the production of A9 chips or whether the production line is actually running. SEC has shown confidence in the yield of the 14nm FinFET process, and supplied samples as good as finished products early enough.

The Austin plant began official production first at Apple's request, and industry insiders said it is a move to produce the chip in the US, not Korea. They guessed that the Austin plant was chosen because of the next-generation chip's problems with performance security and supply.

The initiation of the A9 chip production enabled SEC to recover the foundry quantities from Apple, which have been discontinued for some time, and get the upper hand in the 14nm FinFET technology competition with TSMC, killing two birds with one stone.

Apple and SEC virtually stopped AP production as they were embroiled in patent litigation back in 2012. SEC preoccupation of the 14nm FinFET technology led to resumption of the cooperation between the two tech giants.

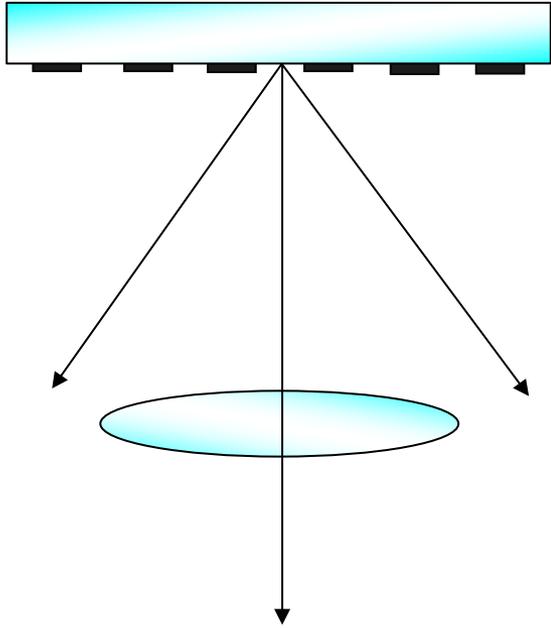
2014年から、Intel、Samsung、GLOBALFOUNDRIESが14nmデバイスの量産を開始した。

リソグラフィの解像度を決めるもの

リソグラフィの解像度は、用いられる光の波長(λ)とレンズ開口数(NA)から、次の式で決定される。

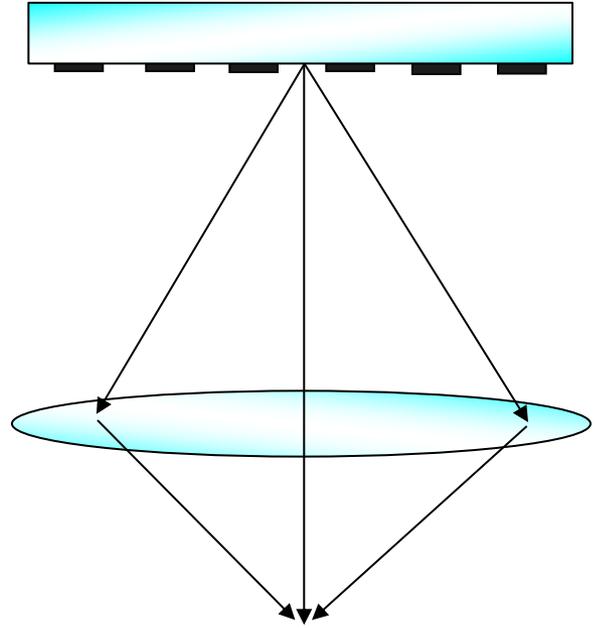
$$\text{解像度} = k_1 \frac{\lambda}{NA} \quad (k_1 \sim 0.4)$$

【解像度が**低い**光学系】
波長が長い and/or NAが小さい



パターン情報が伝わらない

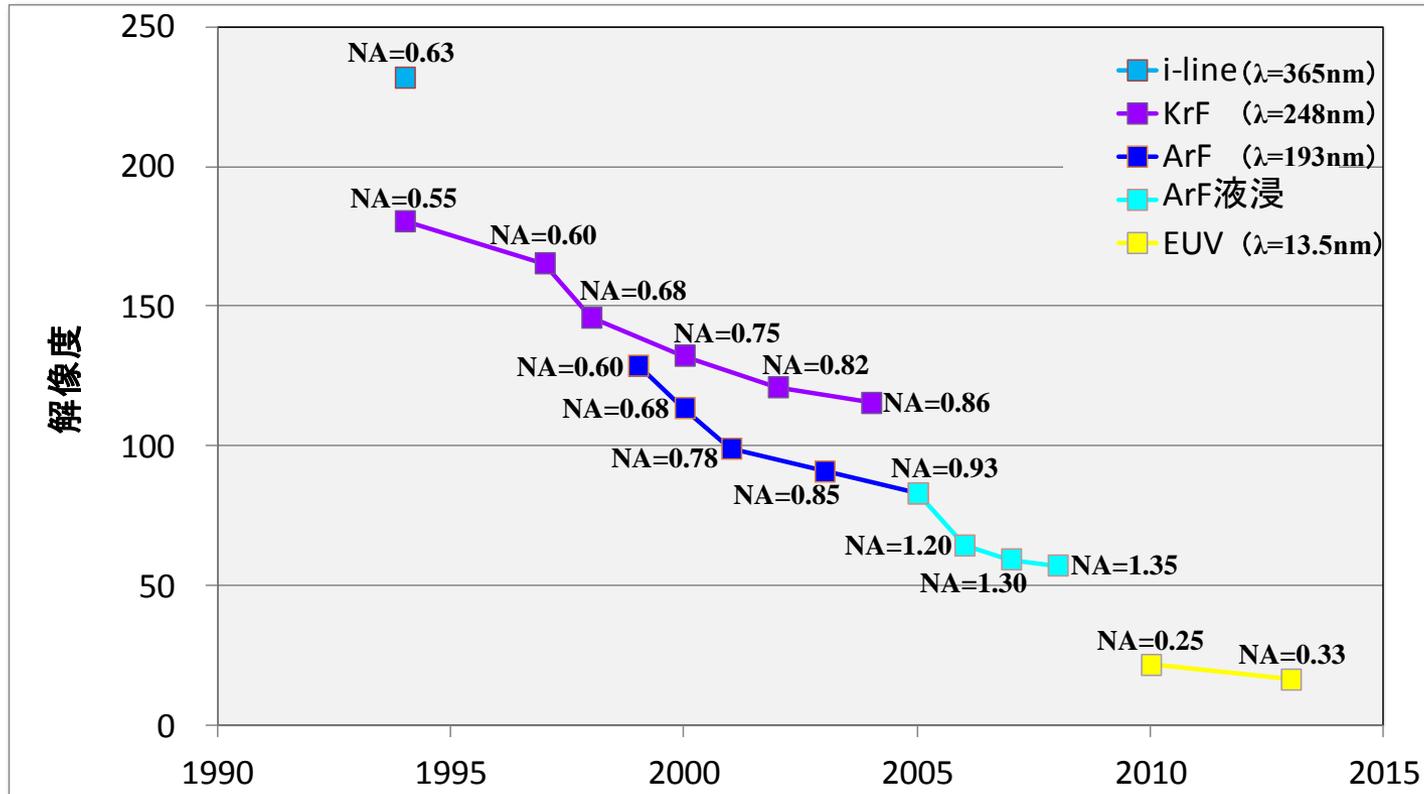
【解像度が**高い**光学系】
波長が短い and/or NAが大きい



パターン情報が伝わる

リソグラフィの解像度向上の歴史

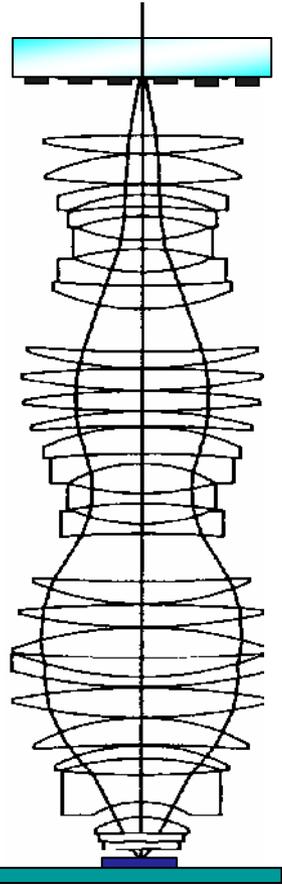
$$\text{解像度} = k_1 \frac{\lambda}{NA} \quad (k_1 \sim 0.4)$$



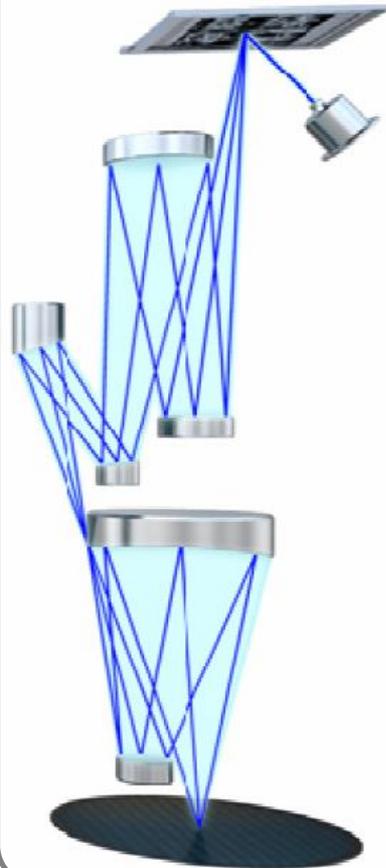
リソグラフィの高解像度化は、光源波長(λ)の短波長化と投影レンズの高NA化により達成されてきた。

EUVリンググラフィの開発状況

従来の光学系



EUVの光学系



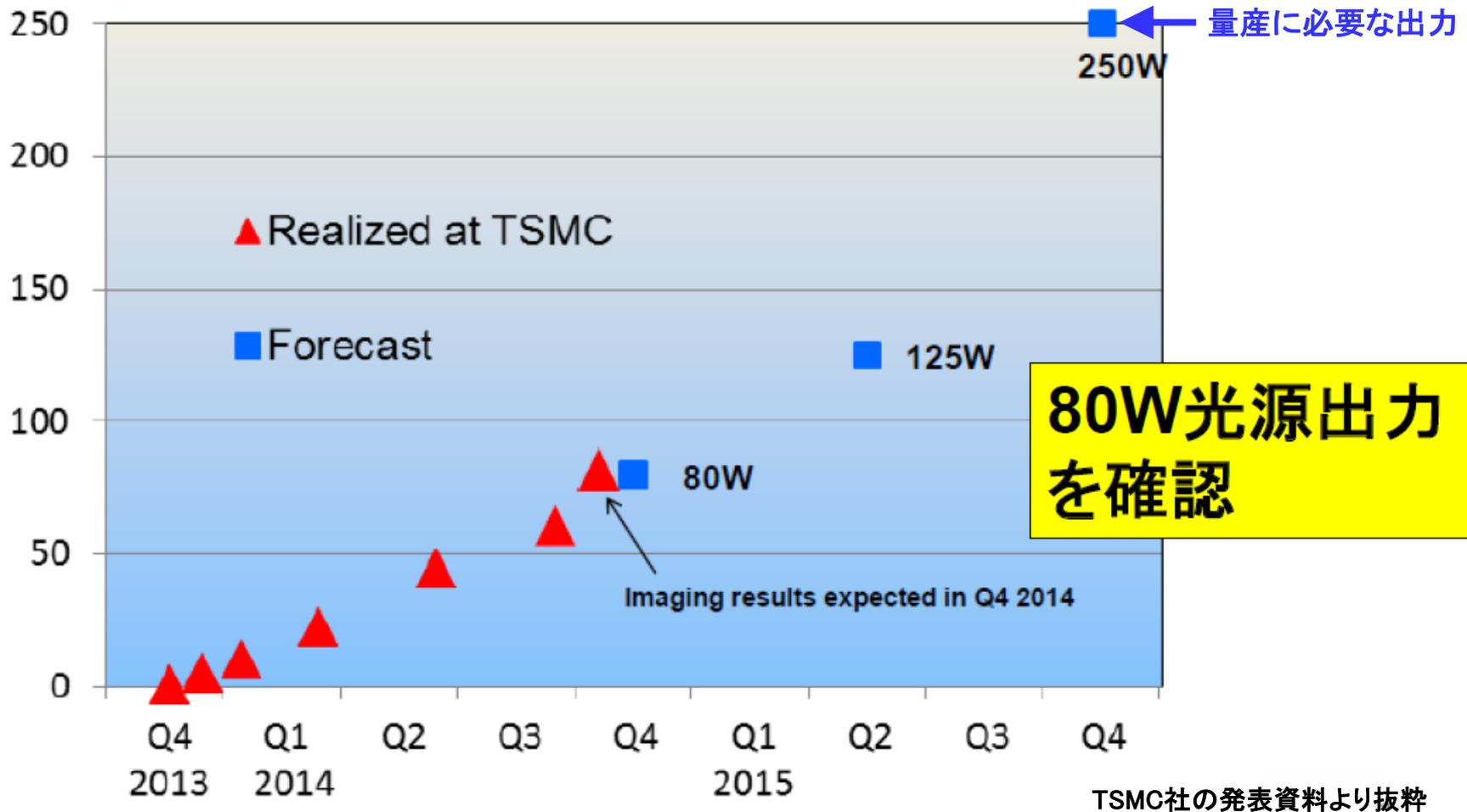
【EUVリンググラフィの特徴】

- ・光源に波長13.5nmのEUV光を用いる (EUV: Extreme Ultra Violet)
- ・マスクを含む全ての光学系が反射ミラーで構成されている(非球面反射光学系)
- ・光路は全て真空パージされている

【EUVリンググラフィの課題】

- ・高出力のEUV光源が必要
- ・無欠陥マスクの作製が極めて困難
- ・ペリクルの作製が極めて困難
- ・真空中でも脱ガスしないレジストが必要
- ・光近接効果がV方向とH方向とで異なる
- ・高NA化が難しい
- ・装置価格が極めて高額(～100億円！)

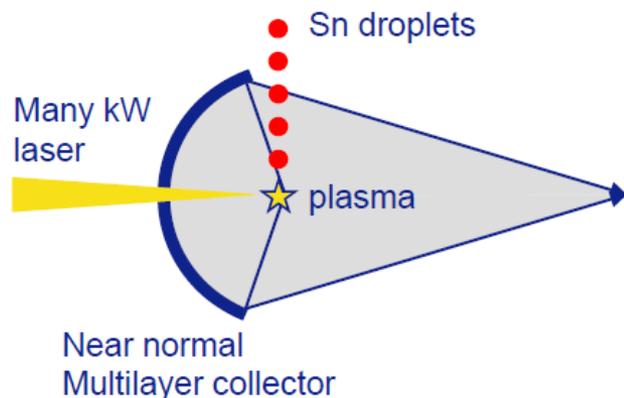
EUV光源出力の過去/現在/未来



出力250Wを達成できるのは早くても2015年末か？

Cymer社が開発中のEUV光源

• Laser-Produced Plasma source



- CO₂ laser
- Sn droplet target
- Debris mitigation using background gas and/or magnetic fields
- Near normal multilayer collector
- Pursued by: Gigaphoton, Cymer

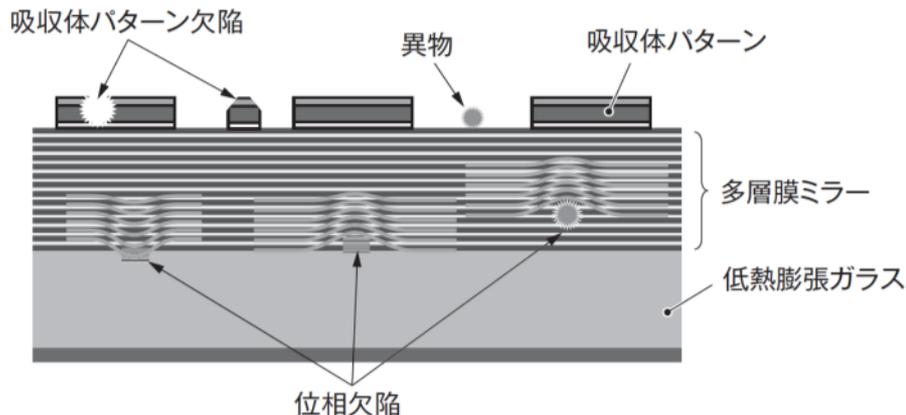
【EUV光源の原理】

- 数十 μm 径のSn(スズ)の液滴に高出力のCO₂レーザを照射してプラズマを発生させ、プラズマの爆縮の過程でEUV光を出す。
- この時に発生するSnの飛散物(「デブリ」と呼ばれる)の影響の抑止が重要課題。

【EUV光源の開発状況】

- 2014年末時点で80W程度の出力行しか得られていない(量産には250Wが必要)。
- Cymer社は**2014年末までに125W**、2015年末までに250Wを達成するとアナウンス。
- 現状の変換効率は2.4%(目標は5%)。

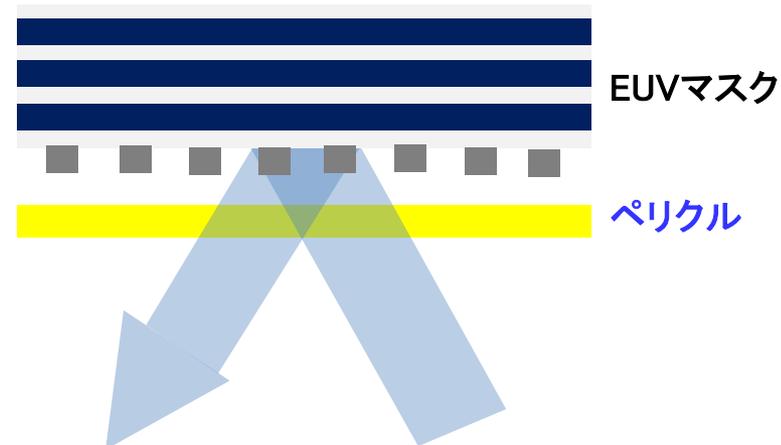
【EUVマスク】



【特徴】

- ・数nmのMo層とSi層を交互に約50層積層した多層膜ミラー構造
- ・デバイスパターンはTa等のEUVを吸収する材料で描かれている
- ・多層膜の成膜過程で異物が混入した欠陥は位相欠陥と呼ばれ、修正が極めて困難

【EUV用ペリクル】



【課題】

- ・透過率目標90%に対して現状は82% (60nm厚のpoly-Siで作製)
- ・仮に90%達成できても、往復では81%に光量が減衰してしまう
- ・ペリクルを配置すると光学像が劣化してしまうとの報告あり

- ・ 微細化の手段としてはリソグラフィ光源の短波長化であり高解像度化を実現するための王道路線と言える。
- ・ EUVリソ最大の課題は光源出力の不足。
- ・ EUVマスクにも多くの困難な課題あり。
- ・ 2013年から量産用露光装置(NXE:3300B)の出荷が始まったが、光源出力は目標250Wに対し、現状は80W程度。

NXE:3300Bによる微細パターン形成例(ASML発表論文より抜粋)

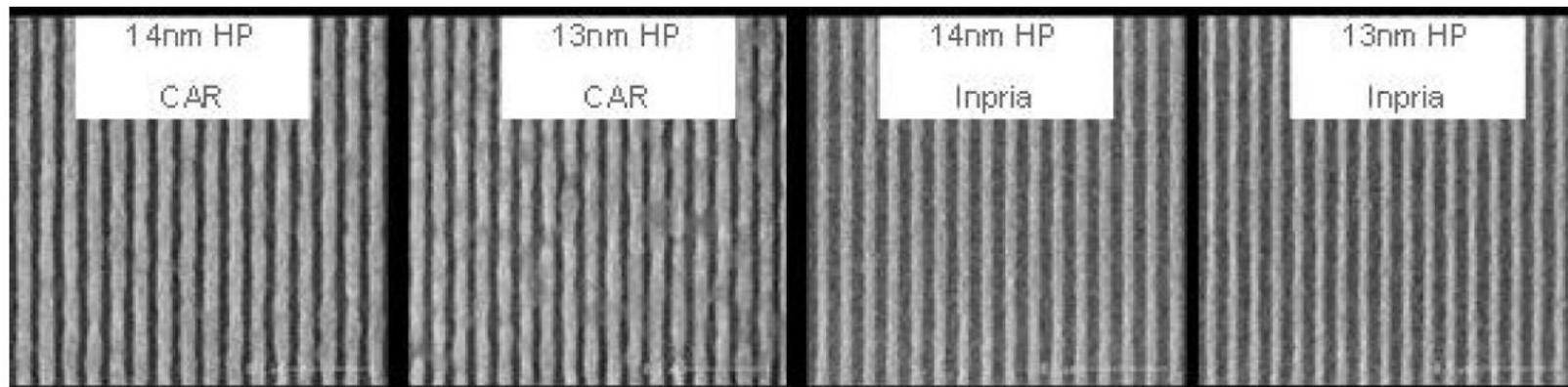


Figure 8: L/S resolution with chemically amplified resist (CAR; two plots on the left) and with Inpria resist are shown (two plots on the right)

ITRSのロードマップ(再)

Table LITH1 Lithography Technology Requirements

Year of Production	2013	2014	2015	2016	2017	2018	2019	2020	2021
DRAM									
DRAM minimum ½ pitch (nm)	28	26	24	22	20	18	17	15	14
CD control (3 sigma) (nm) [B]	2.8	2.6	2.4	2.2	2.0	1.8	1.7	1.5	1.4
Minimum contact/via after etch (nm) [H]	28	26	24	22	20	18	17	15	14
Minimum contact/via pitch(nm)[H]	85	78	72	66	60	55	51	46	43
Overlay (3 sigma) (nm) [A]	5.7	5.2	4.8	4.4	4.0	3.7	3.4	3.1	2.8
k1 (13.5nm) EUVL	0.52	0.64	0.58	0.53	0.49	0.45	0.41	0.38	TBD
Flash									
Flash ½ pitch (nm) (un-contacted poly)	18	17	15	14	13	12	12	12	12
CD control (3 sigma) (nm) [B]	1.8	1.7	1.5	1.4	1.3	1.2	1.2	1.2	1.2
Contact CD after etch (nm) [G]	28	26	24	22	20	18	18	18	18
Overlay (3 sigma) (nm) [A]	6.1	5.6	5.1	4.7	4.3	3.9	3.9	3.9	3.9
k1 (13.5nm) EUVL	0.34	0.41	0.38	0.35	0.32	0.29	0.29	0.29	TBD
MPU / Logic									
MPU/ASIC Minimum Metal ½ pitch (nm)	40	32	32	28	25	23	20	18	16
MPU/ASIC finFET fin minimum 1/2 pitch (nm)	30	24	24	21	19	17	15.0	13	12
MPU High-Performance Gate Length in resist (nm)	28	25	22	20	18	16	14	12	11
MPU High-Performance Physical Gate Length (nm)	20	18	17	15	14	13	12	11	9.7
Gate CD control (3 sigma) (nm) [B] **	2.0	1.8	1.7	1.5	1.4	1.3	1.2	1.1	1.0
MPU/ASIC minimum contact hole pitch (nm)	144	115	115	102	91	81	72	64	57
Contact/via after etch (nm) [H]	40	32	32	28	25	23	20	18	16
Overlay (3 sigma) (nm) [A]	8.0	6.4	6.4	5.7	5.1	4.5	4.0	3.6	3.2
k1 (13.5nm) EUVL	0.74	0.78	0.78	0.69	0.62	0.55	0.49	0.44	TBD

↑
N14

↑
Today!

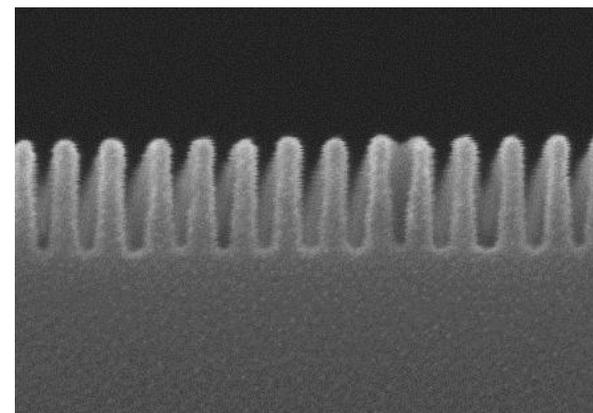
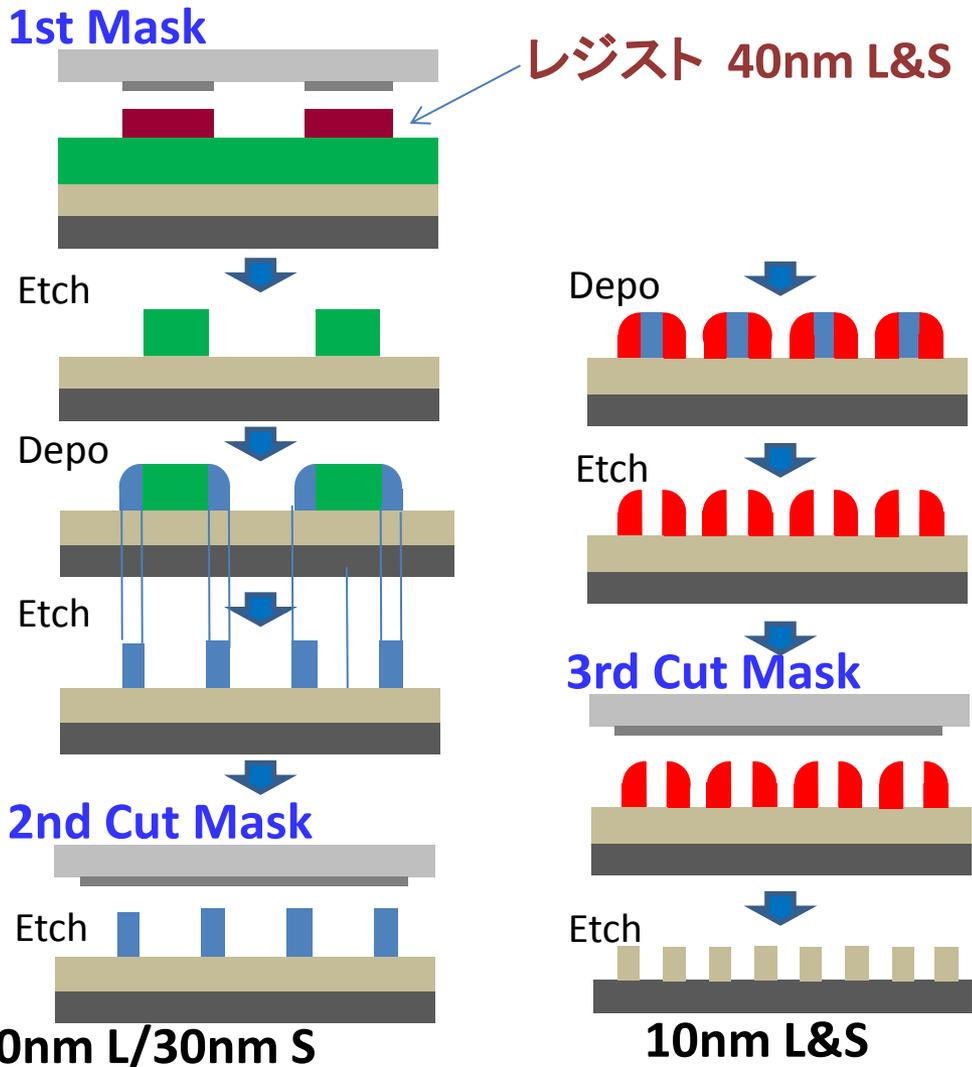
↑
N10

↑
N7

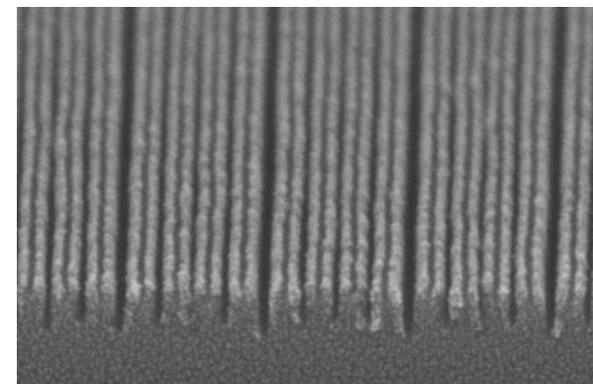
技術開発の遅れからEUVはN10にも間に合わない見込み

EUVを用いずに微細化を実現する手段①

SAQP (Self Aligned Quadruple Patterning)

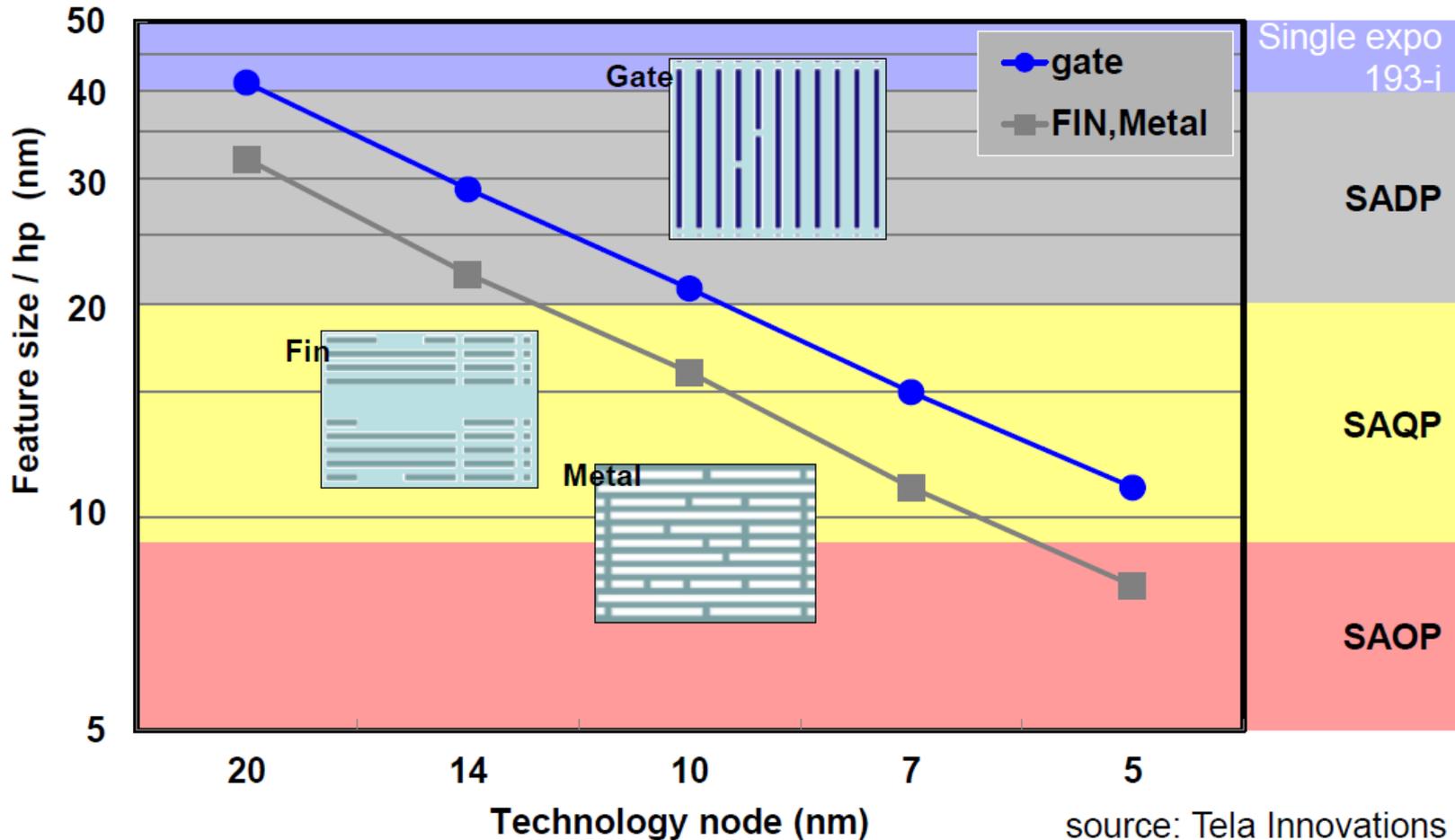


SAQPで形成した11nm L&Sパターン
(東京エレクトロンの発表資料より抜粋)



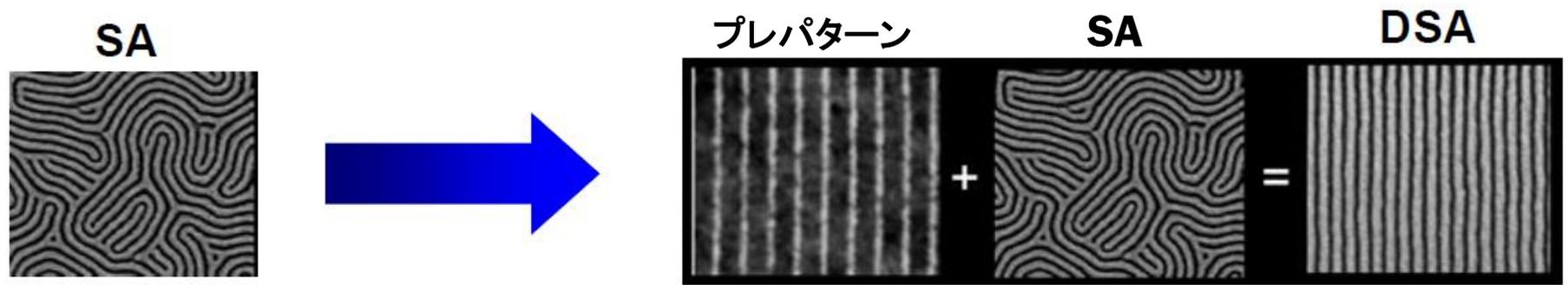
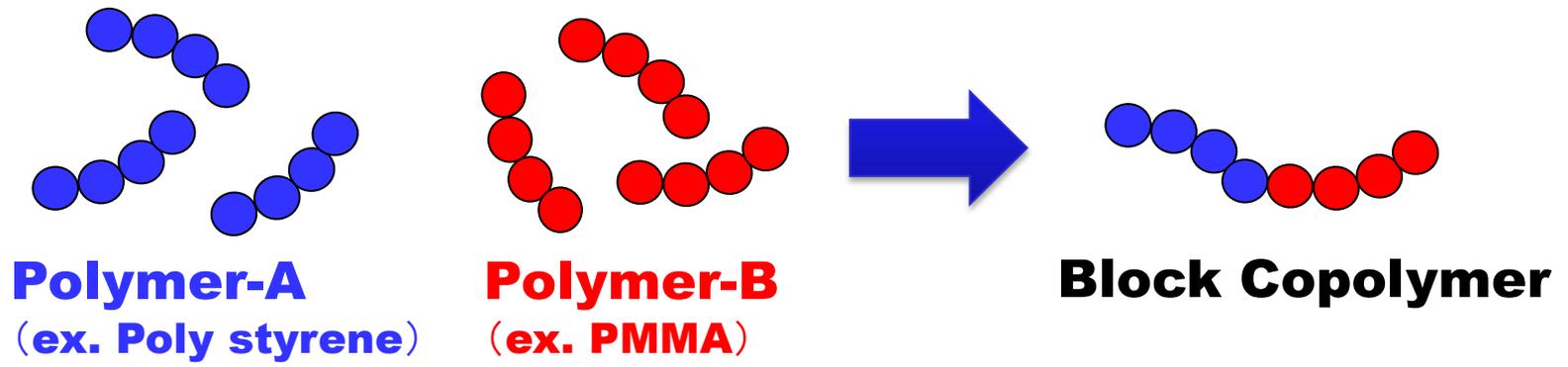
SAOP (Self Aligned Octuplet Patterning)で
形成した6.25nm L&Sパターン
(東京エレクトロンの発表資料より抜粋)

マルチパターンニングによる微細化の追求



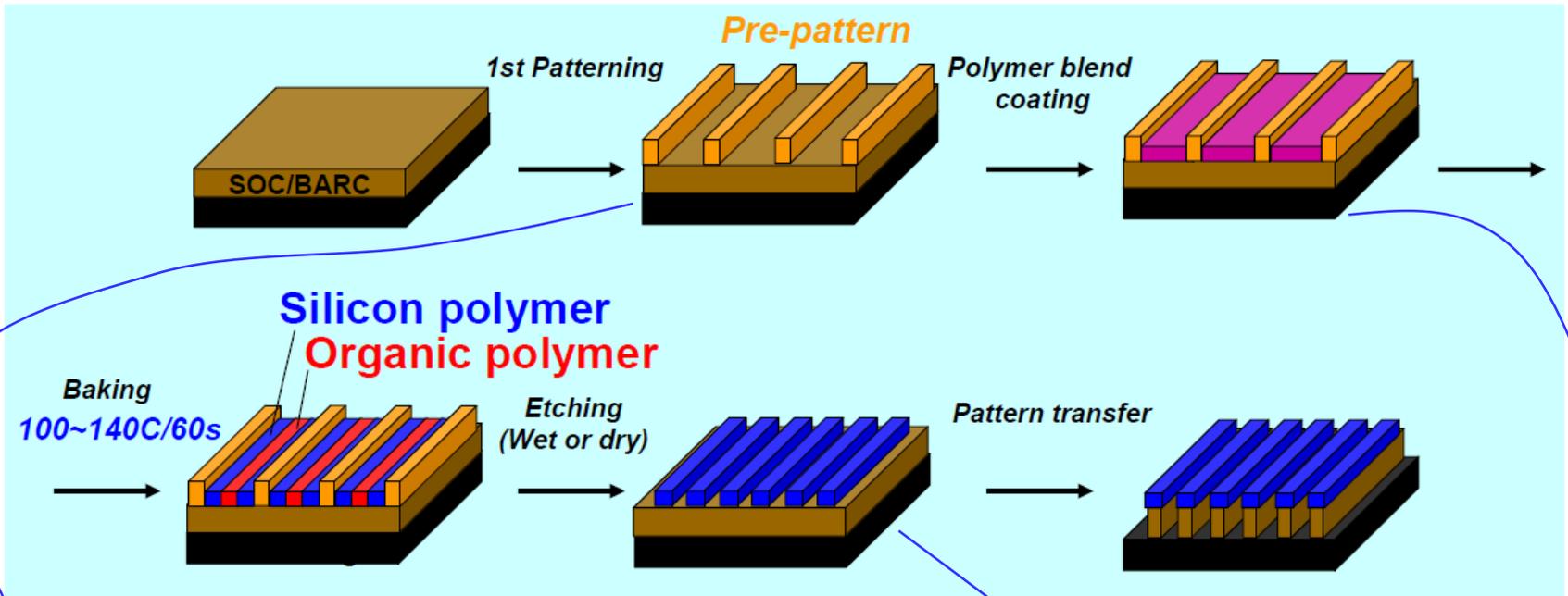
マルチパターンニングにより5nmノードも対応可能という検討結果が報告されてはいるが、理想はEUVによるシングルパターンニング。

DSA (Directed Self Assembly): 誘導自己組織化

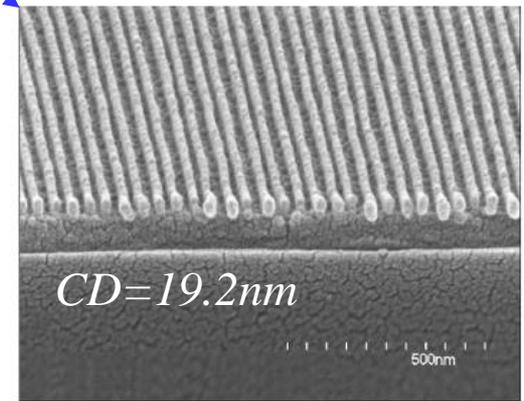
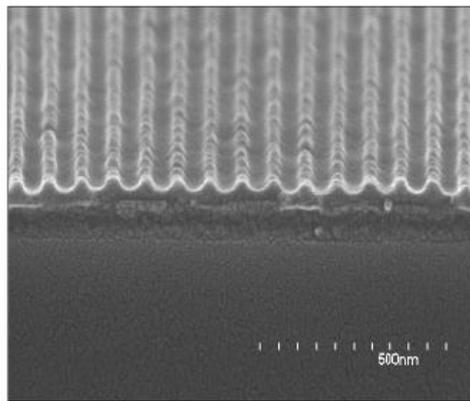
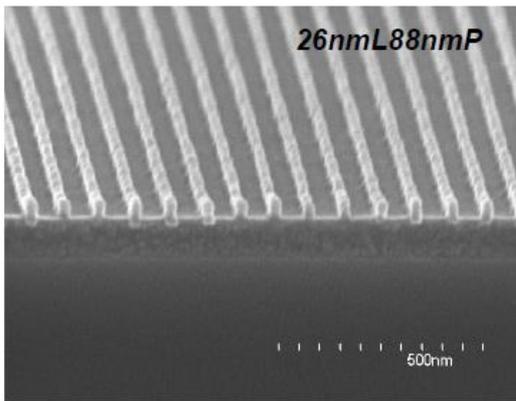


プレパターンと自己組織化材料との組み合わせにより狙いのパターンを加工
(パターン寸法は材料組成によって制御する)

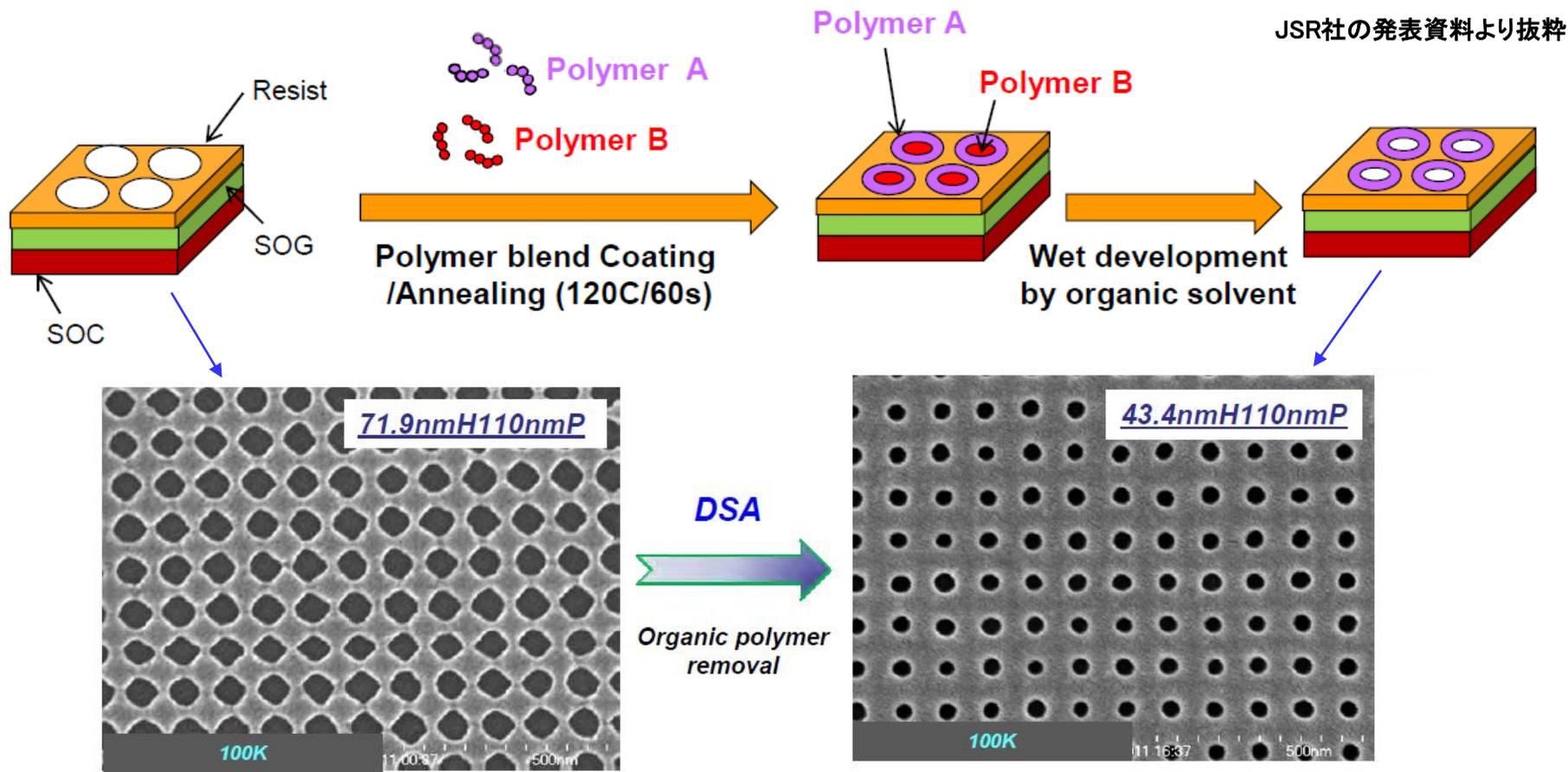
DSAを用いた微細パターンの形成(L&Sパターン) STRJ



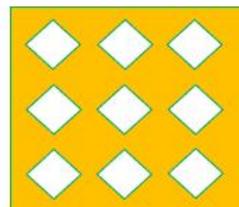
JSR社の発表資料より抜粋



DSAを用いた微細パターンの形成(コンタクトホール) STRJ

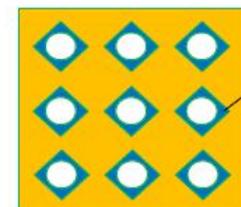


Before Shrink



Profile Repair
(Circularity improvement)

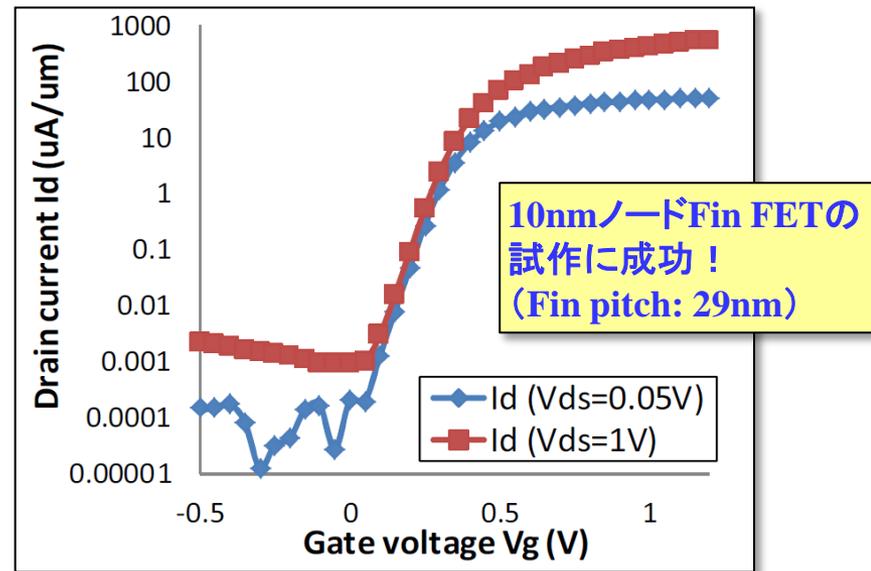
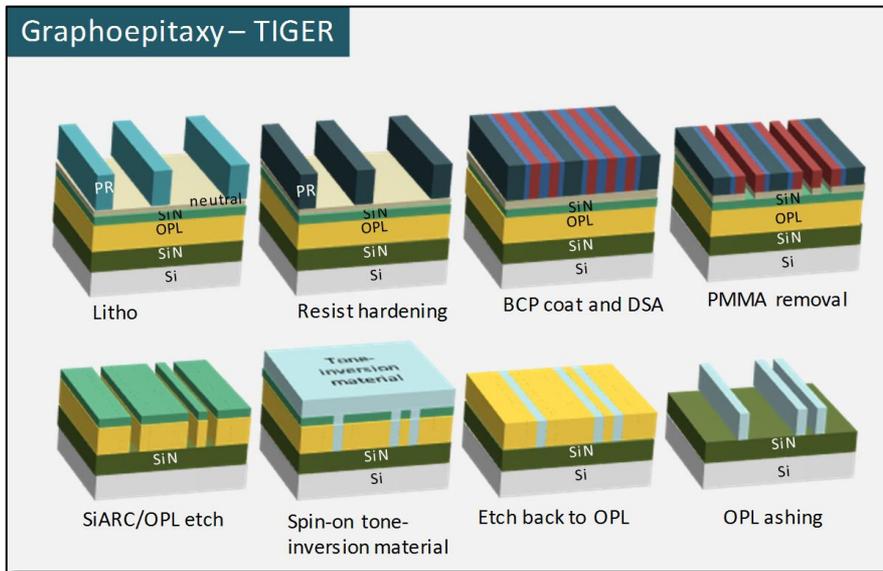
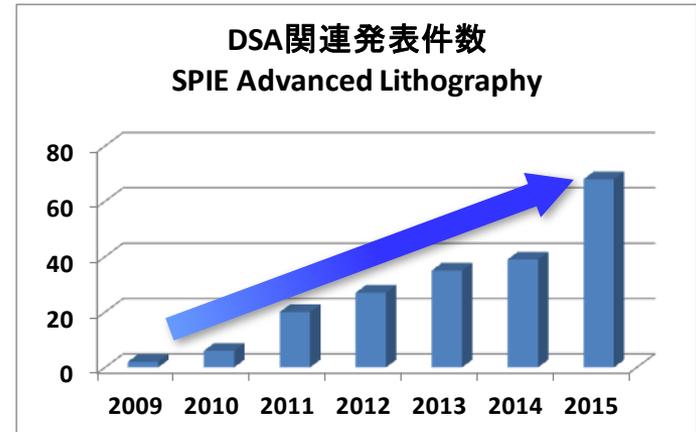
After Shrink



Silicon Polymer

DSAの開発状況

- ・近年、最も注目を集めている微細加工技術
- ・昨年、DSAによる初のFin FET試作結果とその電気特性評価結果がIBMから発表された
- ・ITRS2013にはDSAプロセスへの要求仕様を掲載したテーブルを新たに追加した
- ・量産適用に向けた最大の課題は欠陥制御



*Hsinyu Tsai, et al., “Electrical Characterization of FinFETs with Fins Formed by Directed Self Assembly at 29 nm Fin Pitch Using a Self-Aligned Fin Customization Scheme,” IEDM 2014.

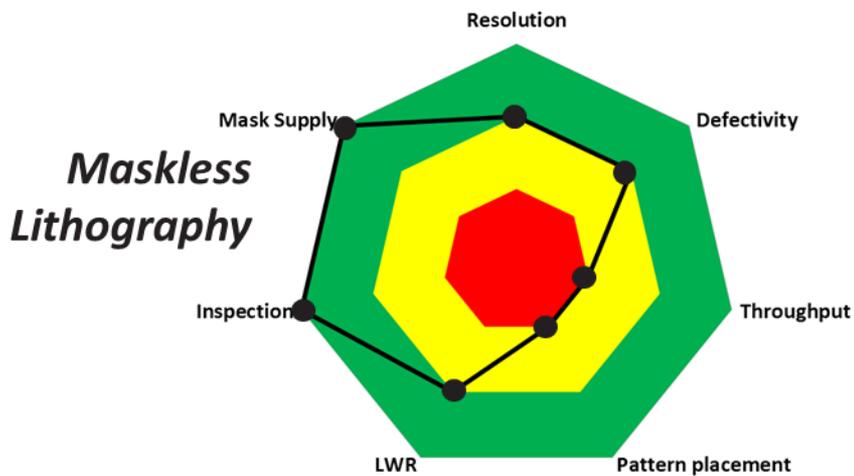
DSAのロードマップ

Table LITH7A: Directed Self Assembly for Lines and Spaces Type Patterns' Requirements

Year of Production	2013	2014	2015	2016	2017	2018	2019	2020	2021
<i>Chemical Epitaxy</i>									
<i>DRAM minimum ½ pitch (nm) *</i>	28	26	24	22	20	18	17	15	14
<i>Flash minimum ½ pitch (nm) *</i>	18	17	15	14	13	12	12	12	12
<i>MPU/ASIC Minimum Metal ½ pitch (nm) *</i>	40	32	32	28	25	23	20	18	16
<i>MPU/ASIC finFET fin minimum 1/2 pitch (nm) *</i>	30	24	24	21	19	17	15	13	12
<i>MPU High-Performance Printed Gate Length (nm) ****</i>	28	25	22	20	18	16	14	12	11
<i>Registration (nm, 3 sigma) **</i>	5.7	5.2	4.8	4.4	4.0	3.7	3.4	3.1	2.8
<i>DSA meets requirements minimum feature CD control (nm, 3 sigma) ***</i>	1.8	1.7	1.5	1.4	1.3	1.2	1.2	1.1	1.0
<i>Defects in patterned DSA films, gates, contacts, etc. (#/cm²)</i>	0.02	0.02	0.01	0.01	0.01	0.01	0.01	0.01	0.01
<i>Minimum defect size for specification above (nm)</i>	20	20	10	10	10	10	10	10	10
<i>Year of Production</i>	2013	2014	2015	2016	2017	2018	2019	2020	2021
<i>Graphoepitaxy</i>									
<i>DRAM minimum ½ pitch (nm) *</i>	28	26	24	22	20	18	17	15	14
<i>Flash minimum ½ pitch (nm) *</i>	18	17	15	14	13	12	12	12	12
<i>MPU/ASIC Minimum Metal ½ pitch (nm) *</i>	40	32	32	28	25	23	20	18	16
<i>MPU/ASIC finFET fin minimum 1/2 pitch (nm) *</i>	30	24	24	21	19	17	15	13	12
<i>MPU High-Performance Printed Gate Length (nm) ****</i>	28	25	22	20	18	16	14	12	11
<i>Registration (nm, 3 sigma) **</i>	5.7	5.2	4.8	4.4	4.0	3.7	3.4	3.1	2.8
<i>DSA meets requirements minimum feature CD control (nm, 3 sigma) ***</i>	1.8	1.7	1.5	1.4	1.3	1.2	1.2	1.1	1.0
<i>Defects in patterned DSA films, gates, contacts, etc. (#/cm²)</i>	0.02	0.02	0.01	0.01	0.01	0.01	0.01	0.01	0.01
<i>Minimum defect size in patterned DSA (nm)</i>	20	20	10	10	10	10	10	10	10

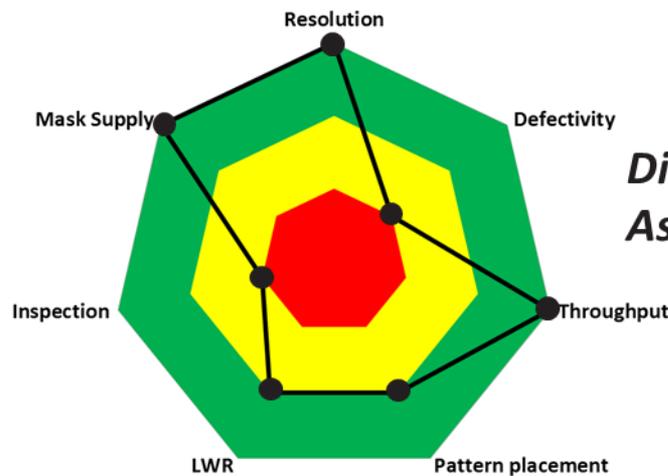
昨今の情勢を考慮して、ITRS2013から新たにDSAのテーブルを追加した。

次世代リソ技術の性能比較



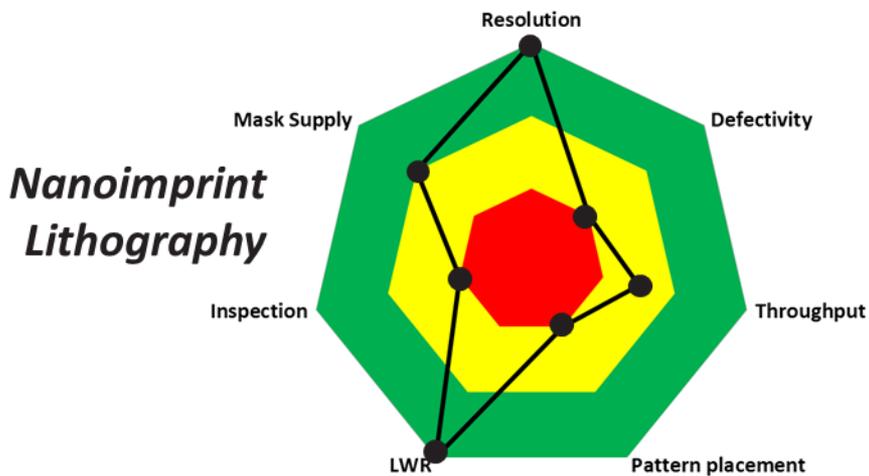
Maskless Lithography

直描故の処理能力の低さとパターン位置精度が課題



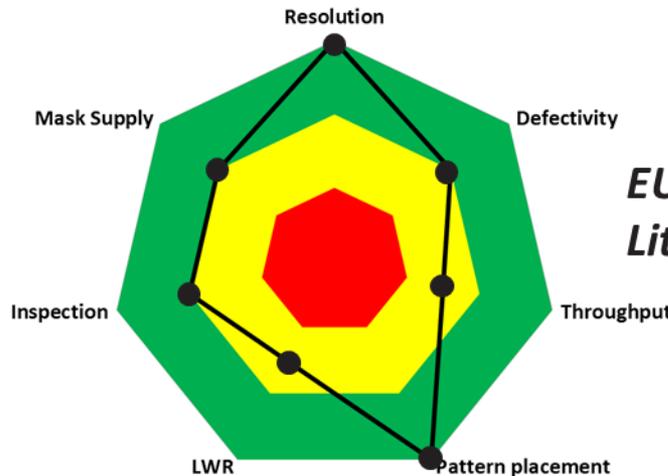
Directed Self-Assembly

欠陥制御技術が課題



Nanoimprint Lithography

等倍の3Dマスク作製技術や重ね合わせ精度が課題



EUV Lithography

光源出力の不足による処理能力の低さが最大の課題

<i>Manufacturable solutions exist, and are being optimized</i>	3
<i>Manufacturable solutions are known</i>	2
<i>Manufacturable solutions are NOT known</i>	1

- デバイスの高性能化とチップコストの削減を目的に、現在も微細化技術の開発が着々と続けられている。
- 2014年から14nmデバイスの量産が開始された。
- EUVリソは光源を始めとする様々な技術開発が遅れており、10nmノードにも間に合わない見通し。
- EUVリソの開発遅延から、10nmデバイスもArF液浸を用いたマルチ・パターニング技術が適用される見通し。
- 新たな微細加工技術としてDSAが注目を集めており、World Wideで精力的に開発が進められている。

AIMS	Aerial Image Measurement System
AMC	Airborne Molecular Contamination
ARC	Anti-Reflection Coating
BARC	Bottom ARC
TARC	Top ARC
CAR	Chemical Amplified Resist
CD	Critical Dimension
CDU	CD Uniformity
DE	Double Exposure
DFM	Design for Manufacturing/ Design for Manufacturability
DP/MP	Double Patterning / Multiple Patterning
DPP	Discharged Produces Plasma
DSA	Directed-Self-Assembly
DOF	Depth of Focus
EBDW	Electron Beam Direct Writer
EDA	Electronic Design Automation
EPL	Electron Projection Lithography
ESD	Electro Static Discharge
EUVL	Extreme Ultraviolet Lithography
IPL	Ion Projection Lithography
LDP	Laser assisted Discharge Plasma
LELE	Litho-Etch-Litho-Etch (1kind of DP)
LER	Line Edge Roughness
LPP	Laser Produced Plasma
LTEM	Low Thermal Expansion Material

LWR	Line Width Roughness
MEEF	Mask Error Enhancement Factor (=MEF)
ML2	Maskless Lithography
NA	Numerical Aperture
NGL	Next Generation Lithography
NIL	NanoImprint Lithography
NTD	Negative Tone Development
OAI	Off-Axis Illumination
OPC	Optical Proximity Corrections
RBOPC	Rule Base OPC
MBOPC	Model Base OPC
PSM	Phase Shifting Mask
cPSM	complementary PSM
APSM	Alternating PSM
EPSM	Embedded PSM
Att. PSM	Attenuated PSM
PXL	Proximity X-ray Lithography
RET	Resolution Enhancement Techniques
SADP	Self Aligned DP
SAQP	Self Aligned Quadruple Patterning
SB	Scattering Bar (same meaning as SRAF)
SRAF	Sub Resolution Assist Feature™
SFIL	Step & Flash Imprint Lithography
SMO	Source Mask co-Optimization
UV-NIL	Ultraviolet NIL