

WG3 Front-End Processes (FEP)

ITRSに見るFEP技術の目指すもの

水島一郎(東芝)

内容

- STRJ・FEPのメンバー、スコープ
- ITRS2013 FEP改訂内容の読み解き
- 今年度の活動／ヒアリング概要
 - FEP技術のTFETへの適用／450nm化／FeRAM
- まとめ

略号

HP: High Performance /LP: Low Power
LOP / LSTP: Low Operating Power / Low STandby Power
STI-CMP: Shallow Trench Isolation- Chemical Mechanical Polish
EOT: Equivalent Oxide Thickness / Dit: InTerface state Density
UTB-FDSOI: Ultra Thin Body – Fully Depleted Silicon On Insulator
PD-SOI: Partially Depleted –Silicon On Insulator
Xj: Drain extension Junction depth
Lgate: Gate Length
LWR: Line Width Roughness
RMG: Replacement Metal Gate
TFET: Tunnel Field Effect Transistor
GBBT: Global non-local band-to-band tunneling
CVD: Chemical Vapor Deposition
IET: IsoElectronic Trap
BTBT: Band-to-Band Tunneling
FeRAM: Ferroelectric Random Access Memory
PRAM: Phase Change Random Access Memory
MRAM: Magnetoresistance Random Access Memory
RRAM: Resistance Random Access Memory

STRJ/FEP_WGメンバー

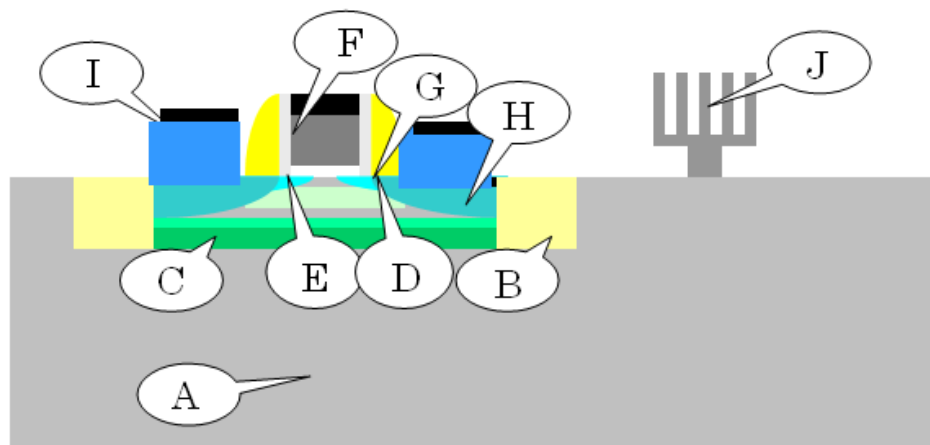
リーダー: 水島 一郎 (東芝)
幹事: 羽根 正巳 (ルネサスエレクトロニクス)* *: 国際対応
委員: 彦坂 幸信 (富士通セミコンダクター)
萬田 周治 (ソニー)
永田 敏雄 (ローム)
寺田 力 (ローム)

特別委員(大学): クロス ジェフリー(東京工業大学)
奈良 安雄 (兵庫県立大学)

特別委員: 国井 泰夫 (日立国際電気): SEAJより
青木 英雄 (日立ハイテクノロジーズ): SEAJより
渡辺 正晴 (日本セミラボ)*: 米国Start. Mat. WG
三木 克彦 (信越半導体): 新金属協会より

赤字: 今年度からのメンバー

F_{ront}E_{nd}P_{rocess} スコープ



- A: Starting Material
- B: Isolation
- C: Well Doping
- D: Channel Surface (Preparation)
- E: Channel Doping and Channel Strain
- F: Gate Stack (Including Flash) and Spacer
- G: Extension Junction and Halo
- H: Contacting Source/Drain Junction
- I: Elevated Junction and Contacts
- J: DRAM, Phase Change, and FeRAM Storage

ITRS2013構成(技術記載順)

DEVICE METRICS

Logic Devices [HP, LP]

DRAM Devices

Flash Devices

PCM Devices

FeRAM Devices

LOP⇒削除
LSTP⇒LP

PROCESS METRICS

Starting Materials

Surface Preparation

Thermal/Thin Films/Doping

Etch

STI-CMP

2013 ITRS FEP Sub-TWG Leadership

- HP MPU ASIC - FEP 2
 - Wei-Yip Loh (US)
- ~~LOP (FEP 3) (Eliminated)~~
- LP (FEP 4) (renamed from LSTP)
 - Wei-Yip Loh (US)
- DRAM - FEP 5
 - Kee Jeung Lee (KR)
- Floating Gate Flash - FEP 6
 - None
- Charge Trapping Flash - FEP 7
 - None
- PCM - FEP 8
 - None
- FeRAM - FEP 9
 - Yukinobu Hikosaka (JP)
- Starting Materials - FEP 10
 - WAS: Mike Walden (US)
 - WAS: Mike Goldstein (US)
 - Bich-Yen Nguyen (US)
- Surface Preparation - FEP 11
 - Joel Barnett (US)
- Therm/Thin Films/Doping - FEP 12
 - Wei-Yip Loh (US)
- Etch - FEP 13
 - WAS: Tom Lii (US)
 - IS: John Arnold (US)
- CMP - FEP 14
 - Darryl Peters (US)?

FEP Difficult Challenges in ITRS2013 Near Term

- Strain Engineering
 - continued improvement for increasing device performance **at tight pitch**
 - application to FDSOI and Multi-gate technologies
- Achieving Low Parasitics
 - achieving low resistance and capacitance and continued scaling of gate pitch
- Scaling and 450mm
 - **Continued areal scaling with next generation substrates (450mm wafers) and adoption of disruptive technologies to meet lithographic challenges.**

FEP Difficult Challenges in ITRS2013

Long Term

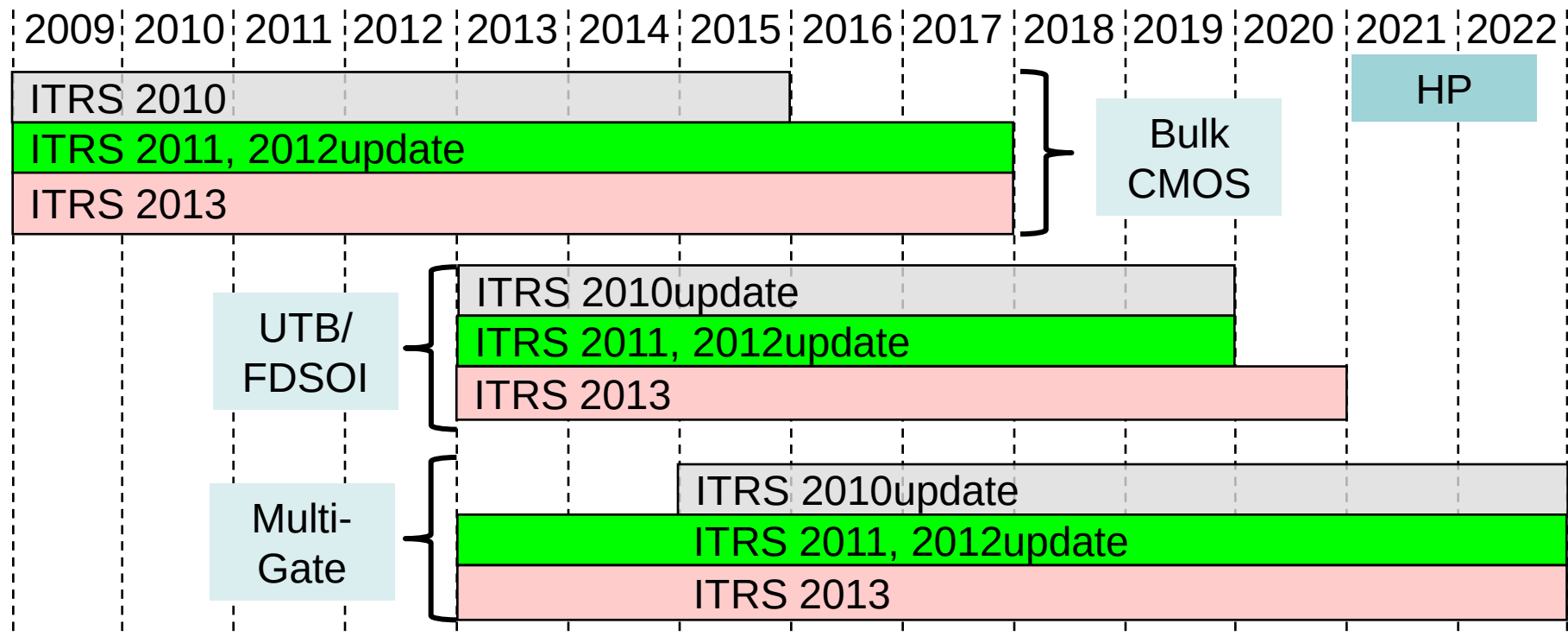
- Continued scaling of HP multigate device in all aspects: EOT, junctions, mobility enhancement, new channel materials, parasitic series resistance, contact silicidation.
- Introduction **and heterointegration** of high mobility channels (based on III-V and Ge) to replace strained Si for continual performance
- **Continual scaling of device parasitics with new channel materials, especially for contact resistivity due to severe reduction in device pitch and contact area.**
- Continual EOT scaling **and gate dielectrics with low D_{IT} , bulk traps and leakage for high mobility, low bandgap channels materials (Ge, IIIV and 3D materials)**

Logic Deviceのロードマップ (HP)

Bulk CMOS、FDSOI、Multi-Gateの平行パス

FDSOIの延命による平行期間の長期化

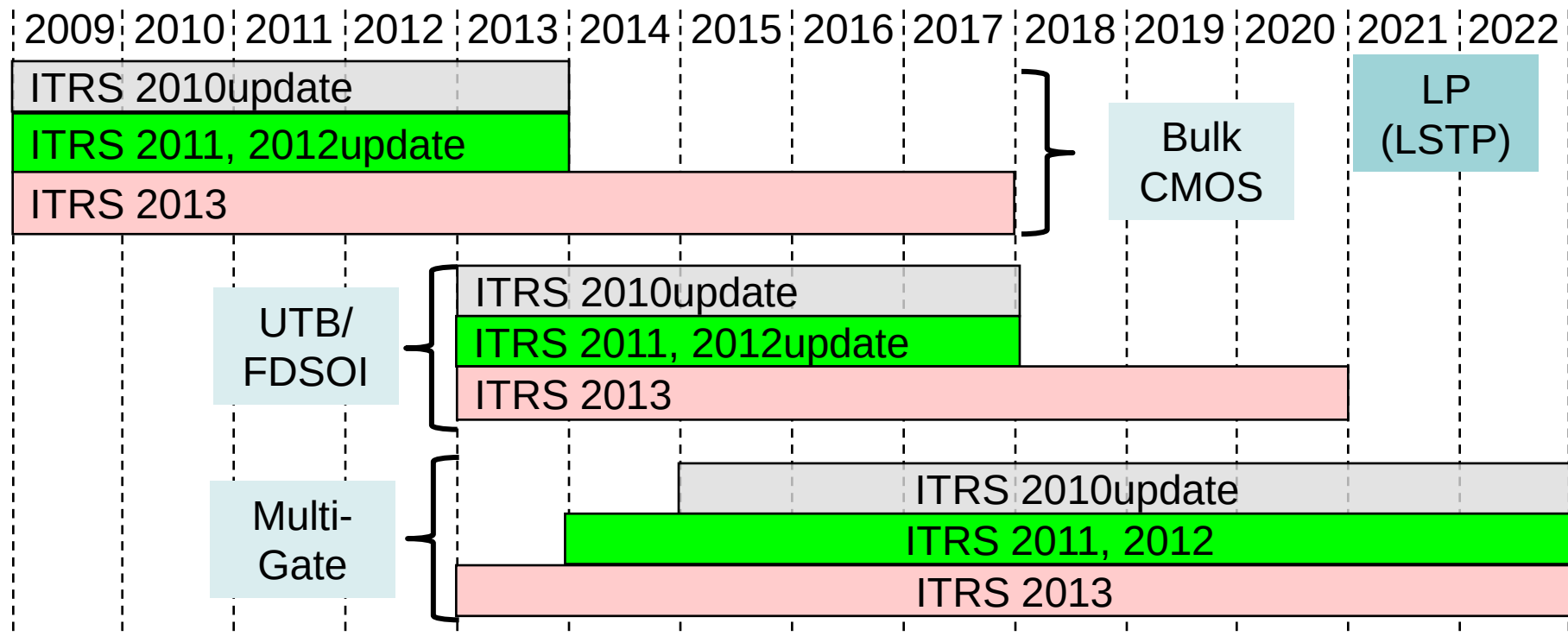
Bulk/SOI/MG間でのEOTの統一



Logic Deviceのロードマップ (LP (LSTP))

Bulk CMOS、FDSOI、Multi-Gateの平行パス

Bulk CMOSの延命 / SOIの継続 / Multi-gateの前倒し
LPのロードマップに、FDSOI/Multi-Gateのための寄生抵抗、 T_{SOI} 厚、移動度等の値が追加(2013)



3D-Flash

- ITRS2011で、本文中に記載が追加 (Tableなし)

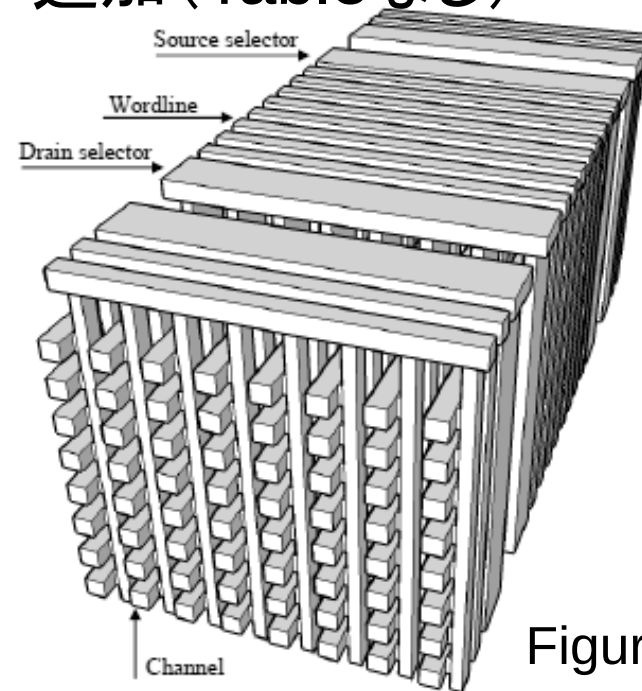
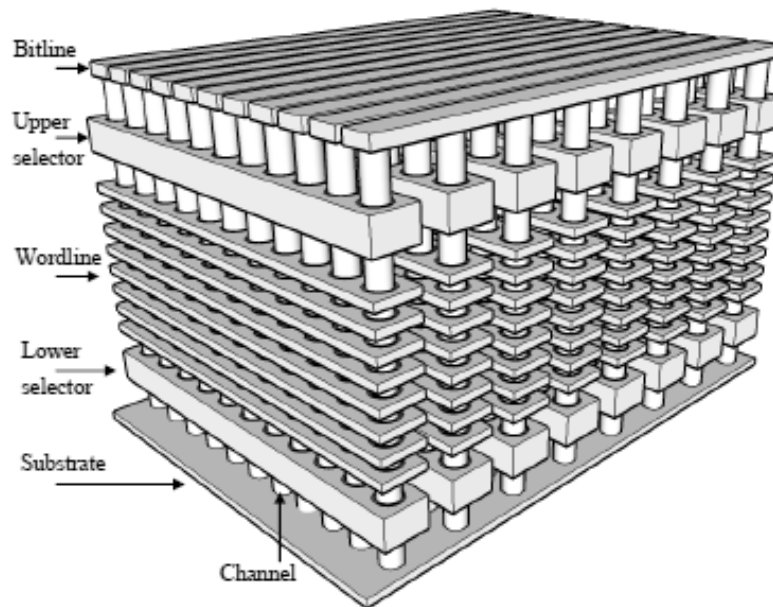


Figure FEP12

vertical channel / horizontal gate vertical gate / horizontal channel

Node	90nm	65nm	45nm	32nm	22nm
NOR					
NAND					

Charge Trap cell

3D stacked, 3D exotic,

ITRS2013でTable作成されず、現時点も状況は変わっていない

Thermal/ Thin Films and Doping

①2011/2012→2013版で表の形式を大幅に変更(定義・表現の問題)

2011/2012 : Drain extension Junction depth for bulk

②シリサイド厚: (bulk: x_j の1/2のSi消費分として計算)

2011版: 2014~SOI/MGでも18nmでred-brick-wall

2013版: せり上げを前提に10nmより薄い部分をred-brick-wallと再定義

2013版

Junction depth or body thickness for bulk, SOI, MultiGate として記載。

(bulkでは x_j だがSOIやMGではチャンネルに垂直なボディ厚として定義。短チャンネル効果抑制の制約からボディ厚の目安はSOIの場合はチャンネル長の20%、MGでは40%との設定。

Year of Production	2013	2014	2015	2016	2017	2018	2019	2020
L_g : Physical L_{gate} for HP Logic (nm) [1]	20.2	18.4	16.8	15.3	14.0	12.8	11.7	10.7
L_{eff} : Effective Channel Length (Bulk)	16.0	14.4	13.4	12.2	11.1	10.2	9.3	8.5
Bulk/FD SOI/MG V_{dd}	0.86	0.85	0.83	0.81	0.80	0.78	0.77	0.75
MPU/ASIC Metal 1 (M1) $\frac{1}{2}$ Pitch (nm) (contacted)	40	32.0	32.0	28.3	25.3	22.5	20.0	17.9
Logic Industry "Node Range" Labeling (nm) [1]	"16/14"		"10"		"7"		"5"	
MPU/ASIC Metal 1 (M1) $\frac{1}{2}$ Pitch (nm) (contacted)	40	32.0	32.0	28.3	25.3	22.5	20.0	17.9
Junction Depth or Body Thickness (nm) [3,4]								
Extension lateral abruptness for bulk MPU/ASIC (nm/decade) [4]	2.0	1.8	1.7	1.5	1.4			
① Extended Planar Bulk (junction) [3]	8.8	7.9	7.3	6.7	6.1			
SOI [3]	3.2	2.9	2.7	2.4	2.2	2.0	1.9	1.7
MG [3]	6.4	5.8	5.3	4.9	4.4	4.1	3.7	3.4
Spacer thickness and junction contact depth [8]								
Spacer thickness, Contact X_1 (nm) for bulk MPU/ASIC	17.6	15.8	14.7	13.4	12.2			
Spacer thickness, FDSOI multi-gate	8.8	7.9	7.3	6.7	6.1	5.6	5.1	4.7
Thickness of elevated junctions [10]								
Thickness of FDSOI, multi-gate elevated junction, contacts (nm)	16.0	14.4	13.4	12.2	11.1	10.2	9.3	8.5
② Silicide thickness [13]								
Silicide thickness for bulk MPU/ASIC (nm)	10.6	9.6	8.9					
Silicide thickness for FDSOI, MG MPU/ASIC (nm)	19.3	17.4	16.1	14.7	13.4	12.3	11.2	10.2
Silicide sheet resistance, R_{sh} ($\Omega/\square$)								

要求項目の変更は、デバイスがその特性実現に最適な構造を目指した結果。

Etch

Was: 2011
IS: 2012update
(2013は変更無し)

(2013は変更無し)

	Year of Production	2011	2012	2013	2014	2015	2016	
①	WAS	Lgate line width roughness 3s (nm)	2.28	2.10	1.89	1.68	1.49	1.33
	IS		2.28	2.10	1.91	1.74	1.60	1.33
②	WAS	Across chip Lgate variation 3s (nm)	1.00	0.91	0.88	0.85	0.81	0.77
	IS		1.00	0.91	0.84	0.77	0.70	0.77
②	WAS	Across wafer Lgate variation 3s (nm)	1.04	0.91	0.85	0.82	0.80	0.71
	IS		1.04	0.91	0.84	0.77	0.70	0.71
③	WAS	Wafer to wafer within lot Lgate 3s (nm)	0.75	0.69	0.63	0.58	0.53	0.48
	IS		0.75	0.55	0.50	0.46	0.41	0.48
③	WAS	Lot to lot Lgate 3s (nm)	0.75	0.69	0.63	0.58	0.53	0.48
	IS		0.75	0.55	0.50	0.46	0.41	0.48
④	WAS	Through pitch Lgate variation 3s (nm)	1.30	1.16	1.06	0.97	0.88	0.83
	IS		N/A	N/A	N/A	N/A	N/A	N/A
⑤	WAS	Dummy Gate Stack Removal Induced Lgate Variation 3s (nm)	-	-	-	-	-	-
	IS		0.59	0.55	0.5	0.45	0.41	0.48

- ① LWRの改善が進まず。
(改善施策候補はあるものの要求値を満たすものは無し。)
- ②チップ内・ウェハ内のGateのCDバラツキは改善方向。
(温度/ガス/パワーなどマルチゾーン制御化均一性改善見通し)
- ③ ウェハ間・ロット間のGateのCDバラツキ
(フィードバック/フィードフォワードAPCの精度向上での均一性改善を期待?)
- ③ 「Through pitch Lgate variation」の項目削除。
(Grid design ruleが幅広く採用されている結果)
- ④ 「Dummy Gate Stack Removal Induced Lgate Variation」の項目追加。
(RMGプロセスが主流になった結果)
- ⑤ 2016年以降は改定未なので、見直されるはず。

FEP WG3活動 2014年度の活動方針

【国際活動】

1. ITRS改訂に向けたFEP技術議論。
2. ITRS改訂に向けたウェーハ仕様(フラットネス等)に関する議論・調査。
3. ITRS改訂に向けたFeRAMに関する調査。

【国内活動】

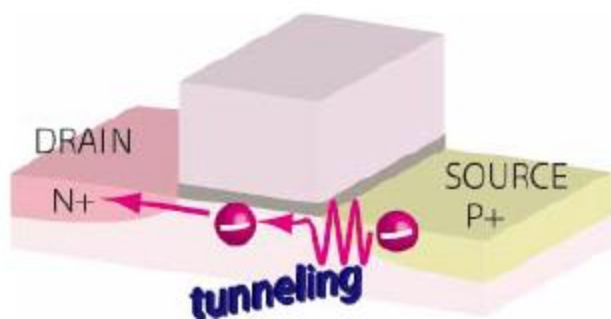
1. ウェーハ仕様に関する議論・調査。
2. 低消費電力化に向けたFEP技術の継続調査
3. III V 材料を含む新材料・新構造MOSFETに必要なFEP技術に関する調査。

ヒアリング(～2015年3月)

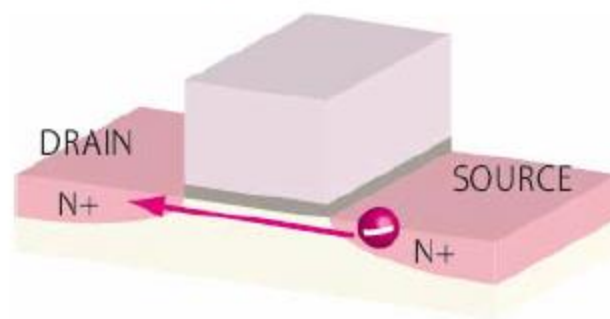
年月	講師	テーマ	分類
11年8月	沼田 敏典氏(東芝)	Si Nanowire Tri-Gate	Multi-Gate
12年4月	藤田和司氏(富士通)	低電圧MOSFET技術	Bulk CMOS
12年7月	木下ERDリーダー	ERD/ERM 新機軸デバイスの状況	
12年8月	羽根委員	Mears技術ヒアリング情報	Bulk CMOS
12年10月	富岡 克広氏(北大)	III V ナノワイヤチャネル	新材料
13年2月	杉井 信之氏(LEAP)	SOTB	FDSOI
13年7月	入沢 寿史氏(GNC)	InGaAs/Ge三次元積層CMOS	新材料
13年9月	能登 宣彦氏(SEH)	FDSOI向け300mm薄膜SOI	FDSOI
14年2月	内田 建先生(慶大)	Extending the FET	FET・新材料
14年9月	森 貴洋氏(産総研)	TFET(ON電流向上)	FET・新材料
14年9月	後藤 正和氏(東芝)	TFET(CMOSコンパチ)	FET・新材料
14年11月	遠藤 哲郎先生(東北大)	スピントロニクス	メモリ・新材料
15年2月	彦坂 幸信委員 (富士通セミコンダクター)	FeRAM	メモリ・新材料

TFET (産総研:1)

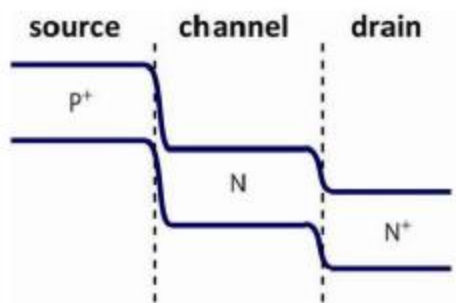
トンネルトランジスタ (TFET)



Tunnel FET

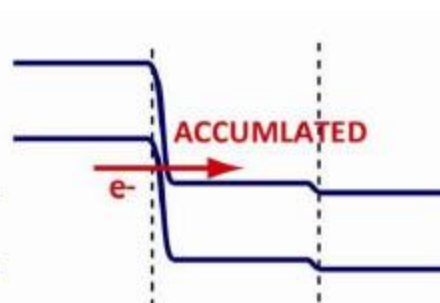


従来型MOSFET

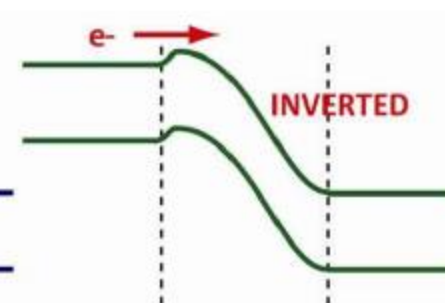


TFET $V_g=0$

ソース端トンネルが動作を規定



TFET on-state

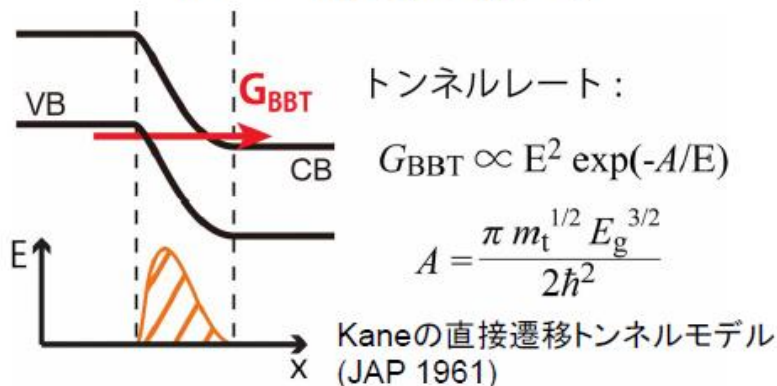


MOSFET on-state

拡散・ドリフト輸送が動作を規定

TFET (産総研: 2)

TFET開発指針

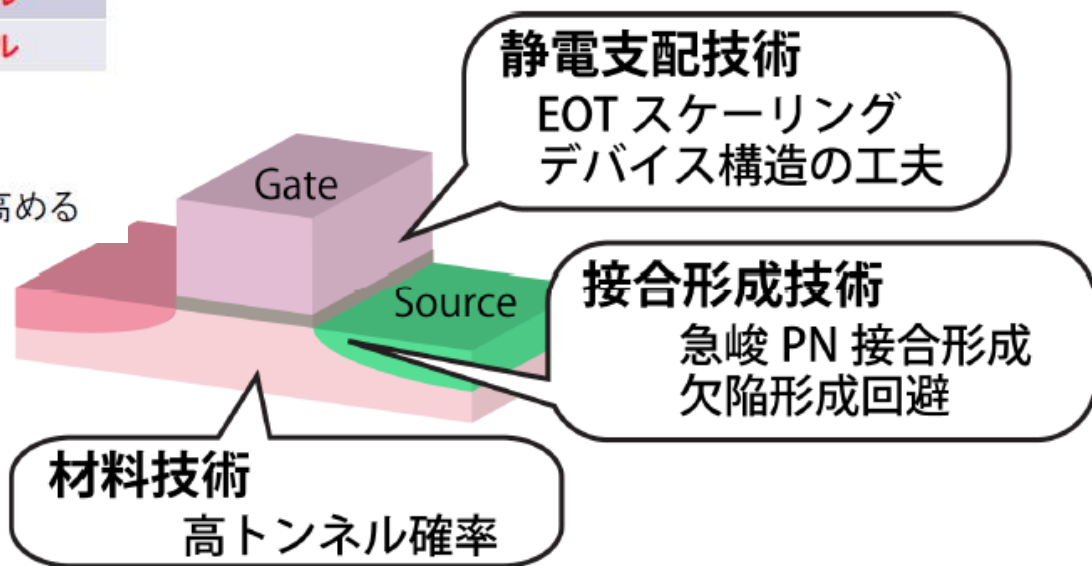


MOSFET		TFET
拡散	Subthreshold	トンネル
ドリフト	Overdrive	トンネル

● トンネル電流を確保することが開発指針

① 接合印加電界を増強する ② トンネル確率を高める

主な研究トピック

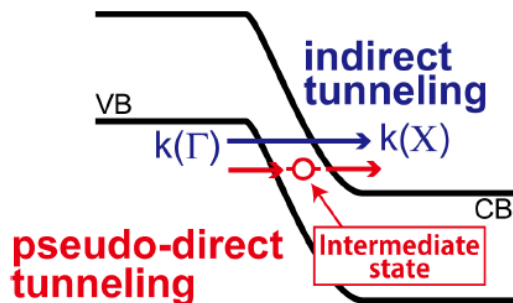


TFET (産総研:3)

トンネル電流増大: 1つのアイデア

なぜオン電流が得られないのか？

答: シリコンは間接遷移型であり、遷移確率が低い。運動量保存則。



バンド中に中間準位が存在し、それを介するトンネル機構を利用すれば、擬似的な直接遷移となり確率を増大できないか？



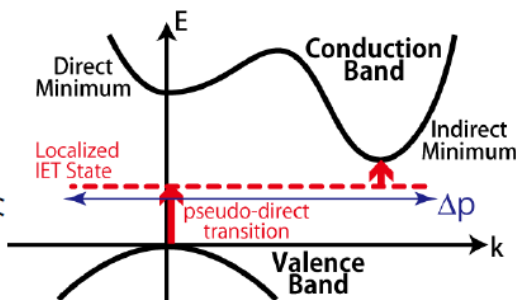
等電子トラップ (Isoelectronic Trap; IET)

- 電気的中性な不純物によって形成されるトラップ準位。
- ドナー・アクセプタとは異なる不純物。
- キャリアを強く局在させるものがある。

不確定性原理: 局在準位は運動量保存則を緩和させる

$$\Delta x \cdot \Delta p \geq \frac{\hbar}{2}$$

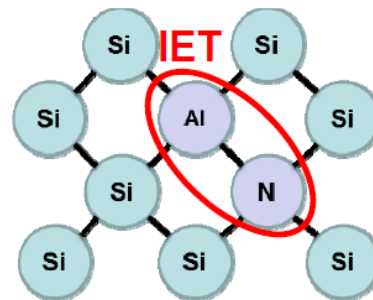
InGaN登場以前の緑色LEDに
用いられていたGaP:Nが有名な
応用例



Si中で有効な等電子トラップ: Al-N複合不純物

R. A. Modavis et al., J. Appl. Phys. 67 (1990) 545

- Al イオン注入 (15 keV, $5 \times 10^{13} \text{ cm}^{-2}$)
- N イオン注入 (15 keV, $5 \times 10^{13} \text{ cm}^{-2}$)
- 低温アニール (450度, 30-60時間)



Si中にあるAl-N不純物の
イメージ図

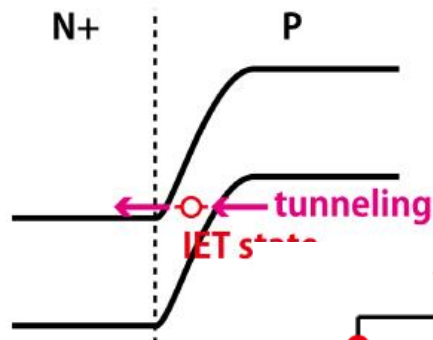
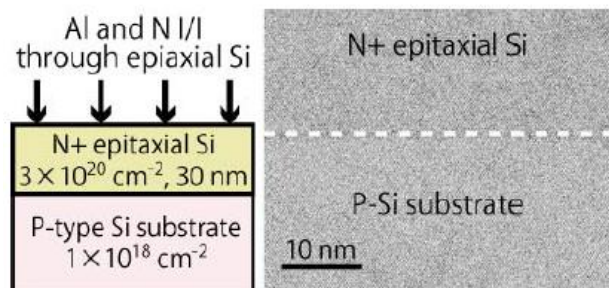
TFET (産総研: 4)

P型シリコン基板

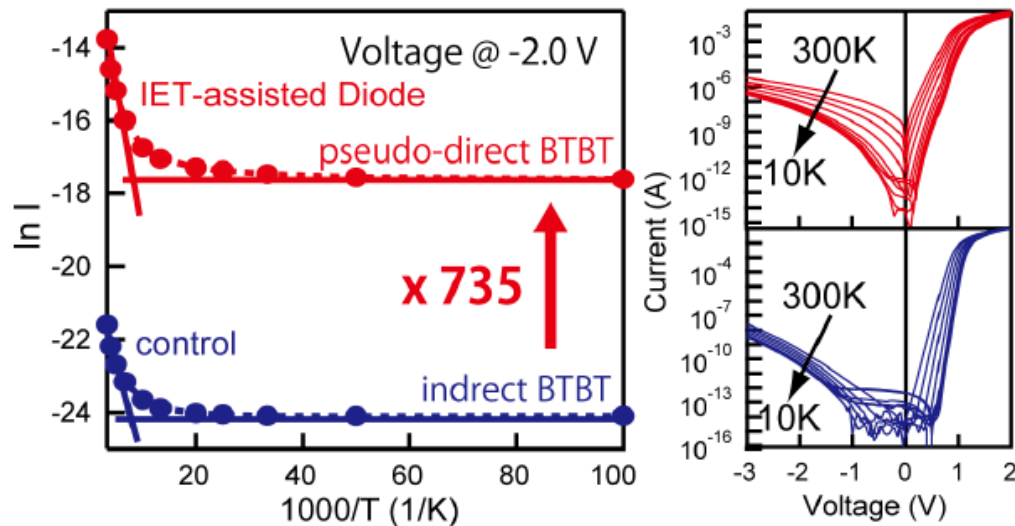
- DHF処理 / H_2 アニール (表面洗浄)
- N+ Si エピタキシャル成長 (CVD, 30 nm)
- Al イオン注入
- N イオン注入
- 低温アニール

IETの形成

Siダイオードでの
トンネル増大例



ダイオード逆方向特性の温度依存性

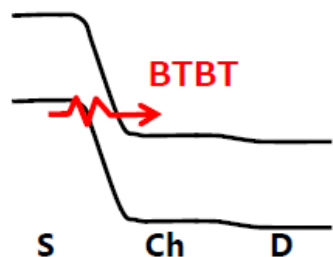
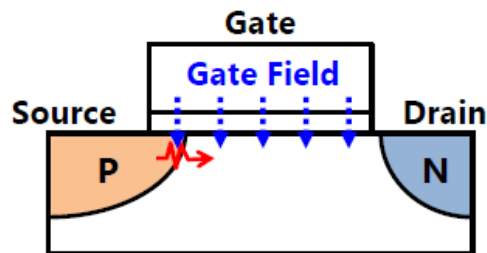


- 擬似直接遷移トンネル電流は熱励起機構を含まない電流
- いわゆるトラップアシストトンネル電流とは異なる

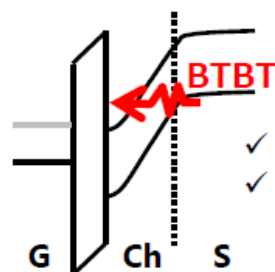
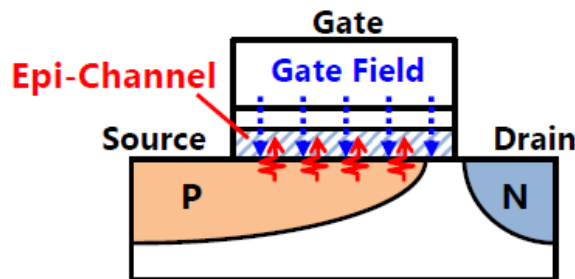
TFET (東芝: 1)

[3] Y. Moria, SSDM (2012)

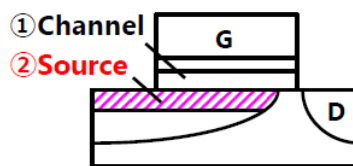
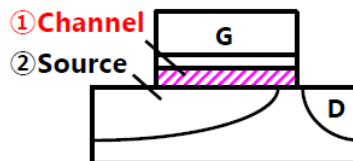
Lateral-TFET



PP-TFET* (Vertical-TFET)

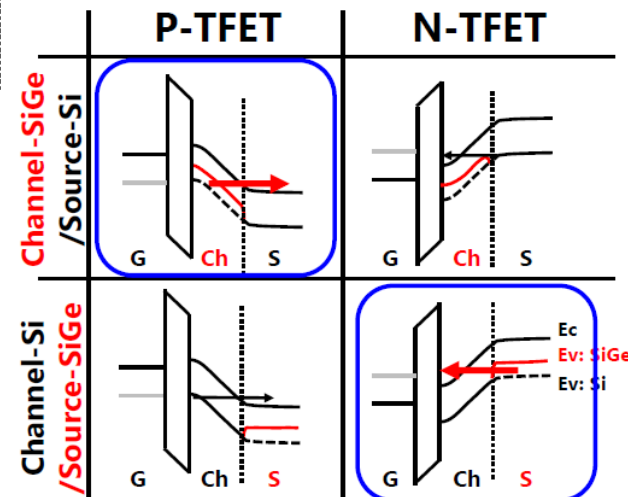


- ✓ Good Gate Controllability
- ✓ Large Tunneling Area



Si/SiGeヘテロ構造
を用いたTFET

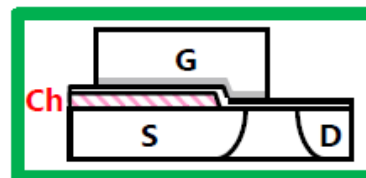
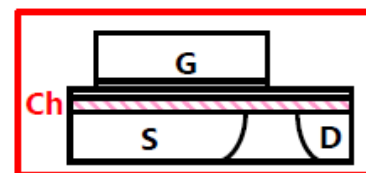
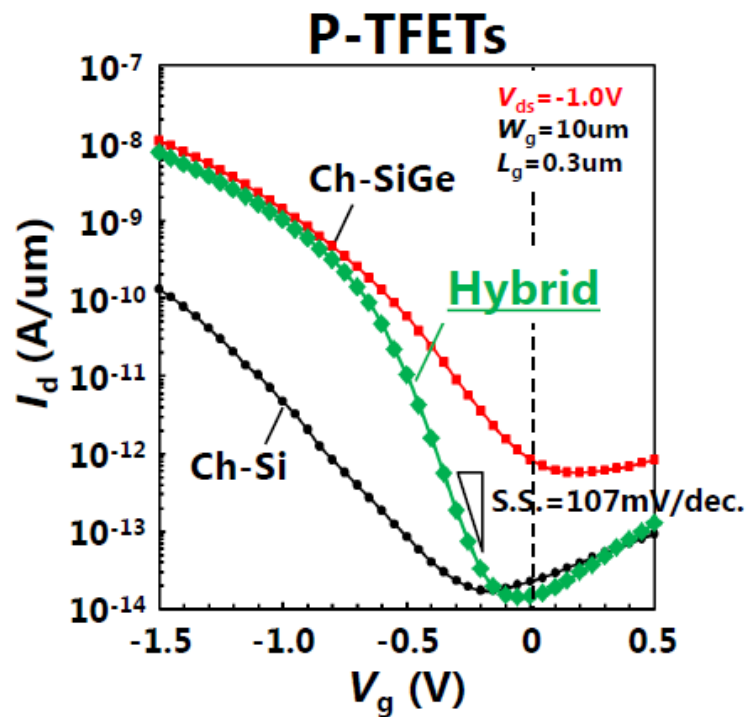
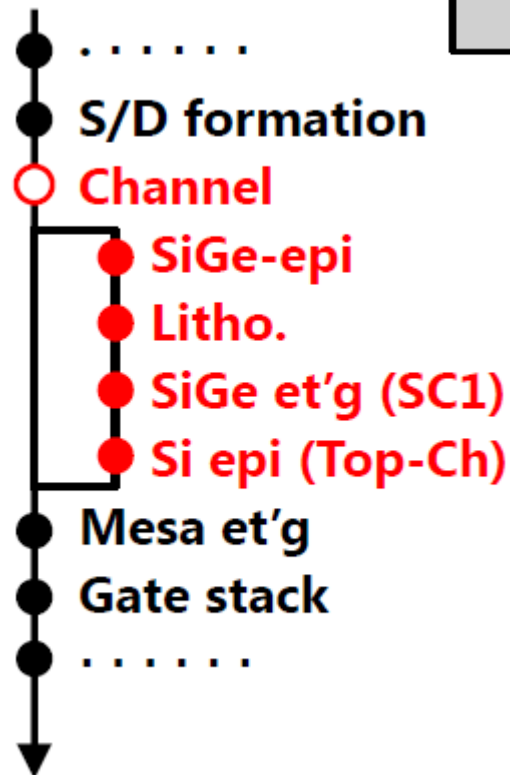
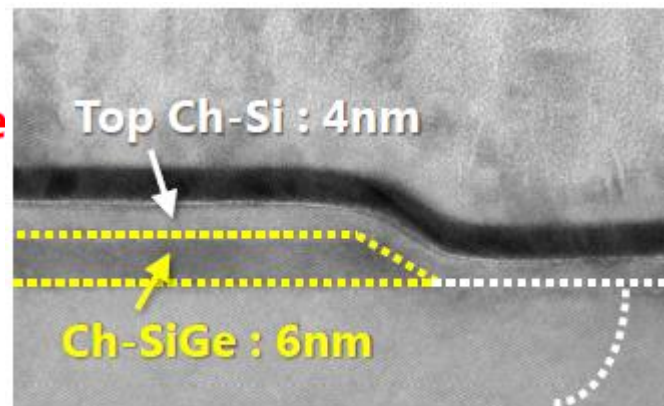
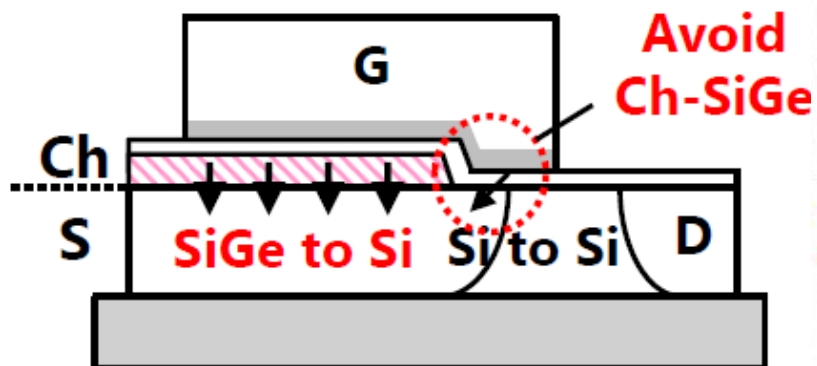
**PP-TFET is adopted
to maximize ON-current**



Ch-SiGe in P-TFET and S-SiGe in N-TFET are promising

TFET (東芝:2)

Si/SiGeハイブリッド構造により
リーク低減



Starting Material ITRS2013

<i>Year of Production</i>		<i>2013</i>	<i>2014</i>	<i>2015</i>	<i>2017</i>	<i>2018</i>
WAS	Starting silicon layer thickness (Partially Depleted) (tolerance $\pm 5\%$, 3σ) (nm) (D)	35–55	33–51	30–47	26–40	may be revisited depending on progress of FinFET
IS	Starting silicon layer thickness (PD SOI $\rightarrow$ FinFET-SOI or Nanowire) (tolerance $\pm 5\%$, 3σ) (nm) (D)	65–75	65–75	30–50	30–40	

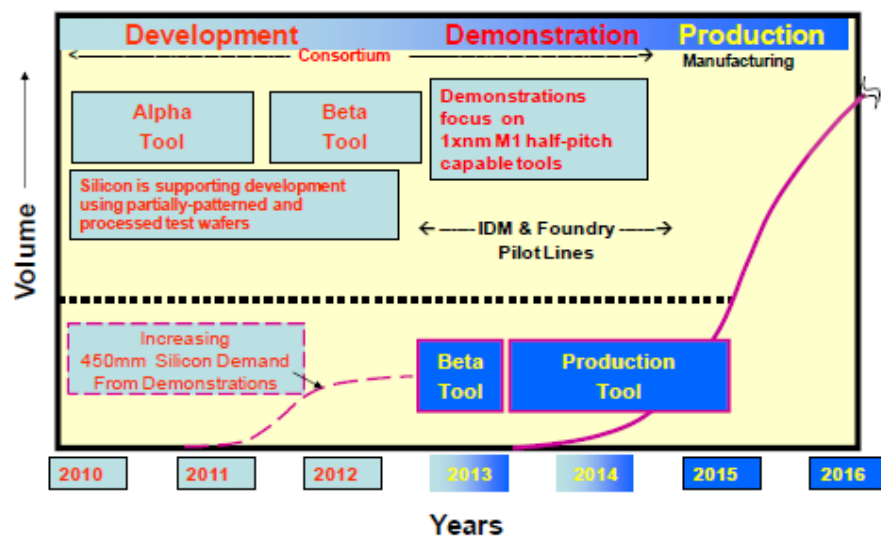
PD-SOIに代えて、FinFETへの適用を想定したSOI厚さを記載

実際に必要とされるデバイスの要求値に合わせた変更。

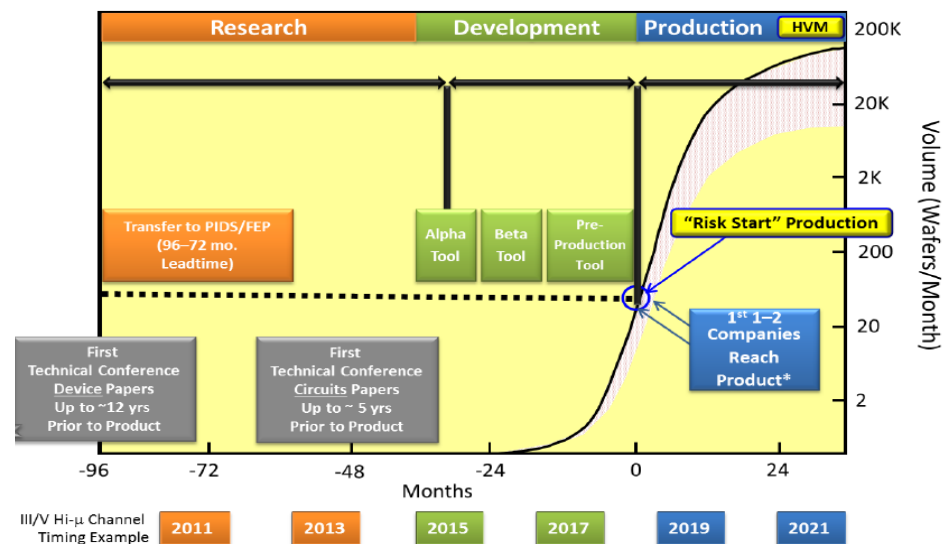
Starting Material ITRS2013

Year of Production		2013	2014	2015	2017	2018
WAS	Maximum Substrate Diameter (mm)—High-volume Production **	300	450	450	450	450
2012 Update		300	300	450	450	450
IS		300	300	300	300	450

450mmウェーハの量産時期はさらに後ろ倒し

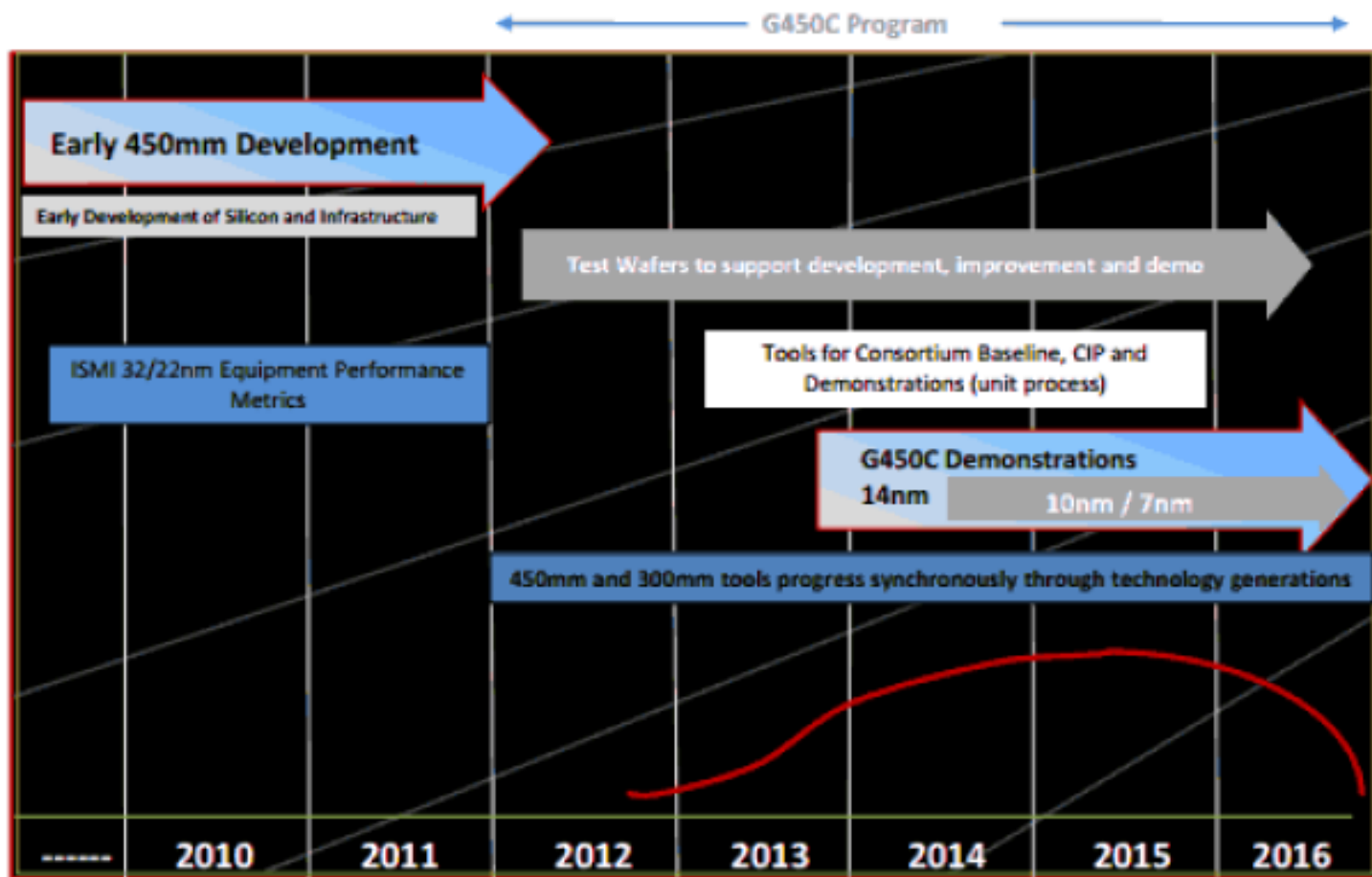


ITRS2011



ITRS2013

G450C 活動計画



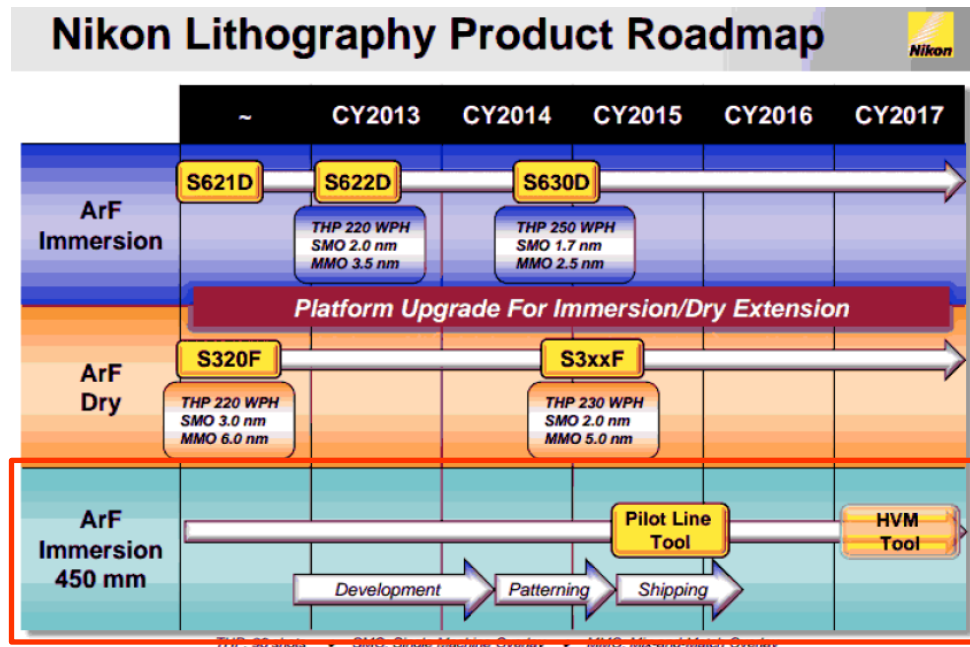
14nm開発からBeyond 10nm開発へ移行

SEMICON WEST 2014

G450C 活動進捗

G450C Lithography Progress

- SOKUDO DUO Track
 - Tool on schedule for 4Q2014 Albany, NY delivery
 - Process capabilities include PT develop, NT develop, DSA coating, annealing, UV cure and wet etch
 - SCREEN is providing 450mm wafer coating and DSA processing service from their Hikone facility
- Nikon 450mm 193i Scanner
 - First 193i scanner patterned 450mm wafers are being presented at SEMICON West 2014
 - 450mm patterning service being provided to G450C from the Nikon Kumagaya facility
 - Nikon 450mm 193i scanner scheduled for delivery to the G450C in Albany, NY in April 2015



SEMICON WEST 2014

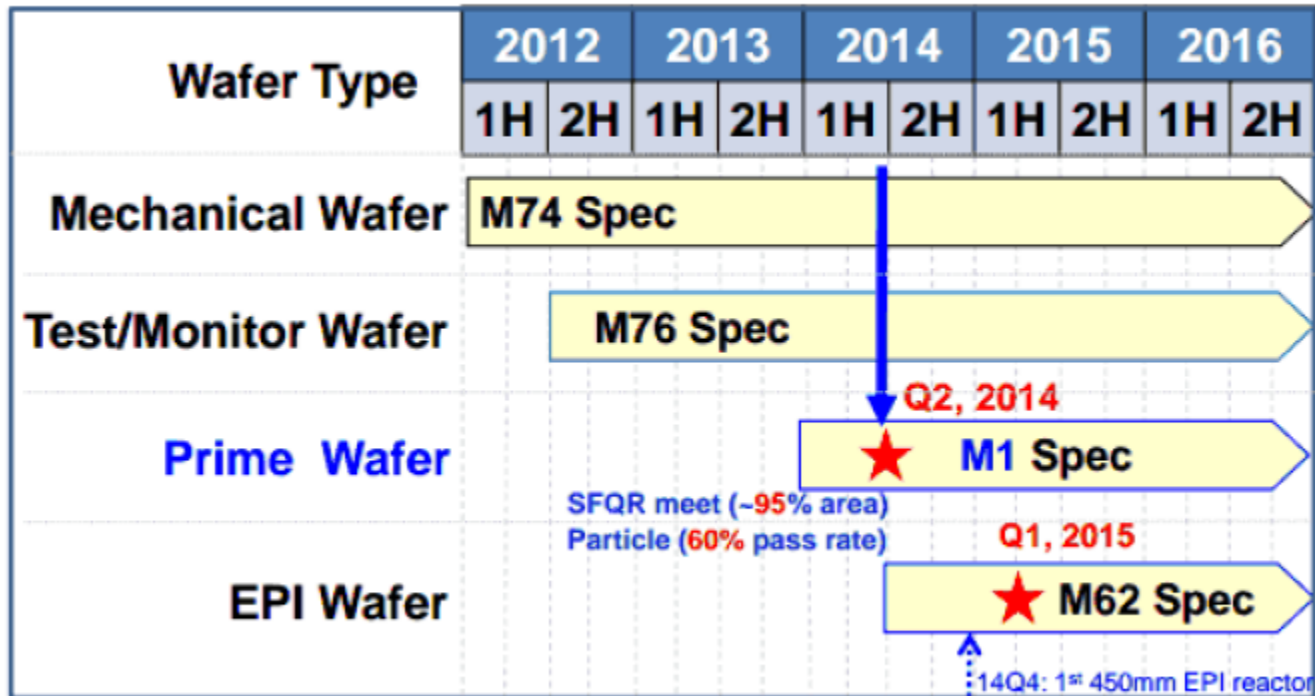
液浸リソグラフィ装置を導入へ 2015年 4月

電子デバイス産業新聞 (2015年2月19日)

量産機出荷計画は若干不透明

G450C 活動計画 Wafer要求

● Wafer quality roadmap



*SFQR: Site Flatness Quality Requirement (<20nm)

★ Deliver Sample

SEMICON WEST 2014

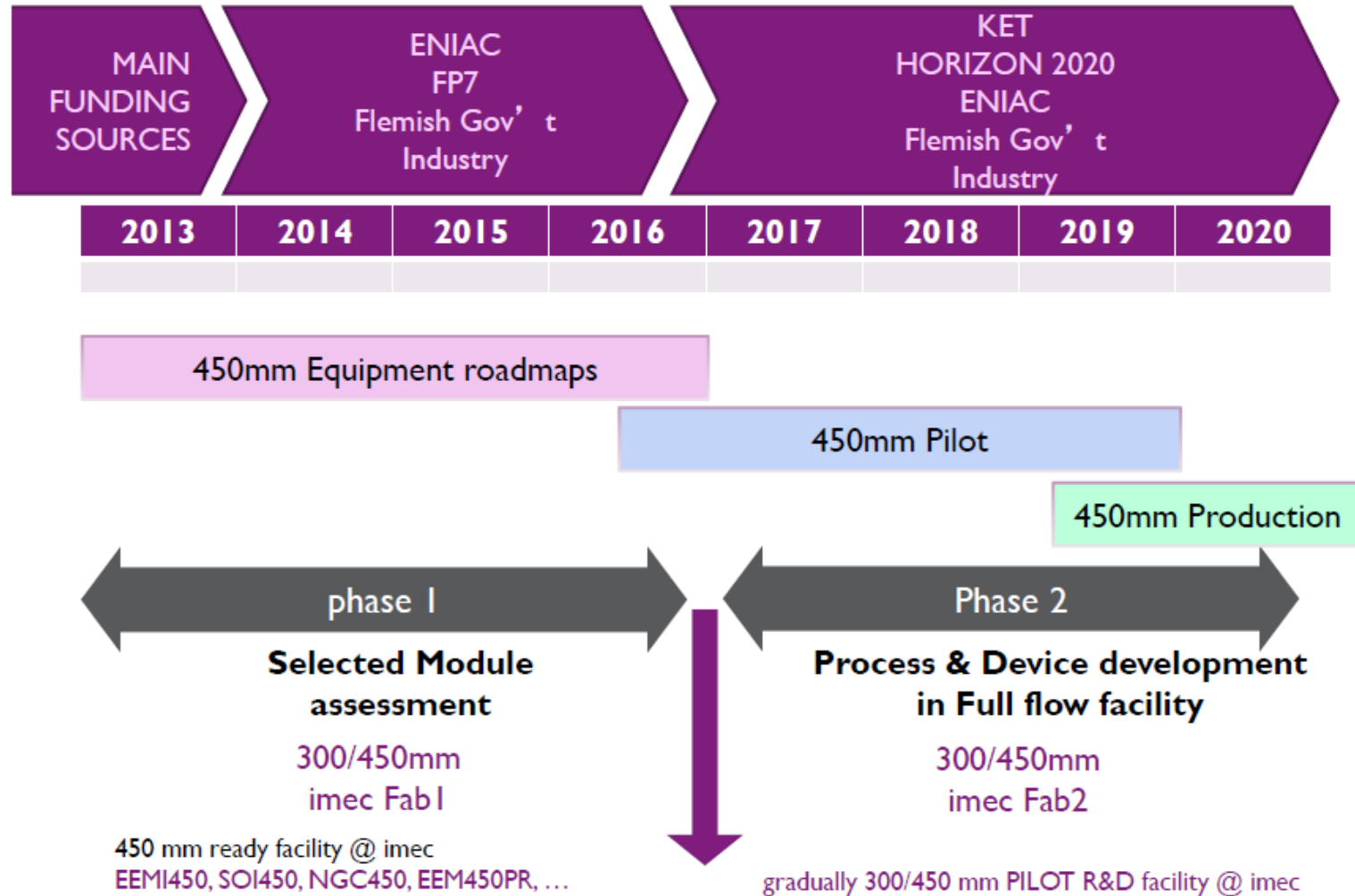
Prime Wafer M1要求、EPI Wafer要求へ

化学工学日報(2015年2月18日)

ユーザーの量産遅れのため、450mmウェーハ出荷数量は伸びていない。

IMEC 活動計画

450mm imec TIMELINE

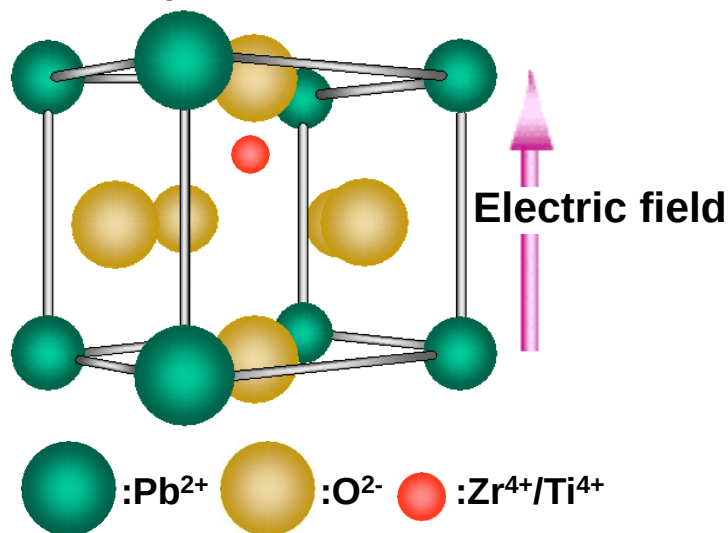


SEMICON JAPAN 2013

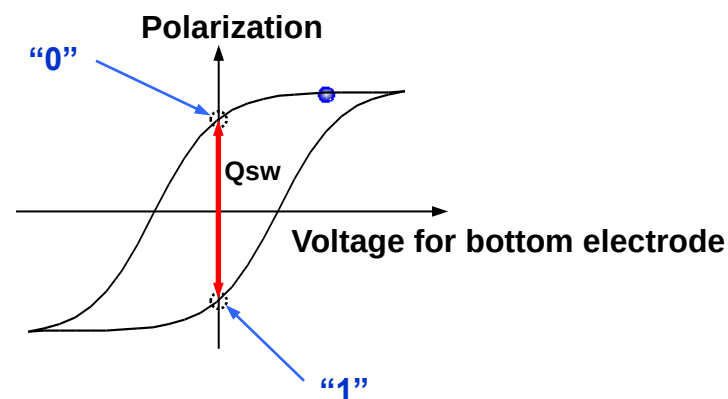
FeRAM (富士通)

FRAM is a non-volatile memory that retains data by ferroelectric capacitor with polarization.
The polarization is switched by external electric field.

PZT crystal image
 $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$



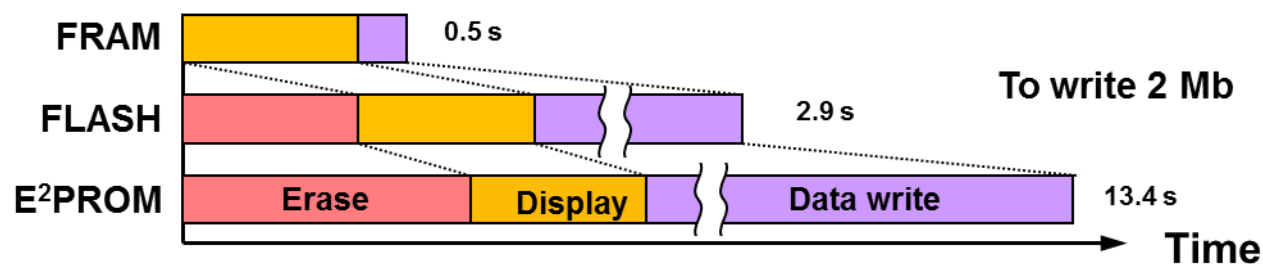
Hysteresis of PZT



FeRAMの4つの特長

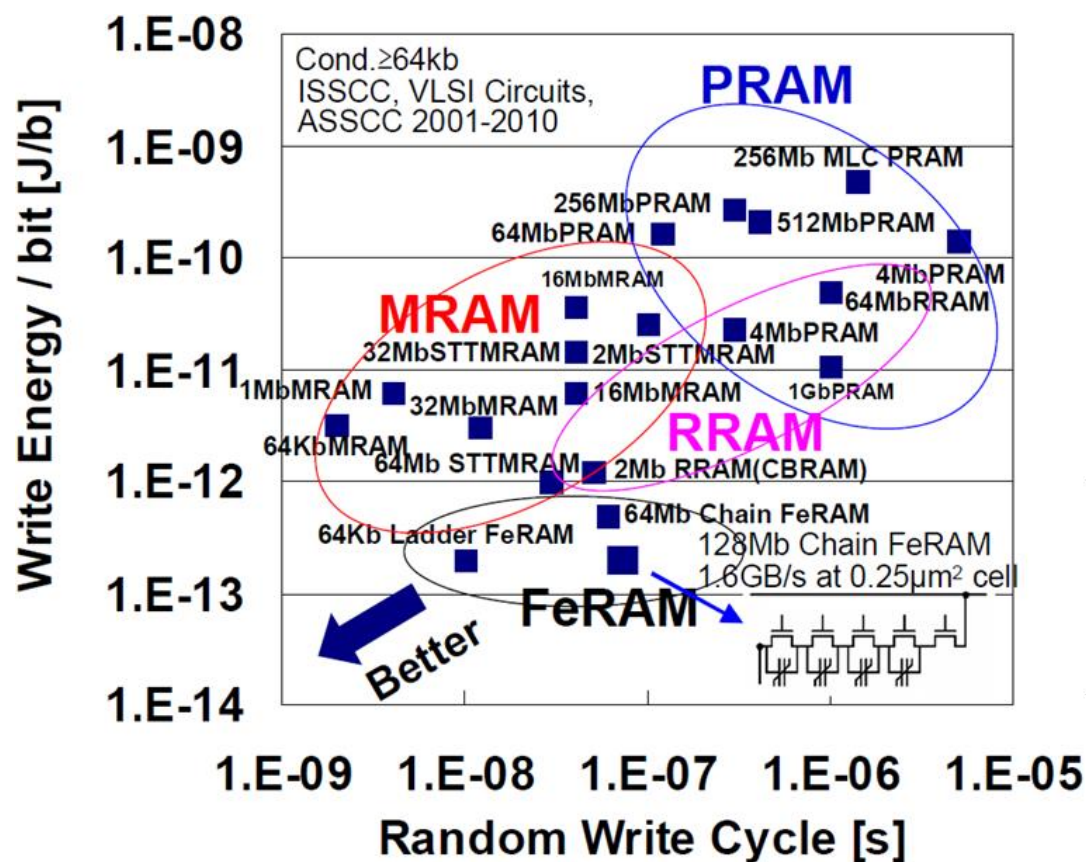
1. Fast over write.
2. FRAM consumes least power among non-volatile memories.
3. FRAM exhibits more than 2-orders higher endurance among non-volatile memories.
4. PZT achieves more than 7-times higher capacitance per unit area than others in Fujitsu process option.

Fast over write



FeRAMの特長: 低消費電力

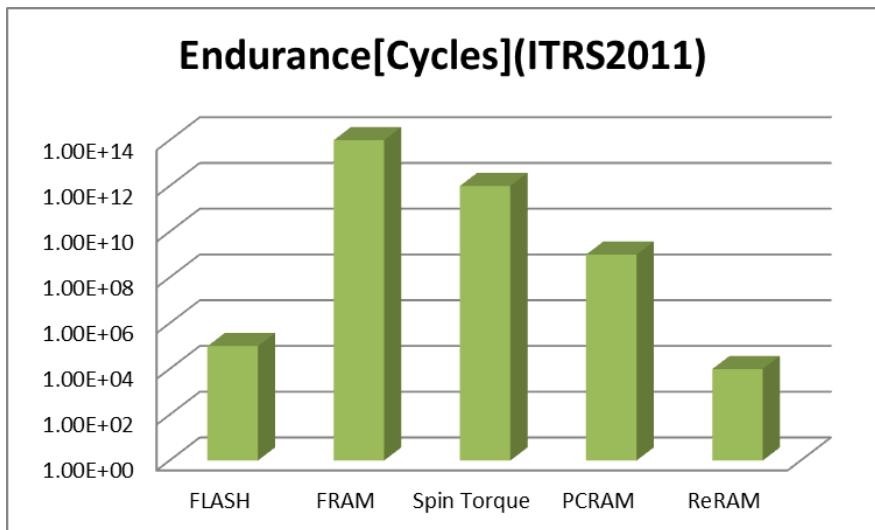
FRAM endures the least power consumption among non-volatile memories.



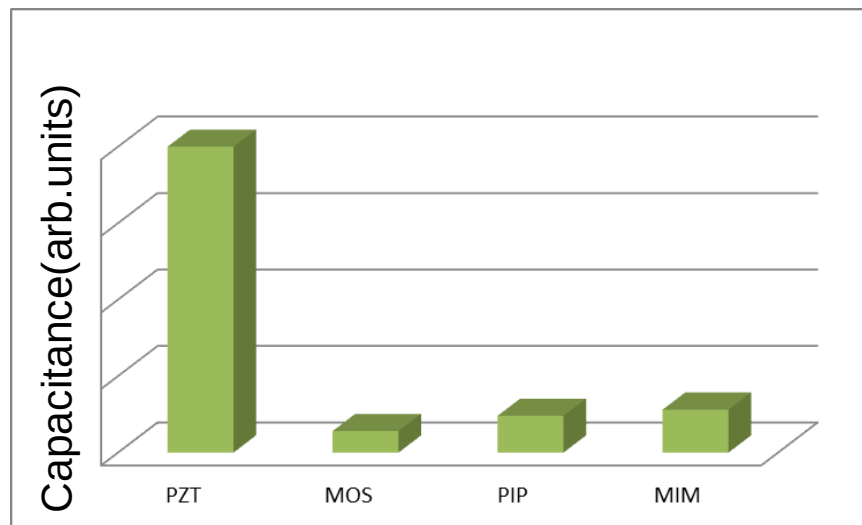
D. Takashima, "A Scalable shield-bitline-overdrive technique for 1.3V chain FeRAM", IEEE J. Solid-State Circuits, vol. 46, no. 9, pp. 2171-2179, 2011

FeRAMの特長： 高いエンデュランスとキャパシタンス

FRAM exhibits more than 2-orders higher endurance among non-volatile memories.



PZT achieves more than 7-times higher capacitance per unit area in Fujitsu process option.



MOS: Metal oxide semiconductor (gate capacitance)

PIP: Poly silicon insulator poly silicon

MIM: Metal insulator metal

FeRAM table from FEP for ITRS 2013



Year of Production		2013-2015	2016-2020	2021-2024	2025-
FeRAM technology node	→2011	130	90	65	45
	→2013	130	90	65	45
FeRAM cell size – area factor a in multiples of F2 [B]	→2011	23.2	21.9	15.3	12.7
	→2013	23.2	21.9	20.0	18.8
FeRAM cell size (μm^2) [C]	→2011	0.710	0.400	0.169	0.081
	→2013	0.710	0.400	0.220	0.12
FeRAM cell structure [D]	→2011	1T1C	1T1C	1T1C	1T1C
	→2013	1T1C	1T1C	1T1C	1T1C
FeRAM capacitor structure [E]	→2011	stack	stack	3D	3D
	→2013	stack	stack	stack	stack
FeRAM capacitor footprint (μm^2) [F]	→2011	0.423	0.234	0.087	0.039
	→2013	0.423	0.234	0.125	0.067
FeRAM capacitor active area (μm^2) [G]	→2011	0.423	0.234	0.175	0.155
	→2013	0.423	0.234	0.125	0.067
Ferro capacitor voltage (V) [I]	→2011	1.5	1.2	1	1
	→2013	1.5	1.2	1	1
FeRAM minimum switching charge density ($\mu\text{C}/\text{cm}^2$) [J]	→2011	8.5	12.0	13.0	11.5
	→2013	8.5	12.0	18.1	26.5
FeRAM endurance (read/write cycles) [K]	→2011	1.00E+15	1.00E+15	>1.0E16	>1.0E16
	→2013	1.00E+15	1.00E+15	>1.0E16	>1.0E16
FeRAM nonvolatile data retention (years) [L]	→2011	10 Years	10 Years	10 Years	10 Years
	→2013	10 Years	10 Years	10 Years	10 Years

2021年以降もPlanar Stack構造を継続

FeRAM table from FEP for ITRS 2013 (Cont'd)

- ✓ FeRAM Tableは、2013年に行ったFeRAM製造メーカへの調査に基づき改訂した。
- ✓ FeRAMのCell面積は今後も4年毎に55%縮小する。Cell構造は、2021以降もPlanar Stack構造を継続する。0.1 μm^2 のCapacitor面積で良好な強誘電体特性を示すデータが得られているため。3D構造、或いはFET型FeRAM (1T)は基礎調査と開発が続けられている。
- ✓ その他の必要な要求のすべてを満たしつつ使用電圧を下げることは改善すべき課題「Red brick walls : 赤レンガの壁」の一つ。これらの壁をうち破るには、プロセス劣化がほとんどない、高い信頼性をもつ強誘電体キャパシタ材料を開発することが最も重要である。

FeRAM table from FEP for ITRS 2013 (Cont'd)

- ✓ FeRAM Tableを2013/8/18にJoel-sanへ提出。
2013年版に改訂されている。
<http://www.itrs.net/Links/2013ITRS/Home2013.htm>
- ✓ PIDSのRich-sanに、FeRAMのTable update情報を
2013/7/20に送付。PIDSとFEPの連携をはかっている。
- ✓ FeRAM Chapterを2013/10/26 にJoel-sanへ提出。ただし、
Surface PreparationとFeRAMの限定的な更新であるため、
2013年版ではFEP全体のChapterは改訂しないこととなった。
FeRAM Chapterの和訳は、STRJの独自活動として、以下の
HPにて掲載中。
http://semicon.jeita.or.jp/STRJ/ITRS/2013/ITRS2013_FEP.pdf

まとめ

- ITRS2013 FEP章改訂状況、半数近く作成されていない。
Chapter Chairが決まっていない状況も1年間変わりなし。
特にメモリデバイスで将来構造がFixされておらず、ロードマップ作成が困難になりつつあることを反映。
- TFETの特性向上に対しては、バンドエンジニアリングを可能とするFEP技術が寄与。
- 450nm化は当初計画より遅れているもの、米国、ヨーロッパでは着実に進捗。
- ◎ 微細化は、ロードマップの目指すものの一つではあるが、FeRAMに見られるように、デバイスごとの特長を生かした特性の向上が強く要求されている。

謝辞

技術調査に協力いただいた、

森 貴洋さん（産総研）

後藤 正和さん（東芝）

遠藤 哲郎先生（東北大学）

に感謝いたします。