

## ITRS2.0~デバイス微細化の終焉と 3D Functional Scaling

**STRJ WS 2015**  
**2016年3月4日**  
**品川：コクヨホール**

**WG6主査：福崎勇三（ソニー）**  
**WG6副主査：井上裕文（東芝）**

- PIDS  
(Process Integration, Devices, and Structures)
  - Logic
    - HP: High Performance
    - LP: Low Power
    - FD-SOI: Fully-Depleted Silicon On Insulator
    - MG: Multi Gates --- FinFET, TriGate等の総称
    - NW: Nanowire
    - LGAA: Lateral Gate All Around
    - VGAA: Vertical Gate All Around
    - M3D: Monolithic 3D
    - Ge: Germanium
    - III-V: III族-V族化合物半導体
    - Vdd,VDD: 電源電圧
    - Ion: オン電流、動作時駆動電流
    - Wfp: Wチャネル幅のfootprint (MGに対応)
    - Weff: 実効Wチャネル幅 (MGに対応)
    - Tr.: Transistor
    - DIBL: Drain Induced Barrier Lowering
    - SS: Sub-threshold Swing
  - Memory
    - SRAM: Static Random Access Memory
    - DRAM: Dynamic Random Access Memory
    - RCAT: Recessed-Channel Array Transistor
    - VCT: Vertical Channel Transistor
    - MRAM: Magnetic (Tunneling Junction) RAM
    - STT-MRAM: Spin-Torque Transfer MRAM
    - PCRAM: Phase Change RAM
  - Memory (continuation)
    - FeRAM: Ferro-electric RAM
    - ReRAM: Resistance RAM
    - RTN: Random Telegraph Noise
    - SONOS: Silicon Oxide Nitride Oxide Semiconductor
    - MONOS: Metal Oxide Nitride Oxide Silicon
  - Reliability
    - TDDDB: Time Dependent Dielectric Breakdown
    - PBTI: Positive Bias Temperature Instability
    - NBTI: Negative Bias Temperature Instability
- RF&AMS  
(Radio Frequency & Analog/Mixed -Signal )
  - LNA: Low Noise Amplifier
  - VCO: Voltage Controlled Oscillator
  - PA: Power Amplifier
  - ADC: Analog to Digital converter
  - SerDes: Serializer Deserializer
  - HV: High Voltage
  - CIS: CMOS Image Sensor

# 報告内容

## WG6メンバーと活動

## PIDS構成、More Moore定義

### ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

### メモリ … 執筆；井上委員（東芝）

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

### まとめ

# 報告内容

## WG6メンバーと活動

### PIDS構成、More Moore定義

#### ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

#### メモリ

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

#### まとめ

# 2015年度 WG6メンバーと活動



主査：福崎勇三（ソニー） 副主査：井上裕文（東芝） 幹事：久本大（日立）

SWG	SSWG	委員	特別委員
PIDS	Logic	尾田秀一（ルネサス） *福崎勇三（ソニー）	若林整（東工大） 井田次郎（金工大） 平本俊郎（東京大） 高木信一（東京大） 赤坂泰志（TEL） 吉見信（aBeam）
	Memory	*井上裕文（東芝） 岩本邦彦（ローム）	杉井寿博（LEAP）
	Reliability	*最上徹（PETRA）	丹羽正昭（東北大）
RF&AMS		*久本大（日立） 田辺昭（ルネサス） 安茂博章（ソニー） 大黒達也（東芝）	田中徹（東北大） 堀敦（日本インター）

\*印は、SSWG リーダー

- 国際会議；アメリカ(7月) 井上委員、大黒委員、福崎  
アメリカ(2月) 井上委員、福崎
- 国内会議；4回
- ヒアリング；3回 2015/7/17「VLSI2015まとめ」若林特別委員  
2016/1/29「GeやIII-Vなどの新材料MOSFET」高木特別委員  
2016/1/29「IEDM2015まとめ」若林特別委員

# 報告内容

## WG6メンバーと活動

## PIDS構成、More Moore定義

### ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

### メモリ

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

### まとめ

## ■ □ジック

- HP = High Performance (高速)
- LP = Low Power (例 ; 高性能モバイルなど)
- III-V/Ge = Si代替となるCh材料、低パワーかつ高速向け

	HP	LP	III-V/Ge HP (HP)
Speed ( $I/CV$ )	Ref	Slower	Fastest
Dynamic Power ( $CV^2f$ )	Ref	Lowest	Mildly lower
Static Power ( $I_{off}$ )	Ref	Lowest	Higher

## ■ メモリ

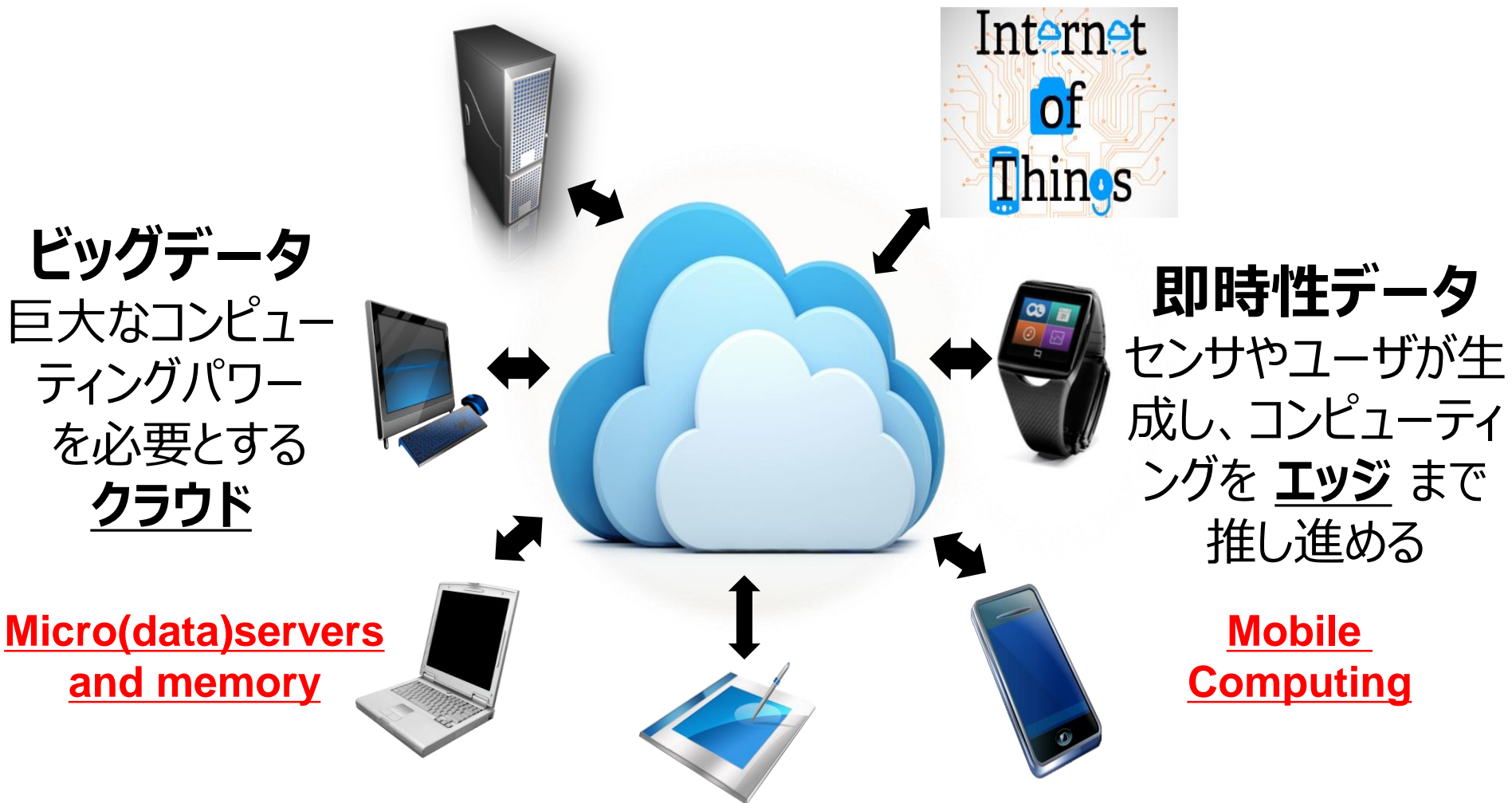
- DRAM
- Non-volatile
  - ・電荷蓄積型FET : 浮遊ゲート (NOR and NAND)  
電荷トラップ型 (NOR and NAND), SONOS, MONOS
  - ・非電荷蓄積型FET : FeRAM, PCRAM, MRAM, STT-MRAM, ReRAM

## ■ 信頼性

- More MooreをPPAC(Power、Performance、Area、Cost)の評価軸で維持して、Big Data, Mobile, クラウド (IoT, サーバ)用途デバイスのスケーリングを行う為に必要な物理的、電氣的、信頼性の要求スペックの提示
- ロジックとメモリの主流となる量産技術について15年間のデバイス技術ロードマップの策定
- 技術範囲 (PIDS) : Scopes
  - ・デバイス性能 (速度、密度、電力等)
  - ・デバイス構造
  - ・新規プロセス・インテグレーション技術
  - ・信頼性



# Cloud and mobile computing drives More Moore



- デバイス、配線の技術はマイクロサーバとモバイルコンピューティングの要求にミートすべき
- IoTのエッジコンピューティングは新たな機能性を必要としており、顧客価値を向上させる (e.g. motion processor, neural processor unit, etc.)
- 2.5D インテグレーションはメモリバンド幅、パワー、レイテンシのスケールリングを進める

# 報告内容

WG6メンバーと活動

PIDS構成、More Moore定義

## ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

## メモリ

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

## まとめ



## • High-performance computing

- KPI : 高パフォーマンス @ 同一パワー密度
- 制約 : 温度, エネルギー消費

## • Edge computing

- KPI : 同一パワー、コストにおいて性能と機能の向上
- 制約 : コスト、バッテリー、他の部品のリークも増大



## • スマートセンサー

- KPI : リーク削減、Vth近傍動作でのバラつき低減
- 制約 : フォームファクタ、コスト、セキュリティ



## • More Moore platform for node-to-node PPAC value

- Performance: **>25-30%** 高性能 @ 同一パワー
- Power: **>50%** パワー削減 @ 同一性能
- Area: **>50%** エリア削減
- Cost: **<25%** ウエファーコスト増  
**30%**コストダウン @同一機能チップ

# 報告内容

WG6メンバーと活動

PIDS構成、More Moore定義

## ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

## メモリ

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

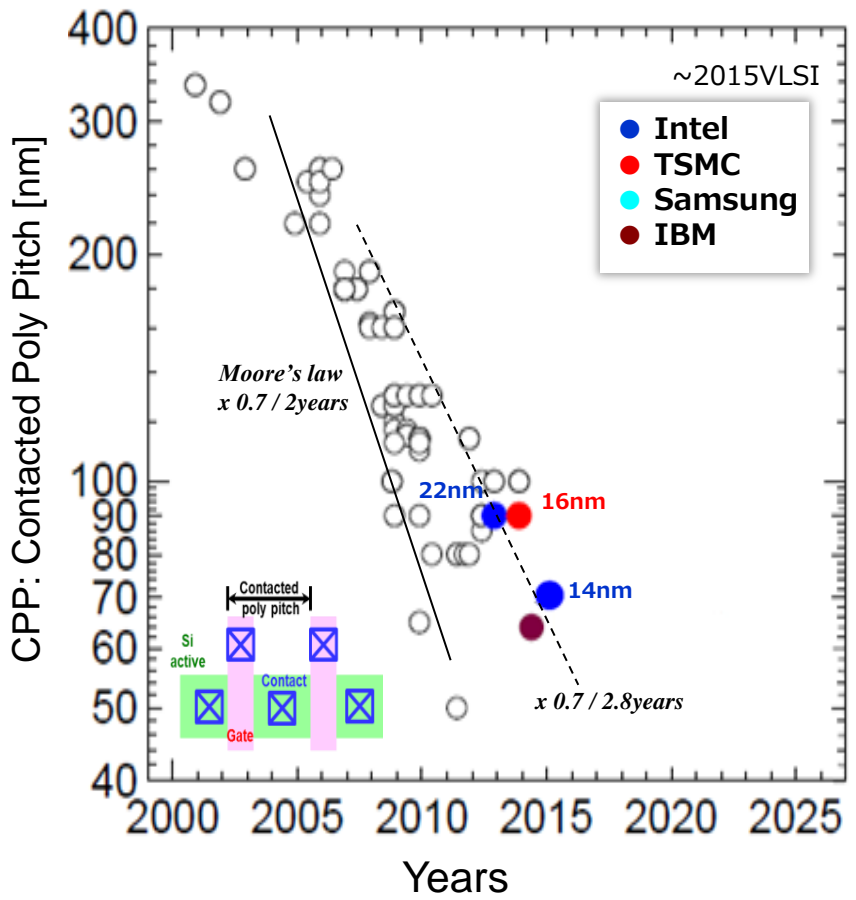
PCRAM・ReRAM

## まとめ

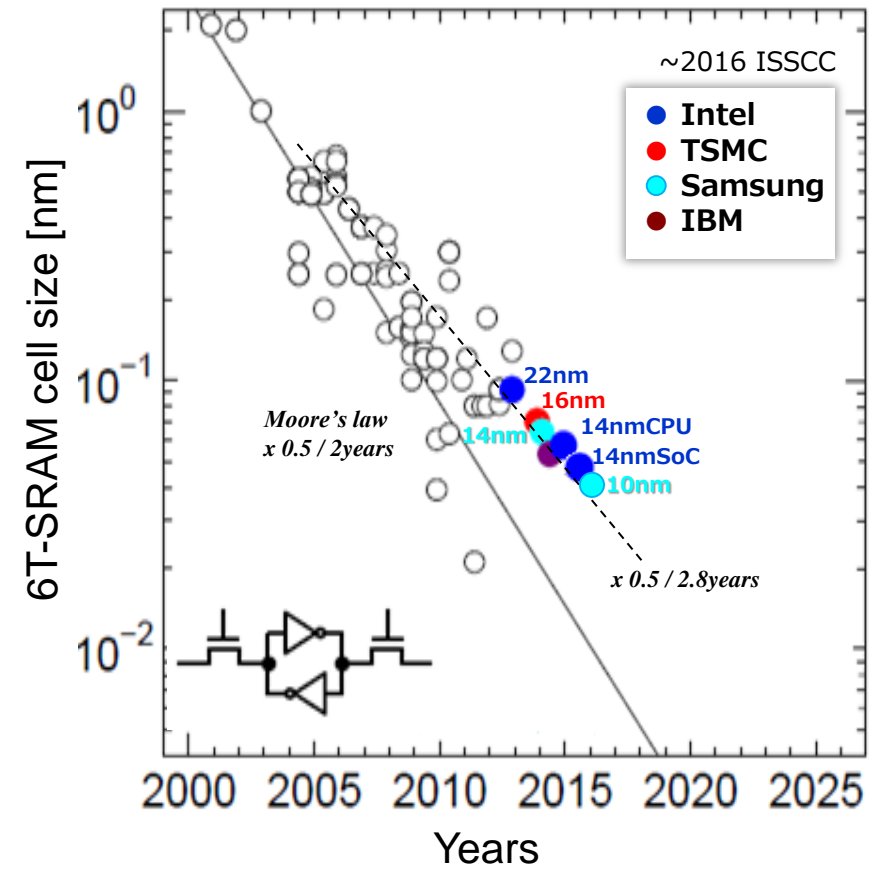
# Area scaling per years ; ムーアの法則

Mooreの法則 (Area Scaling) は近年鈍化傾向(2年→2.8年)

■ Scalingは進行中だが鈍化傾向



■ SRAM-cell-size scalingは鈍化傾向



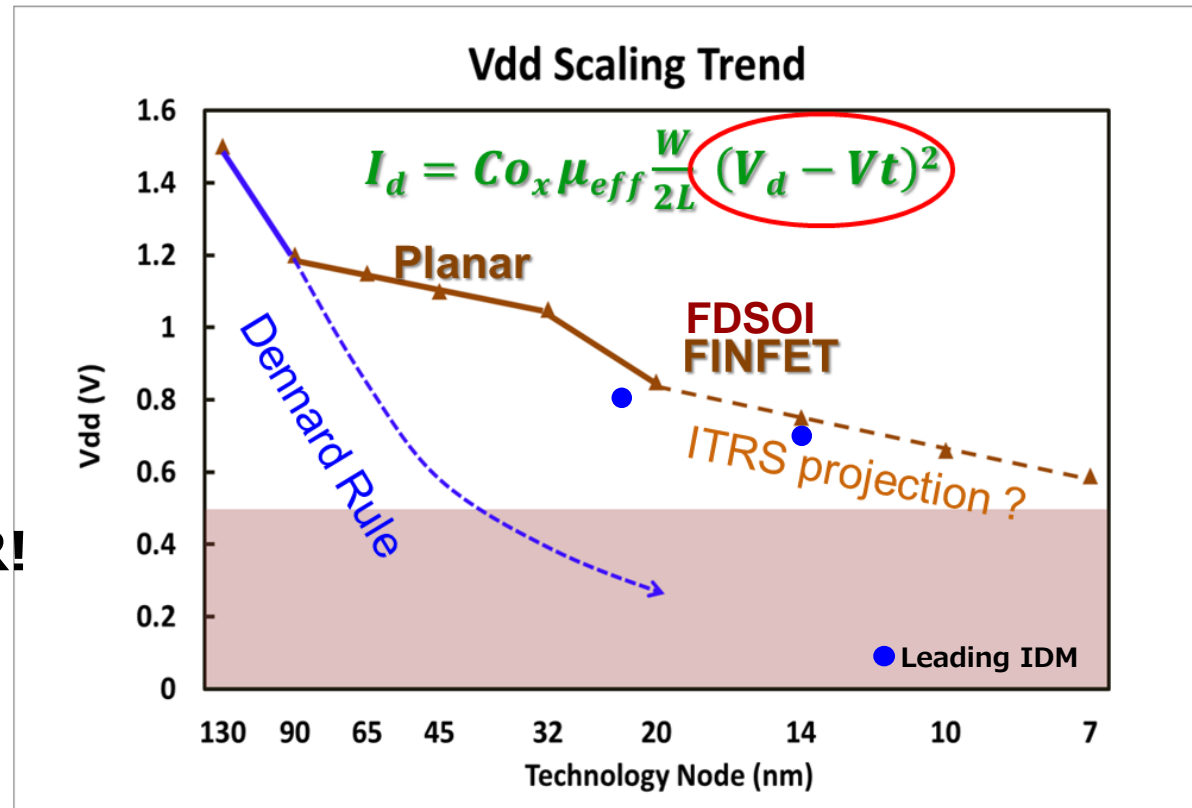
Original Source ; Prof. Wakabayashi, Tokyo-Tech

# Vdd scaling slowed down since N90



## Mobile Computing – The Vdd Scaling Issue

Vdd scaling most difficult:  
 $V_t$  associated with leakage – SCEs, RDF



Compute Key FOM:

Past: Flops/Sec

Now: Flops/W

ALL ABOUT POWER!

*N90: 90nm Node*

*FOM: Figure of Merit*

*SCE: Short Channel Effect*

*RDF: Random Dopant Fluctuation*

Work in Progress - Do not publish

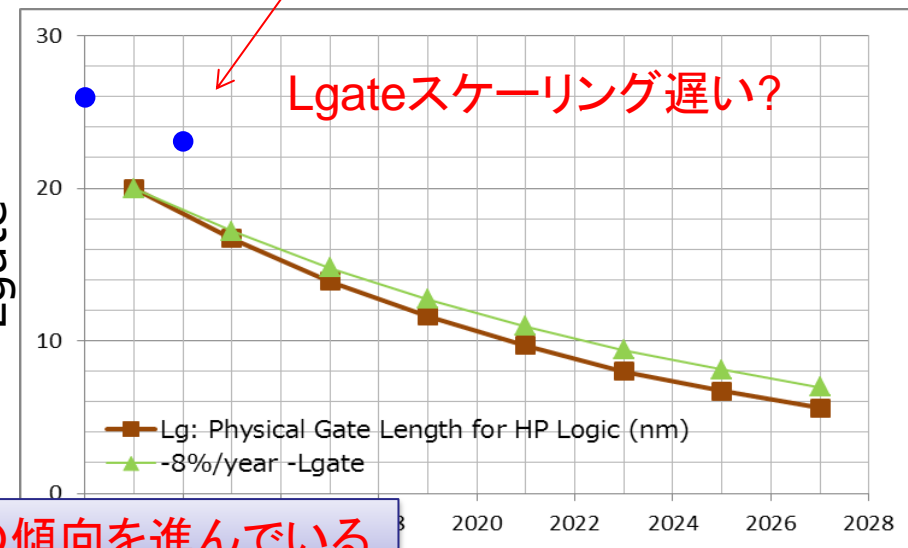
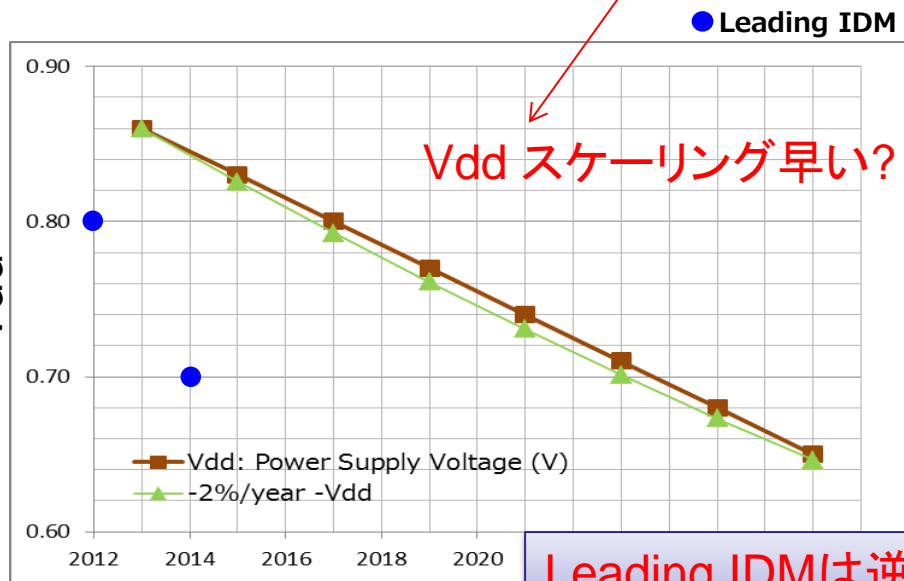
**Low Power Device: SS, DIBL,  $\sigma\Delta V_t$**



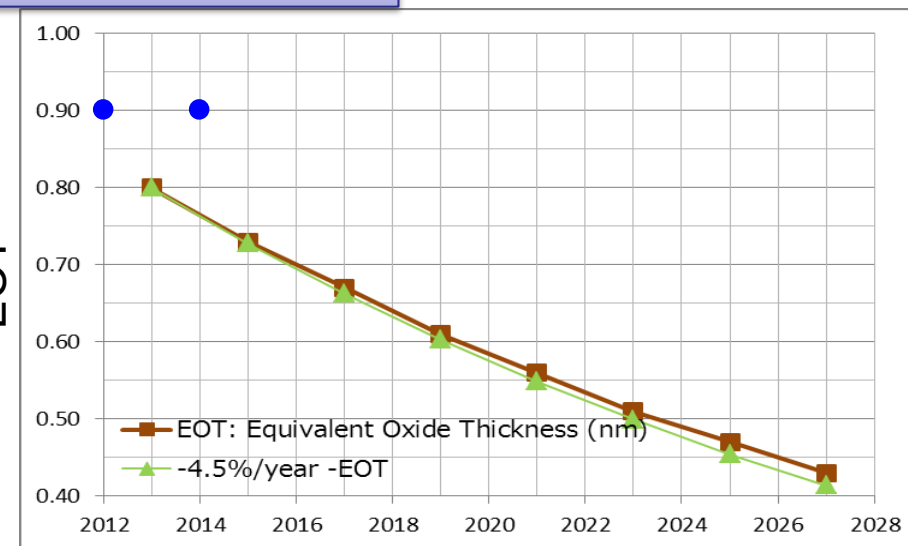
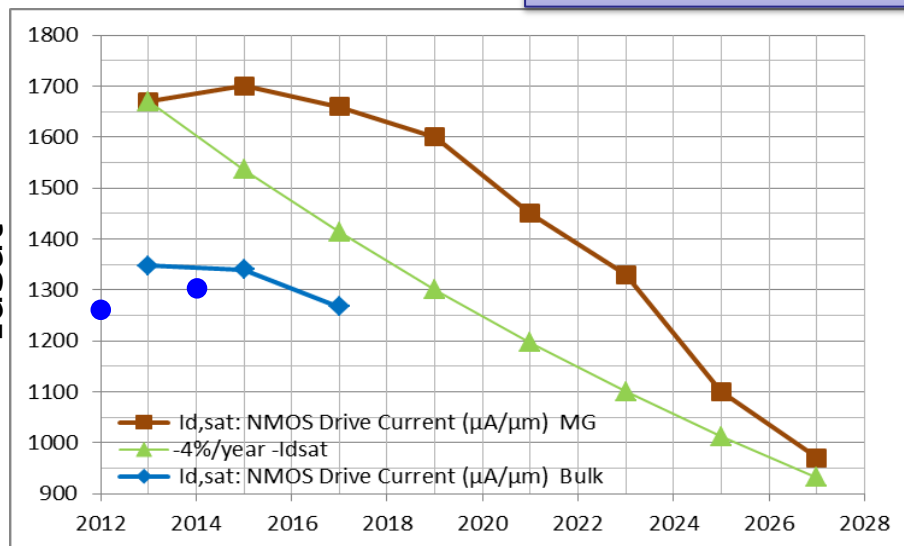
# 2013 ITRS, scaling knobs



Scaling paradox - Slow Vdd for Idsat & fast Lgate for Rext and power



Leading IDMは逆の傾向を進んでいる

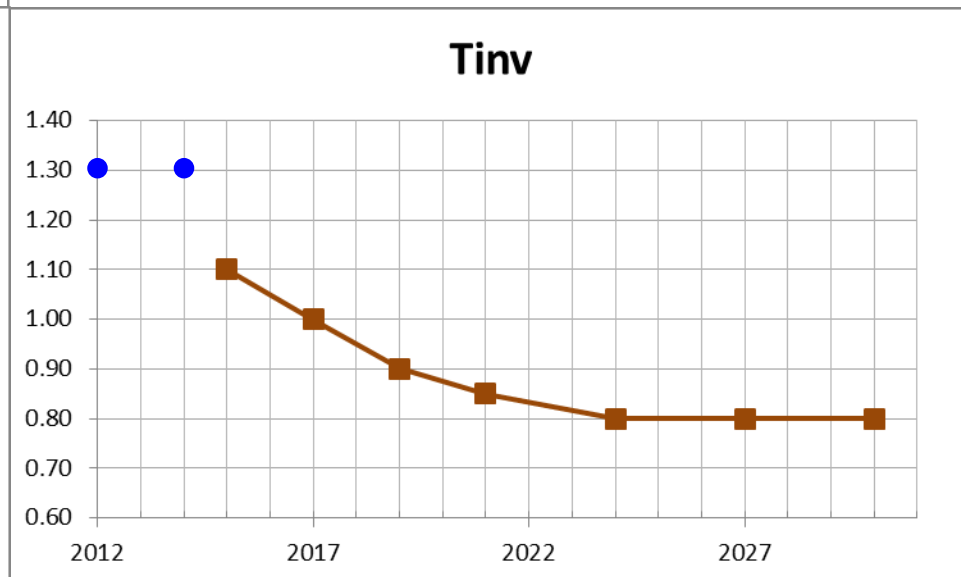
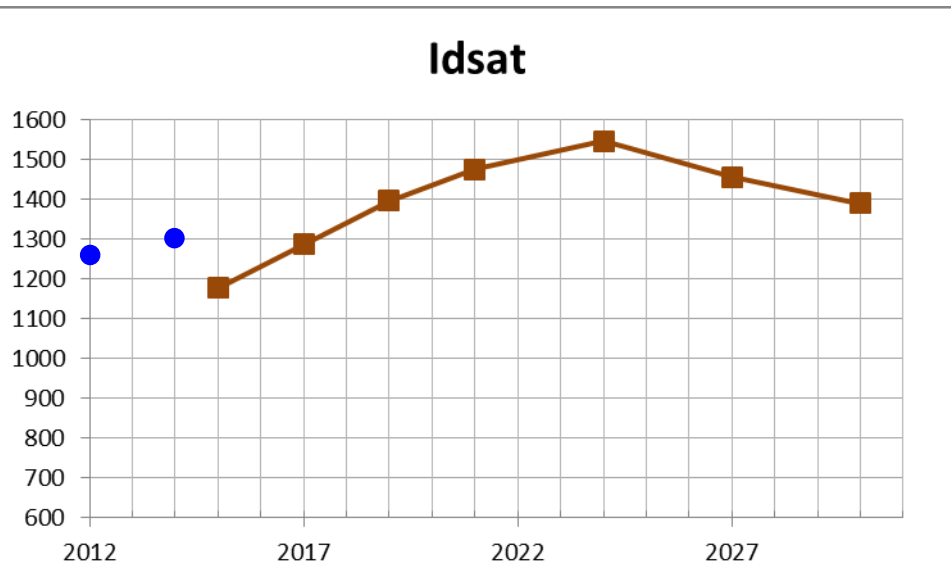
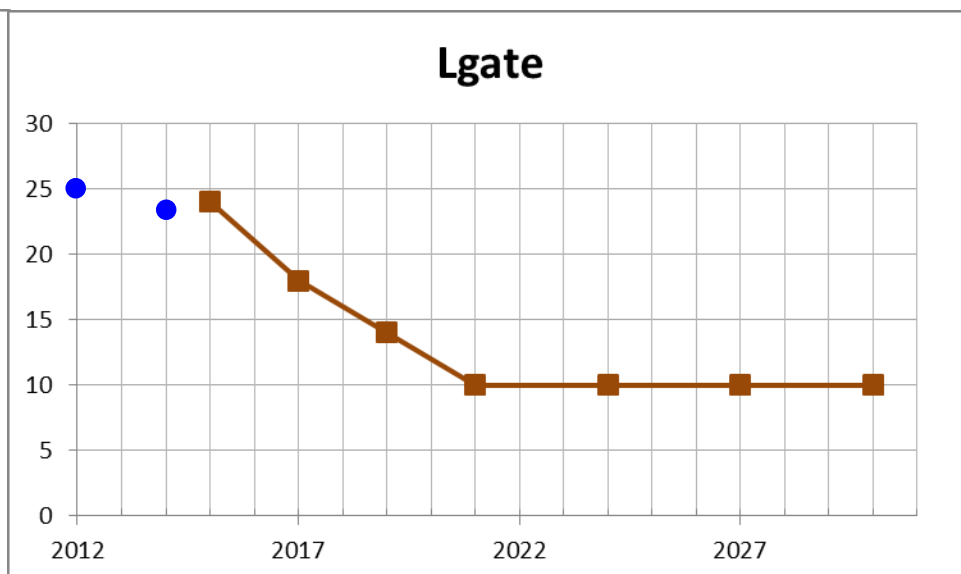
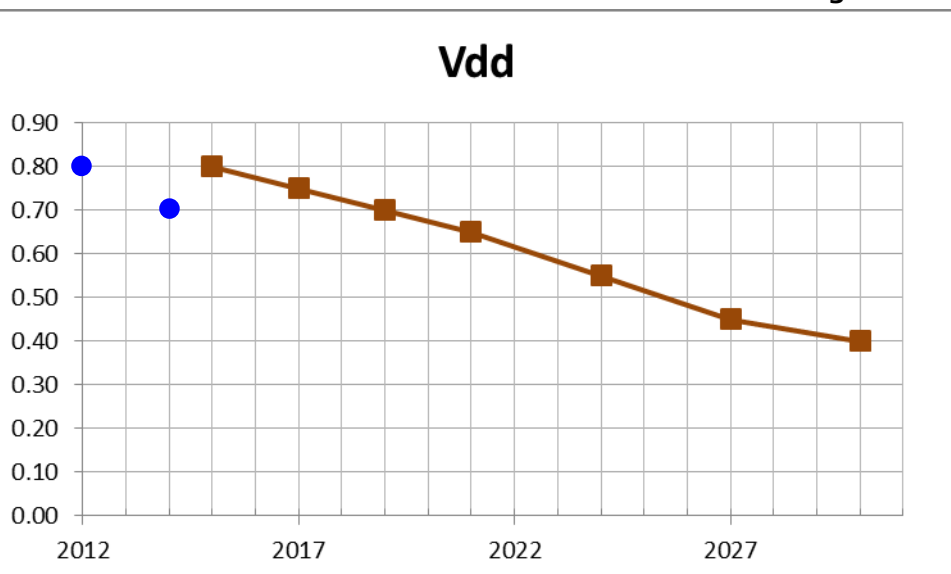


# 2015 ITRS 2.0 draft, scaling knobs



Scaling paradox - Slow Vdd for Idsat & fast Lgate for Rext and power

● Leading IDM





# 報告内容

WG6メンバーと活動

PIDS構成、More Moore定義

## ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

## メモリ

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

## まとめ

# Technology Roadmap(ITRS2015)



2015

2019

Node	45/40nm	32/28nm	22/20 nm	16/14nm	10nm	7nm	5nm ~Beyond
Litho	193nmArF ImmNA1.2	193nmArF Imm. NA1.35			Align. Improvmt Phase 1 Phase 2		<ul style="list-style-type: none"> <li>•EUV</li> <li>•DSA (Directed self assembly)</li> <li>•Multi Patterning</li> </ul>
		SMO (Source Mask Optimization)		Multiple Patterning			
Gate Pitch	186~167	130~117	90~70nm		55~50	42	32, ~24
Front End	Bulk Planer HKMG Gate First or Gate Last		Fin FET (HKMG Gate Last)		LGAA VGAA		
	Bulk Planer Poly/SiON	HK-Last Gate Last			Nano Sheet M3D		
	Planer FD SOI (HKMG Gate First) Gate Last?		Ch Material : SiGe ch, III-V ch, Ge CMOS				
Metal Pitch	142~128	100~90	80	64~52	45~36	24	18, ~12
Back End	Round Contact		Local Interconnect				
	K=2.6~2.9	K=2.4~2.8					
	Via First	Trench First metal Hard Mask					
	Cu	CuMn		Air Gap	CuMnCo ?		

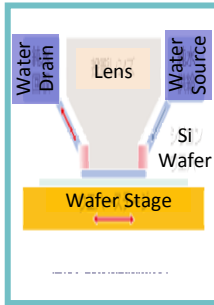
# Technology Roadmap(images)

2015

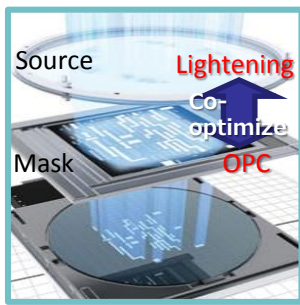
2019

45/40nm    32/28nm    22/20 nm    16/14nm    **10nm**    **7nm**    **5nm ~Beyond**

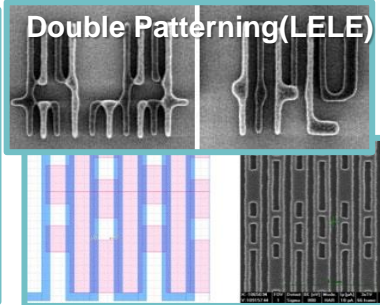
## Litho



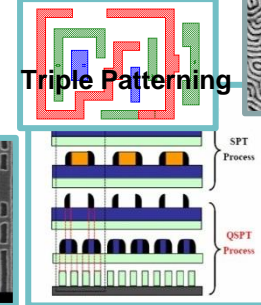
193nm Imm.ArF



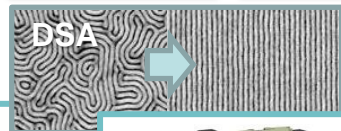
Source Mask Optimization Double Patterning(SADP)



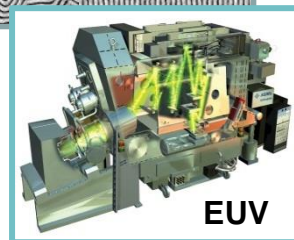
Double Patterning(LELE)



Triple Patterning

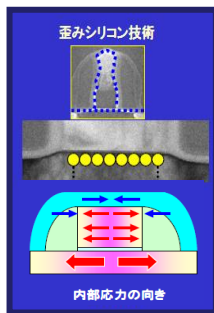


DSA

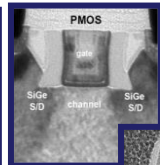


EUV

## Front End

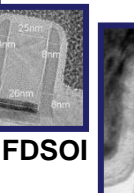


Stress Engineering

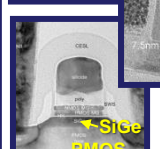


PMOS

SiGe S/D channel SiGe S/D



FDSOI



SiGe P-Ch.



HKMG GL

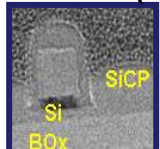
NMOS SiC:P



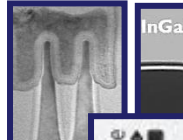
Fin FET



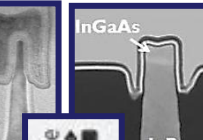
FDSGOI(Pch)



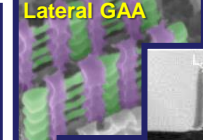
FDSOI(Strain)



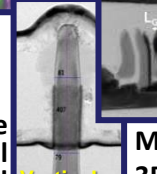
Weff boost Fin FET



Ge channel



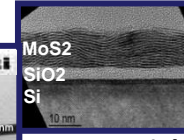
Lateral GAA



Gate All Around



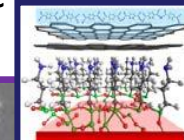
Vertical GAA



2D Material

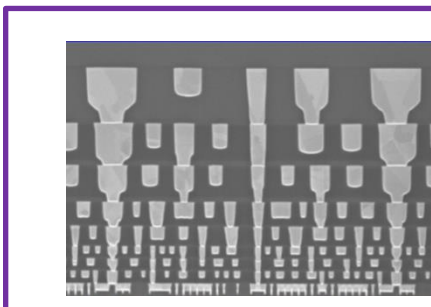


Graphene FET



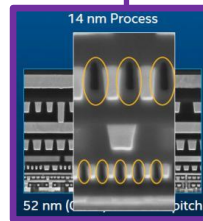
Monolithic 3D

## Back End

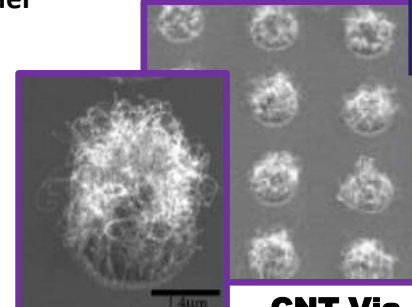


K=2.4~2.8

Ultra low-k



Air Gap



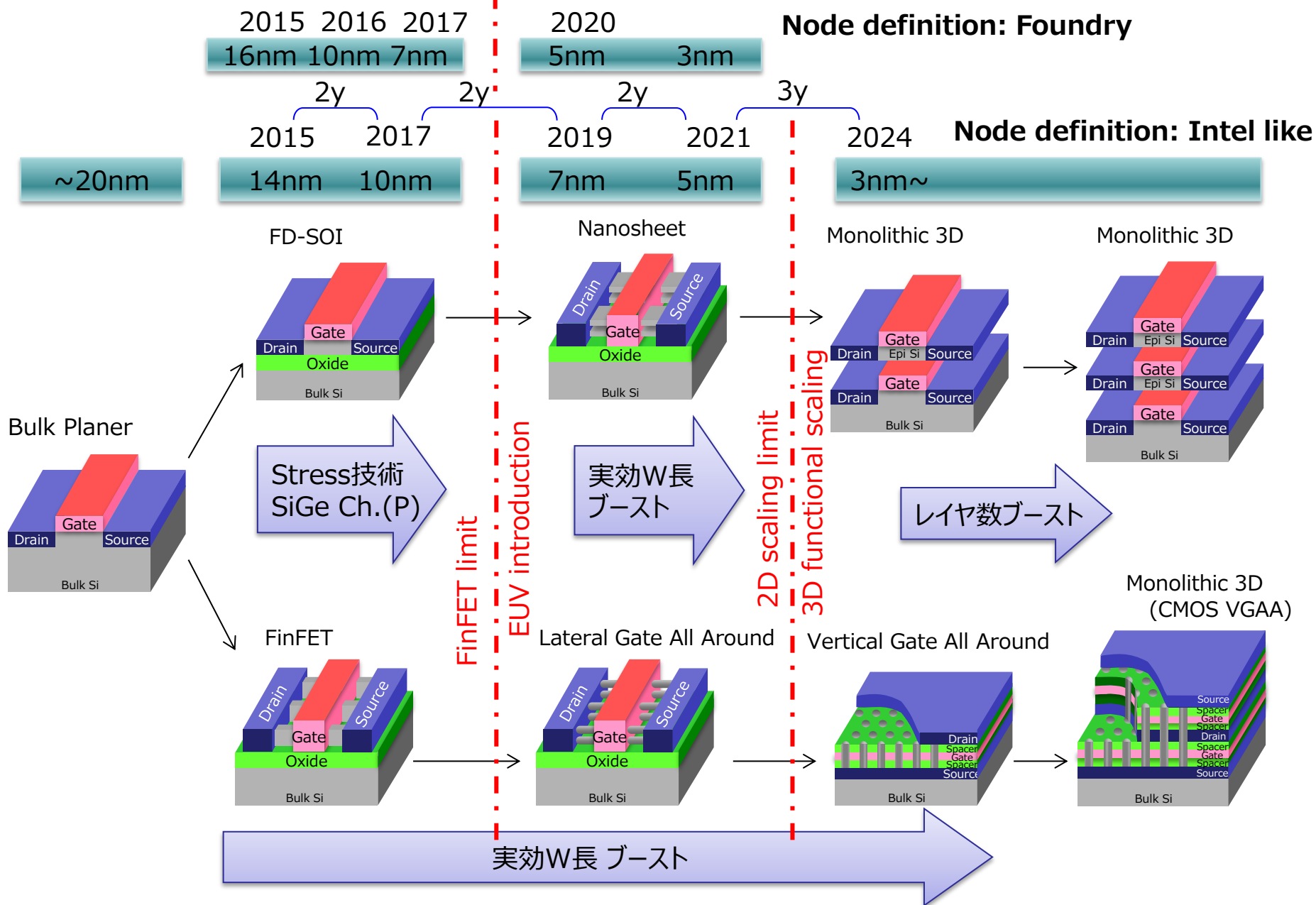
CNT Via



Graphene Wiring

Monolithic 3D(後述)が5nm以降のキー技術としてITRS2015採用 (ITRS国際会議'15/7)

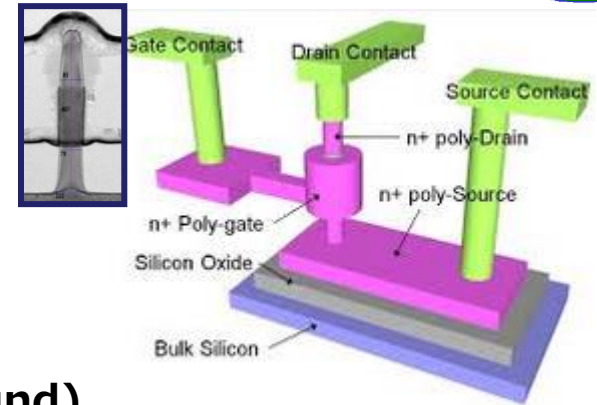
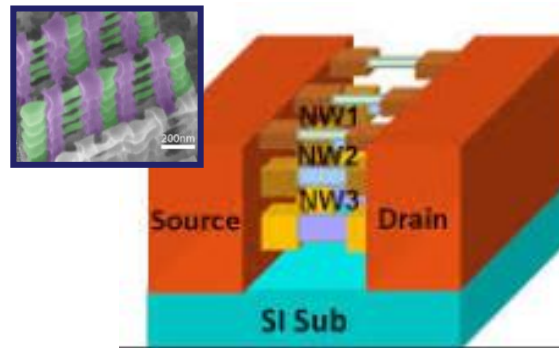
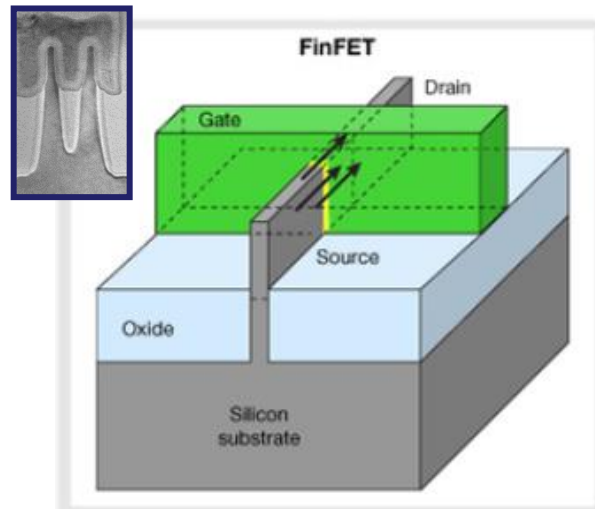
# 7nm以降 Tr.構造がさらに複雑化 (ITRS2015)







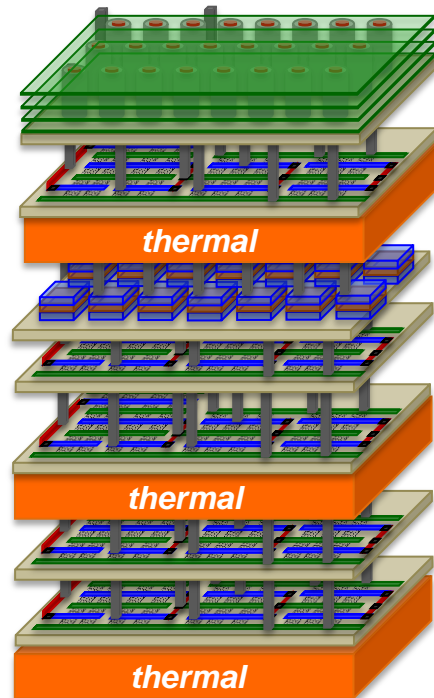
# Architecture evolution – key FEP innovations



**finFET**  
 2011-2019  
 $L_{gate}/finwidth=3$   
 Weff, SCE

**Lateral GAA (gate-all-around)**  
 2018-2024  
 $L_{gate}/NWD=2$   
 Scale  $L_{gate} \sim$  power reduction

**Vertical GAA**  
 2022-2028  
 $L_{gate}/NWD=2$   
 Variability control, Rext



3D Resistive RAM  
 Massive storage

1D CNFET, 2D FET  
 Compute, RAM access

STT MRAM  
 Quick access

1D CNFET, 2D FET  
 Compute, RAM access

1D CNFET, 2D FET  
 Compute, Power, Clock

**Monolithic 3D (M3D)**  
 2024-beyond  
 $L_{gate}/NWD=2$   
 Functional scaling

Source: Prof. Mitra, Stanford Univ.

# 報告内容

WG6メンバーと活動

PIDS構成、More Moore定義

ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

**メモリ・・・執筆；井上委員（東芝）**

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

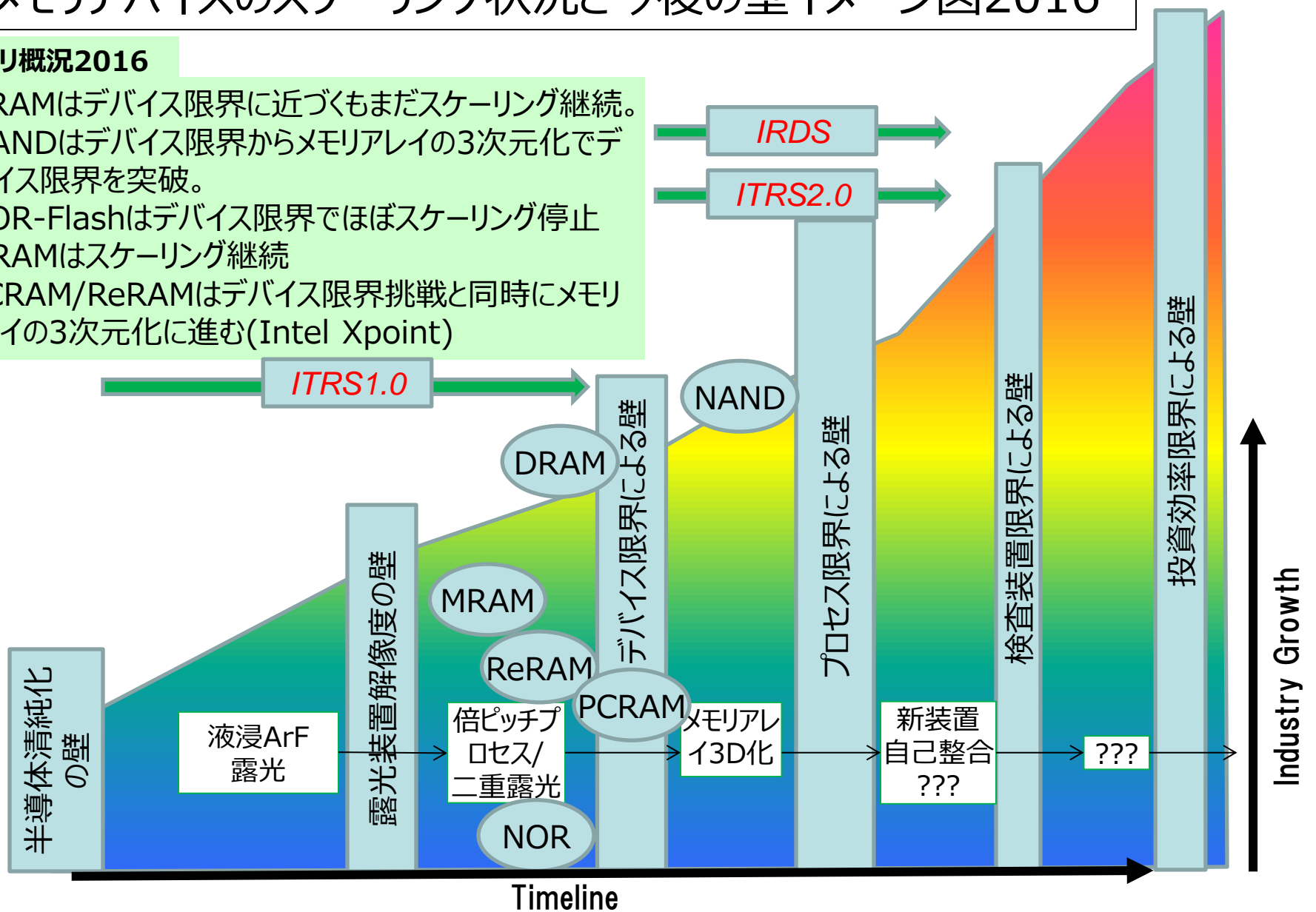
まとめ

# メモリのトレンドと今後のスケーリング見込み

## メモリデバイスのスケーリング状況と今後の壁イメージ図2016

### メモリ概況2016

- DRAMはデバイス限界に近づくもまだスケーリング継続。
- NANDはデバイス限界からメモリアレイの3次元化でデバイス限界を突破。
- NOR-Flashはデバイス限界でほぼスケーリング停止
- MRAMはスケーリング継続
- PCRAM/ReRAMはデバイス限界挑戦と同時にメモリアレイの3次元化に進む(Intel Xpoint)





# 報告内容

WG6メンバーと活動

PIDS構成、More Moore定義

ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

メモリ

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

まとめ

# DRAM状況



ITRS2.0 2016年版では、ハーフピッチはほぼ変わらず。縦型トランジスタ (VCT)導入はさらに2年遅れの2018年からと予測。以降、リセスチャネルトランジスタ (RCAT+Fin)を置き換える。これに伴い、6F<sup>2</sup>から4F<sup>2</sup>の移行も2年遅延し2018年。その後も緩やかにシュリンクは継続していくと推測される。

今後ITRS2.0移行(IRDS)に伴い、ロードマップ自身は2030年まで、2年毎 (2021年以降は3年毎) の表示になる。

ITRS2.0(IRDS)More MooreのRM (今後はこの表記) .

YEAR OF PRODUCTION	2015	2017	2019	2021	2024	2027	2030
Logic device technology naming	P70M56	P48M36	P42M24	P32M20	P24M12G1	P24M12G2	P24M12G3
Logic industry "Node Range" Labeling (nm)	"16/14"	"11/10"	"8/7"	"6/5"	"4/3"	"3/2.5"	"2/1.5"
DRAM TECHNOLOGY							
Half Pitch (Calculated Half pitch) (nm) [1]	24	20	17	14	11	8.4	7.7
Min half pitch [1]	21	19	17	14	11	8.4	7.7
Cell Size Factor: a [11]	6	6	4	4	4	4	4
<b>Gb/1chip target</b>	<b>8G</b>	<b>8G</b>	<b>16G</b>	<b>16G</b>	<b>32G</b>	<b>32G</b>	<b>32G</b>

従来のITRS PIDS表記(単年表記、JapanPIDSで作成) : 以降はMore MooreのRM表記になる予定。

Year of Production	2015	2016	2017	2018	2019	2020
Half Pitch (Calculated Half pitch) (nm) [1]	24	22	20	18	17	15
Min half pitch [1]	21	20	19	18	17	15
DRAM cell FET structure [6]	RCAT+Fin	RCAT+Fin	RCAT+Fin	VCT	VCT	VCT
Cell Size Factor: a [11]	6	6	6	4	4	4
DRAM Cell Transistor Gate material (Buried/Planer/Vertical+Gate material)	Buried/TiN	Buried/TiN	Buried/TiN	Vertical/TiN	Vertical/TiN	Vertical/TiN
<b>Gb/1chip target</b>	<b>8G</b>	<b>8G</b>	<b>8G</b>	<b>16G</b>	<b>16G</b>	<b>16G</b>

Manufacturable solutions exist, and are being optimized	
Manufacturable solutions are known	
Interim solutions are known	
Manufacturable solutions are NOT known	

埋め込み型サドルFinトランジスタ(現在)

## ■ RCAT+Fin: Saddle-Fin

- Symp. on VLSI Tech. 2006, T5-1.
- RCAT: Recessed-Ch. Tr.

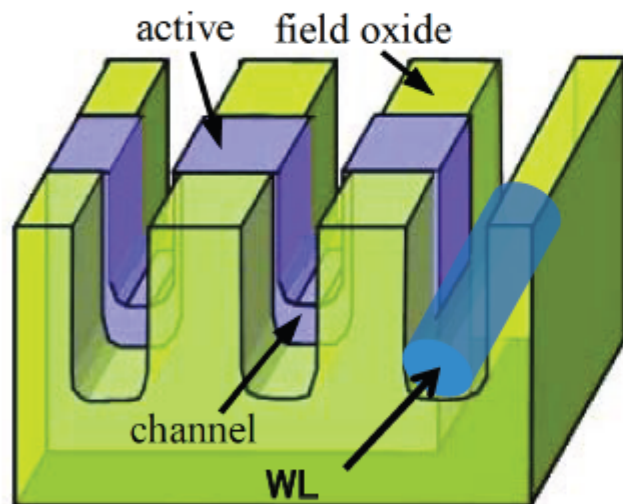


Fig. 1. Schematic diagram of S-Fin. The groove like RCAT and fin structure to the channel width direction are formed.

垂直トランジスタ(4F<sup>2</sup>化で必須)

## ■ VCT: Vertical Channel Transistor

- ESSDERC 2011, p. 211.
- ◆ VPT (Vertical Pillar Tr.)

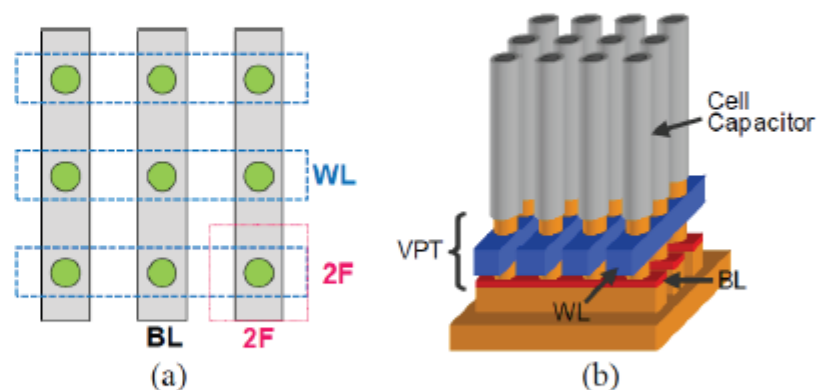
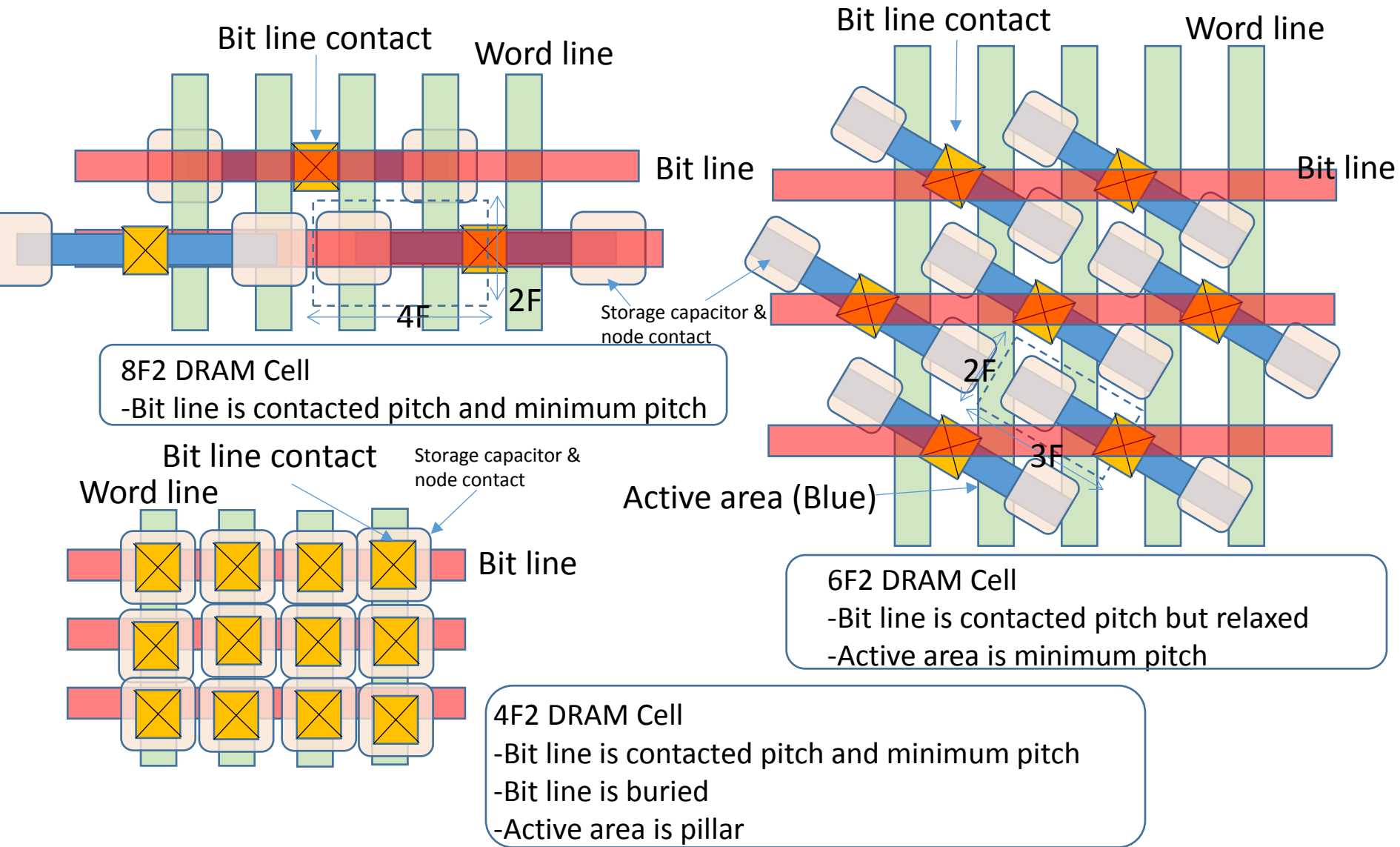


Figure 2. (a) 4F<sup>2</sup> cell layout, (b) Schematic diagram of VPT 4F<sup>2</sup> cell array

STRJ WS2013, WG6 PIDS 若林

# 参考) DRAMセル配置変遷図(8F2→6F2→4F2)



# 例) DRAM加工技術 リソグラフィ

EUVを用いず20nmのキャパシタ形成用の穴を実現するため、スペーサー加工を2回行った倍ピッチ加工を用いることで実現

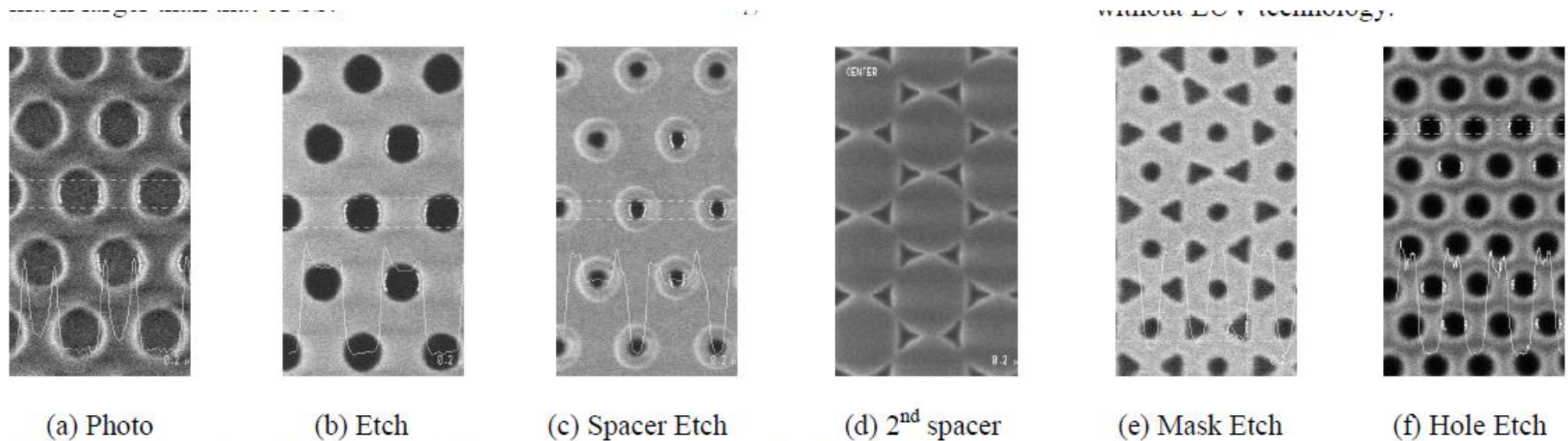


Figure 10 – A proposed process flow of honeycomb structure without EUV technology.

J.M. Park et al., “20nm DRAM: A new beginning of another revolution”, IEDM Technical Digest, p. 676, 2015.

DRAMの複雑な構造は、上記のような複雑な加工を駆使し微細加工を実現している。

# 報告内容

WG6メンバーと活動

PIDS構成、More Moore定義

ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

メモリ

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

まとめ

# NAND状況



2015年以降は各社NAND Flashの3D化が完了し、ロードマップは大きく変遷点を迎えた。今後積層数を増やす事で、スケーリングを進めていくものと推測。従来の2D-NANDも緩やかにスケーリングする予測であるが、多くは3D構造に移行する物と推測。

また、セルの多値記憶については、SLC(1bit/cell: Single level Cell)→MLC (2bit/cell: Multi level Cell)→TLC(3bit/cell: Triple level Cell)と過去推移してきたが、TLC→QLC(4bit/Cell: Quadruple level cell)への移行は予測されず、TLCが継続するものと推測。

## Flash Memory Technology

Year of Production	2015	2016	2018	2020	2022	2024	2026	2028	2030
DRAM ½ Pitch (nm) (contacted)	24	22	18	15	13	11	9	8	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	18	12	9	6	6	6	6	
More Moore 2.0 MPU/ASIC Contacted Gate Full pitch for node designation (nm)	70	52	42	32	24	24	24	24	
More Moore 2.0 MPU/ASIC Contacted Metal 1 (M1) Full pitch for node designation (nm)	56	36	24	18	12	12	12	12	
<b>NAND Flash</b>									
Year of Production	2015	2016	2018	2020	2022	2024	2026	2028	2030
2D NAND Flash uncontacted poly 1/2 pitch – F (nm) [1]	15	14	12	12	12	12	12	12	12
Number of word lines in one 3D NAND string [4]	32	32-48	48-64	64-96	96-128	128-192	192-256	256-384	384-512
Product highest density (2D or 3D)	256G	384G	512G	768G	1T	1.5T	2T	3T	4T
3D NAND number of memory layers [6]	32	32-48	48-64	64-96	96-128	128-192	192-256	256-384	384-512
Maximum number of bits per cell for 2D NAND	3	3	3	3	3	3	3	3	3
Maximum number of bits per cell for 3D NAND	3	3	3	3	3	3	3	3	3

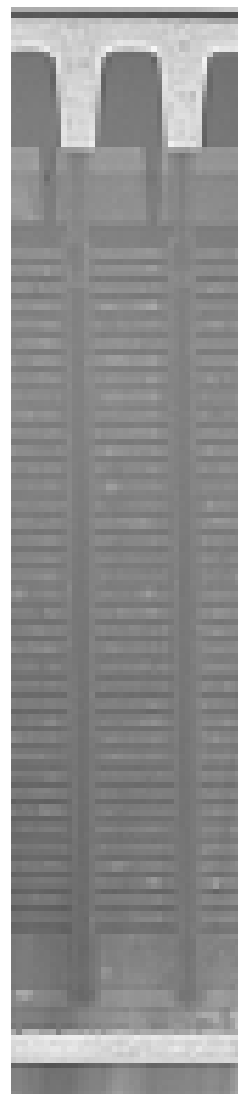


# (参考) 3D-NAND 構造

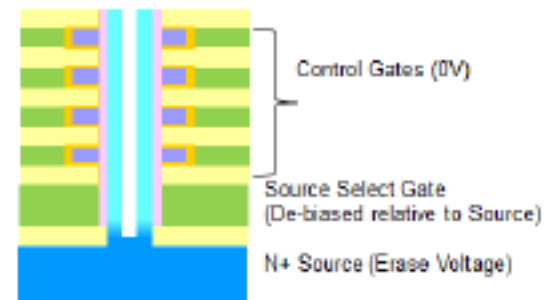


チャージ  
トラップ構造  
の3D-NAND

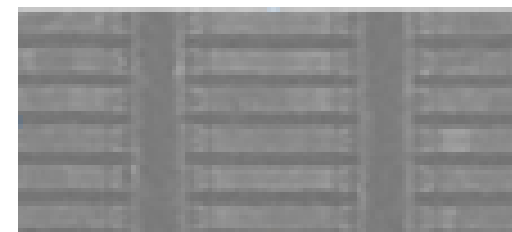
ISSCC2014, Three-Dimensional 128Gb MLC Vertical NAND Flash-Memory with 24-WL Stacked Layers and 50MB/s High-Speed Programming, Ki-Tae Park et al.



(a)



Floating Gate 構造の  
3D-NAND



(b)

IEDM2015, A Floating Gate Based 3D NAND Technology with CMOS under Array (Invited), Krishna Parat et al



# 報告内容

WG6メンバーと活動

PIDS構成、More Moore定義

ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

メモリ

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

まとめ

## 2015年のPC-RAMベースのクロスポイントメモリが登場

PC-RAMベースのクロスポイントメモリが登場し、RMに追加。20nmのハーフピッチで登場しているが、今後は層数を増加させていく方向でスケールを進めると推測。

これらNon-chargeベースのメモリRMは今後2D/3DとPC-RAM/ReRAMの組み合わせで構成される。

YEAR OF PRODUCTION	2015	2017	2019	2021	2024	2027	2030
Logic device technology naming	P70M56	P48M36	P42M24	P32M20	P24M12G1	P24M12G2	P24M12G3
Logic industry "Node Range" Labeling (nm)	"16/14"	"11/10"	"8/7"	"6/5"	"4/3"	"3/2.5"	"2/1.5"
Logic device structure options	finFET FDSOI	finFET FDSOI	finFET LGAA	finFET LGAA VGAA	VGAA, M3D	VGAA, M3D	VGAA, M3D
<b>NVM TECHNOLOGY</b>							
Year of Production	2015	2016	2020	2022	2024	2028	2030
DRAM 1/2 Pitch (nm) (contacted)	24	20	17	14	11	8.4	7.7
More Moore 2.0 MPU/ASIC Contacted Gate 11/2 Pitch for node designation (nm)	35.0	24.0	21.0	16.0	12.0	12.0	12.0
More Moore 2.0 MPU/ASIC Contacted Metal 1 (M1) 1/2 pitch for node designation (nm)	28.0	24.0	21.0	16.0	12.0	12.0	12.0
2D NAND Flash uncontacted poly 1/2 Pitch (nm)	15	14	12	12	12	12	12
3D NAND Flash contacted Metal 2 (M2) 1/2 Pitch (nm)	20	20	20	20	20	20	20
<b>B. 3D Cross Point Memory (3D XP) [12]</b>							
3D XP technology node F (nm)		20	20	20	20	10	10
3D XP cell size area factor "a" in multiples of F <sup>2</sup> (Cross Point Selector Device) [13]		4	4	4	4	4	4
Number of 3D layers [14]		2	4	4	4	4	4
Number of bits per cell (MLC) [15]		1	1	2	2	2	2
<b>E. Resistive memory (ReRAM) in 3D BiCS array [28]</b>							
ReRAM technology node F (nm) [29]			24	16	16	16	16
ReRAM cell size area factor "a" in multiples of F <sup>2</sup>			4	4	4	4	4
ReRAM 3D layers (using 4F2 GAA x-y selector + high ON/OFF ratio in-layer selecting device) [31]			8	8	16	32	64

# 報告内容

WG6メンバーと活動

PIDS構成、More Moore定義

ロジック

More Moore KPI

More Mooreトレンド（エリア、性能）

テクノロジーロードマップ

7nm以降のTr.構造複雑化

メモリ

メモリトレンドと今後のスケーリング見込み

DRAM

NAND

PCRAM・ReRAM

まとめ

## STRJ WG6 (PIDS、RF&AMS)の活動を報告した。

- 最新版ITRS2015に記載された3D Functional Scaling 世代のデバイス構造を示した。  
メモリについて、今後のスケーリング見込み、各メモリの状況を示した。