

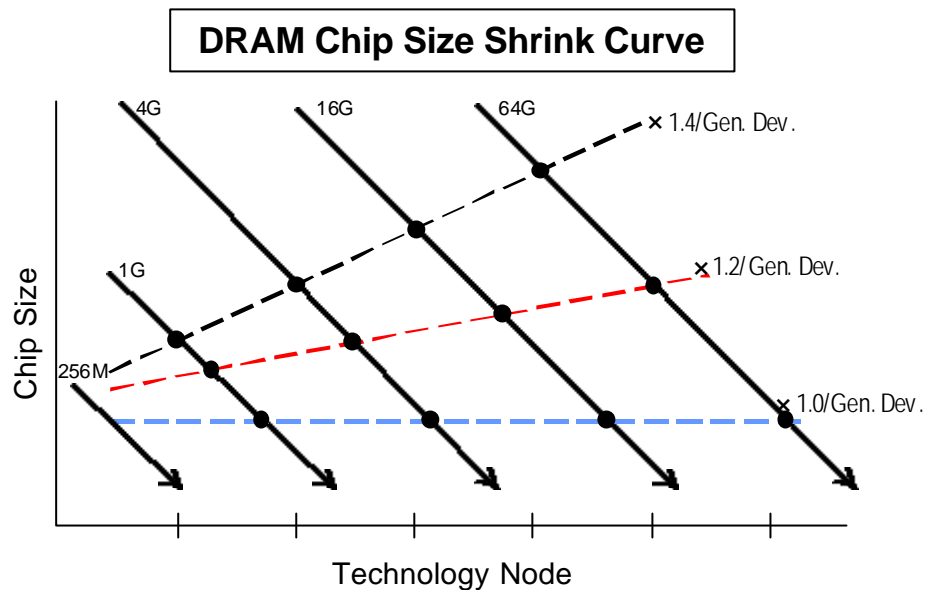
2 - 1 4 ORTC (Overall Roadmap Technology Characteristics)

本節では、全体のロードマップとして各 WG の中から共通な技術項目や数値を抽出し、WG 間で比較できるようにまとめられた。ここで、ロジックと DRAM(dynamic random access memory)のデバイス特性、設計指標、各要素プロセス技術のキーとなる項目、要求される欠陥密度や評価精度、TCAD(technology computer aided design)の利用効果を表として示した。また、新しく提案したチップサイズモデルについては、その背景と根拠を詳しく述べている。

2 - 1 4 - 1 チップサイズモデルの提案

チップサイズのトレンドは、デバイス、設計、リソグラフィ、配線、フロントエンドプロセス、実装、欠陥制御など多くの WG で検討すべき項目の数値に影響を与える。チップサイズに関する最近の傾向を見ると、従来から多少変化していることが認められる。これはチップサイズが単調に一定の比率で増加していたものが、経済的なチップサイズの範囲が存在しているように見られるからである。これらの動向をもとに、チップサイズに関する新しいモデルを提案する。

DRAM のチップサイズと縮小される設計の基本寸法(1/2 ピッチ)の関係は、チップサイズ縮小曲線として表され、各世代の DRAM に対して図表 2 - 1 4 - 1 に示すように記述できる。このチップサイズ縮小曲線を用いて、微細化によって実現される DRAM の世代交代(4 倍集積度)のチップサイズが求められる。これを模式的に同図の破線で示した。従来の次世代といわれる DRAM 導入期は、約 0.7 倍の縮小率の設計寸法が開発された時期であり、世代間のデバイス導入期におけるチップサイズ増加率は、約 1.4 倍/世代である。これは 4 倍の集積度を達成するために、寸法の微細化とチップサイズの増加およびデバイス構造の改良によって、技術的負担をシェアした結果であると考えられる。0.7 倍の縮小率は 3 年で達成され、チップは単純にシュリンクされることを仮定すると、1 年毎の寸法縮小率は 0.89 倍、面積縮小率は 0.79 倍である。しかしながら、このトレンドのチップサイズは増大し過ぎ、実用的なチップサイズからかけ離れてきたとの認識が現れ、チップサイズ増加率を緩める必要が生まれている。



図表2 - 1 4 - 1 DRAM チップサイズ縮小曲線

このような課題に対する解として、フラットチップサイズモデルという考え方がある。すなわち、このモデルはチップサイズが 1.0 倍 / 世代の増加率に相当するが、この結果次世代デバイスの導入時期が従来 (3 年) の 1.5-1.7 倍ほど長くなる。導入時期を早めるには、微細加工をはじめスケーリングに係わるすべてのプロセス開発を今までより加速する必要がある。ただし、プロセス開発の加速の見通しは樂觀できない。また、4 倍の集積度を同一のチップサイズで実現できると、従来微細化能力の不足分を一部カバーしてきたウェーハの大口径化やパッケージの開発負担が著しく軽くなるが、結果的にデバイス自体の開発スピードが遅くなる恐れもある。したがって、フラットチップモデルも現状を反映しているとは言い難い。

そこで、STRJ の WG のコンセンサスとして、1 年毎の寸法縮小率を変えないで世代間のチップサイズ増加率を 1.2 倍 / 世代とするモデルを提案することにした。これは、従来のロジックデバイスのチップサイズ増加率とほぼ同等である。次世代デバイスの導入時期は、試算によると約 1.2-1.3 倍長くなるため、従来の 3 年毎の世代交代が 4 年毎に変わる。図表 2 - 1 4 - 2 は本モデルで算出した DRAM の世代毎のチップサイズを示したものである。4 倍の集積度をもつ DRAM の出現の間に、2 倍の集積度をもつ DRAM 製品が不自然なく入り、その製品の開発の意義とそれなりの製品寿命が認められる。このモデルは、64M ビットの次に 128M ビットという 2 倍集積度の世代が現実化した例に対応している。また、増加率が低下したとはいえ、チップサイズの増加に合わせたウェーハの大口径化やパッケージの開発は今後とも継続する必要がある。図表 2 - 1 4 - 2 の中に示された 2 年、4 年、6 年後のチップサイズも同一の縮小率で算出されたもので、矢印は 2005 年にそれぞれのチップサイズをもつ 1G、2G、4G、8G など 4 世代の DRAM が現れる可能性がある。

First Production Year	99	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14
Technology Node	180			130			100			70			50			35
DRAM 1/2 Pitch(nm)	180	165	150	130	120	110	100	90	80	70	60	55	50	45	40	35
DRAM	1G		(2G)		4G		(8G)		16G		(32G)		64G		(128G)	
Introduction	400		450		480		530		580		640		700		760	
After 2 years (x 0.62mm ²)	250		270		300		330		360		400		440		470	
After 4 years (x 0.39mm ²)	160		170		190		210		230		250		270		300	
After 6 years (x 0.24mm ²)	100		105		115		130		140		150		165		180	

図表2 - 14 - 2 1.2 倍/世代としたチップサイズ

2 - 14 - 2 MPUのチップサイズ (図表2 - 14 - 3)

MPU の場合には、トランジスタ集積度の増加のトレンド 2.8 倍/3 年と、縮小化のトレンドを変えない条件を考慮してチップサイズを算出した。その結果、1.2 倍/4 年の増加率が得られ DRAM との整合性が満たされた。図表2 - 14 - 3に MPU にチップサイズを示したが、1999 年から 2001 年にかけてはロジックデバイスのスケーリングが 0.7 倍/2 年に加速されたためである。

Year	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Technology Node (μm)	0.18			0.13			0.1	0.07	0.05	0.035
DRAM 1/2 Pitch (nm)	180	165	150	130	120	110	100	70	50	35
MPU Gate Length (nm)	140	120	100	90	80	70	65	45	30	20
MPU 1/2 Pitch (nm)	230	210	180	160	145	130	115	80	55	40
ASIC Gate Length (nm)	180	165	150	130	120	110	100	70	50	35
Chip Size at introduction (mm ²)										
DRAM	400		438		480		526	603	691	792
Cost-per. Logic	340		340		372		408	468	536	615
High-perf. Logic	450		450		567		622	713	817	937
Functions per chip (Million Trs)										
DRAM	1070		2150		4290		8590	24300	68700	194000
Cost-per. Logic	23.8		47.6		95.2		190	539	1523	4308
High-perf. Logic	110		220		441		882	2494	7053	19949

図表2 - 14 - 3 MPU のチップサイズと集積度

本モデルによるチップサイズ算出根拠(寸法縮小率=0.7/3yrs は一定)

DRAM 設計・プロセス 改善係数=0.84/3yrs
 セルサイズ縮小率=0.7x0.7x0.84=0.41/3yrs=0.30/4yrs=0.55/2yrs
 4倍集積度のチップサイズ増加率=4x0.30=1.2/4yrs
 (2倍集積度のチップサイズ増加率=2x0.55=1.1/2yrs)

MPU(2001年以降) Trの増加率=2.8/3yrs=2.0/2yrs
 設計・プロセス 改善係数=0.84/3yrs
 チップサイズ増加率=2.8x0.7x0.7x0.84=1.15/3yrs=1.2/4yrs
 (1999-2000年) 寸法の縮小率=0.7/2yrs
 チップサイズ増加率=2.0x0.7x0.7=0.98/2yrs

DRAMおよびMPUいずれも、従来の寸法縮小率やその他のトレンドを変化させずに4年に1.2倍のチップサイズが得られる。

2-14-3 ロジックおよびDRAMの主要特性 (図表2-14-4)

Year	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Technology Node (μm)	0.18			0.13			0.1	0.07	0.05	0.035
MPU Gate Length (nm)	140	120	100	85	80	70	65	45	32	22
MPU Half Pitch (nm)	230	210	180	160	145	130	115	80	55	40
Min. Logic Vdd (V)	1.5-1.8	1.5-1.8	1.2-1.5	1.2-1.5	1.2-1.5	0.9-1.2	0.9-1.2	0.6-0.9	0.5-0.6	0.3-0.6
Tox Equivalent (nm)	1.9-2.5	1.9-2.5	1.5-1.9	1.5-1.9	1.5-1.9	1.2-1.5	1.0-1.5	0.8-1.2	0.6-0.8	0.4-0.6
Nominal Ion @ 25 (μA/μm) NMOS/PMOS										
High Performance	750/350	750/350	750/350	750/350	750/350	750/350	750/350	750/350	750/350	750/350
	490/230	490/230	490/230	490/230	490/230	490/230	490/230	490/230	490/230	490/230
Max Ioff @ 25 (pA/μm) NMOS/PMOS										
High Performance	5000	7000	8000	10000	13000	16000	20000	40000	80000	160000
	5	7	8	10	13	16	20	40	80	160
Gate Delay Metric: CV/I (ps)										
High Performance	11	9.4	8.6	7.3	6.9	6.1	5.7	3.7	2.6	2.4
	18	16	13	11.3	10.6	8.9	8.2	5.6	4.5	3.7
DRAM Half Pitch (μm)	180	165	150	130	120	110	100	70	50	35
DRAM Cell Size (μm ²)	0.26	0.19	0.14	0.105	0.08	0.058	0.044	0.018	0.0072	0.003
Cell Size Factor	8.0	7.0	6.4	6.15	5.6	4.8	4.4	3.7	2.9	2.45
Cell Area Ratio (%)	69		69.5		70		70.5	71	72	73
Cell Capacitor Tox Equivalent (nm)	3.0	2.2	1.6	1.2	0.9	0.67	0.5	0.2	0.084	0.034

図表2-14-4 ロジックおよびDRAMの主要特性

2 - 1 4 - 4 ロジックデバイスの設計に関する指標（図表2 - 1 4 - 5）

Year	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Technology Node (μ m)	0.18			0.13			0.1	0.07	0.05	0.035
Maximum Frequency (Hz)										
Leading Edge	1.2G	1.3G	1.4G	1.5G	1.6G	1.7G	2.0-3.6G	2.2-3.6G	2.4-4.8G	
Mass Production	600M	650M	700-1G	1G	1.1-1.2G	1.1-1.3G	1.2-1.6G	1.5-2.6G	2.0-3.5G	
Supply Voltage (V)										
Leading Edge	1.8	1.8	1.5	1.3	1.3	1.3	1.0			
Mass Production	1.8	1.8	1.5	1.3	1.3	1.3	1.0			
Current (A)										
High Performance	~ 30	~ 30	~ 67	~ 150						
Low Power	~ 2.0	~ 2.0	~ 3.0	~ 4.0						
Terminal Number										
Leading Edge	2-3K	2-3K	2.2-4K	3-5K	3-5K	3-5K	3.5-6K	5-6K	6.5-7K	
Mass Production	1-3K	1-3K	2-4K	2-5K	2-5K	2-5K	2-6K	2.8-6K	3.2-7K	
Pad Pitch (μ m)										
Leading Edge	50	50	50	40-45	40-45	40-45	40-45	30-40	30-40	
Mass Production	60	60	60	50	50	50	50	40-45	40-45	

図表2 - 1 4 - 5 ロジックデバイスの設計指標

2 - 1 4 - 5 DRAM の設計に関する指標（図表2 - 1 4 - 6）

Year	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Technology Node (μ m)	0.18			0.13			0.1	0.07	0.05	0.035
Capacity										
Leading Edge	1G	1G	2G	2G	4G	4G	8G	16G	64G	128G
Mass Production	256G	256G	512G	512G	1G	1G	2G	4G	16G	32G
Data Rate (bit/sec)										
Leading Edge	1.0G	1.2G	1.3G	1.6G	1.8G	1.8G	2.0G	2.4G	3.0G	4.0G
Mass Production	250M	500M	1.0G	1.3G	1.5G	1.8G	2.0G	2.2G	2.6G	3.0G
Access Time (Ns)										
Leading Edge	2.5	2.3	2	1.5	1	0.8	0.5	0.3	0.2	0.1
Mass Production	8	6	4	3.5	3	2.5	2	1	1	0.5
Bandwidth										
Mass Production	8	8	16	16	16	16	16	32	32	64

図表2 - 1 4 - 6 DRAM の設計指標

2 - 1 4 - 6 混載メモリの設計に関する指標（図表2 - 1 4 - 7）

Year	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Technology Node (μ m)	0.18			0.13			0.1	0.07	0.05	0.035
Transistor Number (/mm ²)										
Leading Edge	300K	400K	520K	1M	1.1M	1.3M	1.4-2M	1.8-3M	2.4-4.8M	
Mass Production	260K	350K	400K	760K	850K	950K	1-2M	1.4-3M	1.8-4.8M	
Embedded SRAM Capacity (bits)										
Leading Edge	8M	8M	16M	16M	16M	32M	32M	32M	64M	
Mass Production	2M	4M	4M	8M	8M	8-16M	16M	32M	32M	
Embedded ROM Capacity (bits)										
Leading Edge	16M	16-32M	32M	64M	64M	128M	128M	256M	512M	
Mass Production	8M	8-16M	16M	32M	32M	64M	64M	128M	256M	
Chip Size (mm ²)										
Leading Edge	220	220	260-300	310-480	350-480	380-630	400-630	420-900	500-1230	
Mass Production	100-220	120-220	130-300	160-480	200-480	250-630	300-630	350-900	400-1230	
Gate Number (Tr Number/4)										
Leading Edge	16.5M	22M	34-39M	78-120M	96-132M	123-205M	140-315M	189-675M	225-1476M	
Mass Production	6.5-14M	10-19M	13-30M	30-91M	42-102M	59-150M	75-315M	123M-675M	225-1476M	

図表 2 - 1 4 - 7 混載メモリの設計指標

2 - 1 4 - 7 リソグラフィに関する指標（図表2 - 1 4 - 8）

Year	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Technology Node (μ m)	0.18			0.13			0.1	0.07	0.05	0.035
DRAM 1/2 Pitch (nm)	180	165	150	130	120	110	100	70	50	35
MPU Gate Length (nm)	140	120	100	90	80	70	65	45	30	20
MPU 1/2 Pitch (nm)	230	210	180	160	145	130	115	80	55	40
Overlay (nm, mean \pm)	65	58	52	45	42	38	35	25	20	15
Contacts (nm in resist)										
DRAM	200	185	170	150	145	140	130	100	70	50
MPU	230	210	180	160	145	130	115	80	55	40
ASIC	230	210	180	160	145	130	115	80	55	40
CD control (nm, 3 σ , post-etch)										
DRAM	18	17	15	13	12	11	10	7	5	4
MPU gate	14	12	10	9	8	7	6	4	3	2
ASIC gate	23	21	19	16	15	13	12	7	5	4
Maximum field size (mm ²)	800	800	800	800	800	800	800	800	800	800

図表 2 - 1 4 - 8 リソグラフィに関する指標

2 - 1 4 - 8 配線に関する指標 (図表2 - 1 4 - 9)

Year	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Technology Node (μ m)	0.18			0.13			0.1	0.07	0.05	0.035
MPU gate length	140	120	100	85	80	70	65	45	32	22
Number of metal levels	6 ~ 7	6 ~ 7	7	7 ~ 8	8	8	8 ~ 9	9	9 ~ 10	10
Conductor effective resistivity (μ cm)	2.2	2.2	2.2	2.2	2.2	2.2	2.2	1.8	< 1.8	< 1.8
Barrier/Cladding thickness (nm)	17	16	14	13	12	11	10	0	0	0
Inter-metal insulator effective dielectric	3.5-4.0	3.5-4.0	2.7-3.5	2.7-3.5	2.2-2.7	2.2-2.7	1.6-2.2	1.5	< 1.5	< 1.5

図表 2 - 1 4 - 9 配線に関する指標

2 - 1 4 - 9 欠陥および評価精度に関する指標 (図表2 - 1 4 - 1 0)

Year	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Technology Node (μ m)	0.18			0.13			0.1	0.07	0.05	0.035
Width measurement reproducibility (nm, 3 σ , P/T =0.2)										
Dense line	3.6			2.6			2.0	1.4	1.0	0.7
Isolated line	2.8			2.0			1.4	1.1	0.8	0.6
Hole	4.0			3.0			2.6	1.6	1.1	0.8
Logic gate insulator	SiO ₂ /3.9	SiON/3.9		SiON/3.9			SiN/7.5	TaO/25	TaO/25	TaO/25
Physical thickness for gate insulator (nm)	1.9-2.5			1.5-1.9			1.9-2.9	5.1-7.7	3.8-5.1	3.2-3.8
Measurement precision (nm, 3 σ , P/T=0.1)	0.0076			0.006			0.0077	0.021	0.015	0.013

図表 2 - 1 4 - 1 0 欠陥および評価精度の指標

2 - 1 4 - 1 0 コスト削減、T A T短縮に関する指標 (図表2 - 1 4 - 1 1)

Year	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Technology Node (μ m)	0.18			0.13			0.1	0.07	0.05	0.035
Cost reduction & TAT reduction effect										
TCAD	20%			25%			35%	40%	50%	50%

図表 2 - 1 4 - 1 1 T C A Dの利用によるコスト削減、開発T A T短縮効果

図表2 - 1 4 - 8 : ITRS'99 Table 39 および 39b から一部は抜粋