

2-7 実装

(要旨)

(1) 背景

1) 電子機器の小型、軽量、薄型、高性能化、通信、ネットワーク化が急速に進展しつつある。又製品開発期間の短縮が強く求められている。一方環境保護の高まりから材料、製造プロセスにも配慮が必要になって来た。このため機器のコンセプト、デザイン立案と同時に機器構造、強度、高周波化に伴う信号伝播、不要輻射防止のプリント板までを含めた回路設計、放熱、寿命、環境負荷などへの配慮等広範囲の実装技術に関する検討を急速、かつ並列に行わなければならなくなっている。

2) QFP に代表される表面実装技術を第 1 の変革期とすると、現在は周辺端子から格子端子を主流とする CSP と総称される半導体パッケージが急激に開発・導入され実装技術は第 2 の変革期にある。

(2) 範囲

実装の範囲は上述の様に広いので半導体パッケージと半導体用サブストレート(プリント基板)に限定した。

(3) 要求

各種電子機器メーカー数十社にアンケートを出し機器の各アイテムに関し現状と、2005、2010 年の予測及びそれを実現するには実装分野に何を要求するかを回答してもらいそれを分析した。これは EIAJ から 99 年 8 月に発行の「1999 年日本実装技術ロードマップ」として纏められている。今回この中から半導体とサブストレートに対して要求されている項目を取り上げた。要求項目の代表例は製品厚さ、重量、半導体パッケージ形態、外形寸法、パッド数、パッドピッチ、リード表面処理などである。

(4) 課題と解決策候補

2005 年までに解決すべき課題と解決策候補を()内に下記する。

1) 小型・薄型・高密度化

- ・ パッケージの 3 次元構造化(両面 I/O 端子付きパッケージ又はベアチップ、Si 薄型化技術、高度ワイヤボンディング技術 etc)
- ・ 小型 BGA の多端子化;FBGA→800,1000 ピン (ボールピッチ 0.8mm→0.4mm)
- ・ P-BGA の多端子化:→2800 ピン(ボールピッチ 1.27mm→0.8mm)

2) 高速伝送・低消費電力化

- ・ 信号伝送回路の CR 成分の低減(低誘電率基板材料 ϵ 4.5~5.0→2.0)
- ・ チップ Cu 配線化対応(Cu パッドへの直接ボンディング、バンプ形成)
- ・ 耐不要輻射、耐ノイズ性向上(シミュレーション技術)

3) 信頼性

- ・ 車載用の信頼性確保(フリップチップ用アンダフィル材料改善)

4) 地球環境保護

- ・ Pbフリーハンダ対応(各メーカ、研究機関で開発中、耐熱部品開発)
- ・ 難燃材のハロゲンフリー化(サブストレート、モールド樹脂材料開発)

5) 開発期間

- ・ 設計・製造総合技術力の向上による開発期間の短縮(電気特性、熱、機械強度、応力等の総合シミュレーション技術の開発)

(5) 提言

今後は信号が高周波信号になるので半導体デバイスだけでなく、半導体パッケージ、プリント基板全体を捉えて全体がうまく作動するように、シミュレーションを駆使して開発することが益々重要になる。これには上記の開発期間の所にも記したが総合シミュレーション技術が今後特に必要になると思われる。この一歩として NEC 遠矢氏が提唱している基板までを含んだ新統合設計技術開発(11/下の補正予算で認可)を更に推進することが重要と思われ、12/上以降も国の予算をつけ多くの研究者を集め短期間で推進することを提案する。

以上

(1) 背景

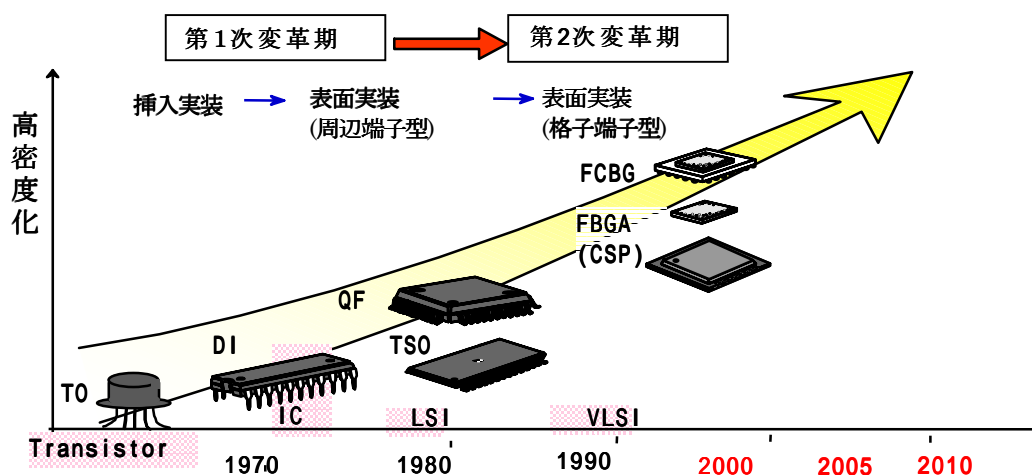
携帯機器を中心にして電子機器の小型、軽量、薄型、高性能化、通信、ネットワーク化が急速に進展しつつある。それを実現するために、また電子機器の商品寿命が短く開発期間の短縮が強く求められることから機器のコンセプト、デザイン立案と同時に、機器構造、強度、回路設計、特性、高周波化に伴う信号伝播、放熱、寿命、環境への配慮等実装など実装技術に関する広範囲の検討を同時、並列に行わなければならなくなっている。

実装技術は半導体パッケージの例で示すと下図の様に表面実装化を第1の変革期とすると今日はBGA(ball grid array), CSP(chip size package)化時代として第2の変革期にある。その技術内容は従来の半導体パッケージに関するものに留まらずウェーハレベルパッケージングや、微細多層基板、コンデンサ、抵抗、コネクタ、実装設備などの広範囲な分野に関係し、製品設計から製造、最終処分までの問題を扱う総合技術となってきた。

今回、実装に関するロードマップを明らかにすることにより、多くの分野で開発の方向とその到達レベルをユーザとメーカーが共通の目標として持ち、効率良く並列的に開発を進めることが可能となる。結果として電子機器の発展に寄与することが期待できる。

「検討範囲」: 上述の様に実装の範囲は広いが頁数の関係で、この章では実装の主要部分である半導体と半導体パッケージ用サブストレート(プリント基板)の実装技術を重点に述べる。

尚、本章の図表、数値の多くは EIAJ 電子システム実装委員会、日本実装技術ロードマップ協議会によるアンケート調査結果に基いた「1999 年日本実装技術ロードマップ」から引用及び参考にさせて頂いた。



図表 2-7-1-1 半導体パッケージングにおける変革

2-7-2 機器セットからの技術要求

現在、日本が得意とする軽薄短小化技術を駆使して生産している機器セットの中で、数量的に主流なのはノート PC(A4 サイズ)である。しかし、このノート PC においても国際的競争が激化しており、今後とも日本の実装技術優位性を維持していくには、ノート PC とほぼ同等の性能・機能を持ちながら、さらに小型、薄型、軽量化技術を必要とする B5～A5 サイズのミニノート PC と呼ばれている製品群での実装技術を強化することが望まれる。

また、ミニノート PC は今後、他の機器セットとの融合(ハンドヘルド PC、PDA、携帯電話等との融合・複合製品である情報家電)が進み、様々な商品形態と新規マーケットが生まれる可能性が高い。

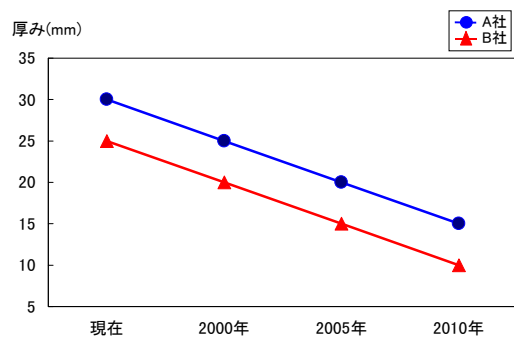
以上の理由から今回の半導体ロードマップ WG7 では、ミニノート PC を取り上げ、半導体デバイスとパッケージ組み立てへの要求を明らかにする。

なお、これらのデータは日本実装技術ロードマップ協議会の行ったアンケート調査の結果を引用している。

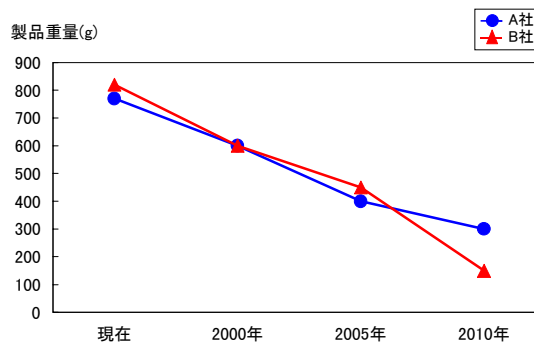
(1) 製品仕様の動向

1) 外形サイズ、製品重量

基本的には現在の A5 サイズがしばらく主流となる傾向である。しかし、薄型化は年々進行し、2005 年に現在の 70%以下、2010 年には現在の 50%以下になることを予想している。また、薄型化とともに、より軽量化することを目指しており、2005 年に現在の 50%である 450g程度にし、2010 年には現在の 30%である 150g～300g 程度になることを想定している。



図表2-7-2-1 製品厚み

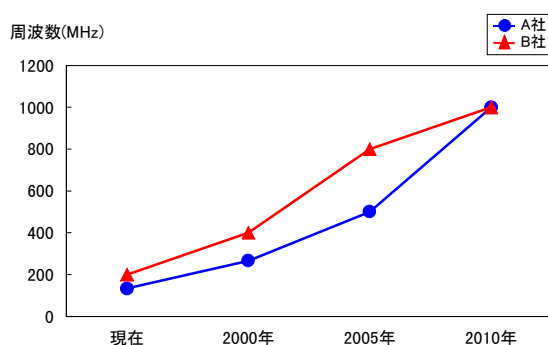


図表2-7-2-2 製品重量

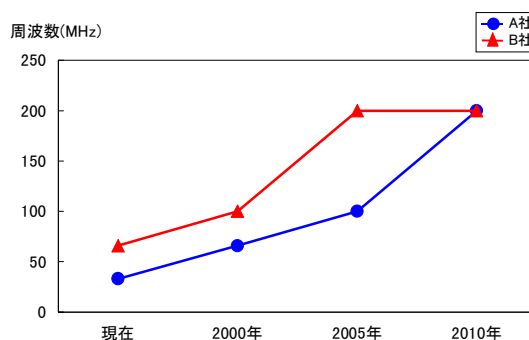
2) MPU 動作周波数、システム動作周波数

2010 年を予想した MPU の動作周波数やシステム動作周波数は、想定する機器・製品形態により異なってくる。また、MPU の性能は MPU チップメーカーの設計・製造技術力に左右されるため、2010 年には様々なスペックの MPU が存在するものと考えられる。

ミニノート PC の中でハイエンドな領域では、高速化が進み MPU の動作周波数が 2005 年には 800MHz、2010 年には 1GHz 程度、システムの動作周波数が 200MHz 程度まで向上することを想定している。



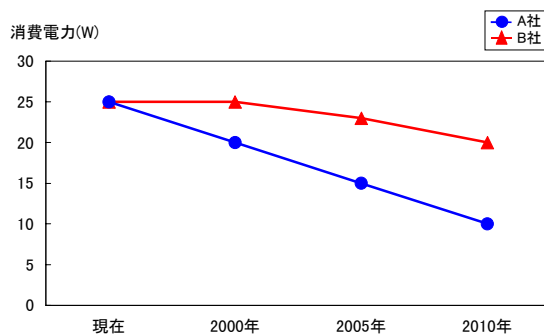
図表 2-7-2-3 MPU 動作周波数



図表 2-7-2-4 システム動作周波数

3) システム消費電力

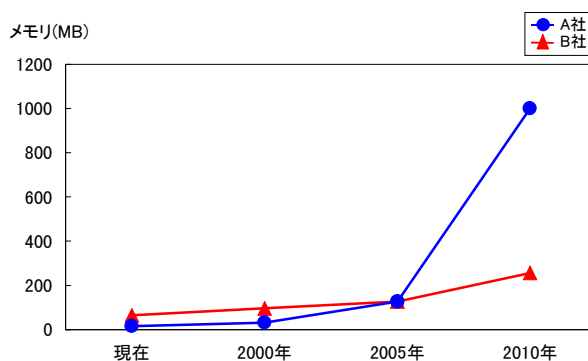
システム消費電力を決定する多くの部分は、MPU(micro-processor unit)の消費電力である。前述のように、MPU の性能向上のために動作周波数を上げると、消費電力も多くなってしまう。このため、ノート PC のハイエンドな領域では消費電力は現状を維持する。しかしながら、MPU チップの低電圧駆動をより進めるなどの工夫をし、消費電力を下げ、機器セットのシステム消費電力をより低減していかなければ、ハンドヘルド PC 領域での PDA、ノートブック PC に対する優位性が無くなる。このため、ローエンドな領域では、徐々にシステム消費電力を下げていき、2005 年には 15w 程度、2010 年には 10w 程度を想定している。



図表 2-7-2-5 システム消費電力

4) 半導体総メモリ容量

ミニノート PC では、画像処理の需要に対応するため、メモリ容量は 2005 年で現在の 2 倍である 128MB 程度、2010 年で 256MB 程度を想定している。また、より低消費電力を目指したローエンド領域では 2010 年に記録デバイスに HDD を使用せず、フラッシュメモリを採用して、総メモリ容量を 1GB に増やすという想定もある。



図表 2-7-2-6 半導体総メモリ容量

5) 量産で使われる主流の LSI パッケージ形態

現在の TQFP や BGA パッケージから、小型、軽量化を実現するために将来は CSP を要求するが、ローコスト化のため TQFP も存在する。

	現在	2000 年	2005 年	2010 年
LSI パッケージ形態	TQFP/BGA	BGA/CSP/TQFP	CSP/TQFP	CSP/TQFP

図表 2-7-2-7 LSIパッケージ形態(主流)

6) 量産で使われる先端の LSI パッケージ形態

LSI の高性能化と薄型・軽量化の両立を実現するために、将来は先端 LSI の bumps 付きベアチップ 供給を要求している。

	現在	2000 年	2005 年	2010 年
LSI パッケージ形態	FBGA (0.8mm ピッチ)	FBGA (0.5～0.75mm ピッチ)	CSP(0.5mm ピッチ) / bumps 付きベアチップ (0.2mm ピッチ)	bumps 付きベアチップ (0.15mm ピッチ)

図表 2-7-2-8 LSIパッケージ形態(先端)

(2) 半導体デバイスとパッケージ組み立てへの要求

ミニノート PC より半導体デバイスとパッケージ組み立てへ要求事項・要求スペックを

図表 2-7-2-10 から 2-7-2-13 に示す。

(注) TCP をサーマルアタッチした場合

	現在	2000 年	2005 年	2010 年
CPU 内部周波数 (MHz)	133~200	266~400	500~800	1G
動作電圧 (V)	1.5	1.0~1.3	0.5~1.2	0.3~1.0
最大ジャンクション温度 (Tj °C)	100 (注)	100	100	100
動作温度範囲 (°C)	0~70 (注)	—	—	—
発熱量 (w)	4 (注)	4	2~4	1~4

図表 2-7-2-10 チップ特性への要求

パッド数	—	—	300~1000	300~1200
チップ厚 (μm)	—	—	250	250
パッド・ピッチ (Area) (μm)	—	—	200	150
バンパ付けと検査コスト (対 BGA パッケージ比の低減率)	—	—	0.8	0.8

図表 2-7-2-11 バンパ付きベアチップへの要求

	現在	2000 年	2005 年	2010 年
最大端子数/列数	376/5~576/10	250/4~836/12	300/4~1000/14	300/4~1200/16
最小端子ピッチ (mm)	1.0~1.27	1.0~1.27	0.8~1.0	0.65~1.0
最大ボディサイズ (mm)	35~36	25~35	25~35	25~35
最大取付高さ (mm)	2.5	1.5~2.5	1.2~1.6	1.2~1.6
コプラナリティ (μm)	150	100~150	100	75~100
パッケージコスト(低減率)	1.0	0.8	0.6	0.4

図表 2-7-2-12 BGAへの要求

	現在	2000 年	2005 年	2010 年
最大端子数/列数	44/4~224/4	250/4~400/4	300/3~300/4	300/4~500/?
最小端子ピッチ (mm)	0.75~0.8	0.5~0.8	0.5	0.3~0.5
最大ボディサイズ (mm)	16	16~27	16~18	16~20
最大取付高さ (mm)	1.2	1.2~1.6	1.0~1.2	1.0~1.2
コプラナリティ (μm)	100~150	80~150	80~100	75~80
パッケージコスト(低減率)	1.0	0.8	0.6	0.4

図表 2-7-2-13 FBGAへの要求

2-7-3 パッケージ技術動向と課題：BGA、小型 BGA(CSP)

今後 2010 年迄を予測してみるとパッケージの主流は SOP、QFP 等の旧来型表面実装タイプが占める。しかしこれらのパッケージは技術的にはほぼ完成の領域にあり、今後の技術開発は薄型化、端子間隔の狭ピッチ化にのみ進展が期待できる程度である。

一方、前述の半導体製造各社へのアンケート調査結果にも見られるように、今後その市場が大きくなると予想されたパッケージ、即ち BGA、小型 BGA(一般に CSP と称されるもの)の技術動向を述べる。

(1) BGA の流れ

BGA には、下記 (A) (B) の2つの大きな流れがある。

(A) 高機能用として多ピン化に開発主眼点をおいたもの

(B) 携帯機器用として小型化に開発主眼点をおいたもの

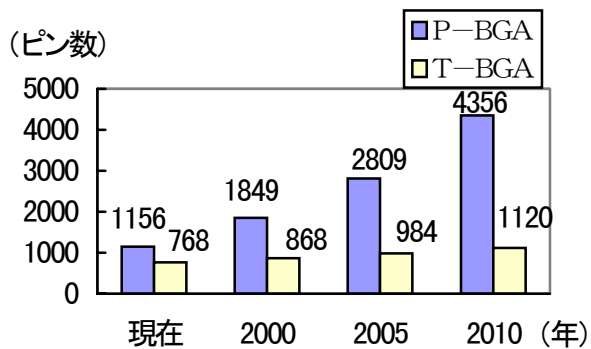
現在では、(A)は多ピン化の他に低熱抵抗化という側面からもパッケージサイズが比較的大きいため、狭ピッチ化の要求も少なく、現状では 1.27mm が主流となっている。用途としては、電気特性重視のハイパフォーマンス向けが多い。逆に(B)は従来型の SOP や QFP の実装面積を縮小することの開発の起源があるため、最大ピン数は 300 ピン程度でパッケージサイズが小さく、また、実装コスト関係から 0.8mm ピッチが現在のところ主流となっており、パッケージタイプで言えば FBGA(Fine pitch BGA)である。用途としては、コンシューマ向け小型携帯機器が主である。CSPと呼称するものが多く、各社から多種のバリエーションが提案されている。

(2) 多ピン BGA

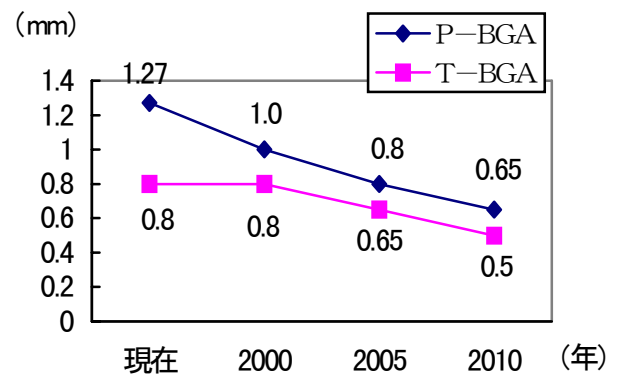
BGA には大別してインターポーザーに有機基板材料を使った P-BGA と、ポリイミドテープを使った T-BGA があり、またそれぞれの中にもボンディング方式やインターポーザーの層数によって下記に分類される。

タイプ	P-BGA			T-BGA	
ボンディング方式	ワイヤーボンディング		フリップチップ接合	TAB (Tape Automated Bonding)	
層構成 (主流)	単層	多層	多層	単層	多層(2層)

図表 2-7-3-1 多ピンBGAの分類



図表2-7-3-2 多ピンBGAの端子数

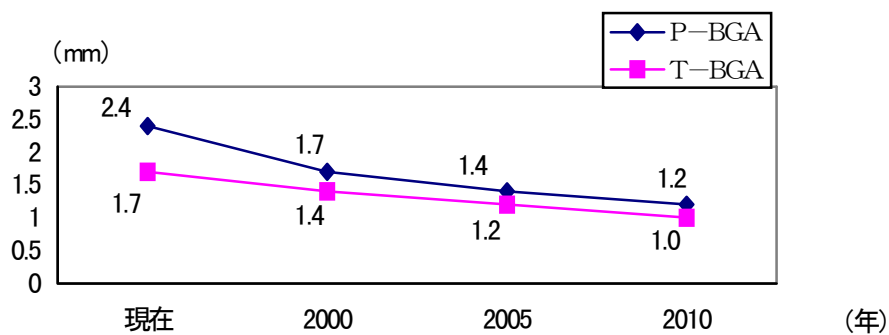


図表2-7-3-3 多ピンBGAの端子ピッチ

パッケージサイズは 50mm[□]から大型化することはない。BGA の端子数、端子ピッチの動向を図表2-7-3-2と図表2-7-3-3に示す。図表2-7-3-2中の P-BGA はフリップチップ(flip chip)タイプのため端子数が多くなっている。

多ピン BGA にはヒートシンクを設けて熱放散性を高めているものが多い。しかし薄型化の要求により取付け高さを低くしていく開発は進んでいくと予想され、2010 年には現在の FBGA(CSP)と同等レベルの 1.0mm 程度が実現するであろう。

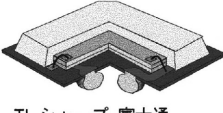
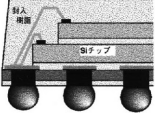


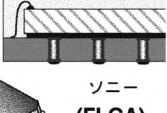


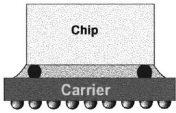
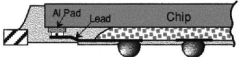
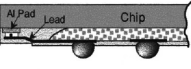
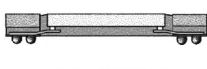
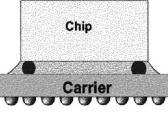
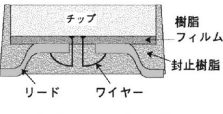
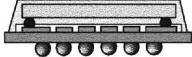


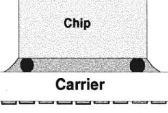
組立コストは、各構造とも 2010 年には現在の 50%程度まで低減することを目 標としている。



図表2-7-3-4 多ピンBGAの取付け高さ

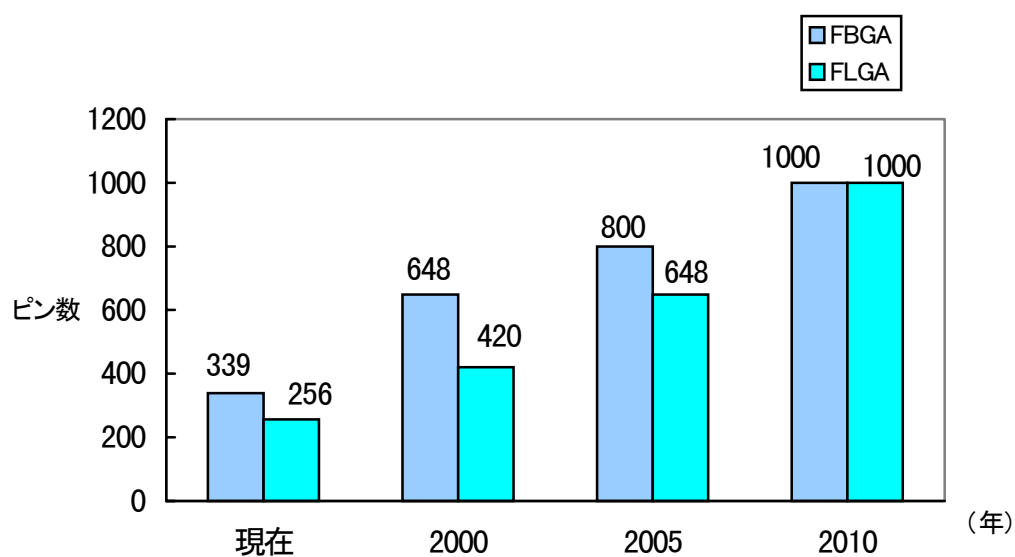
(3) 小型 BGA (FBGA/FLGA (CSP))

小型 BGA (FBGA/FLGA (CSP)) は、技術的に最も競争が激しいパッケージである。FLGA は FBGA からボールを取り除いたものである。現在までに発表されているものをまとめて図表 2-7-3-5 に示す。

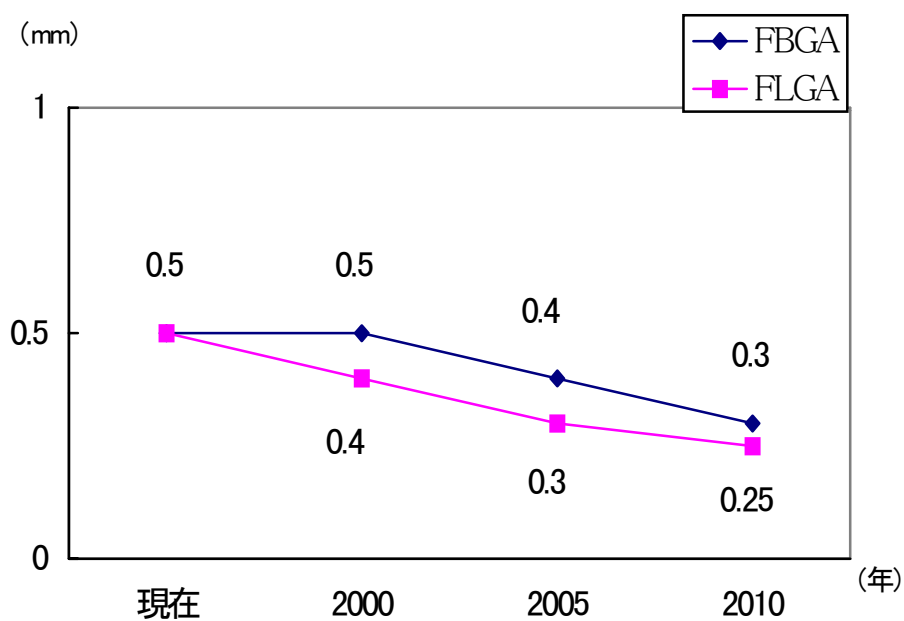
分類 実装形態	テープタイプ Tape type	プラスチックタイプ Plastic type	セラミック タイプ Ceramic type
フェイスアップ Face up	 <p>TI, シャープ, 富士通, 日立, ローム, 亜南, 沖, 東芝, NEC</p> <p>(FBGA)</p>  <p>サンヨー, シャープ, 三菱, 富士通, NEC, 東芝</p> <p>(FBGA)</p>	 <p>NEC, 三菱, モトローラ, 亜南, 東芝, Citizen</p> <p>(FBGA, FLGA)</p>  <p>松下, 東芝</p> <p>(QFN)</p>  <p>ソニー</p> <p>(FLGA)</p>	
フェイスダウン Face down	 <p>NEC (FBGA)</p>  <p>ローム (FBGA)</p>  <p>ソニー (FLGA)</p>  <p>日立, 亜南 (FBGA)</p>  <p>日立 (FBGA)</p>	 <p>Citizen, モトローラ, ソニー, NEC (FBGA)</p>  <p>東芝, NEC, 富士通</p> <p>(SON)</p>  <p>三菱 (FBGA)</p>  <p>富士通, 沖 (FBGA)</p>  <p>東芝, 亜南 (FBGA)</p>	 <p>松下</p> <p>(FLGA)</p>

図表 2-7-3-5 小型 BGA

FBGA/FLGA の端子数、端子ピッチの動向を図表 2-7-3-6 と図表 2-7-3-7 に示す。



図表 2-7-3-6 FBGA/FLGA の端子数

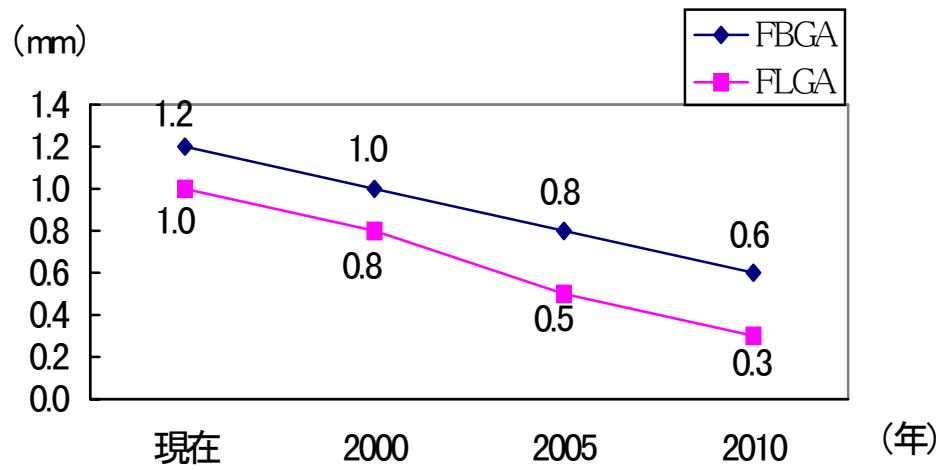


図表 2-7-3-7 FBGA/FLGA のピッチ

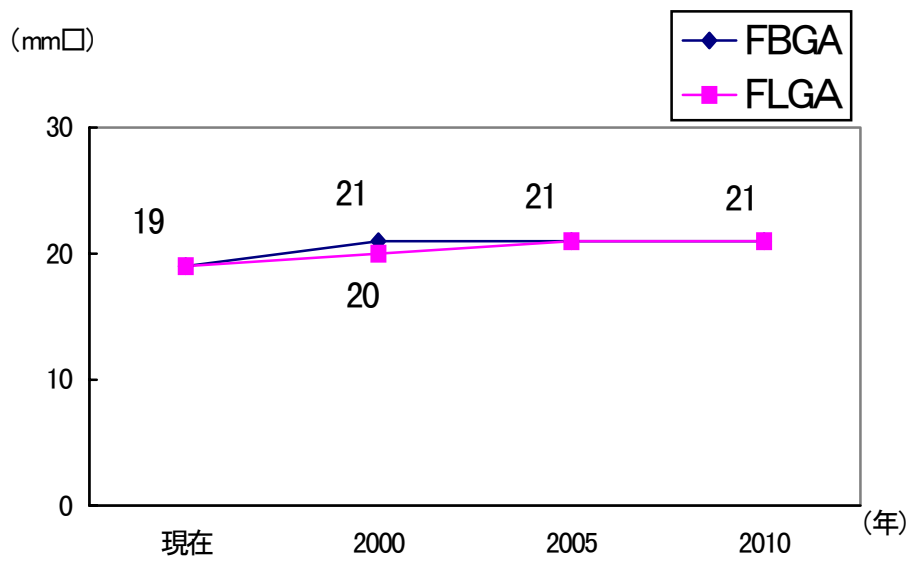
パッケージの薄型化開発は進展すると考えられ、2010 年には図表 2-7-3-8 に示すように、FBGA で 0.6mm が主流になると予想される。

パッケージサイズは小型化が目的のパッケージであるため、図表 2-7-3-9 に示すようにパッケージサイズは 21mm[□]から大型化していかない。

組立コストの予想は FBGA/FLGA と同等レベルで推移し、2010 年には現在の 70%程度まで低減すると期待されている。



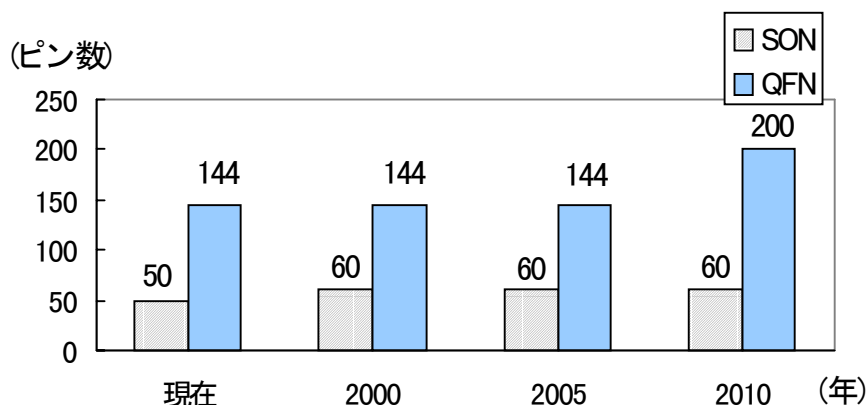
図表2-7-3-8 FBGA/FLGAの取り付け高さ



図表2-7-3-9 FBGA/FLGAのパッケージサイズ

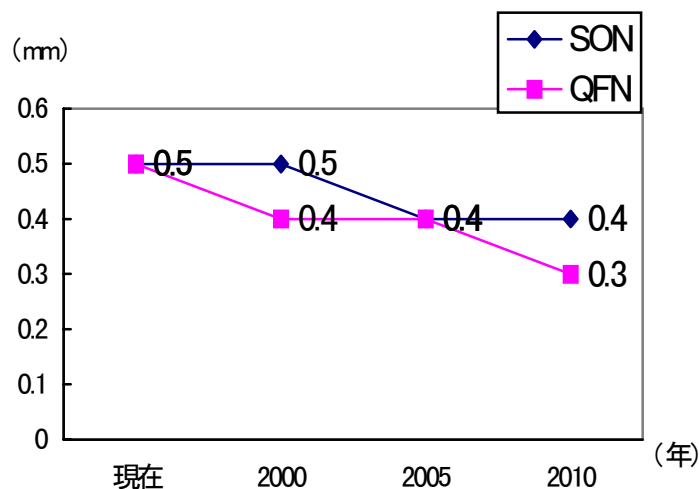
(4) SON・QFN

SON, QFN は SOP, QFP のリードをカットして実装面積を減らし CSP 化したパッケージである。従来構造からの派生品であるため低コストで製造が期待でき、少数ピンの CSP マーケットをカバーするパッケージである。今後のピン数動向は図表 2-7-3-10 に示すとおりで、ペリフェラル端子配置の限界から、SON は 60 ピン、QFN は 200 ピンクラスまでと考えられる。



図表 2-7-3-10 SON/QFNのピン数の変化

一方、ピッチは FLGA と同様にボールの無いランド構造であるため、図表 2-7-3-11 に示すように 2010 年に 0.4mm、0.3mm まで狭ピッチ化していくと予想される。さらに



図表 2-7-3-11 SON/QFNのピッチの変化

取り付け高さに関しては、2000 年までは SON、QFN とともにワイヤーボンディング方式を採用するためほとんど差はない。ただし、それ以降 QFN には、フリップチップ接合技術が採用される可能性があると考えられるため、図表 2-7-3-12 に示すように FLGA と同等の取り付け高さ 0.3mm まで低くなっていくと予想されている。

2-7-4 組立プロセス技術・製造装置動向

組立プロセスへの技術要求は、デバイス側からは (1)ウェーハ径の大口径化(300mm、450mm)、(2)ウェーハ配線材料の多様化(Cu、Au、Ag 配線)、(3)多 I/O 化への対応であり、パッケージ側からは、(4)超薄小型パッケージ、(5)ウェーハレベル組立プロセス、(6)チップ積層パッケージ、(7)高速パッケージへの対応として概括できる。

これらを含め半導体メーカ各社の組立プロセス技術動向と装置関連技術に関しては(社)日本半導体製造装置協会(SEAJ)加盟各社へのアンケート調査結果を図表2-7-4-1に示す。

(1) ウェーハ大口径化

大口径化のスケールメリット、高生産性を活せる製造設備および周辺ツールの開発に併せて、ウェーハ裏面処理、ダイシング、ダイボンディング工程を連携した搬送系を中心とした生産システムの構築が必要である。

課題は、

1) ウェーハ裏面処理では、薄厚ウェーハへの加工品質、特にバンパ付きウェーハの平坦性のコントロール、研磨加工損傷の低減、残留ストレスフリーが挙げられ、この対策としてプラズマエッチング技術、ケミカルメカニカルポリッシング(CMP:chemical mechanical polishing,化学機械研磨)技術の応用展開が有力である。

2) ダイシングでは、ダイサ装置は、ブレード切削によるソーダインシングが主流である。2種類のソー(ブレード)を同時搭載して選択使用することができる2軸スピンドル型が多様化するストリート構造への対応が可能であり、また生産性の向上が図れることから、2000 年以降では主力となっていくと予測される。その他、超薄厚ウェーハに対してはレーザ方式も想定される。

3) ダイボンディングでは、大型ウェーハの固定性、およびピックアップ性の面からダイシングテープの粘着材は UV 硬化タイプが主流となり、また、テープ基材は、塩化ビニル系からポリオレフィン系に切り替わっていき、2010 年には環境負荷低減の観点から生分解材料が実用化されると予想される。

4) 搬送系では、大口径化と薄厚化への対応には割れ対策が最重要課題であり、次工程への搬送、ハンドリングにおけるウェーハへの機械衝撃の低減、変形歪の防止を図ったツール、動作方式の開発が進められている。

(2) ウェーハ配線材料の多様化

ウェーハの Cu 配線化が本格化してくる。これへのワイヤボンディング(WB:wire bonding)には、最表層に Al 系材料が使用するのが一般的であるが、ウェーハ配線工程の生産性改善として Cu パッドへ直接ボンディングする技術の開発要求がある。その課題は、Cu パッド表面の清浄性等の確保、安定化プロセスの開発、ワイヤ材料開発、およびボンディング装置系の開発など多岐にわたっており、また同時に狭ピッチ化していくパッドに対してボンディング安定性と生産性を両立させるパッド構造の検討も進める必要がある。

一方、ウェーハ上でバンパの形成が必要なボンディングに対しては、テープオートメイトドボンディ

ング(TAB:tape automated bonding)用の Au バンプ、フリップチップボンディング (FCB:flip chip bonding)用の Sn-Pb 系バンプとも、現在の Al 系用のパッド構造に準拠して対応可能とみられ、組立プロセス上で新規の開発要件はないと考えられている。将来の配線材料として Ag 系、Au 系が候補に挙げられているが、組立プロセス技術面での検討は、次回以降とする。

(3) チップパッドの多 I/O 化

多 I/O への対応は、チップサイズの縮小により、パッドがチップ周辺部に存在するペリフェラル配置では、パッドピッチが狭ピッチ化していくことになるが、ピッチが $30\mu\text{m}$ となると技術対応が困難となり、エリア配置への移行を図る必要がある。ペリフェラル配置では、現在 TAB が最も狭ピッチに対応しており、次いで WB、FCB の順となっている。アンケート調査から、TAB、WB の限界ピッチは $30\mu\text{m}$ と考えられ、TAB では 2005 年、WB は 2010 年に到達すると予想される。FCB では、バンプ端子形成、接合材料の制約から限界ピッチは $50\mu\text{m}$ 程度と予測されている。

パッドピッチを狭めずに多ピンに対応するにはチップ表面部へのエリア配置とすることになるが、ボンディング方式が限られてくる。WB、TAB では隣接配線の交差、短絡の問題による制約がある。一方、FCB ではパッド直下でワイヤレスでパッケージと接合させるため、エリア配置には有利な方式である。しかし、それに対応するパッケージ側の端子にチップ側と同じ高密度配置が必要となり、パッケージ用インターポーザ(サブストレート)の微細配線技術、多層化技術の同期した開発が必要となる。

この技術の汎用、普及には、バンプ形成、サブストレートのコスト対策、組立プロセス装置の生産性向上およびインフラ拡充が課題となっている。

(4) 超薄、小型パッケージ

TAB 技術によるテープキャリアパッケージ(TCP:tape carrier package)は、容易に薄厚化を実現するが、外部リードの引出し方式の関係で小型化には難点がある。一方で FBGA、FLGA を中心とした CSP の薄型化動向が明らかであり、その対応にチップ厚の薄厚化、WB の短ワイヤ、低ループ配線、封止の薄厚成形の技術開発が課題になっている。

薄厚チップ化は、(1)項でも言及したが、IC カード等の特定の製品で $100\mu\text{m}$ 以下のものが採用されてきており、それらの実用化が LSI パッケージでの薄厚化を加速していくと推測される。WB の低ループ化は、ボンディング装置、ワイヤ材料の開発により 2010 年には $50\mu\text{m}$ に到達すると予測される。

また、WB より薄厚化が容易な TAB、FCB 技術による FBGA、FLGA の構造開発も活発化してくる。封止プロセスでは、封止樹脂のフィルム状樹脂を採用した成形方法の開発、金型離型フィルムのアシスト方式による薄厚モールド封止装置の開発が課題となっている。

(5) ウェーハレベル組立プロセス

ウェーハをダイシング、チップ化してインターポーザ上で組み立てる方式から、ウェーハ状態で外部端子の形成、封止をして最終段階でウェーハから個片化する方式(ウェーハレベル組立プロセス)の開発が本格化している。図表 2-7-4-2 にウェーハレベル組立とダイレベル組立の概要を比較する。ウェーハレベル組立は、ウェーハハンドリングによる一貫生産方式であり、完成するパッケージ形態は、リアルチップサイズの CSP(FBGA/FLGA)となる。

このプロセスには、ウェーハ上にウェーハサイズのインターポーザ基板を配して WB、TAB 接続により結線する方式と、ウェーハ上の絶縁膜上に再配線する方式がある。前者は、ウェーハ上へのラミネー

ト技術、後者はパシベーション膜形成、メタライズ(metalize:金属化)、リソグラフ技術等、ウェーハプロセス技術との関連性がある。特に後者は、配線プロセスとシームレスな部分が多く、プロセスから組立まで統合した製造ラインの構築が生産性面での大きな効果が期待できる。

ウェーハレベル組立装置は個片化する工程まではウェーハ状態での作業となり、ウェーハ搬送方式の標準化と加工範囲の拡大への対応技術が要求される。

(6) チップ積層パッケージ

CSP は、パッケージの小型化によりマザーボード上での高密度実装を実現するものであるが、その他パッケージの内部に複数のチップを積層する技術により、チップレベルでの高密度集積が可能となる。その構造は、チップを積層して WB により結線する方式、また FCB、TAB との複合方式等が開発されている。図表 2-7-4-3 に WB と FCB の複合方式の事例を示す。チップの積層数は、現在は 2 段が主流であるが、チップ厚の薄厚化により、多層化、高密度化が進展するものと予測される。この方式は、チップ間の配線自由度の制約、総合特性の確保のため、組合わせる各種チップのパッド配置の最適化が必要となり、デバイス設計には、デバイス、組立プロセス、パッケージ間での連携性が重要である。

(7) 高速パッケージへの対応

高集積ロジックデバイスへのボンディング方式は、高速対応に加えて多ピン対応の面からも FCB の採用が拡大していく。各ボンディング方式の電気特性を図表 2-7-4-4 に比較する。FCB はチップパッドとパッケージをワイヤレスで接合させるため、電気特性が優れている。但し、この比較は、チップパッドとパッケージ側ボンディングパッド間の内部接合に関するものであり、パッケージ全体の電気特性はパッケージ外部端子までのパッケージ構造、配線方式も影響することから、チップ側パッド配置とパッケージ側外部端子の最適配置等、デバイス、パッケージ間の統合的な設計により、ボンディング方式が選択されていく。

FCB の端子配置は、WB、TAB と同じチップ周辺部へのペリフェラル配置とチップ全面に配置するエリア配置があり、チップサイズの縮小化、多ピン化、バンプピッチの限界からエリア配置が有利なことから、多ピンデバイスには、エリア配置の FCB が有力解となる。

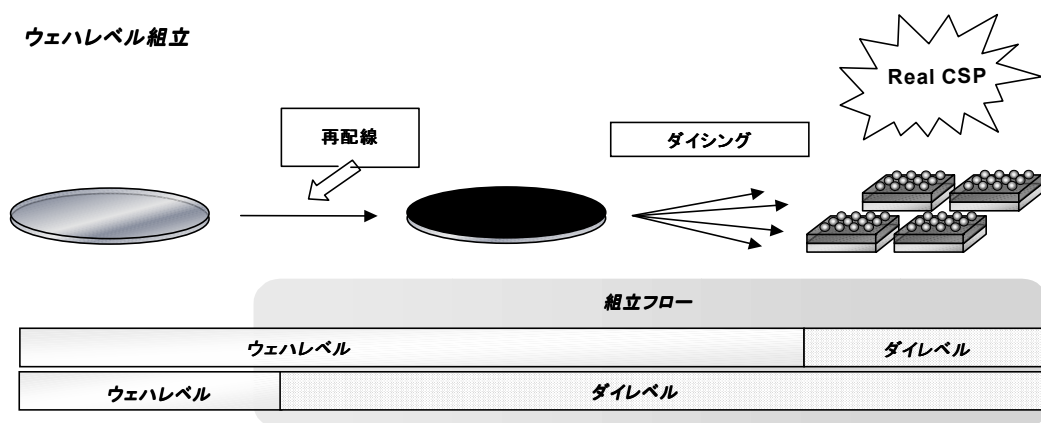
先端デバイスに対する FCB の課題としては、ソフトエラー対策の低 α 線要求に対して、バンプ端子材料に Sn-Ag 系等の Pb フリー材料の開発、接合信頼性の向上要求には、チップとパッケージ間の熱膨張差による熱機械ストレスに耐久する充填封着樹脂の開発が必要である。バンプ構造とインターポーザ基板との接合方式は、異方導電性フィルム、はんだ溶融、導電ペーストと種々あるが、パッドピッチ、特性要求、信頼性要求、コスト要求に合せて選択していく必要がある。

他方メモリ、高周波デバイス等の小ピンパッケージには、FCB に加えて FBGA 等の CSP では WB、TAB 方式でも配線長が比較的短くできることから高速対応の余地がある。CSP は外形の軽薄短小化への対応のみならず電気特性面でも優れたパッケージであり、この特長を活かした高速デバイス対応 CSP には、WB の超短ワイヤ化が課題となっている。

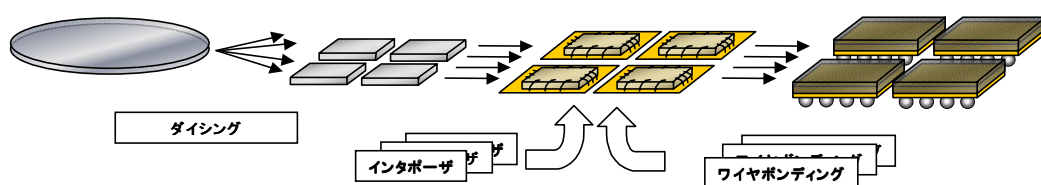
工程	分類	項目	現在	2000年	2005年	2010年
ウエハ処理	ウエハ	ウエハ口径(mm)	200	300	300	450
		ストリート幅(μm)	50～150	50～150	40～200	30～250
		ウエハ厚(μm)	200～725	180～725	80～775	50～1000
ダイシング	スピンドル	軸数(本)	1～2	2	2	2
	ダイシングテープ	基材テープ(種類)	PVC ポリオレフィン	ポリオレフィン	ポリオレフィン	ポリオレフィン 生分解
		粘着材(種類)	弱粘着/UV	UV	UV	UV
ワイヤーボンディング	ボンディング	パット構造	Al	Al Cu	Al Cu	Al Cu Au,Ag
		ボンディング方式	ホール	ホール	ホール ウェッジ	ホール ウェッジ
		最小パットピッチ(μm)	60	50	40	30
		最大ワイヤー長(mm)	7.0	8.0	10.0	10.0
		最小ワイヤー長(mm)		0.3	0.3	0.2
		最低ループ高さ(μm)	100	80	70	50
		最細ワイヤー径(μm)	20	15	15	10
	ボンダー	総合位置精度(μm)	±4.0	±2.5	±2.0	±1.0
		ボンディング速度(sec/2mm)	0.1	0.08	0.07	0.06
		認識速度(sec/2点)	0.2	0.15	0.09	0.08
TAB	チップ接続	ボンディング方式	AuSnギャング AuAuシングル	AuSnギャング AuAuシングル	AuSnギャング AuAuシングル	AuSnギャング AuAuシングル
		パンプピッチ(μm)	50	40	30	30
		パンプサイズ(μm)	40	30	20	20
		パンプ高さ(μm)	15	10	10	10
		パンプ材質	Au	Au	Au	Au
フリップチップ	チップ/パンプ	最大パット数	256～2300	560～4300	560～8400	560～14400
		チップ厚(μm)	175～650	175～650	100～650	100～650
		パットピッチ(Area)(μm)	200～250	150～200	100～130	70～80
		パットピッチ(周辺)(μm)	70～250	50～120	50～100	50
		パンプ径(μm)	100～150	60～100	40～60	30～40
		パンプ高さ(μm)	80～120	60～100	40～80	30～60
		パンプ材料	Sn-Pb Au	Sn-Pb Au Sn-Ag	Sn-Pb Au Sn-Ag	Sn-Pb Au Sn-Ag
	充填樹脂	材質	液状エポキシ	液状エポキシ	液状エポキシ ポリイミド	液状エポキシ ポリイミド
組立方式	チップ組立	段階	量産	量産	量産	量産
	ウエハレベル組立	段階	検証、試作	量産	量産	量産

図表2-7-4-1 組立プロセス技術

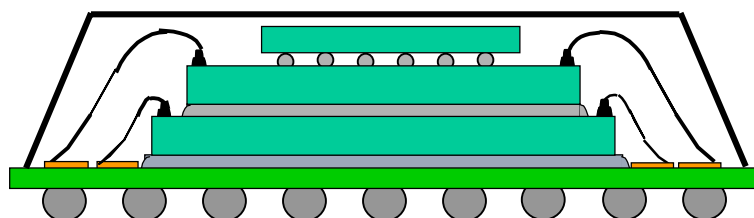
ウェハレベル組立



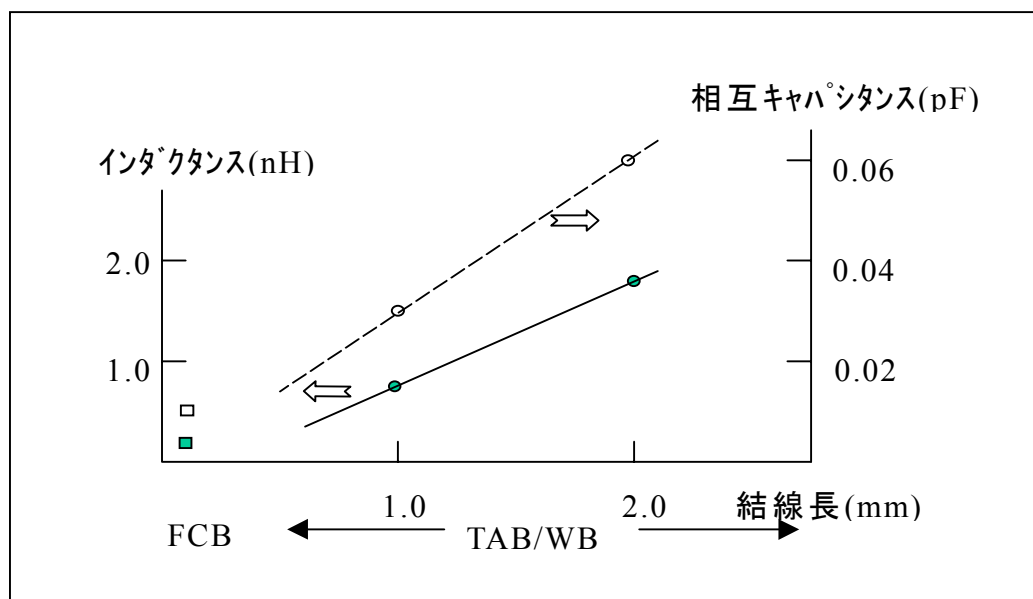
ダイレベル組立



図表2-7-4-2 ウェーハレベル組立とダイレベル組立の比較



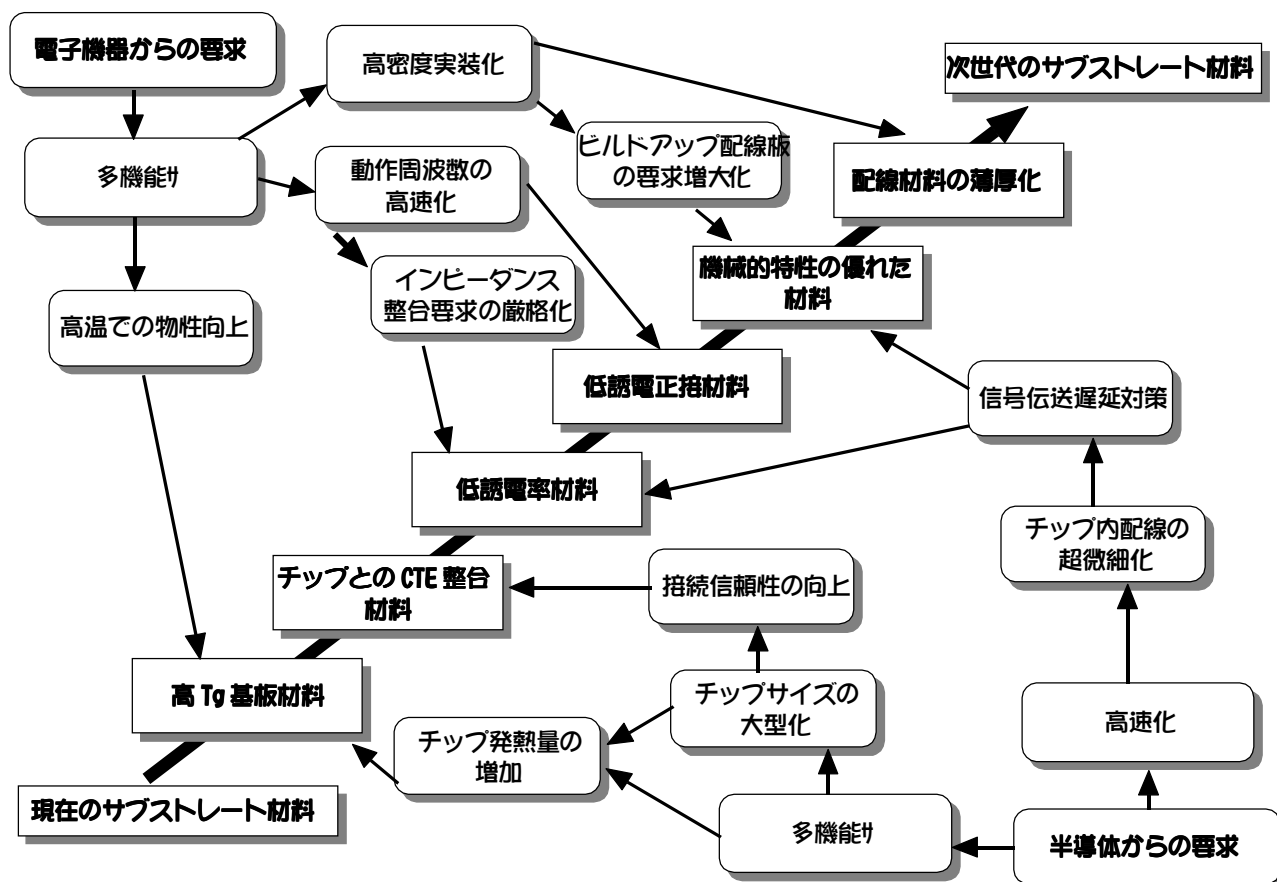
図表2-7-4-3 チップ積層パッケージ



図表2-7-4-4 ボンディング方式の電気特性比較

2-7-5 半導体用サブストレートの技術動向と課題

(1) 基板材料特性:電子機器および半導体の特性向上からの配線板材料への要求



図表2-7-5-1 基板材料特性の動向

出典:「1999年 日本実装技術ロードマップ」P160 図表3.3.2-2

半導体パッケージ用サブストレート(プリント配線板)への要求事項は、デバイスの多機能化にともないチップサイズの大型化が行われ、その結果、チップとの接続信頼性を確保するため、シリコンなどのチップ材料の線膨張係数(CTE:coefficient of thermal expansion)との整合のとれた基板材料の開発が求められる。

現在の有機基板サブストレート材料としては、ビスマレイミド・トリアジン(BT: bismaleimide triazine)をベースにした基板材料が主流として採用されているが、コスト低減を図るため、より安価なガラスエポキシ材料(FR-4)を高ガラス転位点温度化(高 Tg)した材料も一部採用されている。また、テープキャリア方式のサブストレート材料としては、ポリイミド(PI: polyimide)をベースとした材料が主流として採用されている。加えて無機基板の材料はアルミナ・セラミックスが主流として採用されているが、今回のロードマップでは有機基板材料に焦点を絞って動向の調査を行った。

今後、基板材料特性への技術要求のひとつとして、半導体デバイス的高速化要求に応えるために、さらなる低誘電率化(Low Dielectric Constant)・低誘電正接化(Low DF: Dissipation Factor)のための材料の改良や新規開発が必要である。また鉛フリーはんだの採用によるリフロー温度の上昇などに対応するため高耐熱基板材料、高 Tg 基板材料の開発が必要となる。

また、半導体チップの大型化にともないシリコンなどの半導体チップ材料と CTE の整合のとれた基

板材料の開発が求められる。

加えて、半導体パッケージ用サブストレートの吸湿にともなうリフロー工程におけるポップコーン現象の防止や半導体パッケージの長期信頼性の確保と向上のために低吸水性基板材料が要求される。プリント配線板メーカーでは、前述のアンケート調査の結果から、現存する種類の基板材料を 2010 年においても引き続き採用することを予想しているが、前述した半導体パッケージの要求特性を満足するためには、新規樹脂系を使用した、まったく新規のコンセプトによる基板材料の開発が必要である。

図表 2-7-5-2 に半導体パッケージ用サブストレート(インターポーザ)基板材料特性を示す。

項目	現在	2000 年	2005 年	2010 年
誘電率(1MHz)	4.2-5.5	3.5-5.0	2.5-4.8	2.0-4.0
誘電正接(1MHz)	0.001-0.003	0.002-0.015	0.002-0.015	0.001-0.015
はんだ耐熱性 (Max.℃/ sec)	300/60	300/60	300/60	300/60
ガラス転位点(Tg:℃)	140-200	140-200	170-220	170-250
線膨張係数(ppm)	12-15	10-15	6-10	3-5
銅箔引き剥がし 強さ(KN/cm)	1-1.5	1-1.5	1.0	0.5-1.0
吸水率(%)	0.05-0.07	0.05-0.07	0.03	0.03
耐燃性	94V-0	94V-0	94V-0	94V-0

図表 2-7-5-2 サブストレート特性の動向

(2) 基板構造

図表 2-7-5-3 P-BGA(Plastic Ball Grid Array)構造例および用語説明

項目	現在	2000 年	2005 年	2010 年
サブストレートサイズ (最小-最大) W×D×T(mm)	10×10×0.1- 45×45×2.0	10×10×0.1- 50×50×2.0	10×10×0.1- 50×50×2.0	10×10×0.1- 50×50×2.0
配線層数	1-8	1-8	1-8	1-8
仕上り厚(ソルダーマスク含む:mm)	0.4-2.56	0.2-2.56	0.1-2.36	0.1-2.36
最小銅箔厚(μm)	8-12	5-12	3-5	3-5
最小導電体厚(μm)	13-23	13-23	13-23	13-23
最小コア材料厚(μm)	100-150	60-150	50-150	50-150
プリプレグ厚(μm)	60-100	50-60	30-50	30-50
誘電体種類	BT, PI, FR-4	BT, PI, FR-4, PPE, SE	BT, PI, PPE, SE FR-4, FR-5, PTFE 高耐熱系	BT, PI, PPE, SE, FR-4, FR-5, PTFE 高耐熱系, 新規樹脂系
誘電体厚(μm)	45-60	40-60	20-35	10-30
インピーダンス(Ω)	50-75	30-75	30-80	30-90
メタルヒートシンク種類	Cu	Cu	Cu	Cu
メタルヒートシンク厚(μm)	120-250	200-250	250-300	300
ソルダーマスク種類	LPI/Dry Film	LPI/Dry Film	LPI/Dry Film 熱硬化	LPI/Dry Film 熱硬化
ソルダーマスク厚(μm)	20-50	20-50	15-40	5-40
ビアホール穴埋有/無	有り/無し	有り	有り	有り
ビアホール穴埋深さ(mm)	0.05-2.0	0.03-2.0	0.02-2.0	0.015-2.0
ビアホール穴埋加工方法	印刷/プレス	印刷/プレス/ 成形/	印刷/プレス/ 成形/	印刷/プレス/ 成形/

図表 2-7-5-4 サブストレート基板構造の動向

ここで、PPE:ポリフェニレンエーテル、PTFE:ポリテトラフロロエチレン、SE:シアネートエステルを示す。

1) サブストレートサイズ

サブストレートのサイズは、チップの大型化にともない、現在 10mm×10mm のファインピッチボールグリッドアレイ (FBGA (CSP)) が、2005 年には 18mm×18mm とサイズが大きくなることが前述のアンケート調査結果から予想されているが、2010 年においても、現在最小サブストレートサイズの 10mm×10mm は、依然としてサブストレートの最小サイズとして採用され続けることを予想している。

他方、プラスチックボールグリッドアレイ (P-BGA) のサイズは、現在の主流が 27mm×27mm および 35mm×35mm であり、最大サイズは 45mm×45mm である。ボールパッドピッチは、現在の 1.27mm よりファイン化した 0.8mm 以下 (ファインピッチボールグリッドアレイ: FBGA) が主流となると予想される。現在の主流サブストレートサイズの 27mm×27mm および 35mm×35mm は、2010 年においても採用され続けると予想される。

多端子化に対応するために、2000 年より 50mm×50mm が最大サイズとして採用され、2010 年になっても最大サイズは変わらないと予想される。

なお、本項のサブストレートサイズはプリント配線板メーカーのアンケート調査による数値のため、半導体メーカーのサイズと乖離が発生しており、今後両者による調整が必要である。

2) 層数

サブストレートの層数は、2010 年においても 2 層－4 層が主流を占めると予想される。これは、600 ピン以下のローエンドおよびミッドレンジの半導体デバイスが依然として主力で採用され続けると予想されるからである。

また、600 ピンを超えるサブストレートは、従来ティア構造 (階段状のキャビティ構造) のワイヤボンディング用サブストレートが採用されていたが、今後はフリップチップ搭載用のビルドアップ法で作成されたサブストレートの採用比率が高まることが予想される。ビルドアップ法による層数の表現方法は、従来の積層基板と製造工法が異なるため、新たな定義が必要になるだろう。

3) 仕上り厚・最小銅箔厚・最小導電体厚

半導体デバイスの端子数の増加にともない、サブストレートサイズ (仕上り厚みを含めた) を、変えることなく信号線数を確保するためには、現在よりもファインピッチが必要となる。

サブトラクティブ法でファインピッチ化に対応するためには、銅箔厚を現在よりも薄くしなければならない。

このため最小銅箔厚は現在の $8\mu\text{m}$ － $12\mu\text{m}$ から、2010 年には $3\mu\text{m}$ － $5\mu\text{m}$ 程度に薄厚化することが要求される。理由としては、サブトラクティブ法では、エッチング工程において導体のエッチング部分が垂直ではなく台形状になると、スペースを確保すると上部の平坦部がなくなるためである。

さらにファインピッチを追求するためには、必要部分に導電体 (銅) を析出させるアディティブ法の採用が増加することが予想される。

銅箔厚みの薄型化にともない、サブトラクティブ法では、製造工程内における材料取扱いにおいて、銅箔の折れや静電気による銅箔のしわなどの問題が顕在化する。銅箔の保護材料 (支持体: キャリア材料) を含めた生産効率がよく、かつ品質保証のしやすい材料取扱い方法の確立が必要となる。

4) 誘電体材料・厚み

チップサイズの大型化にともなうシリコンなどの半導体チップとの CTE の整合と、半導体チップの高

速化にともなう発熱量の増加や信号の伝播遅延防止に対応するため、誘電体の種類は、現在の P-BGA や FBGA(CSP)の主力材料である BT に対して、高耐熱・低誘電率材料の採用比率の増加が予想される。このため 2010 年には新規樹脂系の誘電体の登場が期待される。

仕上がり厚みを満足し、かつ信号線数の増加に対応すると同時に導体幅が減少することによるインピーダンス整合をとるために、誘電体、絶縁層ともに現在より薄厚化した材料が必要となる。

5) メタルヒートシンク(放熱板)

デバイスの高速化にともない、チップからの熱放散性を確保するためのサーマルマネジメントがより重要度を増すと予想される。

サブストレートには、現在でも銅板などのメタルヒートシンクが取り付けられ、熱放散性の向上のため半導体チップは直接ヒートシンクに接着される。

ヒートシンクの素材は、銅板が 2010 年においても主流を占めると予想される。ヒートシンクの厚みは、放熱特性を上げるため、現在の 0.12mm-0.25mm から、2010 年には 0.25mm-0.30mm に増加すると予想される。

6) ソルダーマスク

現在、主流となっているソルダーマスクは、液状感光性樹脂 (LPI:liquid photo imageable solder mask) で、半導体パッケージの封止樹脂との親和性を見地からエポキシ系樹脂が採用されており、一部ではアクリル系樹脂の感光性ドライフィルムが採用されている。

P-BGA や FBGA(CSP)の樹脂封止工程で、ビアホールからの封止樹脂の流出を防止する目的から、ソルダーマスク材料によるビアホールの穴埋めが施されている。液状のソルダーマスクの場合、穴埋めのために印刷法による2度塗り工程が必要で、コストアップ要因およびリードタイムの長時間化要因のひとつとなっている。

半導体メーカーからのコストダウン・短納期要請に応えるために、2005 年以降ビアホールの穴埋め工程が不要なドライフィルムタイプのソルダーマスクには、従来のアクリル系樹脂からエポキシ系樹脂が採用されるものと予想される。

ソルダーマスク以外の穴埋め方法には、プレス方法が現在でも採用されており、ビルドアップ法で製造されるサブストレートの採用の増大と相俟って、めっきペースト、成形、圧入などの工法が 2000 年から採用されることが予想される。

(3) 表面処理

1) 配線パターンめっき厚み

半導体チップの端子数の増加にともなうファインピッチラインを形成するため、現在 17 μ m-20 μ m 厚みの電解めっきは、2005 年には最小値で 12 μ m、2010 年には 10 μ m と薄くなっていくことが予想される。

項目	現在	2000 年	2005 年	2010 年
電解銅めっき厚み (μ m)	17-20	17-20	12-20	10-20
無電解銅めっき厚み (μ m)	1-2	1-2	1-2	1-2
スルーホール銅めっき厚み (μ m)	15-21	15-21	10-20	10-20

図表 2-7-5-5 配線パターンの動向

2) 電極用めっき厚

チップとサブストレートのインターコネクションは、現在ワイヤボンディングが主流であるが、今後 FCB も増加すると予想される。インターコネクション方式の変化により、電極の表面処理も変わってくると考えられるが、今回のアンケート調査ではその傾向は明確にならなかった。

デバイスの端子数の増加にともない、サブストレートの配線密度は増加し、電解めっきのめっきリード線にあてるスペースの制約の問題や、めっきリード線がアンテナ効果を発現させデバイスの電気特性に影響を与えることなどの問題が顕在化する。前述した問題の解決策のひとつとして、現在主流として採用されている電解ニッケル/金めっきに対して、めっきリード線が不要な無電解ニッケル/金めっきの採用比率が高まることが予想される。

ワイヤボンディング用無電解ニッケル/金めっきは、現在でも一部で採用されているが、電解めっきに比べて実装信頼性が低いことが指摘されており、今後電解めっきに匹敵するめっき液の開発、工法の確立が必要である。電解ニッケル/金めっきを採用する場合には、めっきリード線を用いない(めっき後、除去する方法を含め)工法の経済的な確立が必要である。

項目	現在	2000 年	2005 年	2010 年
電解 Ni めっき厚 (μm)	3-5	3-5	3	3
無電解 Ni めっき厚 (μm)	5	5	3-5	3-5
電解 Au めっき厚 (μm)	0.5	0.5	0.3-0.5	0.3-0.5
無電解 Au めっき厚 (μm)	0.5	0.5	0.3-0.5	0.3-0.5

図表2-7-5-6 電極用めっき厚の動向

3) 加工精度

(a) 最小ライン幅/スペース

サブストレートの最小ライン幅/スペースは、搭載されるデバイスの端子数の増加の進展にともない、現在の $30\mu\text{m}/30\mu\text{m}$ が微細化し、2005 年には $10\mu\text{m}/10\mu\text{m}$ になると予想される。このため回路形成工程のダイレクト描画方式や、まったく現行の工法とコンセプトの異なる薄膜工法などの新工法の開発が必要である。

また、微細回路の検査方法(外観検査や電気試験など)の問題が顕在化し、新しい検査設備の開発や経済性の高い検査方法の確立などの対応が必要になる。

(b) パターン精度

パターン精度は、最小ライン幅/スペースの微細化および搭載されるチップの高速化の進展にともなう、特性インピーダンス整合の高精度化要求を受けて、現在の $\pm 10\mu\text{m}$ から 2010 年には $\pm 2.5\mu\text{m}$ - $\pm 1.0\mu\text{m}$ と厳しい精度要求になると予想される。

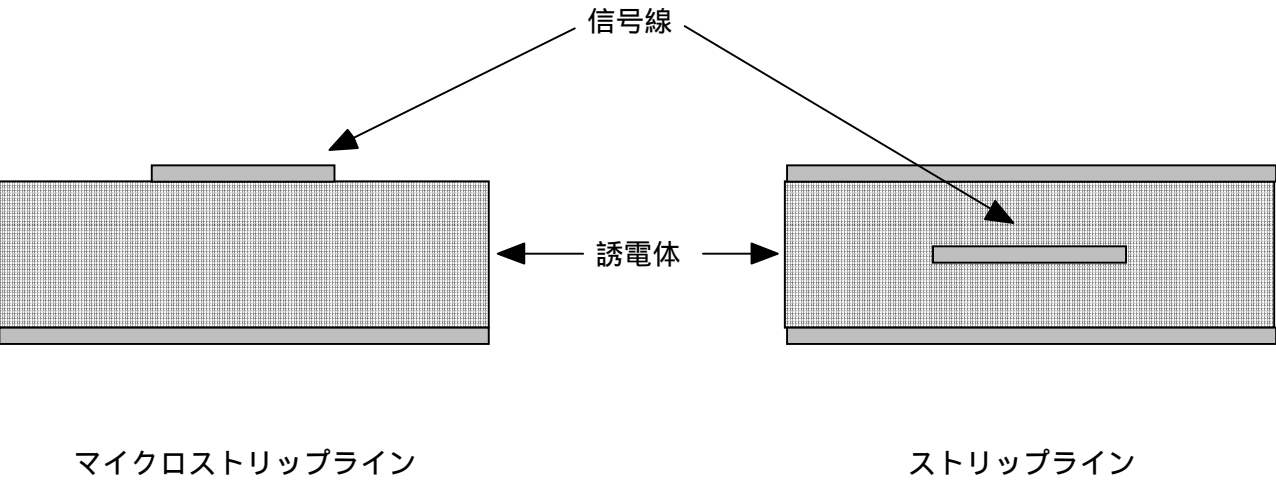
(c) ソルダーレジスト精度・パターン/ソルダーレジスト精度

ソルダーレジスト精度は、銅箔パターンとソルダーレジストマスク・パターンの位置合わせ精度のことであり、導体間隙が微細化するとパッドサイズが小さくなるため、位置合わせが困難となり、導体パターンの露出や、本来ソルダーレジストがかかっている部位にレジストがかかることが起きるため、今後の精度向上が望まれる。

(d) ストリップライン、マイクロストリップライン精度

チップの高速化の進展にともない、サブストレートにもストリップライン構造やマイクロストリップライン構造が採用される比率が高まると予想される。

信号が高速化すると、特性インピーダンスに不連続な部分などがあると反射などにより、信号が正しく伝わらないことがあるため、特性インピーダンスを整合させることが強く要求される。特性インピーダンスを整合させるためには導体幅、高さあるいは絶縁層の厚さを厳しく制御することが必要である。特性インピーダンスの厳格化要求や、インピーダンス整合の高精度化要求から、ストリップラインなどの精度要求も厳格化し、現在の5%－30%の精度から、2010年には5%－10%の厳しい精度要求になると予想される。

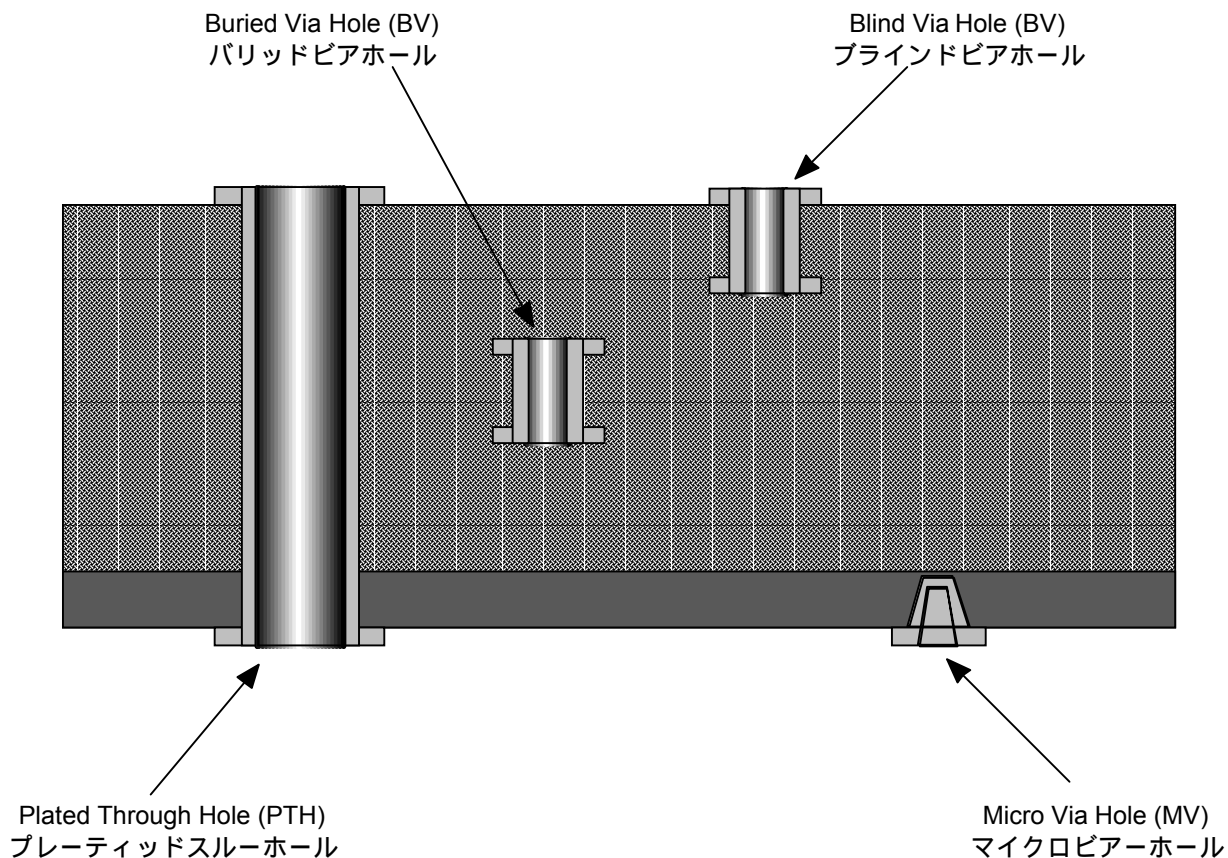


図表 2－7－5－7 ストリップライン/マイクロストリップライン構造

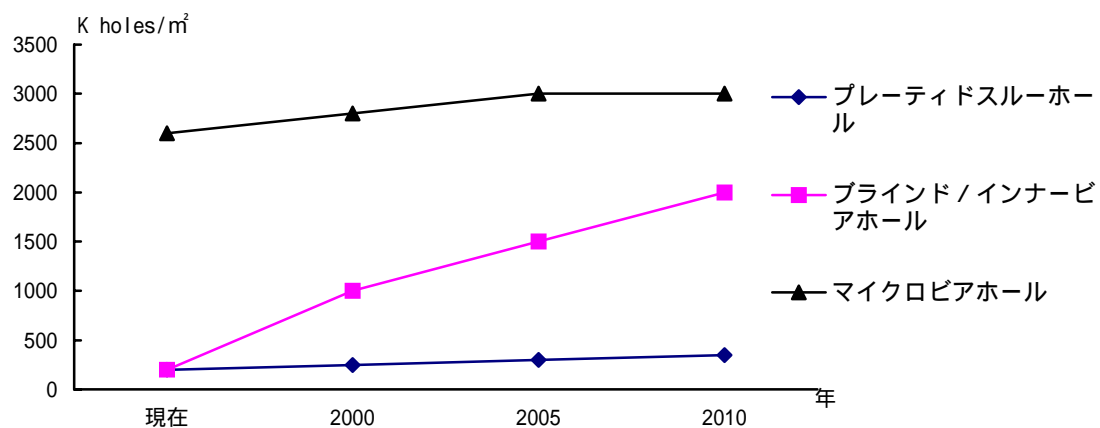
項目	現在	2000 年	2005 年	2010 年
最小ライン幅/スペース (μ m)	30/30－65/65	15/15－50/50	10/10－30/30	10/10－30/30
パターン精度 (μ m)	±10	±3－±5	±2－±2.5	±1－±2.5
パターン/レジスト精度 (μ m)	±7.5－±10	±3.5－±10	±2－±10	±1－±10
最小レジスト幅 (μ m)	±7.5－±30	±3.5－±15	±2－±10	±1－±10
ストリップライン パターン精度	±10%－±30%	±10%－±20%	±10%	±5%－±10%
マイクロストリップライン パターン精度	±5%－±30%	±5%－±20%	±5%－±10%	±5%－±10%

図表 2－7－5－8 加工精度の動向

(4) ビアホール特性



図表 2-7-5-9 ホール形状凡例



図表 2-7-5-10 穴数の動向

1) プレーティッド・スルーホール (PTH: plated through hole)

デバイスの端子数の増加にともない、限られた面積内に信号線数を配置させるための制約となっている電気接続用の経路貫通穴（厳密にはホールに、部品リードの挿入は行われないため、プレーティッド・スルーホールとは呼べないが、ブラインド・ビアホールおよびマイクロ・ビアホールと区別する意

味で、ここではプレーテッド・スルーホールと呼称する)を、いかに微細化するかが重要な課題となる。

デバイスの端子数の増加を、サブストレートサイズを変えずに対応するためには、単位面積当たりの穴数の増加と、穴の小径化が必要となる。現在主流として採用されているドリルビットを使用した機械式穴あけ方式では、ドリルビット径を微細化すると、ドリルビット単価が高価になることや穴あけ加工中にドリルビットが折れやすくなることなどの、作業効率・作業コスト上の制約が顕在化する。解決策のひとつとして、現在レーザを使用した穴あけ方式が採用されているが、コア基板にはガラス繊維が含まれているため、通常採用されている炭酸ガスレーザでは、ガラス繊維への穴あけ加工が困難であり、炭酸ガスレーザに比べて短波長のイットリウム・アルミニウム・ガーネット(YAG)レーザが代替方式として注目されている。今後 YAG レーザの採用比率が高まるものと予想される。

レーザ穴あけ法の採用により、最小ホール径は現在の $150\mu\text{m}$ から 2010 年には $30\mu\text{m}$ と微細化が進展し、最小ランド径も現在の $250\mu\text{m}$ が 2010 年には $100\mu\text{m}$ と微細化することが可能になると予想される。

2) ブラインド・ビアホール/インナー・ビアホール(BVH:blind via hole / IVH:inner via hole)

デバイスの高速化・端子数の増加にともない、従来のサブトラクティブ法によるサブストレートでは、限られた面積内で信号線の配線処理および電気特性を確保するために、ブラインド・ビアホール(BVH)およびインナー・ビアホール(IVH)の採用比率が高まると予想される。

前述のプレーテッド・スルーホールと同様に、穴径の微細化を図るため、レーザ加工法による穴あけが主流となり、最小ランド径の微細化も可能になると予想される。

3) マイクロ・ビアホール(MVH:micro via hole)

ここでは、ビルドアップ法に用いるビアホールをマイクロ・ビアホールと呼称する。

マイクロ・ビアホール(MVH)の加工方法には、フォト(写真)法によるもの(フォトビアと呼称される)と、従来の機械式ドリルを用いるもの、レーザを使用するもの、およびプラズマエッチングによるものがある。

前述のアンケート調査から、我が国のプリント配線板メーカは、レーザおよびフォト(写真)法を加工方法の主流として採用することを予想している。

項目	現在	2000 年	2005 年	2010 年
PTH 加工法	ドリル	ドリル/ レーザ	ドリル/ レーザ	ドリル/ レーザ
PTH 最小ホール径 (μm)	150-200	50-150	30-100	30-100
PTH 最小ランド径 (μm)	250-500	200-400	180-300	100-200
PTH 穴数 (#/㎡)	200K	250K	300K	350K
BVH/IVH 加工法	ドリル	ドリル/ レーザ	ドリル/ レーザ	ドリル/ レーザ
BVH/IVH 最小ホール径 (μm)	150-200	50-150	30-100	30-100
BVH/IVH 最小ランド径 (μm)	350-450	200-350	80-200	80-200
BVH/IVH 穴数 (#/㎡)	200K	1000K	1500K	2000K
MVH 加工法	フォト/ ドリル	レーザ/フォト/ ドリル	レーザ/フォト/ ドリル	レーザ/ フォト
MVH 最小ホール径 (μm)	80-150	50-150	20-100	20-75
MVH 最小ランド径 (μm)	130-350	100-350	80-200	80-200
MVH 穴数 (#/㎡)	2600K	2800K	3000K	3000K

図表2-7-5-11 ホール特性の動向

(5) コスト

前述の半導体メーカ各社に行った半導体パッケージコスト調査結果に基づき、サブストレートコスト要求動向を記載する。

半導体メーカからのコスト要求は、現在のサブストレートコストを、2010年には50%程度削減することを予想している。

要求仕様の厳格化に対応し、かつコスト削減を実現するためには、工程内の不良率の削減をはじめ、ワークパネルサイズの最適化、穴あけコストの削減、ソルダーマスクの穴埋め工法の経済性の確立などの生産技術・生産管理を含めたブレイクスルー(breakthrough)が必要である。

項目	現在	2000年	2005年	2010年
サブストレート:PTH(Yen/ Pin)	100%	80%－100%	60－80%	50－80%

図表2-7-5-12 コストの要求動向

(6) 信頼性および検査方法

サブストレートに対するはんだ接続部の信頼性要求として、P-BGA や FBGA(CSP)のリフローはんだ付けプロセスにおいて発生する欠陥の防止などを目的とする、温度サイクル疲労寿命試験の温度範囲は、2010年においても現在と大きな変化は予想されていない。

しかしながら、温度サイクル数は現在の100回－1000回に比べ、100回－2000回と厳しくなると予想している。

サブストレートの信頼性評価方法としては、プレッシャークッカーテスト(PCT:pressure cooker test)や、HAST(highly-accelerated temperature and humidity stress test)と呼ばれる水蒸気不飽和条件の高温・バイアス試験の信頼性要求があるが、今回のアンケート調査では、プリント配線板に対する規格がないため、この項目を割愛した。

しかしながら、最小導体(ライン)幅/スペースの減少や絶縁層厚みの減少にともない、導体のマイグレーションが無視できない状況になることが予想される。早急にプリント配線板についての規格の制定が望まれる。

外観検査方法は、目視検査と自動光学検査機(AOI:automatic optical inspection machine)が、2010年においても採用されると予想している。AOIの解像度は、ファインピッチ化の進展にともない微細化し、2010年には $0.5\mu\text{m}$ という厳しい要求となっており、可視光に比べ短波長の紫外線などによる検査方法が必要となろう。

電気テスト方法は、現在主流として採用されているプローブ(スプリングプローブ)と導電ゴムの2方式に加え静電容量方式が採用されると予想される。

プローブによる電気試験では、プローブピッチによる物理的な制約や高密度化にともなう検査治具(フィクスチャ)コストの上昇と、試験中にプローブ圧力による試料(サブストレート)の変型など解決すべき問題がある。このため非接触プロービングによる検査方法が考えられる。

テストパッドの最小ピッチは、ファインピッチ化の進展にともない、現在の $120\mu\text{m}$ が、2010年には $40\mu\text{m}$ と微細化することが予想される。

項目	現在	2000 年	2005 年	2010 年
温度サイクル範囲 (Max. Min. °C)	115/-40－ 150/-65	115/-40－ 155/-65	115/-40－ 155/-65	115/-40－ 155/-65
温度サイクル数	100－1000	100－1500	100－2000	100－2000
外観検査方法	目視/AOI	目視/AOI	目視/AOI	目視/AOI
外観検査精度(解像度: μm)	4－80	2－50	1－30	0.5－30
電気テスト方法	プローブ/ 導電ゴム	プローブ/ 導電ゴム /静電容量	プローブ/ 導電ゴム /静電容量	プローブ/ 導電ゴム /静電容量
電気テスト最小ピッチ(μm)	120－500	100－500	50－300	40－150

図表2-7-5-13 サブストレート信頼性・検査の動向

2-7-6 環境対策

(1) 鉛フリーはんだ

現在、欧米を含めて鉛入りはんだの使用についての法的規制はないが、廃棄物としての溶出規制はある。我が国を中心として鉛フリーはんだの導入についての気運が高まっている。

鉛フリーはんだの材料としては、Sn-Ag-(Cu, Bi)系が、今後プリント配線板メーカ各社が採用しようとしている鉛フリーはんだの材料である。Sn-Ag-(Cu, Bi)系は、融点が SnPb の共晶はんだ 183℃に比べると高いのが難点であり、実用化に向けてさまざまな解決すべき課題が残されている。

他方、半導体パッケージ外装めっきに用いられる鉛フリーめっきの材料としては、現在採用されている Pd/Ni、Au/Pd/Ni に加え、2000 年には Sn-Ag 系、Sn-Bi 系などが採用され、2005 年までには全面的に採用される。

鉛フリーはんだの実用化を促進するために、新エネルギー・産業開発機構(NEDO)では、通商産業省からの委託により平成 10 年度「鉛フリーはんだ規格等の研究開発」プロジェクトを発足させ、鉛フリーはんだの普及のための評価方法の標準化と鉛フリーはんだ化の支援を行っている。

(2) VOC

揮発性有機化合物(VOC:volatile organic compounds)は酸性雨問題などの地球規模の環境汚染に対して深い関わりがある物質で、欧米では基準年を設け 2010 年までに 30%－50%の削減をすることが法制化されている。

今回調査したプリント配線板メーカは、現在 VOC 対策を講じている段階であり、対策方法の回答状況からは必ずしも十分な対策が講じられているとはいえないものがある。このため 2010 年において完全な対策が完了する見通しは厳しいものと予想される。

(3) 省資源対応

金属のリサイクルについては、効率良く回収が行われているとなっているが、地球環境保全の進展にともない製造工程の金属回収率だけでなく、使用済みプリント配線板や共通トレイ、包装材料、カル、ランナー等の封止材料などのリサイクル性やリユース性、等の製造工程で発生するプリント配

線板基板材料屑やリードフレーム屑のリサイクル性が問われることが必至で、設計段階における分解性を含めた幅広くかつ有用なリサイクル・リユースの検討が必要である。

(4) 難燃剤のハロゲンフリー

難燃剤のハロゲン・アンチモンフリーに関しては、サブストレート/モールド樹脂ともヨーロッパで規制の開始が検討されていることから、ヨーロッパ向けに輸出される電子機器への対応が急務である。ハロゲン・アンチモンフリーに対応した材料も開発されており、2005 年にはすべてのサブストレート基板材料に使用される難燃剤はハロゲン・アンチモンフリー化される可能性が高いと言えよう。

図表2-7-6-1にサブストレートおよびモールド樹脂の環境対策の動向を記載する。

項目	現在	2000 年	2005 年	2010 年
鉛フリーはんだ採用時期	対応予定/一部採用	一部採用	全面採用	全面採用
鉛フリーはんだ種類	Sn-Ag-Cu 系(Bi)/ Sn-Ag 系	Sn-Ag-Cu 系(Bi)/ Sn-Ag 系	Sn-Ag-Cu 系(Bi)/ Sn-Ag 系/他	Sn-Ag-Cu 系(Bi)/ Sn-Ag 系/他
VOC対策方法	材料の含有率低減、 不使用、代替化、 回収、燃焼	材料の含有率低減、 不使用、代替 化、回収、燃焼	材料の含有率低減、 不使用、代替 化、回収、燃焼	材料の含有率低減、 不使用、代替 化、回収、燃焼
VOC対策率(%)	10	20	30-50	50-100
リサイクル性 (メタル回収率)	95-99	95-99	95-99	95-99
難燃剤のハロゲン フリー化対策・達成率(%)	対応予定/ 一部採用	一部採用 (10-50)	全面採用	全面採用
モールド樹脂(難燃剤)の ハロゲンフリー化時期	一部廃止	一部廃止	一部廃止	全面廃止
モールド樹脂(難燃剤)の アンチモンフリー化時期	一部廃止	一部廃止	一部廃止	全面廃止

図表2-7-6-1 サブストレート/モールド樹脂環境対策の動向

2-7-7 難易度の高い技術課題と解決の方向の纏め

実装技術に関する技術課題のうち難易度の高いものをピックアップしその解決の方向、取組み例を図表2-7-7-1に纏める。未だ課題が明確になっておらず数値化が出来ないものや、課題ははっきりしているが解の見えていないもの、時期が不明確なものなどが多くあり今後これらを明確にしていくことが重要である。

これらを実現することにより 21 世紀前半の電子機器を引張る新たな実装技術を手に入れることが出来る。

○印＝小量産レベル

高難易度技術課題		解決の方向、取組み例	～2005	～2010
小型・薄型・高密度化	パッケージの3次元構造化	両面 I/O 端子付きパッケージ又はベアチップ	○	
		Si の薄型化技術： 250→50 μ m	○	
		高度ワイヤボンディング技術	○	
		狭ピッチ bumps 接合技術	○	
		極薄構造冷却技術	○	
		ウェーハレベルでの3次元実装化		○
		微少 bumps の接続： ピッチ 30 μ m→10 μ m		○
	小型 BGA の多端子化 FBGA→800、1,000 ピン FLGA→648、1,000 ピン	FBGA 狭ボールピッチ： 0.8mm→0.4→ 0.3	○	○
		FLGA 狭ボールピッチ： 0.5mm→0.3→ 0.25	○	○
	P-BGA の多端子化(2800 ピン)	狭ボールピッチ： 1.27mm→0.8→0.65	○	○
	有機基板の特性改善	低 CTE 材料開発 14～15ppm→0.6ppm	○	
		低吸水性材料開発 0.91@FR-4→0.63	○	
高速伝送・低消費電力	CRL 部品の超小型化、3次元化	基板への C,R,L 部品の埋め込み	○	
		L 部品の超小型化	○	
	信号伝送回路の CR 成分の低減 チップ Cu 配線化対応 耐ノイズ特性向上	低誘電率基板材料： 4.5～5.0 →2.0	○	
		低誘電率アンダフィル材料	○	
		Cu パッドへの直接ワイヤボンディング技術	○	
		雑音解析用 I/O インタフェースモデル標準化	○	
		総合シミュレーション技術の開発	○	
		パターン、配置の最適化	○	
		シールド性向上	○	
	チップ、基板のハイパフォーマンス化	光伝送可能光導波路・電気複合多層基板		○
		ノイズ特性向上		○
		伝送線路チップ及び配線基板の開発	○	
		低発熱素子		○

図表 2-7-7-1 実装における高難易度技術課題と解決の方向纏め(1/2)

高難度技術課題		解決の方向、取組み例	～2005	～2010
信頼性	車載用の信頼性確保	フリップチップアンダフィル材料改善	○	
	KGD	信頼性基準の標準化 検査・エージング技術	○ ○	
	チップ、パッケージ基板のシステム設計化	総合シミュレーション技術の開発	○	
地球環境	Pb フリーはんだ対応	ガラス転移温度向上基板材料開発 (注 1)	160～180	200～220
		耐熱部品の開発 260℃	○	
	吸湿管理フリーCSPの開発	低吸湿・高強度材料開発、CSP 構造改良	○	
	ハロゲンフリー	ハロゲン化合物材料全廃と代替材料の開発		○
	廃棄物 0 化	廃棄物 0 プロセス、構造、設備の開発		○
		取外し可能な接合技術		○
		リサイクル技術		○
		生分解性基板		○
		低真空中での常温接合技術開発		○
開発期間	設計・製造総合技術力の向上による開発期間短縮	電気特性、熱特性、機械強度、応力、寿命等の真の総合シミュレーション技術、サーマルマネジメント技術の開発		○
		製造設備の高速・高精度・安定化		○

(注 1)JIEP ロードマップ(99.6)より

図表 2-7-7-1 実装における高難度技術課題と解決の方向纏め(2/2)