

2-1 設計

(要旨)

(1) 背景

半導体微細化技術は、これまで約3年ごとに世代を更新しており、まもなく 1cm^2 当たり1000万を超えるトランジスタからなる回路をシリコンチップ上に実現できるようになる。このようなLSI製造技術の進歩を有効に活用して、どのようなシステムを構築して行くかが、今後の半導体産業の大きな課題となっている。すなわち、現在の最高性能のマイクロプロセッサとメモリがすべて1チップに集積でき、さらにチップ面積に余裕があるような状況が生まれると、「システム」そのものが一つのLSIとして実現できるようになり、どのようなシステムをシリコンチップ上に構築するかという点に問題の重点が移ってくる。システムオンチップ(system on chip)あるいはSOCと呼ばれる製品が主力となる時代の新しいLSI設計手法の確立が求められている。

本ロードマップでは、SOC時代の設計技術が、今後どのような方向へ発展するのかを明らかにすることを目的として、今後約10年間のSOC像をもとにした設計課題とそれに対する解決候補技術进行分析する。すなわちLSIの高性能化、高集積化とともに低消費電力化、設計期間の短期化という相反する要求と、これを満足するためのEDA(electronic design automation)技術および設計フロー进行分析する。従来の個別部品的なLSI設計手法から、異なる手法で設計された機能ブロックを混載するSOC設計手法への技術シフトを明確化する。

本ロードマップがSOC設計技術の未来に対する指針となり、産業界のみならず大学、国立研究機関を含めた、わが国の産官学あげての新たな取組みの起点となることを期待する。

(2) 範囲

国内電子機器産業の強みである情報家電分野を指向したSOC設計を中心テーマとする。あわせてLSIに内蔵されるMPU(micro-processor unit)、メモリ、アナログ、RFおよびソフトウェアに対する設計課題を調査分析する。

具体的には、今後約10年間のSOCプロファイル、設計要求、EDA技術課題などを明確化する。ワーキンググループ内に、SOC設計の重要課題である

1) 設計生産性

2) 低電力設計技術

3) DSM(deep submicron)設計技術:微細化に伴うsignal integrity, manufacturability設計技術を専門的に分析する sub working groupを設置し活動を行った。

(3) 要求、課題、解決策候補

1) 設計生産性

SOCでは複数機能の内蔵により設計規模の爆発的な増大を招く。このため設計レベルの抽象化とともに、IP(intellectual property)を活用した設計手法が不可欠となる。SOC設計における設計生産性要求をIP利用設計/新規設計に分離して分析する。

2) 低電力設計技術

携帯情報通信機器向け SOC では、消費電力の低減は極めて重要課題である。各世代のゲート規模・動作周波数・電源電圧を指標としてチップ消費電力を分析する。これをもとにした各設計レベルでの革新的な消費電力低減技術について報告する。

3) DSM 設計技術

プロセス技術の微細化に伴う設計上考慮すべき物理効果を明確化するとともに、設計パラメータに影響を与える統計的バラツキの分析による製造容易性、信頼性指標を設定する。これらの指標を達成するための解決策の候補技術について言及する。

(4) 提言

1) 設計生産性

再利用設計、新規設計技術の革新をベースとして、設計生産性向上のための提言を、a) 標準化、b) 上位化、c) 自動化、の 3 点に分類して述べる。これらは、業界内の標準化団体との連携に加えて産官学が連動した取り組みが必要である。

2) 低電力設計技術

低消費電力設計の技術課題解決を実現するために、a) システム全体(セット)の設計、b) SOC 設計、c) 製造プロセス、d) EDA(ツール)の 4 点に対する施策を提言する。

3) DSM 設計技術

DSM 設計課題の克服のためには個々の要素技術の解決策にとどまらず、a) 設計システムのベースとなる標準化の推進、b) 要素技術を最適に設計効率向上と派生効果対策に結び付けるための設計システム上の革新が必要である。

2-1-1 設計生産性

(1) 背景

半導体技術の進展によりシリコンチップ上に集積できる回路規模は飛躍的に増大している。またプロセッサの高速化、省エネルギー・省資源の観点や民生機器からの低消費電力への要求、またデジタルネットワーク情報化の進展により、処理の高機能化の要求はとどまるところを知らない状況にある。

一方これらを実現するための LSI 設計技術はマニュアル処理を自動化することによる設計生産性改善も限界に近づき、半導体製造技術に追いつくことが困難になりつつある。この状況を打開するには、設計技術の革新を実現するために業界全体のベクトルを合わせた技術開発なくしては達成できないと考えている。

半導体微細化技術のテクノロジーノードをマイルストーンと設定し、各時期で実用化すべき設計技術の指針をロードマップとして示すことで、ベクトルを合わせた技術革新を推進することが必要である。本ロードマップが設計生産性を高める技術革新を促進し、半導体産業の発展に寄与することを期待する。

(2) 範囲

設計生産性を検討するにあたり、ターゲットとして次のものを採用した。

民生用ポータブル機器に搭載される低コスト低消費電力を指向した 100 平方ミリメートル LSI で、機能や適用製品や分野は限定せず、時代の進展に従って種々の機能が集積される SOC とした。

また民生機器では、製品寿命が 6 ヶ月程度と短く、これに対応するには 10 人年程度の工数で実現できることを設計生産性の達成目標と設定している。

プロセス技術の進展に従って、各テクノロジーノードで実現されるべき SOC のプロフィールを回路規模、メモリ搭載量、周波数および電源電圧で示した。これを設計要求として、各テクノロジーノードに半導体技術が提供するキャパシティを最大限に利用した LSI を設計するために必要な設計技術の検討を行った。

1999 年時点の設計技術、設計フロー、IP 利用の状況を基準として、各テクノロジーノードでの新規設計規模と IP 再利用によりカバーされる規模とを提示し、達成すべき設計効率改善の目標値を求めた。

この目標を実現するために、新規設計の効率改善技術、IP 利用技術およびチップレベルインテグレーション技術について設計課題を示した。

これらの課題を解決する技術を各テクノロジーノードについてポテンシャルソリューション(potential solutions:解決可能候補技術)として提示し、技術開発の指針とする。

設計生産性を飛躍的に高める技術を検討するにあたり、システムレベルからテストまで各設計段階で必要となる技術項目を検討し、そのポテンシャルソリューションをロードマップとして提示している。これにより、EDA 技術開発者ばかりでなく設計者にとっても分かりやすい開発指針となったと考えている。

主として論理回路設計に重点をおいて検討を行ったが、SOC 複合化への対応としてアナログ設計、回路設計についても検討を加えた。

(3) 要求

設計対象のプロファイルは「SOC 設計生産性テーブル」としてテクノロジーノード毎に 図表2-1-1のように設定した。この表は以下の手順により求めたものである。

モデルを単純化するために、ロジックメモリ混載の LSI でアナログ回路などは IP としてメモリ部分に含めて考えた。

チップ上の論理ゲートとメモリ等ハードIPの割合を各テクノロジーノードで1999年 80%、2002年 50%、2005年 35%、2011年 15%とした。

画像処理などでは高精細化が進むため、多量のメモリが要求されるとして、メモリは急激に増加すると考えている。

ITRS-ORTC の ASIC(high-performance/low volume)および DRAM(dynamic random access memory)の集積度を参照した。ただし、論理ゲート数は、ローコスト向けとしていることから 0.5 倍の集積度とした。メモリは、混載 DRAM/SRAM(static random access memory)集積度への変換とアナログ等の IP も含むことから換算係数 0.4 倍を採用している。またメモリ(含むアナログ)ハードマクロで提供されるものと考え、設計工数の検討には含めていない。これらの値を元に、新規設計と再利用設計のゲート規模を算出した。

回路の再利用については、IP の蓄積が急速に伸びること、また基本機能の標準化が進むことを予測して、急激に再利用率が高まるとした。また IP 利用のためにかかるオーバーヘッドは、現在の再利用時にかかる比率を 50%として、以降毎テクノロジーノード毎に 30%の改善が行われると設定した。新規設計に対しては、現行の設計効率改善から 30%の改善が可能とした。

上記の仮定を元に各テクノロジーノードでの設計効率改善を加味した設計ゲート数を算出した。この設計ゲート数を 99 年の設計規模と設計工数の比率から設計工数の算出を行った。これにより、2002、2005、2011 年に対してそれぞれ 9.8 人年、10.3 人年、11.2 人年となり、目標とする 10 人年をほぼ達成できることが分かった。

以上から、ゴールを設定プロファイルの SOC を 10 人年で設計するには、新規設計回路については 30%/3 年、IP 再利用については再利用時のオーバーヘッドを 30%/3 年の割合で改善を行うことが目標値となった。

	Unit	1999	2002	2005	2011
テクノロジーノード	nm	180	130	100	50
ASIC Usable Transistor (*)	M Tr./cm ²	20	54	133	811
論理ゲート面積比率	%	80%	50%	35%	15%
搭載論理ゲート数	M gates	4.00	6.75	11.64	30.41
DRAM(Production) (*)	M bits/cm ²	200	525	1,230	7,510
搭載メモリビット数	M bits/cm ²	16	105	319.8	2,553
電源電圧	V	1.5	1.2	0.9	0.5
周波数	MHz	150	400	1000	2000
設計期間	人年	10	17	29	76
回路再利用率	%	20%	50%	70%	90%
新規設計	M gates	3.20	3.38	3.49	3.04
新規設計効率 up	%	100.00%	70.00%	49.00%	24.01%
新規設計リソース	M gates	3.20	2.36	1.71	0.73
再利用オーバーヘッド	%	50.00%	35.00%	24.50%	12.01%
再利用リソース	M gates	0.40	1.18	2.00	3.29
新規＋再利用リソース	M gates	3.60	3.54	3.71	4.02
設計期間目標	人年	10.0	9.8	10.3	11.2
新規設計工数低減率	70%	=改善率	30%		
再利用工数低減率	70%	=改善率	30%		

(*)出典 ITRS1999 ORTC

図表2-1-1 SOCプロファイルとその設計生産性向上

(4) 課題

EIAJ EDA 技術委員会/EDA ビジョン研究会の成果である 2002 年技術ロードマップを元に、各設計段階においてブレークスルー(breakthrough)が必要となる技術課題を整理した。

システム・アーキテクチャ設計では、HDL(hardware description language)より上位レベルでの機能表現の標準化、その記述を使って機能検証、合成が必要となる。またプロセッサの高性能化によりソフトウェアの占める割合の増大が想定され、ハードウェアとソフトウェアの最適分割が性能の差別化要因となる。またシステムレベルから機能テスト、性能評価を行う仕組みが必要で、これらが SOC 設計を通して共通に検証に使われるようになる必要がある。

RTL(register transfer level)/論理設計においては RTL レベルからタイミング解析や RTL プランニングにより、出戻りなく実装につながる設計フローの実用化が必須である。高精度に性能見積もりを行い、アーキテクチャ設計へ早期にフィードバックがかかることが出来ることで、最適な構成を短時間で検討する環境が求められる。また IP 利用を容易に行うためにはインターフェースの標準化やインターフェース部分を合成により隣接ブロックとの整合性を取る仕組みが必要である。

レイアウト設計では、並列処理の導入や高速アルゴリズムの開発により、3D レベルの特性抽出、タイミング計算を行いつつ数千万ゲートレベルの回路を 1 週間程度でレイアウトを終える技術開発が必要である。またタイミング解析結果からシグナル・インテグリティを考慮した配線幅や層割り当てと配線経路の決定が行われなければならない。またテスト回路の自動挿入レイアウトも必須の機能である。

一方、回路設計、アナログ設計では、モデリング技術、自動合成技術などの自動化が望まれる。この分野はプロセステクノロジーとの相関が大きく、プロセスパラメータを利用したモデル自動生成や低ノイズ信号伝送、電源設計、EDA ツールライブラリの自動生成などの技術開発が必須である。また、

回路設計からプロセステクノロジーへのチューニングが必要となることが考えられるので、これら EDA と TCAD(technology computer-aided design)を密接に連携させる技術が必要である。これにより計算機上で設計実証したパラメータをベースにプロセス開発チューニングが行えるようになる。

ソフトウェア開発には、CASE(computer aided software engineering)ツールなどが活用されているが、将来的にはハードウェアとソフトウェアの開発手法に差異がなくなってくるものと思われるので、これらを統合しつつ、ハードウェアの特徴、ソフトウェアの特徴を機能や性能の評価パラメータとしてモデル化できる仕組みが必要になると思われる。

このような大規模な SOC 開発では関係するデータ量が膨大なものとなり、その設計フローも応用分野により変わるので、設計データのフローを統合的に管理コントロールする仕組みが必要である。何らかの問題が発生したときに、その原因や関連するデータおよび工程の洗い出しをすばやく行うことが出来て、問題解決が効率よく行える仕組みにすべきである。

(5) 解決策候補

上記の課題に対して、テクノロジーノード毎に実現すべき解決策の候補を検討し、図表 2-1-2、および 図表 2-1-3 に整理した。

1) システム/アーキテクチャレベルのポテンシャルソリューション

SOC の設計生産性は、この設計レベルの技術課題を解決することで大きく向上できる要素を含んでいる。

SOC は、その構成が示すようにソフトウェア/アナログ/デジタル/メモリなど、これまで別々に設計されてきた要素がひとつのシステムとして同一のシリコンチップ上に混載システムとして実現されている。このためこのような混載/混合システムの最適化設計技術が要求される。

現在までのところ、システム設計は仕様書ベースで手作業に依存し、ハードウェアとソフトウェアの機能分割、CPU、メモリの見積もり等はシステム設計者の勘と経験に委ねられ、分割以降のハード、ソフトのインプリメントは、個別にシリアルに行われている。

EDA ビジョン研究会が 1998 年 3 月に纏めた 2002 EDA 技術ロードマップに示される設計フロー(P76, 図 7、2002 年における cyber-giga-chip の設計フロー)で明らかのように、システム仕様からハード/ソフトのトレードオフ/デザインバジェットを行い、それぞれをコンカレントに協調しながらインプリメントする手法が SOC の設計生産性向上の極めて効果的な形となる。

(a) システムレベル性能見積もり

システムレベル性能予測はアプリケーションソフトウェア、コンパイラ、ハードウェアの性能解析、最適化を含みプロセッサコアのソフトウェア開発環境に関する要求であり、最適化支援のための性能解析及び最適化技術である。又、アーキテクチャトレードオフ評価のひとつとしてのアルゴリズム性能評価を実現する技術である。

IP 再利用効率化の観点からはシステムモデル(システム IP)の標準化が必要となる。これは、抽象度の高いシステムレベルでシステムの表現を可能とするモデルの標準化を意味し、システムの仕様、動作、構成、制約などはこのモデルにより規定・表現される。

設計レベル	技術課題	新規設計	再利用設計	ポテンシャルソリューション		
				2002	2005	2011
システム・アーキテクチャ設計	性能見積もり			未実現	I P の性能定義、アーキテクチャの基本モデルからの推定	システム記述、I P の性能定義からの推定、標準的な機能のライブラリ化
	アーキテクチャ合成			未実現	標準的な信号処理についてライブラリベースで選択	標準的な信号処理に対して要求性能指定から最適構成を自動選択
	インターフェイスの標準化			オンチップバスの標準化が始まる。いくつかの候補がデファクト化	I P 間、異種バス間インターフェースの乗り換え方式の標準化、容易	I P 間、異種バス間インターフェースの自動
	ハードウェア / ソフトウェアトレードオフ			プロセッサモデルによるソフトウェアの性能評価を基準に機能分割	I P , ハードウェアの性能モデルが実用化され、S / W との機能分割	要求性能に応じた自動分割、最適な I P の選択によるトレードオフが実用化
	システム設計 / システム記述			I P 化のためのシステム仕様のデファクト化	I P , S / W 含めたシステムの仕様記述が標準化	同左
				システムレベル記述のデファクト化	システム記述言語が標準化される	ソフトウェア、ハードウェアの区別なくモデル化できる
	システムレベル検証			システムレベルシミュレータの実用化	システム記述言語に特化して高速化したツールが実用化	同左
				フォーマル検証による仕様の確認（コーナケース）	フォーマル検証による仕様の確認	フォーマル検証の高速化
				I P、機能ブロック単位の仕様テストをモデル内に組み込みブロック単体検証の実現	I P、機能ブロック単位の仕様テストを組み	S / W 含めたテストの組み込み
	システムテスト / 機能検証環境			標準的なテスト信号発生モデルがライブラリ化される	製品カテゴリ毎に標準的な評価、検証環境、プラットフォームが提供される	同左
				I P、機能ブロック単位の仕様テストをもとにブロック単体のテスト	I P、機能ブロック単位の仕様テストを組み上げたの全体テスト	同左
R T L / 論理設計	R T L モデルの標準化			論理合成向け R T L 記述スタイルが標準化される	再利用可能な I P の提供のデータ形式が統一	同左
				再利用可能な I P の為の記述、データ形式、インターフェース記述の標準化	再利用可能な I P の提供のデータ形式が統一	同左
	性能見積もり			合成または機能データベースより10%～20%程度の誤差で推定	I P、機能ブロックのライブラリ化により類似構成では5%程度の誤差、新規構成では10%程度の誤差で推定	S / W 性能定義、システム記述により誤差5%で推定
	論理設計 / 論理合成			レイアウトを考慮したタイミング合成	タイミングと消費電力を制約としてセル配置を考慮した合成の実用化	同左
				合成制約、条件設定はライブラリ化され、特性は保証	プロセスに関してもライブラリ化、条件設定により特性は保証	同左
				複数 I P、I P 間のクロック、多層クロック、異種クロックの最適分配、階層的な分配	プロセスに関してもライブラリ化、条件設定によりクロック分配	同左
				I P の制約条件より合成制約に関してライブラリ化し階層的な論理合成	プロセスに関してもライブラリ化、条件設定によりクロック分配	同左
	R T L フロアプラン			要求性能をもとにチップレベルから I P、各ブロック単位の合成条件を自動生成	論理合成、テスト合成と一体化	同左
	電源プランニング			ブロック、I P 単位の電源配線の最適化、発熱量からのパッケージ選択、複数 I P の複数電源に対応	プロセス、パッケージ、動作周波数などをパラメータとしてトレードオフを実現する	同左
	機能検証			上位レベルのモデルの整備が進み、注目ブロックのみ R T L 以下の詳細モデルで検証	合成とフォーマル検証が一体化し、R T L レベルの機能検証だけで論理的な確認は完了	R T L レベルの機能検証は一部を除き不要
				I P として、提供されるテストパターン、検証モデル等のデータ形式が標準化	機能が保証された I P は、仕様記述レベルのモデルを適用したレベル混在の機能検証	アーキテクチャ合成、論理合成、フォーマル検証が一体化し、レベル混在での機能検証
				I P 単体として用意されたテストパターン、テストベンチを用いて、I / F バスを通しての I P の検証	I P 単体として用意されたテストパターン、テストベンチを用いて、I / F バスを通しての全体の検証の自動化	標準化されたバスを使って、組み込まれた I P 自身のテストパターンで I P の検証、I / F 間の検証自動化
	タイミング設計 / タイミング検証			フロアプランをベースとした静的タイミング解析により、I P 間含めて95%は検証実現	クロストークや電源ノイズを考慮したモデルを使用して、クリティカルバス検証、レイアウトへの制約情報出力	タイミング最適化の自動化
				I P のタイミング条件、クロック条件をもとに I P 間の静的タイミング、階層的なタイミング検証	I P 間のクロストーク、電源ノイズを考慮した検証	I P 間、アナログ、デジタル含めたタイミング最適化の自動化
	テスト容易化設計 / テスト生成			スキャン、B I S T 技術により0/1縮退故障は検出され、B I S T 回路の自動組み込みまでデファクト化。遅延 / ブリッジ故障モデルの実適用が広がる	クリティカルバス解析による遅延故障、レイアウトベース合成によるブリッジ故障など D S M 対応故障モデルが確立し、テスト自動化技術が開発	チップ内へのアクセスが可能となる技術で、テスト時間を大幅短縮
				I P 単体として用意するテストパターン、テスト回路の標準化。I / F バスを通してのテスト方法、テスト回路仕様のデファクト化と実適用化	I P 単体として用意されたテストパターン、テスト回路を用いて、I / F バスを通してのテストの自動化、テスト回路の自動生成	標準化バスを使って、組み込まれた I P のテストパターンで I P のテスト、I / F、B I S T 等のテスト回路自動生成、アナログテスト自動化
回路設計	プロセス変動			プロセス条件のライブラリ化	T C A D とのリンクで、プロセス条件を考慮した設計の実現	同左
	セルモデリング			発熱、電源電圧降下をパラメータとしてモデル化	電磁界ノイズの考慮	同左
	配線モデリング			3次元モデルによる高精度なパラメータ抽出とモデル化	高精度化	高精度化
	T レベル回路合成 / レイアウト合成			基本セルは回路合成が実用化	性能がクリティカルな部分について、要求制約への回路レベルでの最適化	同左

図表2－1－2a 設計生産性向上を達成するための技術課題とポテンシャルソリューション

設計レベル	技術課題	新規設計	再利用設計	ポテンシャルソリューション		
				2002	2005	2011
レイアウト設計	インターフェイスの標準化			各種データフォーマット、データ内容の明確化、デファクト化	各種データフォーマットの標準化、データ内容の統一化が進み、ツールの入れ替えが容易となる	同左
	制約ドリブレイアウト			タイミングドリブレイアウトが一般化（クロストーク、端子位置最適化、リピータ挿入、ゲートサイジング）	回路の活性化率を元に消費電力最適化、電源ノイズ、電圧降下を考慮した電源配線	同左
				I P で定義されたタイミング制約等からブロックレイアウト	I P で定義されたタイミング制約等からレイアウト条件を自動生成	同左
	高速レイアウト検証			並列化処理	データの特性に着目したデータ圧縮により、演算量を削減	同左
	配線層割り当て			要求性能に応じて複数の組み合わせが用意できる。	要求性能とコストを考慮した自動配線層割り当て	同左
	テスト容易化レイアウト			スキャン、バウンダリスキャン、B I S T 回路の最適配置とテスト時のタイミング制約等の自動生成	テストポイント指定により内部回路へのアクセスを可能とするテスト端子設定と配線の自動化	アナログ、デジタルのテスト回路の分割、最適配置
アナログ設計	低電圧化対応			電源分離	アナログ混載プロセス	同左
	アナログモデル / アナログ I P			A H D L などの機能モデル化	基本的な回路に付いては、回路図から機能モデルを生成	アナログ回路の I P 化、標準化、パラメータによる自動調整
				プロセス依存でアナログ回路の I P 化	プロセス追従がパラメータで行える自動整合機能が実用化	同左
	シミュレーション			アナログシミュレーション、デジタル混在シミュレーションの高速化	同左	同左
	アナログセル合成			オペアンプ、A D / D A コンバータなどの特定回路の実用化	回路図からレイアウトを合成し、特性抽出判定まで自動化	アナログ回路の I P 化、標準化、パラメータによる自動調整
	テスト			デジタルとの分離、アナログ測定条件をもとにテスト自動生成	アナログ測定条件の標準ライブラリ化	アナログ測定回路の自動化、パラメータによる測定条件設定自動化
ソフトウェア設計	ソフトウェア開発環境			デバッグ・がデファクトの数種類に統合化	デバッグ環境の統合化	同一環境でソフトウェア開発、デバッグが可能に
				オブジェクト指向、コード自動生成、オブジェクト単位に部品化	オブジェクト単位に I P 化	同左
	ソフトウェア I P			テストドライバなどへの階層化モデルにより、ライブラリ化	O S、ハードウェアとのインターフェイスの標準化により部分最適化が実現	同左
				再利用できるソフトウェア I P 化のためのデータ、内容の明確化、基準のデファクト化	ソフトウェア I P 化のための標準化	標準化されたソフトウェア I P 化の流通、適用
	ソフトウェア最適化			テストドライバなどへの階層化モデルにより、ライブラリ化	O S、ハードウェアとのインターフェイスの標準化により部分最適化が実現	同左
	O S の最適化			パフォーマンスなどの要求から部分的なハードウェア化によるトレードオフ	要求仕様に合わせた O S 構成	要求性能に応じた最適な O S の構成、選択の自動化、最適化
設計フロー全体、I P を使った設計その他	設計フロー管理			E D A 向けスケジュール、進捗管理、プロジェクト管理ツールが商用化	E D A ツールとのリンクが密になり、進捗レポートがツールの実行ログと同期して自動的に蓄積される	仕様から設計データまで設計データ、進捗管理が一元的に管理され、セキュリティレベルに応じて自由にデータ参照が可能となる
	I P 再利用技術			ソフトウェア I P 化のためのデータ形式、内容が明確化、デファクト化	ソフトウェア I P 化のための標準化	同左
				I P データベースが整備され、登録、検索できる	エレクトリックコマース環境が整備され、基本的な取引条件が決まり、短期間に I P の入手が可能となる	同左
				I P の登録、参照のためのデータベース、ツールが商用化、デファクト化	セキュリティ、品質、登録 / 使用条件含めた利用が実現	設計フロー管理、設計データ管理とリンクし
	I P を使った設計技術			I P の deliverable、I P の I / F、オンチップバス、信号種別による I / F 仕様のデファクト化	I P の I / F、オンチップバス、信号種別による I / F 仕様の標準化	同左
				組み込んだ I P と I P 間テストのためのテスト回路、I P 内に組み込む回路方式の標準化	I P を組み込む時のシャドー回路の自動生成、I P 単体のテストデータを使つてのテスト自動化	アナログ、デジタルのテスト回路の分割、テスト自動化
				I P の I / F 仕様にもとづいて一部カスタマイズ	I P の I / F 部分のカスタマイズ機能の自動化	システム、プロセスに対応した I P のカスタマイズ化支援ツール
				I P 化のためのデザインルールチェックの一部（R T L 記述等）実用化	I P 化のためのデザインルールチェック、テスト	複数 I P を組み合わせたシステムの I P 間の I / F 整合等のデザインルールチェック
	ドキュメント化			システムレベル記述を設計ドキュメントとして編集、I P 化のための標準ドキュメントが編集	システム仕様からの記述が可能となり、設計条件、外部仕様から設計制約が自動的に生成される	システム記述 - トレードオフ設計、R T L レベルより標準仕様ドキュメントが生成
	非同期設計			I P、ブロック間の非同期設計の支援ツールの実用化	I P、ブロック毎に同期設計、非同期設計の選択を支援	仕様に応じて同期設計、非同期設計の指針を提示

図表2-1-2b 設計生産性向上を達成するための技術課題とポテンシャルソリューション

設計レベル	技術課題	新規設計	再利用設計	実現時期				
				1999	2002	2005	2008	2011
システム・アーキテクチャ設計	性能見積もり							
	アーキテクチャ合成							
	インターフェースの標準化							
	ハードウェア・ソフトウェアトレードオフ							
	システム設計、システム記述							
	(SLDL標準化)							
	システムレベル検証(シミュレーション)							
	(フォーマルベリフィケーション)							
RTL/論理設計	(IP検証)							
	システムテスト、機能検証環境							
	(SLDL標準化)							
	RTLモデルの標準化(論理合成向け)							
	(IP)							
	性能見積もり							
	論理設計、論理合成(レイアウト)							
	(ライブラリ化)							
	(IP間最適化)							
	(階層的論理合成)							
	RTLフロアプラン							
	電源プランニング							
	機能検証(LSとフォーマル検証の一体化)							
	(IPテストパターン)							
回路設計	(IP検証)							
	タイミング設計、タイミング検証(STV)							
	(IP階層STV)							
	(SCAN,BIST)							
レイアウト設計	(IP単体テスト標準化)							
	プロセス変動							
	セルモデリング							
	配線モデリング							
	Trレベル回路合成/レイアウト合成							
アナログ設計	インターフェースの標準化							
	制約ドリブンレイアウト							
	(IP制約)							
	高速レイアウト検証							
	配線層割り当て							
ソフトウェア設計	テスト容易化レイアウト							
	低電圧化対応							
	アナログモデル/(機能モデル)							
	アナログIP(プロセス追従)							
	シミュレーション							
設計フロー全体、IPを使った設計その他	アナログセル合成							
	テスト							
	ソフトウェア開発環境							
	ソフトウェアIP							
	ソフトウェア最適化							
	OSの最適化							
	コンパイラ自動生成							
	設計フロー管理							
設計フロー全体、IPを使った設計その他	IP再利用技術(ソフトウェアIP)							
	(IP流通)							
	(IP利用ツール)							
	IPを使った設計技術(On-chip Bus)							
	(IPテスト)							
	(IPカスタマイズ)							
	(IP化)							
	非同期設計							

図表2-1-3 ポテンシャルソリューションの実現時期

このような技術課題に対して、Near Term(1999-2005 年まで)では、信号処理で標準的に使用される回路について基本モデルが開発され、そのモデルに従って、クロック周波数やビット幅などいくつかのパラメータを指定することで、その性能が計算される仕組みが実用化される。これらの基礎データはベンダー毎に提供されることになる。

Long Term(2005 年以降)では、IP ベース設計が設計のほとんどの部分を占めるようになり、IP カタログを参照することで、ほぼ正確な(誤差 10%程度) 特性を得ることが可能になる。この世代では、IP カタログにはあらゆる機能ライブラリがオンラインで提供されまで、IP の流通環境が標準化されている。

(b) ハードウェア/ソフトウェアトレードオフ

システム仕様記述言語で記述されたシステム仕様からコストやパフォーマンスなどの制約条件を考慮しハードウェア/ソフトウェア分割を行う技術である。

Near Term ではソフトウェア処理のプロセッサについては、IP として流通している汎用プロセッサをターゲットとしたモデルによるソフトウェアの性能評価を基準に機能分割する技術やハードウェアの性能モデルも実用化される。

Long Term ではシステム仕様から要求性能(面積、速度等)に応じたハードウェア・ソフトウェアの最適な自動分割技術が実現される。

(c) システム仕様記述の標準化

ハードウェア・ソフトウェアを含めたシステム仕様を記述する言語。システムの性能見積もり、検証、動作レベル(アーキテクチャ合成)を行う入力となる。

Near Term では、幾つかのシステム記述言語が提案され、それぞれの候補が持つ長所を生かし、且つ短所を解決する手法及び処理系ツールの開発が進み利用されるようになる。

Long Term では、ソフトウェア、ハードウェアの区別なくモデリング可能なシステム仕様記述言語の標準化が進みシステムレベル設計技術が確立する。

(d) システムレベル検証

Near Term ではシステムレベルシミュレータの実用化が進み、システム仕様記述言語に特化した高速のシミュレーション環境が実現される。

また、基本モデルをベースに構成されるシステム動作に対して各コンポーネントの動作条件や制約条件を指定することで、条件を満たしているかどうかを論理的に検証できる仕様—システムレベル間のフォーマルベリフィケーション環境が実用化される。

Long Term では、標準化されたハードウェア、ソフトウェアの区別なくモデリング可能なシステム仕様記述言語でのシステムレベルシミュレーションが可能になる。

(e) システムテスト・機能検証環境

システムレベルで、その動作を検証する手段、又、その正当性を確認するための方針決定を支援する仕組みである。

Near Term では標準的な信号発生モデルのライブラリ化が進み、製品カテゴリ毎に標準的な評価環境が実現される。

(f) アーキテクチャ合成

動作記述、アルゴリズム記述やシステム記述からアーキテクチャを合成する機能である。

Near Term では標準的な信号処理についてライブラリベースで選択する技術が実用化され、Long Term では要求性能(面積、速度等)に応じたハードウェア・ソフトウェアの最適なアーキテクチャの探索が可能となる。

(g) IP インターフェースの標準化

IP リユースにおける設計のオーバーヘッド削減を目的とする各 IP 間のインターフェースの標準化。システム及びアーキテクチャレベルで機能モジュールを IP 化するための技術である。

Near Term ではオンチップバスの標準化が始まり、その幾つかがデファクト化される。

Long Term では、インターフェース自動合成技術が実用化され、複数バスの乗換えが容易になる。

2) RTL/論理設計のポテンシャルソリューション

(a) RTL モデルの標準化

Near Term では IP 向け記述スタイルが標準化され、機能ブロック(IP)提供のフォーマットが統一される。

(b) 性能見積もり

Near Term では、合成もしくは機能データベースによって 10-20%の誤差で性能の見積もりが可能となり、且つ機能ブロックのライブラリ化により、更に見積もり精度が向上する(誤差 5%程度)。

(c) 論理合成

Near Term では、合成制約、配置情報等がライブラリ化され特性は保証される。又、プロセス世代進歩以降についても合成技術によりプロセス設定倍率にあわせた特性が実現できる

(d) RTL フロアプラン

Near Term では、要求性能を元にチップレベルから各ブロック単位の合成制約の生成が可能で、論理合成ツールと一体化される。

(e) 電源プランニング

Near Term では、ブロック単位の電源配線の最適化技術が実用化され、発熱量からパッケージ候補が選択可能となる。又、プロセス、パッケージ、動作周波数等をパラメータとしたトレードオフが可能になる。

(f) 機能検証

Near Term では、上位レベルのモデルの整備が進み、注目ブロックのみ RTL 以下の詳細モデルで検証される。又、合成とフォーマル検証が一体化し、RT レベルの機能検証だけで論理的な確認は完了となる。特に IP 設計では、機能検証回路が IP 内に組み込まれ、必要かつ十分な機能確認が行われたかどうかを判定することが可能となり、更にテストバスや IP 内への直接テスト注入と IP に組み込みのテストベンチにより、自動的に機能チェックが行われる。

Long Term では、RT レベルでの機能検証は不要となる。

(g) タイミング検証

Near Term では、フロアプランをベースとした静的タイミング解析により 95%は検証可能となる。又、クロストークや電源ノイズを考慮したモデルを使用して、クリティカルパス(critical path:臨界経路)検証、レイアウトへの制約条件出力を可能とする。

Long Term では、タイミング最適化の自動化が可能になる。

(h) テスト生成

Near Term では、スキャン、BIST(built-in self test)技術により 0/1 縮退故障は検出される。遅延故障、ブリッジ故障などのモデル化提案がなされる。又、クリティカルパス解析による遅延故障、レイアウトベース合成によるブリッジ故障など DSM 対応故障モデルが確立し、テスト自動化技術が開発される。

Long Term では、チップ内へのアクセスが可能となる技術によりテスト時間の大幅な短縮が可能となる。

3) 回路設計レベルのポテンシャルソリューション

(a) プロセス変動のモデル化、回路シミュレーションの高精度化

Near Term では、TCAD とのリンクによりプロセス条件を振りながら回路シミュレーションを行い、プロセスのばらつきと EDA ツールのモデルの誤差を統一的に考慮することが可能となる。

(b) 熱解析、ノイズ解析、電磁界解析ツールの高精度化

Near Term では、消費電力から発熱とチップ内の温度分布のシミュレーションが可能となり、熱の効果による回路特性変動を含んだシミュレーションが可能となる。電圧降下(IR ドロップ)、同時切り替えノイズ、電磁界ノイズはチップレベルでシミュレーションが可能となる。

Long Term では、チップレベルでクロストークノイズ解析が可能となる。

(c) 微細化プロセス用高精度モデル、パラメータ抽出

Near Term では、3 次元モデルによる高精度なモデル化とパラメータ抽出が可能となる。IP 再利用では、微細化プロセスに対応した高精度の回路モデル化技術の実現により IP コアの遅延や特性を高精度にモデル化することが可能となる。

(d) Tr レベル回路合成/レイアウト合成

Near Term では、基本セルやメモリ等の自動生成に留まらず、さらに大きな回路に対してパストランジスタなどのように、用途・目標仕様に適した回路やセルレイアウトを自動生成することが可能となる。性能がクリティカルな部分について、要求制約への回路レベルでの最適化が可能となる。

Long Term では、用途目標仕様に適した回路およびレイアウトをチップ設計の観点から最適化する技術が実用化され

4) レイアウト設計レベルのポテンシャルソリューション

(a) レイアウト記述インターフェースの標準化

Near Term では、レイアウト記述インターフェースが標準化され、論理合成システムとレイアウトシステム間で相互に通信が可能となる。

IP 再利用においては、これによりハード IP の設計データはツールに対する依存性がなくなり、ハード IP の再利用率が向上する。

Long Term では、レイアウト記述インターフェース標準に、レイアウト仕様、セル仕様、論理合成、論理シミュレーションの結果情報等が取りこまれ、ECO(engineering change order)時のシミュレーションの負荷が大巾に軽減されるようになる。

(b) 制約ドリブンレイアウト

Near Term では、レイアウトツール側で遅延、消費電力、耐ノイズ性などの解析を行いつつ、ゲートサイジングや配線巾、間隔などを制御し、完全にタイミング、パワー、及びノイズを保証したレイアウトの生成が可能となる。また、電源系の配線については、プランニングで決定された各機能ブロックの電源電圧、動作周波数、回路の活性化率などに基づき、消費電力の最適化、電源ノイズ、電圧降下、ピーク電流などを考慮した電源配線が可能となる。

Long Term では、クロストーク等の問題に対し、シミュレーション結果を解釈し、選択的に必要な部分にレイアウトの追加修正を行い最適化する。電源系については電源線の層、幅、分岐個所、ビア個所などを自動決定し、これらの制約に従い、電源配線を行うことが可能となる。

(c) 高速レイアウト検証

Near Term では、領域分割やそれに対応したアルゴリズム開発される。並列処理が実用化され、その効率的に進めるための計算機環境が整備される。データ圧縮技術による演算量を削減し高速化が促進する。

(d) 配線層割り当て

Near Term では、配線（グループ）ごとに配線層、幅、間隔をアプリケーションが使い分け、要求性能とコストを考慮した自動配線層割り当てが実現される。

Long Term では、設計初期において、コスト、製造 TAT(Turn Around Time)、性能、信頼性などの見積もりにより、耐雑音性、熱、速度、電流、材質などを考慮して、最適な配線層数を選択し、その具体的な使い分けをプランニングできるようになる。

IP 再利用では、ハード IP について、これらの見積もり情報とともに、使用する IP の配線層割り当て情報が整備され、これらを考慮した配線層数の選択、自動割り当てのプランニングが可能となる。

(e) テスト容易化レイアウト手法

Near Term では、スキャン動作時の大電流によるマイグレーションや電圧降下などを防ぐためのレイアウト手法が確立される。さらに、電源分離により IDDQ(IDD quiescent)試験での故障検出率向上を支援する技術が実用化される。

Long Term では、各種 DFT(design for test)技術の実用化に伴い、DFT 回路にかせられる配置、タイミングなどの制約が発生し、これらの制約を満たしながら自動でレイアウトする技術が実用化される。

5) アナログ設計のポテンシャルソリューション

(a) アナログ回路のモデリング技術

Near Term では、BISIM3(Beckley short-channel insulated-gate FET Model 3)に続きさらに高周波、微細デバイスに対応するモデルが開発される。AHDL(analog hardware description language)は標準化され、シミュレーションを高速化するために、トランジスタレベルの回路から AHDL で記述する機能モデルを生成する技術が実現する。

IP 再利用では、アナログ IP が実用的になる。これはデジタルのように RT レベルで供給され自動合成するのではなく、フレキシブルなハードマクロという形態。レイアウトデータを含むアナログ IP が提供され、ユーザー仕様に対応してデータを最適化する。

Long Term では、レイアウト後のアナログ/デジタル間のノイズシミュレーションを容易にする寄生効果モデル抽出が実現される。

(b) アナログモデルのシミュレーション技術

Near Term では、AHDL 対応のシミュレータが実用化される。SOC に対応したデジタル/アナログ混在のシミュレーション環境が必須となる。システム検証のためにアナログ/デジタル混在で動作記述し、シミュレーションをする。

高周波・微細デバイスの設計では、レイアウト情報のフィードバックが不可欠となる。

Long Term では、周波数領域や RF 専用の表現形式、Z 空間表現などが標準化され、これに対応したシミュレータが実現される。アナログ/デジタル混在設計環境として、アナログとデジタルの環境を接合したものではなく、回路部分毎に最適なアルゴリズムをシミュレータが判断して適用するような、アナログ混在検証環境が開発される。

IP 再利用では、アナログ IP のデリバラブルとしてシステム検証用の機能モデル(AHDL)が必須となる。

(c) アナログ回路合成

Near Term では、オペアンプ、フィルタ、AD/DAコンバータなど特定の回路については実用化され、性能仕様およびレイアウト後の面積をも満足する生成技術が実用化される。トランジスタレベルの回路からレイアウトを合成し、特性抽出判定まで自動化される。

Long Term では、AHDL からの合成については、知識ベースのアナログ合成が実現し、エキスパートシステムとして発展する。

6) ソフトウェア設計のポテンシャルソリューション

(a) ソフトウェア開発環境

Near Term では、デバッガが数種類に統合され、デバッグ環境の統合化が進む。Long Term では、同一環境でソフトウェア開発、デバッグが可能になる。

(b) ソフトウェア最適化

Near Term では、デバイスドライバなどの階層化モデルにより、ライブラリ化が進展する。又、OS(Operating System)、ハードウェアとのインターフェースの標準化により、部分最適化が実用化さ

れる。

(c) OS の最適化

Near Term では、パフォーマンス要求などから部分的なハードウェア化によるトレードオフが行われ、要求仕様に合わせた OS 構成となる。

(d) コンパイラ自動生成

Near Term では、プロセッサアーキテクチャに対しコンパイラの自動生成が実用化される。又、アーキテクチャ定義に対してリターゲットブルコンパイラによるコンパイラ生成が可能となる。Long Term では、ハードウェアとソフトウェアの融合化が進む。

7) 設計フロー全体のポテンシャルソリューション

(a) 設計フロー管理

SOC の回路規模や複雑さの増大に伴い、設計管理、工程管理など、設計全体を管理する技術の重要性は増大する。

Near Term では、ESDA(electronic system design automation)ツールを核とした設計環境にスケジュール/進捗管理ツールがリンクし、設計フロー全体は管理される。各 EDA ツールのインターフェースの多くは個別のカスタマイズが要求されるが、設計フロー管理ツールへのリンクは実現され、設計工程毎に進捗レポートがツールの実行ログと同期して自動的に更新され、蓄積、表示される様な機能が実現される。また、各設計工程において必要な設計ツールや設計のバージョンも設計フロー管理ツールによって管理される。

Long Term では、データフォーマットの標準化により、仕様設計から上流・下流の全ての設計工程における全ての設計データが一元的に管理され、セキュリティレベルによるアクセス制御が可能となる。これにより、IP データベースも整備され所望の機能・特性の IP の検索、エレクトリックコマースによる流通が促進される。また各設計工程で必要な EDA ツールやバージョン管理ツールなどが部品として用意され、プロジェクト毎にこれらを組み合わせて管理すること等が可能となる。

EDA ツール側のインターフェースも標準化されることにより、ツール側で入力されたデータフォーマットの判別や設計進捗の判断に基づいた適切な処理の実行が可能となり、エラーコードの標準化などにより、全ての EDA ツールは、標準的な管理ツールへのプラグインが容易となる。

(6) 他分野依存性

主要課題について他の技術分野との関連を示す。

(設計フェーズ)	(主要課題)	(他技術分野)
RTL/論理設計	テスト容易化設計	テスト
回路設計	セルモデリング、配線モデリング	配線、モデリング&シミュレーション
レイアウト設計	配線層割り当て	配線
アナログ設計	テスト	テスト

(7) 提言

1) 現状における着手レベル

設計生産性を語る上での主要なポイントとして、設計の a)標準化、b)上位化、c)自動化の3点を挙げ、現状における着手レベルと目標に達するための提言を、それぞれこの3つのポイントから分析・整理する。すなわち、設計生産性を向上させるための課題や目標は、そのほとんどがこの3点に直接的に関連して捉えることができると思われるからである。以下で、設計の工程やステップに対応して、この3点から見た現状における着手レベルを整理して述べる。

(a) システム・アーキテクチャ設計

システム・アーキテクチャ設計の分野では、エンベデッドプロセッサ LSI が普及してきたことから、ハードウェア・ソフトウェアコンカレント設計のニーズが高まり、ソフトウェアとハードウェアのトレードオフを支援するツールが製品化されている。プロセッサモデルと C 言語や HDL でハードウェアを簡易的に記述することで、主としてプロセッサの負荷を解析してソフトウェアとハードウェアの切り分けを支援するものである。ただしあくまでも機能レベルの分割を支援するもので、ハードウェアの RTL 以降への実装を支援するものではない。

現在、ハードウェア・ソフトウェア協調検証(コ・シミュレーション)は幾つかの手法が提案され、商用ツールとして実用化されはじめた。システム記述(アルゴリズムレベル)からアーキテクチャへの変換ツールも同様に使用し始めている。しかし、ハードウェア・ソフトウェア協調設計(コ・デザイン)手法については、大学等で研究は行われているものの、実用化にはまだ時間を要する。この要因には次のことが挙げられる。

システムレベルモデルの標準化、ハード・ソフト最適分割化のためのシステム仕様記述言語の標準化作業が始まったばかりである。

一方、協調設計手法実現の前段階として、システムレベル/動作レベル設計でのアーキテクチャ合成(ビヘイビアレベル合成)技術の実用化が進められている。

この分野では既に製品化が進められている。

ソフトウェアと分割されたハード仕様のインプリメントや、システム仕様(グラフィカル入力)からのハードウェアインプリメント手法として重要となる。

また性能見積もりについても、マルチプロセッサシステムをターゲットとした実用化が試行されている。

(b) RTL/論理設計

RTL・論理設計においては RTL でのタイミング解析や、フロアプランニング技術によって、手戻りなく実装(レイアウト)につなげることを可能とする技術が製品化されてきている。RTL フロアプランとグローバル配線を行いスタティックタイミング解析と組み合わせることで、レイアウト段階でのタイミングバイオレーションを抑え込む仕組みの実用化が始まっている。また、論理合成ツールに配置機能を持たせることで、配線遅延を考慮したタイミング最適化を行う製品の開発も進められている。

検証の高速化では、大規模なものについてはエミュレータやアクセラレータなどの利用による高速化が一般化している。また FPGA/PLD の大規模化により、100 万ゲート規模の回路を組み込むこと

が出来るようになってきていることから、これを使ったプロトタイピングを行い、設計 TAT の短縮を図ることも行われている。テストについては、スキャンパス、BIST が一般化してきており、高速 LSI への対応としてディレイテストも使われてきている。LSI テスターの測定限界をテスト手法でカバーするものである。今後単純な縮退故障だけでなくブリッジ故障なども扱えるテスト技術の開発が必要となる。

(c) IP リユース

IP リユースでは、各 IP レベル(ソフト、ファーム、ハード)における仕様や機能表現の標準化作業が VSIA(virtual socket interface alliance)等で行われている。IP ベンダも数が増え、IP を使った LSI 開発が進められている。また IP リユースを効率良く行うための環境提案もあり、IP ベース設計が実用化のレベルに入ろうとしている。しかしながら、現在のところ、実際の設計現場では、標準機能として確立したシリアル IO など比較的シンプルな機能の IP では、再合成などの処理だけで利用が可能となっているが、複雑な機能 IP では市販の IP を SOC に組み入れるには非常に多くの工数を必要としている。このため、いくつかのバリエーションをそろえたハード IP を提供することで、設計期間短縮を実現するアプローチもある。現状では、IP のインターフェースやオンチップバスの標準化が行われていないため、ほとんどの場合 IP に手を入れる必要が出てくるので、この部分の早期の標準化が望まれる。

又、IP 間のインターフェース生成(合成)またそのライブラリ化が IP リユースでの効率改善に大きく寄与すると考えられている。オンチップバスの標準化や各種バスの自動生成等の実現化が期待される。

現状、I/O インターフェースのライブラリ化によるアーキテクチャ生成技術が実用化され始めている。また IP 提供時のテストカバー率を検証する手段として、IP にテストチェック機能を組み込み、IP を使った LSI の検証時にその IP の基本機能がテストされているかどうかをレポートする仕組みも実用化されようとしている。

IP を容易に入手利用できる環境整備も積極的に進められており、VCX(virtual component exchange)、IP ハイウェーコンソーシアムなどの動きが活発である。ビジネスが関係するため、契約を含めどこまで容易に IP の入手利用が可能になるかが IP を一般的なパーツのように利用できるかの鍵となろう。

(d) 回路設計

- ① プロセス変動のモデル化については、現状では、TEGを作成し、worst, typical, best の回路シミュレーション用のモデル・パラメータをフィッティングから求め、この 3 点でシミュレーションするのが一般的であり、プロセス条件とのインターフェースは、このモデル・パラメータのみである。TCAD とのリンクにより、プロセスのばらつきや、設計ツールのモデル誤差を統一的に考慮する回路設計技術が期待される。
- ② 熱解析、ノイズ解析、電磁界解析ツールの高精度化については、消費電力から発熱量と分布の見積もりは実用化されている。また、電源系の電圧降下はシミュレーション可能。クロストークは TAT の問題で部分回路にのみ抽出可能。パッケージを考慮した同時切り替えノイズのシミュレーションは可能だが、定性的な解析程度。ボードレベルでは電磁界ノイズのシミュレーションは可能であるが、チップの設計では無し。
- ③ 微細化プロセス用高精度モデル・パラメータ抽出については、3 次元レベルの寄生素子の抽出

が実用化されたが、精度とTATが両立していない。設計誤差は最大－最小の考え方で取り扱われているが、微細化が進み、不確定部分の割合が増大し、制約条件を満たす設計が困難になりつつある。高精度デバイスモデル(BSIM3)が標準となり、多くの SPICE(simulation program with integrated circuit emphasis)シミュレータがサポートしている。

- ④ Trレベル回路合成/レイアウト合成については、現状では、設計者がトランジスタレベルで試行錯誤を重ねて設計している。レイアウトについては、基本セルの自動生成、メモリなどの特定マクロセルのテンプレートを用いた生成が実用化されている。

(e) レイアウト設計

- ① レイアウト記述インターフェースの標準化については、PDEF(physical design exchange format)、DEF(design exchange format)がそれぞれフロアプラン、レイアウト情報の標準インターフェースとなりつつある。レイアウトツール毎に記述言語は一部見られる。トランジスタレベルからゲートレベルまで論理合成システムの入出力情報をレイアウトシステムに相互に通信できるレイアウト記述インターフェースが求められているが、現状ではトランジスタレベルで一部使用されている程度。
- ② 制約ドリブンレイアウトについては、論理合成時に仮配線長で見積もり、そこから制約をレイアウトツールに与えて配置配線するのが現状。レイアウト後に実配線長をもどしての最適化は行われている。また、レイアウト時に制約ベースでバッファ挿入やゲートサイジングを行う技術は開発されている。また、指定した特定の信号に対して、遅延改善やノイズ対策配線を行うツールも実現されている。
- ③ 高速レイアウト検証については、過去において検証の方式自体の大きな変革はなく、図形演算アルゴリズムのチューニング、マシン性能の向上などにより実用上は許容範囲で推移した。メモリ使用量の限界などから階層処理が用いられている。
- ④ 配線層割り当てについては、電源配線、クロック配線などの特殊配線を特定層に割り当てるなどを設計者が指定して行う程度。
- ⑤ テスト容易化レイアウト手法については、スキャンパスのリオーダリングなどが行われている程度。

(f) アナログ設計

- ① 低電圧化対応については、SOC の集積度の向上に伴い、より低消費電力が求められ、アナログ回路を混載する場合に非常に困難な問題になっている。
- ② アナログ回路のモデリング技術については、CMOS デバイスモデルは BSIM3 で、一次微分不連続問題を大幅に解消。0.2 ミクロン程度までをカバーしている。AHDL に関しては、VHDL-AMS(analog and mixed signal)、Verilog-AMS が標準化され、これらに対応するシミュレータも開発されている。Verilog-AMS についてはアナログ部のみ。
- ③ アナログモデルのシミュレーション技術については、SPICE ベースのシミュレーションでは、十万トランジスタで数十クロック程度が事実上の解析限界。純粋にアナログ動作する回路の検証にこれ以外の実用的なシミュレーション方法は存在しない。デジタル回路のアナログシミュレーションでは、波形緩和法や回路縮退などの方法が実用化されている。
- ④ アナログ回路合成については、ほとんど実用化されていない。フィルタやアンプなどでトポロジーをユーザーが設定し、変動パラメータを最適化する技術がある程度。
- ⑤ アナログ回路のテスト技術については、アナログ/デジタル混載の回路のテスト容易化設計

(BIST)、自動テストパターン生成、テストパターン記述など、未開の分野である。

(g) 設計フロー全体

- ① 設計フロー管理については、設計工程を管理するツールはあるが、設計チームにより設計工程、設計スタイルが多様であり、設計フローや環境自体が標準化されていない為、画一的なツールでは管理できず広く利用されてはいない。基本的な設計資産の管理機能、合成/シミュレーション等とのリンク昨日は ESDA ツールが有している。PC ベースのスケジュール/進捗管理ツールの利用は一般的だが、設計そのものに直接リンクしていない。
- ② RTL からのドキュメント生成については、RTL からフローチャートやステートマシン記述で表現できるツールは存在するが、人間に分かりやすいレベルに抽象化されているとは言い難いレベル。
- ③ 非同期回路設計については、データフローモデルを用いた非同期回路の自動合成が研究レベル。

2) 目標に達するための提言

半導体技術の進歩によるシリコンチップの高集積化、それに伴う回路規模の飛躍的な増大、高機能化等により、現状の LSI 設計技術では、設計生産性改善の限界に近づいてきており、半導体製造技術に追いつくことが困難になってきている。設計生産性向上のためには、IP を用いた再利用設計、再利用設計のためのオーバーヘッド改善及び、新規設計含めた設計技術の革新が必須である。また、これらは、標準化団体との連携を始めとして産官学での取り組みが必要である。

以下に、再利用設計、設計技術の革新をベースとして、設計生産性向上のための提言を、a) 標準化、b) 上位化、c) 自動化、の 3 点に分類して提言する。

(a) 標準化

設計の標準化は、設計の上流から下流までの各設計ステップで従来より進められてきているが、最近では設計の上流、システムレベル設計での標準化も進められてきている。

今後の設計生産性向上のための標準化のひとつは、システムレベルにおけるシステムレベル記述言語の標準化が必要である。現在、C、C++、RTL-C 等がシステムレベルの記述として使われ、ハード・ソフト含めたシステムレベル検証が適用され始めているが、ツールに依存しない、ハード・ソフト協調設計検証可能、下位レベルへの合成可能、ソフトコード生成可能なシステム(ハード・ソフト)記述言語の標準化が必要である。

IP を用いた再利用設計、再利用設計のためのオーバーヘッド改善のためには、IP のインターフェースの標準化、オンチップバスの標準化、それによる IP を組み込んだ検証/テスト方法とテストデータの標準化が必要である。これにより、IP を用いた再利用設計の効率化、再利用設計のオーバーヘッドの低減、IP インターフェースやテスト回路の合成可能になりさらに設計生産性が向上する。また、抽象度のより高い高位レベルでのインターフェースの標準化、システムレベルで適用できる高位レベルの IP の標準化及び、下位レベルにおけるプロセス、テクノロジーに依存しないモデルの標準化が望まれる。これにより、システムレベルから下位の物理レベルまでの再利用設計を実現することが可能となる。

もうひとつの標準化としては、設計フェーズの機能論理設計以降のインプリメンテーションレベルにおける一層の標準化が望まれる。レイアウト記述インターフェースでは、PDEF がフロアプラン、DEF が

レイアウト情報の標準インターフェースとなりつつあるが、レイアウトツールに依存しない、トランジスタレベル～ゲートレベル、合成/RTL レベルまでの情報をレイアウトツールと相互に受け渡しできるインターフェースの標準化が必要である。検証/テストについては、テストデータの標準化、BIST を始めとするテスト手法の標準化、テスターとのインターフェースの標準化がさらに必要である。また、アナログ回路のモデリング技術については、CMOS の BSIM3 が標準化されているが、さらに 0.2 ミクロン以下の精度まで対応可能な標準化が必要である。

(b) 上位化

各設計フェーズにおいて起きる問題をできる限り設計の前段階で解決し、設計の収束性を高めるため、より上位レベル(RTL からアーキテクチャ、さらにシステムレベル)において、より高精度にスピード・面積・電力等の性能予測/解析をする技術が求められる。設計の抽象度を上げ、より上位レベルで最適化を実現するためのプランニング・実装・検証の技術が望まれる。

例えば、システム・アーキテクチャ設計におけるハードウェア・ソフトウェア協調設計を真に実現するためには、プロセッサモデルと C 言語、HDL によるハードウェアの簡易的な記述を用いて、システムのパフォーマンスやプロセッサの負荷の解析を行い、その結果に基づいて、ソフトウェアとハードウェアの機能レベルの分割を支援するだけのものではなく、ハードウェアの RTL 以降への実装までを支援する技術が求められる。

また、このような協調設計手法実現の前段階として、システムレベル/動作レベル設計でのアーキテクチャ合成(ビヘイビアレベル合成)技術の実用化が必要である。ソフトウェアと分割されたハード仕様のインプリメントや、システム仕様(グラフィカル入力)からのハードウェアインプリメントの手法として重要となる。設計の上位化が進むことにより、抽象度が高くかつ予測性も高い設計資産の蓄積が可能となり、IP 再利用のオーバーヘッド改善を効果的に促進する事が期待される。

(c) 自動化

基本的に、新規設計回路部の設計生産性に本質的に貢献するのは、広い意味での設計の自動化をおいてない。従来からも自動化への技術に幅広い注力がなされ、結果として新しい設計ツールや設計手法が可能になった。今後も自動化の更なる改善や新しい技術の開発が積極的に継続されると思われる。

自動化については、①現状未自動化部分の自動化、②一応自動化されている部分の高度化、③設計環境や設計フローの管理等を含む広い意味での自動化の3つの方向がある。特に重要なのは、現在自動化されていない部分の徹底的な自動化である。ポイントとなるのは合成・生成、最適化の自動化である。上位レベルでの合成、IP 間の各種バスの生成、レイアウト設計での合成・生成、アナログ設計での合成・生成、テスト設計での合成・生成等枚挙にいとまがない。さらには、こうした自動化が各設計工程ごとに単独の手法やツールとして組み合わせられるのではなく、設計フロー全体を通して有機的に連動、連携する高度な自動化が必要になってくる。

また、設計生産性の観点からは、上記③の設計環境や設計フローの管理を含む自動化が特に重要と思われる。大規模な LSI を効率的に設計するには、設計工程の後戻りや、設計データやその版数の取り扱いの人為的なミス未然に防ぐことが重要である。また、設計工程の進捗をモニターしながら、ボトルネックを適時分析し、設計リソースの配置、配分の最適化やスケジュールへのフィードバックを自動化する環境やそのための技術が望まれる。

2-1-2 低消費電力設計技術

(1) 背景

携帯情報機器は、SOC のアプリケーションとして今後大きな発展が期待される分野の1つであるが、この分野においても機器の高機能・高性能化に伴い、搭載 SOC が大規模・高性能化していくと考えられ、SOC 設計に共通する課題の解決が必要である。加えて、携帯情報機器用 SOC に対しては、バッテリー使用下での動作時間や発熱などの制約より、特に低消費電力化への要求が厳しい。

このため、設計ワーキンググループの low power サブワーキンググループ(以降 LP-SWG と記す)では特に SOC の低消費電力化に重点を置いた技術ロードマップを検討する。各テクノロジーノードで実現されるべき将来の SOC のプロファイルに対し各技術分野における低消費電力の目標や、消費電力による SOC の限界を検討することにより、今後の設計技術を含む様々な技術開発指針となることを期待する。

(2) 範囲

バッテリー動作する携帯情報機器用 SOC を想定して、SOC 消費電力に対するニーズ、各テクノロジーノードに対する消費電力予測と低消費電力化技術の目標、ニーズを達成する低消費電力 SOC の想定プロファイル、目標を実現するための課題を解決する有望技術要件を中心に記述した。

まず、消費電力に対するニーズ検討では、バッテリー性能などの半導体以外の技術に関しても検討対象に含めた。次に、消費電力予測では、消費電力の決定要因を、①回路規模、②プロセス、③動作速度、④内部電源電圧に分解し、各テクノロジーノードで実現される SOC プロファイルに対して、各要因ごとの消費電力に対する影響を予測した。同様に、低消費電力化技術の目標も各要因ごとに検討をおこなった。この検討の結果、ニーズの実現は設計、製造技術の進歩のみでなく、様々な要素技術を組合せながら、回路規模や動作速度などのトレードオフを図り設計することで解決する必要がある。ニーズを達成する低消費電力 SOC の想定プロファイルのロードマップを、回路規模と動作速度のトレードオフ関係にて表現した形式で提示する。課題解決のための有望技術は設計技術を中心とし、技術を適用する設計段階に整理して、実現すべき時期および効果と合わせて提示した。

(3) 要求

携帯情報機器などなどに使用される SOC の消費電力に対するニーズは、バッテリー性能(エネルギー容量・大きさ・重量など)、搭載機器の形状や材質、パッケージ、などの外的要因でほぼ決定されると考えられる。それら外的要因の性能向上は、半導体技術の向上速度と比較して明らかに緩やかである。さらに、外的要因の性能向上は、LSI 搭載機器のバッテリーによる長時間動作に利用されるのが必然と予測される。このため、LP-SWG では消費電力に対するニーズはテクノロジーノードに対して不変であるとして、その値を 0.5W に設定した。ゴールを示すための、各テクノロジーノード毎の SOC のプロファイルに対する、典型的なモデルによる消費電力の予測値と低消費電力化技術の目標を図表2-1-4に示す。

まず、図表2-1-4の見方を説明する。

P:消費電力、C:負荷容量、V:電源電圧、f:動作周波数として、最も単純な消費電力モデルである

$P \propto C * V * V * f$ を考えるとき、C は回路規模(max gate size)と製造プロセス(process)、fは最大動作周波数(max frequency)、V は内部電源電圧(internal voltage)の要因に分解できる。図表2-1-4では、現在を1とした場合のプロファイルにもとづく各要因の変動率をそれぞれ、規模要因(size factor)

	unit	current	2002		2005		2011		
logic tr count	Mtr	16	27		46.55		121.7		*1
memory tr count	Mtr	16	105		319.8		2553.4		*1
total tr count	Mtr	32	132		366.4		2675.1		*1
size factor(logic*1.0+mem*0.85)		1	3.93	→ 1.96	10.76	→ 4.30	77.43	→ 23.23	
factor reduction	%	0		50		60		70	*2
technology node	nm	180	130		100		50		*3
process factor		1.00	0.72	→ 0.65	0.56	→ 0.44	0.28	→ 0.19	*4
factor reduction	%	0		10		20		30	
max frequency	MHz	150	400		1000		2000		*5
frequency factor		1.00	2.67	→ 2.00	6.67	→ 3.33	13.33	→ 5.33	
factor reduction	%	0		25		50		60	*6
internal voltage	V	1.5	1.2	→ 1.0	0.9	→ 0.6	0.5	→ 0.3	*7
voltage factor		1	0.64	→ 0.44	0.36	→ 0.16	0.11	→ 0.04	*8
voltage reduction	%	0		17		33		40	*9
total power trend		1	4.84	→ 1.13	14.34	→ 1.02	31.87	→ 0.96	*10
estimation	W	3	14.52	→ 3.40	43.02	→ 3.06	95.60	→ 2.89	*11
target	W	0.5	0.5		0.5		0.5		
Low Power Spec									
switching activity	%	1.8	2.66	→ 2.61	2.7	→ 2.67	1.85	→ 0.96	*12
external voltage	V	1.7~5.0	1.2~5.0		1.2~5.0		0.9~5.0		*13
battery	Wh/kg	120~130	140~150		200~250		400~500		*14

補足説明：

- *1 (図表 2-1-2-1)より
- *2 size増加に対するfactor増加量を2002年までに50%減,以降ノード毎10%ずつ低減
- *3 接合・ゲート容量は低下、配線容量は増加。ノード値の比で減少すると仮定
- *4 ノード毎に減少率を10%ずつ向上
- *5 低電力SOC用として独自設定
- *6 frequency増加に対するfactor増加量をノード毎に25%ずつ下げる
- *7 ITRS1999(ORTC)より
- *8 電源電圧比の2乗
- *9 電源電圧の削減率
- *10 現在値に対する比。各ファクタの積により求めた。
- *11 $P \propto C * V * V * f$ 、現在の3Wは、各種SoCデータより推定
- *12 独自推定
- *13 基板に搭載される部品の電圧見込みより
- *14 業界誌などの情報より

図表2-1-4 SOC消費電力の予測

プロセス要因(process factor)、周波数要因(frequency factor)、電圧要因(voltage factor)の各欄で表している。技術が現状のまま推移した場合には、要因変動率が矢印左側の数値になると予測される。このため、低消費電力化技術により変動率を矢印右側の数値に押さえることを目標とする。各要因下段の要因削減(factor reduction)欄は、低消費電力化技術による変動削減率を示している。消費電力動向(power trend)は、現在の消費電力を1とした場合の、各テクノロジーノードでの消費電力変動率であり、上記各要因の積より求められる。各要因の場合と同様に、技術が現状のまま推移した場合には、消費電力変動率が矢印左側の数値となると予測され、低消費電力化技術により変動率を矢印右側の数値に押さえることが最終的な目標である。電力予測(estimation)欄は、消費電力のロードマップを示している。1999年時点のプロファイルを実現するSOCの消費電力は、現在

の公開情報から推定して 3.0W 程度と考えられる。この現在の値と消費電力動向(power trend)値を用いてテクノロジーノード毎の消費電力が予測できる。参考までに、消費電力に深く関係する指標についてのロードマップを low power spec 欄に記した。特に、電池性能(battery)欄は、LP-SWG の設定した消費電力に対するニーズの妥当性の根拠となるものである。図表2-1-4より、技術が現状のまま推移した場合には、消費電力はノード 100nm(2005 年)で現在の 43 倍近く増加し、ノード 50nm(2011 年)では、現在の 100 倍近くに増加すると予測される。このため、革新的な低消費電力化技術の開発が必須である。消費電力の増加要因は多岐にわたるため、各電力要因別に技術目標を定め、広範囲にわたる低消費電力化技術開発を強力に推進する必要がある。最低限消費電力を現在水準に維持するためには、テクノロジーノードに対する規模や動作周波数の増加速度から考えて、次の目標を達成する必要がある。

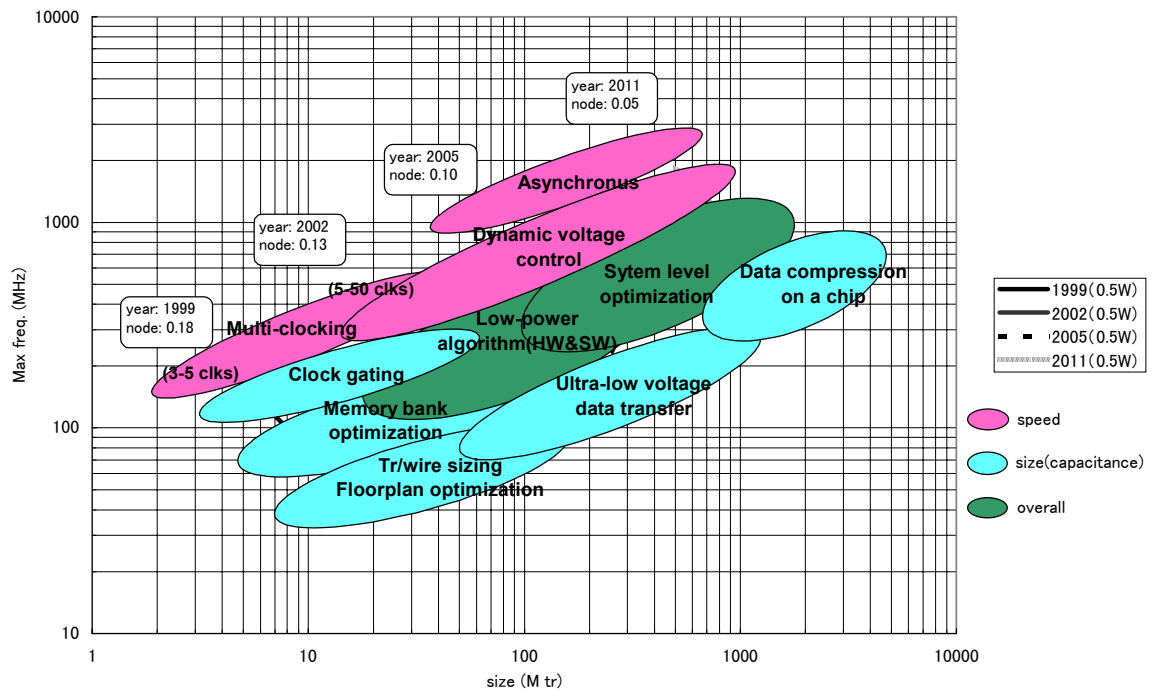
(4) 課題

一方で、上記低消費電力技術のロードマップを達成したとしても、現在並の消費電力 3.0W は維持できるものの、ニーズである 0.5W に対しては依然として大きな開きがある。したがって、消費電力のニーズである 0.5W に対しては、各ノードにおける最高性能(最大搭載規模・最大動作周波数)を実現し、かつ、ニーズを満足する低消費電力 SOC の実現はきわめて困難であり、実現すべき機能を考慮しながら、規模や動作周波数などの間で何らかのトレードオフを図ることによって、ニーズを達成する必要があるといえる。

図表2-1-5のグラフでは、各テクノロジーノード毎に、ニーズである目標消費電力0.5Wを実現するための回路規模と最大動作周波数間のトレードオフ関係を示している。グラフでは、技術開発による低消費電力目標が既に織り込まれている。またこのトレードオフは、あくまでも消費電力ニーズを達成するSOCプロファイルのロードマップを示すものであり、製造・設計技術は最大の回路規模を、最大動作周波数で動作させることが可能な技術が必要であることに注意する必要がある。

上記ゴールを達成するための有望な技術のうち、代表的な技術を図表2-1-5のグラフ上に重ね合わせて示した。各技術の色は、その技術がどの要因変動率の低減に最も効果的であることを示している。

たとえば、複数クロック系統を用いた低消費電力化は既に適用されているが、次のテクノロジーノードではクロック系統数を大幅に増やした設計が可能な技術が要求される。さらに、微細化が進むと、必要なクロック系統数の爆発的增加によって設計変革点に到達し、非同期回路技術へに移行が必要となるものと考えられる。同様のことが、複数電源設計による低消費電力化の場合にも言える。テクノロジーノードが進むにつれて必要な電源系統数の爆発的增加によって設計変革点に到達し、チップ内での動的電源電圧制御技術へに移行が必要になるであろう。図表2-1-6に、設計工程別の解決策の候補技術を示す。



図表2-1-5 低消費電力 SOC と解決技術候補

設計フェーズ	最適化項目	最適化手法	削減目標 (設計フェーズ毎)	最も効果 ある要因	実現時期				
					1999	2002	2005	2008	2011
システム	チップ外通信低減	機能分割最適化	～ 1/100	speed					
	データ転送効率化	小振幅化		size					
	データ転送効率化	変調技術		size					
	データ転送効率化	チップ内データ圧縮伸長		size					
	電力予測	システムレベル電力予測		all					
アーキテクチャ	処理量低減	高効率アルゴリズム	～ 1/50	all					
	システム分割最適化	HW/SWの分担最適化		all					
	スイッチング頻度低減	データ表現最適化		size					
	スイッチング頻度低減	マルチクロック		speed					
	スイッチング頻度低減	非同期回路		speed					
	動作周波数低減	並列化		speed					
	不要動作停止	メモリバンク最適化		size					
	負荷容量削減	バス構造最適化		size					
	ソフトウェア最適化	メモリアクセス低減など		size					
		低電力アーキテクチャ		all					
		低電力アルゴリズム		all					
	ソフトウェア最適化	低電力ソフトウェア		all					
	電力予測	ソフトウェアレベル電力予測		all					
		アーキテクチャレベル電力予測		all					
RTL/論理	不要動作停止	ゲートドックロッキング	～ 1/2	size					
	不要動作停止	ブロック単位電力制御		size					
	スイッチング頻度低減	グリッチ削減		all					
	スイッチング頻度低減	リソース割り当て最適化		size					
	スイッチング頻度低減	回路分割		all					
	スイッチング頻度低減	論理構造最適化		speed					
	テクノロジマッピング	最適セル選択		size					
	電力予測	RTLレベル電力予測		all					
レイアウト	負荷容量削減	セル最適化	～ 2/3	speed					
	負荷容量削減	フロアプラン		all					
	負荷容量削減	配置配線最適化		all					
	負荷容量削減	Trサイジング		speed					
	負荷容量削減	配線サイジング		size					
回路	低電力論理	バスタージスタロジック	～ 1/3	size					
	低電力回路	動的Vth回路(MTCMOS, VTCMOS)設計		all					
	電圧最適化	マルチ電源		size					
	電圧最適化	動的電圧制御		all					
	アナログ	アナログ低電力化		all					
	アナログ	I/O部低電力化		all					
プロセス	プロセス改良	Vth制御	～ 1/10	all					
	プロセス改良	ゲート容量低減		all					
	プロセス改良	リーク削減		all					
	高速、低リーク回路	Vth動的制御		all					
	負荷容量削減	メモリ構造最適化		all					
	負荷容量削減	配線抵抗低減		all					
	負荷容量削減	ゲート容量低減		all					
	負荷容量削減	接合容量低減		all					
	負荷容量削減	配線容量低減		all					

図表2-1-6 低消費電力化技術 ポテンシャルソリューション

1) システム・アーキテクチャ設計フェーズ

システム設計においては単一のチップの電力だけでなく、セットとしての省電力を考える必要がある。これにはチップ外通信の低減、及び通信する場合の消費電力低減の効果が大きい。前者は通信量の多い部品をオンチップ化する、例えば DRAM 混載 SOC はそれ自体が低消費電力化に貢献する。後者では信号の小振幅化や変調・圧縮技術により、必要な情報の伝達に要する消費電力を低減する。これはチップ内部の通信に関しても同様である。

アーキテクチャ設計においては処理量を低減する新アルゴリズムを考案することが最良の解であるが、汎用的な設計技術として常に期待できるものではない。消費電力の面から見たソフト/ハードの最適分担、必要な場合に必要最低限周波数のクロックを供給して動作させる技術、部分的に非同期のアーキテクチャが有効な場合もある。またスループットを維持しつつ動作周波数を下げるために、並列化など従来高速化の技術とされていたものも有効である。相対的に電力消費が大きいメモリやバスなどに関しても、分割により一度に活性化される部分を減らすなどが有効である。

ソフトウェアに関しても処理量低減、メモリアクセス低減などが効果的である。

2) RTL/論理設計フェーズ

消費電力の削減効果としては大きくはないが現在結果の見通せている技術として注目している。次の大きくは3つに分類される。

- (a) 動作トランジスタ数の減少
- (b) 動作回数の削減
- (c) 使用セルの最適化

これらの一部(ゲーテッドクロック、最適セル選択等)はすでに活用されているがEDAツールとの連携においてまだまだ問題を含んでいるのも事実でこのあたりの改善が望まれている。

3) レイアウト設計フェーズ

物理設計工程で唯一貢献できる項目であり、比較的結果を見通せる技術として現在も活用、改善が計られ続けている。しかしながら確実な効果が見通せる分、その効果規模は大きくない。フロアプラン時の消費電力を意識した配置および電源配線は今後の改善に期待が大きく、トランジスタサイジングは物理設計の最終段階での調整でありデバイスとしての全体を見渡せる能力を期待されている。最適セルの作成やトランジスタサイジング等共通基本データの作成にかかわる部分もあり、これらの省力化も実現の為のカギとなっている。

4) 回路設計フェーズ

回路設計技術においては、CMOS スタティック論理回路に比べて、1~4 割程度消費電力を低減できるパストランジスタロジックが実用化されつつある。自動合成する EDA 技術も整備が進みつつあるが、まだ、汎用的に使用されるレベルにはなく、EDA 技術の整備が必要である。電圧は消費電力に対して 2 乗の効果があり、消費電力の低減に大きく寄与する。複数電源によりブロック毎に最適な電源電圧を供給する技術は、現状十分実用化が可能。今後は、大幅に電源系統数を増加した設計や、さらには動作状態に合わせた動的な電源電圧制御技術が必要となる。現在のところ消費電力の削減効果としては大きくないが、今後電源電圧の低下とそれに伴うVth電圧の低下が進むに従い、リーク電流の低減が重要で困難な課題となる。複数の Vth を使ってリーク電流を低減する MT-CMOS (multi-threshold CMOS)技術や必要に応じて Vth を変動させてリーク電流を低減する VT-CMOS (variable threshold-voltage CMOS)技術が実用化されつつある。今後は、動的に Vth を制御することでリーク電流を0に近づける技術が必要となる。アナログ回路の低消費電力化については、低電圧化はダイナミックレンジの確保を困難にするため、低消費電力化へのアプローチに乏しいのが実状。現状のアナログ回路構成を大きく変えるブレークスルー的技術が必要である。I/O 部の低消費電力化は外部 I/F に依存するが、外部電源の低電圧化や小振幅化等の技術が必要である。

(6) 他分野依存性

消費電力の決定要因は、最も単純に検討を行う時、以下のモデルが用いられる。

$$P = p_t * f * C * V * V + I_{leak} * V$$

ここで、P:消費電力、 p_t :スイッチング確率、f:動作周波数、C:負荷容量、V:電源電圧、 I_{leak} :リーク電流。消費電力問題は、SOC を開発する際に、その性能・規模・開発および製造価格、そして

周辺のシステムとの整合性とのトレードオフが必要であり、上記要因を決める各種技術分野への依存が非常に高い。特に低消費電力化の観点より依存性が高いのは、プロセスパラメータに起因する

C : 負荷容量、 V : 電源電圧、 I_{leak} : リーク電流

である。

負荷容量において、トランジスタレベルにおける負荷容量、そして配線に起因する容量が支配的となるので、配線および、層間絶縁膜の誘電率など非常に重要である。電源電圧においても、トランジスタ能力とリーク電流のバランスを保ちつつ電圧を下げていくプロセス技術の進化が必要となる。また、異なる観点で依存性を考えた場合、負荷容量においては、チップ上の負荷の総和でもあり搭載できるゲート規模、またはチップサイズに依存する。これは一方で製造装置の能力に決定される要因でもある。以上の観点より Front End Process(FEP)技術、配線技術、Process Integration and Device Structure(PIDS)技術、アセンブリ技術等が直接・間接的に重要な関係分野である。最後に、携帯使用を想定した場合、SOC の低消費電力化は、それに用いられるバッテリーの能力に依存する。今後革新的バッテリーが開発された場合、要求される SOC の消費電力のレベルは異なってくるのでバッテリーの開発動向には注意が必要である。

(7) 提言

日本の産業界は、半導体技術を民生用電子機器に応用することにより、さまざまな新規商品分野を開拓し世界へ送り出してきた。さまざまな分野の商品が、家庭用から個人用へ据え置き型から携帯型へ展開され発展してきたこれまでの流れを考えると、携帯情報機器の要である SOC の低消費電力設計技術は、これまで強い国際競争力を有してきた国内電子機器産業にとって、今後ますます重要性が高まる戦略的な要素技術の一つであろう。低消費電力設計技術の目標と課題を整理し、解決策の候補技術についてまとめたが、本章では、システム全体(セット)の設計、SOC設計、製造プロセス、EDA(ツール)の4つのポイントに対して、低消費電力設計の技術課題解決を促すために必要と考えられる施策を提言する。

1) システム全体(セット)の設計について

民生機器、特に携帯機器においては電池による最大駆動時間が性能以上に重要視される場合もあり、低消費電力化技術へのニーズは非常に強い。システム全体(セット)の設計に際しては、セット全体の構成要素や実使用における各動作モードの時間的割合なども考慮し、的確な消費電力見積もりと削減のための指針が示されなければならない。そのためにはセットの各構成要素の電力モデルの整備は必須であり、このモデルを用いて実使用状態をシミュレートし電力分布を算出する仕組みが求められる。この結果を設計に積極的に利用し、消費電力の観点から1チップに集積すべき機能を決定したり、また今後は特に電力の時間的分布から最適な処理能力を持ったコアの選択・生成や、動作電圧・周波数の動的な制御などを木目細かく行うことが重要になる。こうした設計環境面に加えシステム設計者とLSI設計者の密接なコミュニケーションもより重要となろう。

2) SOC 設計について

低消費電力設計の観点からSOC設計手法について考えると現在はそのほとんどが経験と勘により行われている。要素技術としては、セル構造、セル回路構成、フリップフロップを多用した論理構成の見直しなど、検討すべき課題が多く存在すると思われるが、まだ検討が始まったばかりである。単

に電圧を低下させることで消費電力を抑える発想はその限界が見えつつあり、リークを抑える手法など今までにない発想が求められる。またこれらの手法を容易にするモデリング技術なども早急に開発されるべき課題と考えられる。また混載という観点からは電圧を変化させて動作させた時の遅延・電力モデルの開発や不使用モジュールの電源オフといった視点の検討も進めなければいけない。

3) 製造プロセスについて

各種製造プロセス開発においても低消費電力化は SOC における重要な課題として各種検討がなされている。低電圧・微細化に伴うゲート絶縁膜の薄膜化は、トランジスタ能力(すなわち SOC 性能)とリーク電流(低消費電力化)のトレードオフ課題であり、高誘電率(Hi-k)化の検討がされ、また配線においては低抵抗化、そして層間絶縁膜の低誘電率(Low-k)化が急務である。さらに SOI(silicon on insulator)基板への取り組みなども低消費電力化に有効な取り組みである。

しかし、SOC としての総合付加価値を考慮した場合、プロセス分野においては、トランジスタ構造と配線構造をトータルに最適化しなければ所望の性能は得られない。また、一方では設計アーキテクチャや目標回路構造の最適化なども検討にいった総合的な最適化が、最終的な SOC の総合付加価値を決定する。従って、製造プロセスにおいては製造プロセスの各専門分野を横断した最適化の取り組み、そして、設計部門を交えたトータルな取り組みが今後必須となるであろう。

4) EDA(ツール)について

携帯機器の要である SOC で日本の競争力を堅持していくためには、低消費電力化を実現する EDA 技術の果たす役割はこれまで以上に大きく、早急な EDA 技術の開発が望まれる。特に、消費電力低減に最も効果的である設計上流に位置するシステム/アーキテクチャ設計に対しては、現状人手を中心とした開発環境しかないため、この設計フェーズでの EDA 技術の早急な開発が強く望まれている。産官学あげた取り組みが必要であろう。具体的に述べると、より高位レベル(RTL からアーキテクチャ、さらにシステムレベル)での高精度な消費電力予測/解析技術の重要性が増す。この予測結果に基づくシステム/アーキテクチャ設計レベルでの最適化を実現する解析・プランニング手段の確立が必要である。また、現在のスピード/面積のトレードオフが主体のツールから、消費電力も考慮に入れたスピード/面積/消費電力のトレードオフを最適化するツールが望まれる。さらに、実動作(ソフトウェア)を考慮したハードウェア/ソフトウェア分割・消費電力最適化が可能なツールが必要となってくる。RTL/論理設計以降では、前記設計フェーズに比べ開発は進んでいる。しかし、前記設計フェーズよりいっくらも見通しがよいものの、低電圧化や電源電圧制御を実現するための電圧、Vth 可変を前提とした遅延・電力モデリングや微細化に伴い顕在化してくる諸課題に対応するレイアウト自動設計技術など広範囲にわたった EDA 技術の強化が重要である。

2-1-3 DSM 設計技術

(1) 背景

微細化技術の発展にともない、SOC としてチップに搭載されるゲート規模は数千万から数億の単位が期待されている。また同時に、チップとしての動作速度の向上、消費電力の低減も必須となる。

Deep SubMicron サブワーキンググループ(DSM-SWG)では、各テクノロジーノードで顕著となる物理的効果による課題を、それぞれの設計目標値(ゲート規模、動作速度、消費電力)に照らして整理、定量化し、設計レベルでの対応策、また各派生効果の許容値の検討を行うことで今後の EDA 技術の指針、また他技術分野での各種目標値の参考になることを期待する。

(2) 範囲

微細プロセス技術の進展に伴って考慮すべき物理効果を明確化し、各設計段階でのそれらへの対応方法を検討する。特に設計が与える影響が大きい配線問題を中心として、以下の3つの項目に分類して検討を行う。

1) SIGNAL INTEGRITY(信号完全性)

微細化の進展に伴い各テクノロジーノードで顕著となる寄生効果(クロストークノイズ、RC 遅延、IR ドロップ、EMI(electro magnetic interference))の定量化及びこれらの影響のもとで、信号の完全性を保つための解決方法。

2) RELIABILITY(信頼性)

微細化に伴う、配線・デバイスの劣化を軽減、防止することが必要であり、その定量化と、解決方法。(エレクトロマイグレーション(electro migration:電子誘導元素移動))

3) MANUFACTURABILITY(製造容易性)

微細化によるリソグラフィ、プロセスの難易度の増加を軽減するための設計上の課題と、解決方法。(OPE(optical proximity effect:光近接効果))

(3) 要求

DSM 設計でのニーズは、各テクノロジーノードでの Design Productivity サブワーキンググループ(DP-SWG)、Low Power サブワーキンググループ(LP-SWG)で検討される設計目標値を実現する上で、上記の3つの観点での課題が解決されることをニーズと捕らえる。設計目標値は、図表2-1-7の DSM 技術への要求に示されている。各数値の計算においては配線の材質に依存するが、アルミ配線の使用を2002年までとして、2005年以降は銅配線を仮定した。また、ゴールは各テクノロジーノードでの、課題の整理及び、EDA 設計技術としての解決策を提示する。

Base data/Condition			unit	1999	2002	2005	2011	Reference
		Technology node	nm	180	130	100	50	
		Nominal Ion [25c,NMOS,low power]	uA/um	490	490	490	490	ITRS99 Table28
		Nominal Ion [25c,PMOS,low power]	uA/um	230	230	230	230	ITRS99 Table28
		Voltage	V	1.5	1.2	0.9	0.6	STRJ LP-SWG
		Frequency	MHz	150	400	1000	2000	STRJ LP-SWG
		Die size	cm□	1	1	1	1	STRJ LP-SWG
		Metal height/width aspect		2	2.1	1.7	2.1	STRJ 配線WG
		Metal effective resistivity	$\mu\Omega\text{-cm}$	2.2	2.2	2.2	<1.8	STRJ 配線WG
		Maximum metal current	mA	2.16	1.56	1.2	0.6	STRJ 配線WG
DSM Category								
Signal Integrity	Crosstalk noise	Required parallel interconnect maximum allowable length which considers parastic capacitence effect	mm	1.08	0.78	0.60	0.30	
	Required	Estimated parallel interconnect maximum allowable length which considers parastic capacitence effect	mm	1.86	0.21	0.00	0.00	図表 2-1-8
	Estimated	Required interconnect maximum allowable length which considers resistance	mm	10	10	10	10	
	RC delay	Estimated interconnect maximum allowable length which considers resistance	mm	289	67	12	2	図表 2-1-9
	Required	Interconnect Inductance Effect				CP1 (*1)	CP2 (*2)	
	Inductance	Allowable EMI by FCCclassB (at a distance of 3.0m)	uV/m	150	200	500	500	
	EMI	Estimated EMI by a chip (observation point =3.0m)	uV/m	11	22	43	43	図表 2-1-10
Reliability	Allowed	Required maximum allowable number of FF which is driven by power line without failure due to IR Drop.		20	20	20	20	
	Required	Estimated maximum allowable number of FF which is driven by power line without failure due to IR Drop.		34	21	10	5	図表 2-1-11
	Estimated	Number of Power Pads (High Performance)		342	472	800	1,066	
	ElectroMigration	Number of Power Pads (Battery/Hand-Held)		6	9	16	16	
		Number of Power Pads (Target of LP-SWG)		2	2	3	4	図表 2-1-12
Manufac ture	OPE	Optical Proximity Correction				CP	CP	

CP1(1st Crisis Point): Interconnect effects becomes critical in high speed blocks(1GHz).
CP2(2nd Crisis Point): Interconnect effects becomes major delay in high speed blocks(2GHz).

図表 2－1－7 DSM技術への要求

(4) 課題

図表 2－1－7の DSM Category 以下の欄に各カテゴリでの、物理的現象としての課題、および関連する設計の観点での問題点を各ノード毎に定量化して示している。以下に、各項目における課題についての要点をまとめる。なお、各項目での詳細な説明は、図表 2－1－8～図表 2－1－12として添付する。

1) クロストークノイズ

プロセスの微細化にともない、配線のアスペクト比(配線の高さ/配線の幅)が大きくなる一方で配線ピッチがより小さくなるため、配線同士の隣接によるカップリング容量が大きくなる。このため、信号配線が隣接することによるクロストークノイズを考慮すると、ノイズが閾値を超えない許容最大平行配線長はプロセスの微細化とともに短くなって行く。何らかの対策を講じないままプロセスの微細化が進むと、ノイズを与えるネットのドライバの出力抵抗がノイズを受けるネットのドライバの出力抵抗の 3 倍を仮定した単純なモデルでは、テクノロジーノード 2002 年の 130nm ですでに許容平行配線長は 0.21mm となり、テクノロジーノード 2005 年の 100nm では平行配線は許されない状況となる。そのため、ノイズ量の正確な評価手法を確立するとともに、平行配線が可能となる様々なソリューションを適用して行かなければならない。

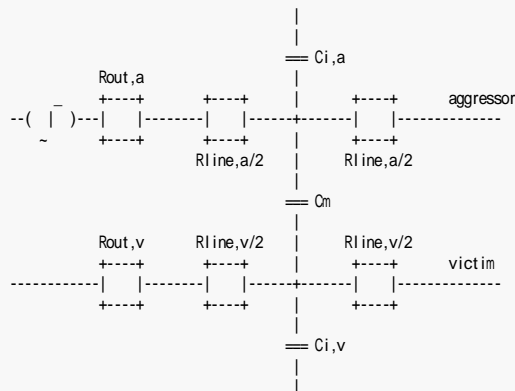
	unit	1999	2002	2005	2011	Reference
Technology node	μm	0.18	0.13	0.1	0.05	STRJ配線WG
Size in gate count	M	5	20	100	1000	STRJ配線WG
Logic gate count ratio	%	80	50	30	10	STRJ配線WG
Logic gate count ratio	M	4	10	30	100	STRJ配線WG
Total Transistor count	M Trs	25	100	500	5000	STRJ配線WG
Voltage	V	1.5	1.2	0.9	0.6	STRJ配線WG
Frequency	MHz	150	400	1000	2000	LP-SWG
Die size	cm^2	1	1	1	1	STRJ配線WG
Metal height/width aspect		2	2.1	1.7	2.1	STRJ配線WG
Metal effective resistivity	$\mu\Omega\text{-cm}$	2.2	2.2	2.2	<1.8	STRJ配線WG
Interlevel metal insulator effective dielectric constant	k		2.5~3.0	2.0~2.5	<1.5	STRJ配線WG
Maximum parallel length						
Metal effective resistivity	$\mu\Omega\text{-}$	3.2	2.2	2.2	1.8	STRJ配線WG
Nominal Metal width	nm	360	260	200	100	STRJ配線WG
Metal Thickness	nm	720	546	340	210	DSM-SWG
Resistance /Metal length	Ω/mm	123	155	324	857	DSM-SWG
Lumped Capacitance /Metal length	fF/mm	51	30	28	22	*1
Coupled Capacitance /Metal length	fF/mm	58	42	45	40	*1
Output resistance in aggressor	Ω	1000	1300	1400	1450	DSM-SWG *2
Output resistance in victim	Ω	300	390	420	435	DSM-SWG *2
Maximum parallel length	mm	1.86	0.21	-0.33	-0.26	DSM-SWG *3

*1 『Challenges and Opportunities for Design Innovations in Nanometer Technologies』J. Cong UCLAのTable 2より

*2 VictimネットのDrivabilityはAggressorネットのDrivabilityの3倍を仮定したモデルで評価

*3 Maximum parallel lengthは、右に導いた(3)により計算。

文献[1],[2]に示される、つぎのようなクロストークのモデルを考える。



Rout,a : aggressorのドライバ内部抵抗
Rout,v : victimのドライバ内部抵抗
Ci,a : aggressor側の対地容量
Ci,v : victim側の対地容量
Cm : カプリング容量
Rline,a : 平行区間のaggressor側配線抵抗
Rline,v : 平行区間のvictim側配線抵抗

上記のようなモデルでは、文献[1],[2]より、ピークノイズの電圧はつぎの式で表される。

$$V_{noise} = \frac{V_{dd}}{\frac{R_{out,a} * C_{i,a}}{(R_{out,v} + R_{line,v} / 2) * C_m} + \frac{C_{i,v}}{C_m}} \quad (1)$$

ここで、各テクノロジーノードでピークノイズの電圧が電源電圧の1/3になる平行区間長を求めるため、上記モデルをより簡略化して、つぎのようにする。

$V_{noise} = V_{dd}/3$
 $C_{i,a} = C_{i,v} = L * c$
 $C_m = L * cm$
 $R_{line,a} = R_{line,v} = L * r$
L : 平行区間の長さ
c : 単位長さ当りの対地容量
cm : 単位長さ当りのカプリング容量
r : 単位長さ当りの配線抵抗
R : 出力抵抗

すると、式(1)は、つぎようになる。

$$\frac{V_{dd}}{3} = \frac{V_{dd}}{\frac{R_{out,a} * L * c}{(R_{out,v} + L * r / 2) * L * cm} + \frac{L * c}{L * cm}} \quad (2)$$

式(2)からLを求めるとつぎのようになる。

$$L = \frac{6 * R_{out,v} * cm - 2 * R_{out,v} * c - 2 * R_{out,a} * c}{r * c - 3 * r * cm} \quad (3)$$

- [1] "Analysis, Reduction and Avoidance of Crosstalk on VLSI Chips", IBM International Symposium on Physical Design, 1998
[2] A.Vittal, M.Marek-Sadowska, University of California, Santa Barbara, "Reducing Coupled Noise During Routing", Proceedings, Fifth ACM SIGDA Physical Design Workshop, 1996, pp.27-33

図表 2-1-8 クロストークノイズと最大平行配線長

2) RC 遅延

各テクノロジーノードにおいて、配線 RC に純粋に起因する遅延成分が遅延全般に占める割合を 50%とした時の最大許容配線長を検討する。配線モデルとして同一配線層の近傍にカップリング対象となる配線がないモデルを想定する。すなわち、最も配線寄生容量が小さくなる条件である。この条件のもとで、2005 年には 11.7mm、2011 年に至っては 1.9mm が RC 遅延の観点から許容される最大配線長となり、大規模 LSI のトップレベル配線の最大長として厳しい制約値が存在することを示している。

3) インダクタンス

LSI の高速化に伴い、配線に寄生するインダクタンスの影響が無視できなくなる。インダクタンスの効果は動作周波数の高まりにつれ顕著化するため、LSI に内蔵する高速ブロックを設計・検証する技術が重要となる。2005 年には LSI の動作速度は 1GHz に達すると予測している。本テクノロジーノードでは、設計者の経験に基づくカスタム配線技術による、インダクタンスの制御が極めて重要となる。(1st crisis point) 2011 年には LSI の高速化が進み、内蔵するブロックの一部は 5GHz で動作すると予測している。5GHz のレベルでは、配線インダクタンスが遅延の主要原因の 1 つとなる。(2nd crisis point)

4) IR ドロップ

動作電圧の低電圧化のトレンドに対して、一つの LSI に搭載される素子の増大、抵抗値・容量値の相対的な増加傾向にある。また、集積度の観点から無制限の電源強化が不可能であることから、IR ドロップの問題はテクノロジーノードが進むにつれて、増大してゆく。ここでは、クロックがゼロスキューで設計されるモデルを想定し、同時にスイッチングする記憶素子群とこれらに電流を供給する電源配線の関係から同時にスイッチングできる記憶素子の最大値をテクノロジーノード毎に計算した。この結果、2002 年より、ひとつの電源ラインに接続可能な記憶素子数が 500 を割り、2011 年に至っては 78 にまで下がることが示された。これに対処するためのソリューションとしては、ゼロスキュー以外の設計手法、より決め細やかな電源プランニングなどが求められる。

5) EMI (electro-magnetic interference)

EMI は、輻射であるから消費電力に関連する項目であり、課題として低消費電力と重なる部分もあるが、設計における基本的な最適化項目である面積、遅延、消費電力に加わる新たな最適化項目と通常は考えられている。EMI は外部の機器への不要輻射による雑音などの影響、およびカップリングなどによる同回路内への影響を与える。これは回路の動作周波数の向上、回路の微細化による寄生効果の増大、低電圧化による雑音余裕度の低下によって重要な問題となり、シミュレータやレイアウトなどの設計上の課題になるとともにパッケージなどの実装上の課題となる。現在、主に EMI は基板設計上で対策が必要となっているが LSI 動作周波数の向上の度合いによっては LSI 単体からの寄与も無視できなくなることも考えられる。ただ現状では、各テクノロジーノードで基準値の 10%程度の以内に収まると見積もられる。携帯機器用 LSI を考えると新たな EMI 上の制約も入ってくることも考えられる。

	unit	1999	2002	2005	2011	ID	Equation	Reference
Technology node	μm	0.18	0.13	0.1	0.05	A		
Frequency	MHz	150	400	1000	2000	B		
Metal height/width aspect		2	2.1	1.7	2.1	C		
Maximum wire length								
Cycle Time	ps	6667	2500	1000	500	E	$= 1 / B$	
Allowable Time for RC delay	ps	3333	1250	500	250	F	$= E \times 0.5$	DSM-SWG (*1)
Metal effective resistivity	$\mu\Omega\text{-cm}$	2.2	2.2	2.2	1.8	G		STRJ 配線WG
Nominal Metal Width	nm	360	260	200	100	H	$= A \times 2$	
Metal Thickness	nm	720	546	340	210	I	$= H \times C$	
Resistance / Metal length	Ω/mm	84.88	154.97	323.53	857.14	J	$= G / H / I$	
Plate Capacitance per area	fF/ μm^2	0.10	0.08	0.06	0.04	K		DSM-SWG (*2)
Fringe Capacitance per length	fF/ μm	0.10	0.10	0.12	0.15	L		DSM-SWG (*3)
Plate Capacitance / Metal length	fF/ μm	36.00	20.80	12.00	4.00	M	$= K \times H$	
Fringe Capacitance / Metal length	fF/ μm	100.00	100.00	120.00	150.00	N	$= L$	
Total Capacitance / Metal length	fF/ μm	136.00	120.80	132.00	154.00	O	$= M + N$	
RC delay / Metal length	ps/mm	11.54	18.72	42.71	132.00	P	$= J \times O$	
Interconnect maximum allowable length which considers resistance	mm	288.770	66.771	11.708	1.894	Q	$= F / P$	

(*1) Allowable RC delay is defined as the half time of cycle time

(*2) Plate Capacitance per area are derived by the trend of process technology

(*3) Fringe Capacitance per area are derived by the trend of process technology

図表 2-1-9 RC遅延と最大許容配線長

	unit	1999	2002	2005	2011
Technology node	μm	0.18	0.13	0.1	0.05
Size in gate count	Mgates	5	20	100	1000
Logic gate count ratio	%	80	50	30	10
Logic gate count	Mgates	4	10	30	100
Total Transistor count	Mtrs	25	100	500	5000
Voltage	V	1.5	1.2	0.9	0.6
Frequency	MHz	150	400	1000	2000
Die size	cm^2	1	1	1	1
Metal height/width aspect		2	2.1	1.7	2.1
Maximum metal current	mA	2.16	1.56	1.2	0.6
Metal effective resistivity	$\mu\Omega\text{-cm}$	2.2	2.2	2.2	<1.8
Interlevel metal insulator effective dielectric	k		2.5~3.0	2.0~2.5	<1.5
EMI					
Allowable EMI by FCC classB (at a distance of 3.0m)	$\mu\text{V/m}$	150.0	200.0	500.0	500.0
Estimated EMI by a chip (at a distance of 3.0m)	$\mu\text{V/m}$	11.4	22.1	43.3	42.8

前提条件:

(1) Allowable EMIは、FCC classBの値を用いる。(家庭使用の前提では3mが規制値)

(2) 電流値は、WG4の値(最大金属配線電流)を用いる。

(電流値としてWG4の値を用いたことで、陽には、デザインルールの値は用いていない。)

(3) 周波数は、LP-SWGの値を用いる。

(4) 電界強度の式(誘導磁界法と呼ばれる式)を用いる。

$$E = (60 \pi \cdot I \cdot r_1^2) / (r_1^2 + r_2^2 + d^2) \cdot (3/2) \cdot ((1 + (2 \pi f d / c)^2))^{0.5}$$

d: 電波発生源から測定点までの距離

d=3mで考える。(dの値は製品分野で異なると思われる。)

r1=発信源のループ半径(チップ半径で置き換え)、r2=受信源のループ半径(dに対して無視)

f=変動電流周波数(動作周波数で置き換え)、

I=発信源の変動ループ電流(最大金属配線電流で置き換え)、c=光の速度

(近似として $2 \pi f \cdot d / c \ll 1$ なら $E \sim I \cdot r_1^2$ 、 $2 \pi f \cdot d / c \gg 1$ なら $E \sim I \cdot r_1^2 \cdot f$ となる

・一貫して、 $((r_1^2 + r_2^2 + d^2) \cdot (3/2))$ は、 d^3 で近似した。

・ $r_1^2 \sim S$ (チップサイズ)で代表。ただし、1cm²一定では定数。

図表 2-1-10 EMI

	unit	1999	2002	2005	2011	ID	Equation	Reference
Technology node	μm	0.18	0.13	0.1	0.05	A		
Nominal Ion [25c,NMOS,low power]	$\mu\text{A}/\mu\text{m}$	490	490	490	490	B		ITRS99 Table28
Nominal Ion [25c,PMOS,low power]	$\mu\text{A}/\mu\text{m}$	230	230	230	230	C		ITRS99 Table28
Voltage	V	1.5	1.2	0.9	0.6	E		
Metal height/width aspect		2	2.1	1.7	2.1	F		
Maximum number of F/Fs								
Metal effective resistivity	$\mu\Omega\text{-cm}$	2.2	2.2	2.2	1.8	G		STRJ 配線WG
Nominal Metal Width	nm	360	260	200	100	H	$= A \times 2$	
Metal Thickness	nm	720	546	340	210	I	$= H \times F$	
Average Power Wire Length for each Trs	mm	2.0	2.0	2.0	2.0	J		DSM-SWG
Nominal Power Metal Width	μm	1.8	1.3	1.0	0.5	K	$= A \times 10$	DSM-SWG
Resistance / Power Metal Length	Ω/mm	17.0	31.0	64.7	171.4	L	$= G / I / K$	
Average Power Wire resistance per Trs	Ω	34.0	62.0	129.4	342.9	M	$= J \times L$	
Typical Gate Width of Tr	μm	1.800	1.300	1.000	0.500	N	$= A \times 10$	DSM-SWG
Average Current Consumption per Tr (mA)	mA	0.648	0.468	0.360	0.180	O	$= (B+C)/2 \times N$	
Average IR Drop per Trs	mV	22.0	29.0	46.6	61.7	P	$= M \times O$	
Activation ratio	%	5	5	5	5	Q		DSM-SWG
Effective IR Drop per Trs	mV	1.1	1.5	2.3	3.1	R	$= P \times Q$	
Maximum allowable IR drop ratio	%	10.0	10.0	10.0	10.0	S		DSM-SWG
Maximum allowable IR Drop	mV	150	120	90	60	T	$= E \times S$	
Maximum number of trs on each power line		136	83	39	19	U	$= T / R$	
Average number of clock Trs in a FF		4	4	4	4	V		DSM-SWG
Maximum allowable number of FF which is driven by power line without failure due to IR Drop		34	21	10	5	W	$= U / V$	

前提条件:
 H: 信号幅は Technology Node の2倍とする
 J: パッドから素子までの平均電源配線長を 2mm とする
 K: 電源配線幅は Technology Node の10倍とする
 N: ゲート幅(W)は Technology Node の10倍とする
 Q: 素子の活性化率は5%とする
 R: 活性化率から素子毎の実効IRドロップを求める
 S: 最大許容IRドロップを電源電圧の10%とする
 U: 1電源ライン毎の許容素子数を求める
 V: 1FlipFlop当り4素子がクロックラインで常に動作すると仮定

図 表 2－1－11 IRドロップ

		unit	1999	2002	2005	2011	ID	reference
	Design Rule	μm	0.18	0.13	0.1	0.05	A	
	Metal Material		Al	Al	Cu	Cu		DSM-SWG
	Metal height/width aspect		2.0	2.1	1.7	2.1	B	ITRS99/Table 48a-b
	Jmax	A/cm^2	5.8E+05	9.6E+05	1.4E+06	3.7E+06	C	ITRS99/Table 46a-b
	Wire width from pad to core	μm	70.0	70.0	70.0	70.0	D	
High Performance	Power	W	90	130	160	174	E	ITRS99 (Maximum Power, High-performance)
	Power Supply Voltage	V	1.8	1.5	1.2	0.6	F	ITRS99 (Minimum logic VDD - maximum)
	Chip Power Current	A	50.0	86.7	133.3	290.0	G	E/F
	Minimum Wire Width	μm	0.4	0.3	0.2	0.1	H	$A \times 2$
	Height of Wire	μm	0.7	0.5	0.3	0.2	I	$B \times H$
	Number of Power Pads		342	472	800	1066	J	$D/(C \times D \times I)$, (Number of pads for VDD and GND)
Battery	Power	W	1.4	2.0	2.4	2.2	E	ITRS99 (Maximum Power, Battery)
	Power Supply Voltage	V	1.5	1.2	0.9	0.5	F	ITRS99 (Minimum logic VDD - minimum)
	Chip Power Current	A	0.9	1.7	2.7	4.4	G	E/F
	Minimum Wire Width	μm	0.4	0.3	0.2	0.1	H	$A \times 2$
	Height of Wire	μm	0.7	0.5	0.3	0.2	I	$B \times H$
	Number of Power Pads		6	9	16	16	J	$D/(C \times D \times I)$, (Number of pads for VDD and GND)
Target of LP-SWG	Power	W	0.5	0.5	0.5	0.5	H	LP-SWG (Target)
	Power Supply Voltage	V	1.5	1.2	0.9	0.5	F	ITRS99 (Minimum logic VDD - minimum)
	Chip Power Current	A	0.3	0.4	0.6	1.0	G	E/F
	Minimum Wire Width	μm	0.4	0.3	0.2	0.1	H	$A \times 2$
	Height of Wire	μm	0.7	0.5	0.3	0.2	I	$B \times H$
	Number of Power Pads		2	2	3	4	J	$D/(C \times D \times I)$, (Number of pads for VDD and GND)

(*) Electoro Migration問題の困難度を表すために、各テクノロジーノードにおける典型的SoCの配線材料を使用すると想定し、電源パッド数を予測した

図 表 2－1－12 エレクトロマイグレーション(EM)

6) エレクトロマイグレーション(EM)

エレクトロマイグレーションが設計に与える課題の大きさを、図表2-1-7に電源パッド数として示した。解析結果は、低消費電力化、電源電圧の低減、配線材料の改良が、エレクトロマイグレーション問題の低減に大きな効果があるが、これらの解決策では不十分である事実を示している。解析の基礎となる消費電力値として、LP-SWG のターゲットを用いると、配線材料の向上等によりエレクトロマイグレーション問題の困難度は変化しない。一方、battery/hand-held におけるITRS-99の消費電力予測値を用いると、2011年には、LSIに対する電源供給に必要なパッド数(VDD 及び GND)が、16 個となる。また、ITRS-99 における high-performance LSI の消費電力予測値を用いると、1999 年の必要電源パッド数は 342 個と非常に大きい。よって、現時点でも high-performance LSI の電源配線問題は、非常に重要かつ困難な課題であるといえる。代表的な LSI は、上記の battery/hand-held と high-performance の中間にあるが、電源パッド数の増加が示す様に、エレクトロマイグレーションによる故障を回避するためには、テクノロジーノードが進むに伴い、高度な EDA 技術が不可欠となる。

7) OPE (optical proximity effect)

半導体プロセスの微細化にともない露光波長より短いレイアウトパターンをウエハ上に結像する必要がでてくる。これを可能とすることは、微細化に絡む製造容易性(manufacturability)と直接結びついている。その場合、解像度と焦点深度を同時に解決する基本は露光波長の短波長化であり、リソグラフィー技術上の課題であるが、同時にリソグラフィー技術の解像度の各段階で OPC(optical proximity correction: 光近接補正)などの解像度を改善する技術は常に求められる。OPC 技術とは、マスクパターン形状からウエハに転写する際のパターン周辺の粗密に応じて受ける影響を、予め、マスクパターン作成時に考慮して設計する技術である。その技術がなければ製造そのものが不可能となる。OPC はウエハ上に生成すべきレイアウトパターンがもつ分布密度の均一性と露光波長の整合性の度合いにより必要度が決まる。SOC ではメモリとロジックなど規則性の大きく異なるパターンが一つの LSI に搭載されるため OPC は特に重要な課題となる。また、これらの導入にともない、設計フロー(レイアウト検証、RC抽出技術等)にも影響を与える可能性もあり、従来の設計フローに如何に整合させるかは設計手法の課題となる。OPC などの解像度を改善する技術は、ArF を用いても超解像技術に頼らざるをえない 2005 年以降、重要性を増すと考えられる。

(5) 解決策候補

図表2-1-13の DSM-SWG 解決策の候補技術に各カテゴリ毎の課題に対する解決策としての候補技術を示している。以下に、各候補技術の補足説明をまとめる。

1) クロストークノイズ

信号の種類と信号変化のタイミングを考慮したクロストークノイズ量の精度よい計算手法により、まずエラー箇所を検出して、隣接配線を移動したり他の配線と入れ替えるなどの手法が考えられる。さらに、タイミングが悪くならない部分については、エラー箇所にバッファを挿入するなどして隣接配線長を短くする手法や、ノイズを少なくするためにマクロを変更してドライバビリティを調整するなどが可能である。一方、配線前に信号の種類やドライバビリティに基

項目 番号	【最適化項目】	【最適化手法】	【EDA技術】	【設計工程】	DSMの技術課題							必要時期				
					クロストークノイズ	RC遅延	インダクタンス	EMI	IRドロップ	EM	OPE	1999	2002	2005	2008	2011
1	上限制約遵守	上限制約考慮レイアウト	crosstalk-less spacing router	レイアウト												
2	ドライバパリティ調整	ドライバサイズの最適化	gate sizing	レイアウト												
3	レシーバ感度調整	レシーバサイズの最適化	gate sizing	レイアウト												
4	ライブラリ最適化	自動ライブラリ生成	仮想ライブラリを用いたゲートサイジング	合成												
5	タイミング調整	ノイズ発生タイミング最適化	arrival time tuning	レイアウト												
6	タイミング調整	ノイズ発生タイミング最適化	arrival time tuning	合成												
7	上限制約遵守	違反箇所警告表示	parallel length check	レイアウト検証												
8	上限制約遵守	違反箇所自動修正	shielding	レイアウト検証												
9	上限制約遵守	ノイズ検証	Noise による function 不良の検証	SI検証												
10	上限制約遵守	ノイズ考慮遅延計算	Noise を考慮した Timing 検証	SI検証												
11	上限制約遵守	配線長の短縮	buffer insertion	レイアウト												
12	レイアウトルール最適化	ブロック内外ルール最適化	マルチレイアウト対応配線	レイアウト												
13	配線層	使用配線層最適化	容量考慮配線	レイアウト												
14	タイミング調整	Block間バスの動作周波数変更	マルチクロックのタイミング解析	RTL設計												
15	タイミング設計	Block間バスの非同期化	非同期回路のタイミング解析	RTL設計												
16	タイミング調整	Block間配線	ブロックレベルP&R	フロアプランレイアウト												
17	RLC効果低減	出力トランジスタサイズの最適化	Placement Based RLC見積りに基づく論理最適化	レイアウト												
18	RLC効果低減	Shielding配線	カスタム配線の自動化	レイアウト												
19	RLC抽出と解析	RLC効果を配線した検証	RLC考慮Post-Layout検証	レイアウト検証												
20	電流密度上限の厳守	Pad数とPad配置	消費電力見積りとフロアプラン	RTL設計												
21	電流密度上限の厳守	電源幅広化	マルチ配線幅配線	レイアウト												
22	電流密度上限の厳守	電源系ブラン（フロアプラン、幹線）	消費電力見積りとフロアプラン	RTL設計												
23	電流密度上限の厳守	電力消費のピーク低減	非同期回路設計の自動化	RTL設計												
24	電流密度上限の厳守	電源幹線形状（本数、幅、ルート）	消費電力見積りとフロアプラン	レイアウト												
25	電流密度上限の厳守	電源キャパシタ	電源キャパシタの自動生成	レイアウト												
26	電流密度上限の厳守	配線層の最適な使い分け	多層配線手法決定	レイアウト												
27	電流密度上限の厳守	電流密度解析	電流密度解析	SI検証												
28	電圧降下上限の厳守	電圧降下解析	電圧降下解析	SI検証												
29	電源配線	IPモデリング	IPの電流モデリング	SI検証												
30	クロック最適化	Gated Clock	Gated Clock 自動 CTS	レイアウト												
31	クロック最適化	Clock Skew 調整	Clock Skew 利用回路最適化	合成												
32	電源強化	デカップリング容量挿入	自動デカップリング容量配置	レイアウト												
33	実装技術	パッケージ最適化		実装												
34	実装技術	PCB配線最適化		実装												
35	電源配線	EMI最小化	伝送線路シミュレータ	レイアウト												
36	電源配線	EMI最小化	電磁界シミュレータ	レイアウト												
37	電源配線	EMI最小化	自動EMI低減電源配線	レイアウト												
38	EMI上限遵守	EMI測定	LSIの電源電流測定法標準化	SI検証												
39	EMI上限遵守	EMI測定	LSIの電源電流評価基板標準化	実装												
40	シリコン上形状	マスク最適化	Rule base OPC	マスク合成												
41	シリコン上形状	マスク最適化	Simulation base OPC	マスク合成												
42	シリコン上形状	マスク最適化	OPE考慮した LPE	SI検証												
43	シリコン上形状	マスク最適化	ダミーボタン挿入	マスク合成												
44	シリコン上形状	マスク最適化	プロセスへの影響度レポート	マスク合成												
45	シリコン上形状	マスク最適化	配線パラツキモデル導入	SI検証												

図表2-1-13 DSM 技術課題に対するポテンシャルソリューション

づいて各ネット毎に平行配線制約を与え、自動配線が平行配線制約のもとで配線する手法の適用がある。現状では、高速でかつ正確にノイズ量を求める手法が確立していない。ノイズ量を正確に計算するには容量抽出とディレイ計算の結果が必要であるが、これは正確

な値を得ようとするとは短時間では求まらない。まずは、正確なノイズ量の評価の手法確立が求められる。さらに、隣接配線の入れ替え、バッファ挿入、ドライバの調整、自動配線での制御など、タイミング性能を悪化させないという制約の中でこれらを自動で適用するため、それぞれの手法の開発が望まれる。

2) RC 遅延

高精度寄生 RC 抽出手法をベースとした RC 遅延の高精度な計算手法が必須である。その上で、配線長の低減の為に特別な設計基準に対応可能な自動配置配線ツール、フロアプラン段階でのブロック間配線の最適化等が必要となってくる。また、RC 遅延の制約からタイミング設計そのものも影響を受けるため、マルチクロック、非同期設計の自動化も重要になってくる。更に、RC 遅延低減の為にプロセスバラツキ等を統計的に考慮したシリコン断面構造の解析ツール及びそれとリンクした設計ツールの導入も検討する必要がある。

3) インダクタンス

現状のレイアウト CAD 技術では、基本となる自動配置配線に論理合成機能を組み込みつつある。すなわち、配置配線、及び、論理合成を必要回だけ繰り返し、ターゲット性能を満たす LSI の実現を試みる CAD 技術が利用可能となりつつある。しかし、内蔵する遅延計算方式は RC モデルに基づいているため、インダクタンスに対する配慮が必要な 1GHz 以上の高速ブロックの設計には、対応できない。また、インダクタンスによる影響を低減するレイアウト CAD 技術として、シールド配線等の設計者の経験による配線技法を支援する半自動配線技術が提供されつつある。本技術は、設計者の経験が結果の質を左右するのみならず、インダクタンスによる影響の度合いが見えない。上記理由から、LSI の高速化・微細化に伴い、レイアウト設計ツールに下記機能を実現する必要がある。インダクタンスによる LSI 性能に対する影響を予測し、内蔵する論理合成機能がインダクタンスによる問題を防止するために、出力側/入力側のゲートサイズ最適化及び、バッファ挿入を可能とする。インダクタンスによる信号波形に対する影響を予測し、配線形状の変更及び、シールドの挿入を実施する自動配線技術を有する。

4) IR ドロップ

IR ドロップ低減の解として第一に考えられる手法は消費電力の低減である。その詳細については、LP-SWG に譲る。次に、電源レイアウトプランに関しては、設計のより早い段階での検討が重要となる為、レイアウト前、更には RTL 段階でのフロアプラナ技術が重要となる。また、観点を変えて、同時スイッチングを低減する為の解法として、ゼロスキュークロック設計、ゲーティッドクロック、非同期設計の自動化等が必要となる。もちろん、電源システムの寄生抵抗を精度良く計算する技術及び、素子の動作状況をシミュレーション等からインタフェースし高速かつ高精度に IR ドロップを計算する手法がこの分野のベース技術である。消費電力低減の手法は様々なレベルで検討され、その多くは実用化もされている。一方、電源レイアウトプランに関しては既に P&R レベルでいくつかの手法は考案されてはいるものの、より上位のレベルでの自動化が望まれる。同時スイッチング低減の為の自動化手法もいくつか世の中に出てきたが、非同期設計の自動化にはまだ時間が必要であろう。IR ドロップの計算手法はすでに、様々な段階で実用化されつつあるが、処理速度と精度のトレードオフがもっとも

大きな課題である。階層化、IPのモデリング等の技術課題を如何に現実的な手法で解くか、が鍵になると思われる。

5) EMI (electro-magnetic interference)

EMI の主要要因としては電源電流の変動分である。それから放射される輻射を低減するには電源からグランドに至る電源配線が囲むループ面積、及び変動分の大きさと変化率(周波数)を小さくする必要がある。

(a) ループ面積低減のためには基板、LSIレベルでの電源系のフロアプラン用ツールが必要である。これには各フロアプラン結果に対するEMIを見積もれるシミュレータが必要である。(伝送線路シミュレータ、電磁界シミュレータ)またループ面積を削減するための等価的な効果が期待できるものとして、デカップリング容量の挿入がある。これにより変動分の平滑化も併せて図れ、高周波数分の低減によってEMIが改善される。

(b) 電源電流の変動分のもとになる成分としてはフリップフロップの同時変化ノイズによるもの並行配線間のカップリングによるものなどがある。FFの同時変化数低減の観点からの gated clock 自動生成も有効な手段である。並行配線間のカップリングノイズ対策として、カップリング容量低減を目的とした並行配線長削減、隣接配線のスペーシング、及び信号変化タイミング制御などが考えられる。バス配線部については信号の符号化が、隣り合うバス構成配線間の信号変化タイミング制御のための有効な手段となる。一般の配線については配線プログラムによる並行配線長、スペーシングの制御が必要な機能である。各社のLSI電源電流仕様の提供が進んでいないため電源電流対策が進んでいない。

6) エレクトロマイグレーション(EM)

エレクトロマイグレーション問題の防止で重要な設計技術は、低消費電力化設計技術、消費電力予測技術であり、前者については2-1-3で論じている。消費電力予測技術は電源配線の本数と幅を決定するうえで必須の情報であるが、現状のEDA技術は、大規模回路の消費電力を必要な精度で予測するレベルにはない。ツールが算出した消費電力の見積もり値に対して、設計者が経験から判断するマージンを加えて、電源線の本数及び幅を決定しているの現状である。しかし、LSIの大規模化と消費電力の増大に伴い、現状の設計者の経験に基づく手法は限界に達している。したがって、エレクトロマイグレーションを防止する設計技術の最重要項目として、LSI消費電力見積りの高精度化が必須である。

7) OPE (optical proximity effect)

OPC技術は、微細化の進展に伴うOPEの解決策として露光波長以下の寸法でウェーハ上に所望のパターンを実現するために必須である。OPC技術ではまず、ルールに基づいてマスク形状を変更するルールベースOPCを立上げ、それだけでは狙い通りのウェーハパターンが得られない場合は、多くの時間を要するが高精度なシミュレーションベースOPCを用いる。また、ウェーハに当たる光波の位相を調整して微細パターンを実現するPSM(phase shift mask:位相シフト)も有望な解である。これらは、実用面ではレイアウトおよびレイアウト検証との整合性を確立することも重要であり、統

一的な EDA 技術が要る。場所による分布密度のバラツキを補正するのがダミーパターン挿入であり、有効な解決策となる。ダミーパターン挿入は従来からウェーハの平坦化技術として用いられてきたが OPE の影響を考慮して自動発生する技術はなく OPC 技術の一要素としてのダミーパターン発生と併せた技術が解となる。また、RC 抽出技術においては、OPE を考慮したマスクパターンであることを認識し、負荷等を抽出する技術が必要になる。更にレイアウトパターン形状に起因するプロセスへの影響度合いをレポートして、必要に応じて設計者のパターン改善/修正を促す技術を確立する必要がある。

(6) 他分野依存性

1) Signal Integrity

配線による寄生効果であるクロストークノイズ、RC 遅延、および IR ドロップは、製造材料と製造プロセスおよび如何にモデリングを実施するかで、配線技術、リソグラフィ技術、およびモデリング&シミュレーション技術に依存する。クロストークノイズは、配線 RLC を考慮した検証を実現するために、フリンジ成分の影響を考慮した 3 次元での高精度な抽出モデルを検討、構築する。また、配線 RLC を考慮した高速回路用の検証モデルを検討、構築する。本モデルは、単なる遅延時間の算出のみならず、信号波形が LSI の動作を保証する品質にあるかを検証可能とする能力を有している必要がある。3 次元モデルによる配線形状のきめ細かい場合分けによる高精度化とそれを利用する際の実行時間の長大化のトレードオフも検討要であろう。寄生 RC は本質的に上記各分野の技術開発により決定されるものであり、予測の精度如何によっては、RC 遅延および IR ドロップのソリューションを検討する上で大きく方針を転換する必要も出てくる。一方、トータルの低 EMI のためにはパッケージ開発やそのためのシミュレータ開発などとの協調した対応が必要となる。そこでアセンブリ&パッケージング技術分野にて、このようなパッケージ開発において EMI はどの位のレベルの考慮対象となっているか。EMI としては無視できるレベルでむしろ immunity(他から受けないため)としてが比重が大きい。また、可能であればボード上での EMI 検討から、各チップへの許容範囲をクリアにすることが望まれる。

2) Reliability

エレクトロマイグレーション故障の発生モデルとして、各配線材料と必要であれば絶縁材料との組み合わせに応じた電流量、及び、配線幅、配線長を引数として、エレクトロマイグレーション故障に至るまでの時間を導き出す関数モデルを配線技術分野にて検討、構築する。LSI の消費電力増大、及び、電源配線の配線長の増大に伴い、本関数モデルが必須となる。

3) Manufacturability

OPC 技術はリソグラフィの解像度を改善する技術として EDA 上今後重要な課題である。OPC 技術は従来の露光装置を延命させる技術ともいえるため、リソグラフィ技術分野にて各露光光源(KrF、ArF、F2 等)の採用時期と期間の明確化が必要である。また、OPC のモデル化では、光源とマスク材料等の条件毎の物理モデルが必要でその標準化を如何に図るかがキーとなる。また、物理モデルの標準化に限界があるのであればその点を明確にして、

各プロセスに応じた、物理モデルをベースにした経験モデルの提唱もリソグラフィーおよびモデリング&シミュレーション分野にて検討することが望まれる。

(7) 提言

微細化技術の進展に伴う各テクノロジーノードで顕著となるタイミング、面積、消費電力の3つの基本的物理制約に関する課題について、それぞれの設計目標値(ゲート規模、動作速度、消費電力)に照らして、各物理的派生効果対応で各解決策を(5)解決策候補にまとめた。しかし、その実現のためには個々の要素技術上の解決策にとどまらず、設計システムのベースとなる標準化の推進、要素技術を最適に設計効率向上と派生効果対策に結び付けるための設計システム上の改良、革新が必要である。また、材料など異なる分野にまたがる解決すべき課題は6章にまとめたが、さらに産官学の協調が必要である。ここではこれらも含めた提言を述べる。

1) 設計システム

微細化により、上記3つの基本的物理制約が、より派生的効果の部分で絡み合うようになるため、各々の制約を扱うツール(タイミング解析、自動レイアウトツールなど)間の連携の複雑化(OPCとレイアウト検証、ノイズ制約下の論理合成とゲートサイズ最適化など)が進み、連携を必要とするレベルの設計フロー上における距離(システムレベル検証とレイアウトなど)も大きくなると考えられる。また、設計の後半からの後戻りのコストが益々大きくなるため、設計システムとして、設計の上流レベル(システムレベル、動作レベル、RTLレベルなど)での3つの基本的物理制約の派生効果(これまで無視できたインダクタンスのLSI性能への影響など)の予測機能を基本機能として備えている必要がある。予測機能としては、物理現象としての派生効果予測の他に、プロセスバラツキ等の統計的予測も必要である。予測結果の客観性のためには評価法、モデルの標準化も必須である。

2) 標準化

(a) モデル標準化 (IP、セル、配線モデリングの標準化)

- ・SOCのような複合LSIにおける設計効率化のためにIP利用が欠かせないが、設計システムの中でそれを利用するには微細化に対応するIPのモデリング技術、及びその標準化が必須である。
- ・高精度な配線RC抽出のために詳細なパターン分割と周辺成分を扱える3次元モデルを確立することが求められる。

(b) ツール間インタフェースの標準化

微細化による副次効果の多様化により、設計フローには様々なEDAベンダによるツール、様々な種類のツールが組み込まれるようになるため、設計フローの円滑な運用にはデータフォーマットの標準化、および中間データを介在させないプロセス間通信等でのツール間インタフェースが必要である。

(c) 測定法、評価法標準化

派生効果対策には、一般に、その評価法自体の標準化が必要である。例えば、EMIの主要要因としてLSIの電源電流変動があるが、現在、各社によるLSI電源電流の仕様提供が進んでいない。

その対策の進展のためには、

- ・ LSI の電源電流測定法の標準化が必要である。標準化されれば同一基準で比較が可能となり EMI の主要要因である電源電流の対策が進む。
- ・ LSI の電源電流評価基板の標準化を行う。この標準化は同一基準での比較を具体的に進める有効な手段である。

(d) 標準化スケジュール

標準化が可能であるかの見極めと、内容、スケジュールの明確化が EDA 技術の迅速な対応に求められる。例えば OPC のモデルベースの対策では、光源とマスク材料等の条件ごとの物理モデル化の標準化とその時期の明確化が必要である。

3) 産官学協同

微細化進展による物理的効果が顕著になってきたため、上記の3つの基本的物理制約に加えて電磁放射(電磁ノイズ:消費電力と同じエネルギーの分類)の考慮が求められるようになっている。また、実際面では微細化に伴う急激な規模の拡大と TTM(time to market)短縮要求から、EDA ツールにおける早期対応が、より強く求められている。これら、研究面、実際面に亘る課題を効率よく解決するには EDA ベンダまでも含めた、産官学の共同により対応することが必要である。

例えば、

- ・ 現状では、高速でかつ正確にノイズ量を求める手法が確立されていない。ノイズ量を正確に計算するには容量抽出とディレイ計算の結果が必要であるが、正確な値は短時間では求まらない。まずは正確なノイズ量の評価の手法確立が必要であり、産官学協同によって取り組む研究課題も多い。
- ・ 非同期設計対応の自動化ツールは、合成、自動レイアウト、タイミング検証、論理検証のすべての分野において、微細化加速による派生効果の下での設計最適化を図る手法として注目される。今後、研究レベルから実用化レベルへと移行する必要がある。