

## 2-3 フロントエンドプロセス

### (要旨)

#### (1) 背景、意義、期待効果

最先端プロセス技術開発コストの急激な増加は、もはや世界規模での開発協力やリソースの投入無しには、従来のトレンドを維持した半導体技術の発展が不可能な段階にまで到達している。半導体技術ロードマップは、開発技術要求を明確化、定量化することによって、解決すべき技術課題を共通認識として持ち、あわせて効率的な開発リソースの利用を可能にするものである。

#### (2) 検討範囲、検討項目

フロントエンドプロセスの検討範囲としては、スターティングマテリアル(starting materials)から表面処理技術、ゲート絶縁膜・電極、拡散関連、各工程エッチングプロセスを含む、トランジス形成のシリサイド(silicidation)までとし、従来の SIA のロードマップの範囲に新たに DRAM のキャパシタ関連のロードマップを付加する(添付ロードマップ表参照)。

検討項目は原則的には SIA/ITRS ロードマップと同様にする。すなわち、上記検討範囲に対しノード毎の基本的なプロセスパラメータ目標値を含んだ技術要求ロードマップ及び現状で考えられる 解決可能候補技術(potential solutions)を提示する。あわせてこれらの候補技術の到達レベルを、解決技術は既に存在、現在開発中、解決技術は未定、の三段階で明示する。

全体を通して、デバイスのロードマップ(PIDS)との関連付けに留意し、SoC に関する課題、解決策を追加する。従来の SIA ロードマップに比して「提案型」のロードマップ(solution roadmap)を目指す。

#### (3) 各項目別の概要

##### [スターティングマテリアル]

大口径化の時期を見直し 2002 年 130nm node から 300mm 化とした。critical surface metals を新しいモデルに基づき数値の見直しを行った。SOI に関する項目の全面的見直しを行い、製造別に SIMOX、Bonded に分類し、基板仕様に関しては、SoC 対応を考慮して、DRAM、MPU に分類した。

##### [表面処理技術]

配線工程に於ける particle size の SIA 数値を見直し、メタルピッチの半分の値にした。あわせて critical metal、organics/polymers の数値も現実に合うように見直した。

##### [ゲート絶縁膜・電極]

100nm node 以降から導入が必須となる high-K ゲート絶縁膜の材料及びゲート電極材料を導入時期と共に提案した。今まであまり明確でなかった、極薄ゲート絶縁膜の測定法に関しての提案を行った。

#### [拡散関連]

イオン注入技術への要求を明確化、定量化した。プロセス低温化と不純物活性化のトレードオフに対する解決策の提言を行い、ソース・ドレイン寄生抵抗・コンタクト抵抗・ゲート抵抗の数値目標(PIDS)に対応する材料、プロセス候補の提案を行った。さらに Elevated 構造適用時期の提案も行った。

#### [エッチングプロセス]

デバイス、キャパシタのロードマップに合わせたゲートエッチングにおける選択性とCDの必要条件の提示、エッチング装置のハードの将来方向の予測、チャージダメージについての記述を行った。さらに配線工程エッチングプロセスの課題と解決策も提示した。

#### [DRAM キャパシタ膜]

従来 SIA には無かった、DRAM キャパシタ膜のロードマップを作成した。キャパシタの構造候補に加えて、DRAM のセルサイズ、キャパシタサイズ、換算膜厚、リーク電流、膜成長温度の値、下部電極、上部電極材料の候補も提案した。

#### (4) 提言

フロントエンドについて今後の鍵を握るのは新材料開発と設計・インテグレーションとの有機的連携である。新材料プロセス開発にあたっては、大胆なチャレンジ精神と共に装置メーカ、材料メーカとの協力が不可欠であり、その際には 21 世紀に相応しいプロセスとして環境・安全に配慮した取り組みも忘れてはならない。またどんなに新しいプロセス技術を開発しても、システムサイドからの要求とかけ離れたものであれば役に立たない。今後のプロセス開発は、設計・インテグレーションを通して、システムサイドからの高度かつ困難な要求を満たすことが益々重要になる。そのような困難なロードマップ上の要求を達成するためには、産官学の英知を結集した連携により、トータルな技術開発を早期におこなう必要がある。

Year of First Product Shipment Technology Node	1999 180 nm	2000 165 nm	2001 150 nm	2002 130 nm	2003 120 nm	2004 110 nm	2005 100 nm	2008 70 nm	2011 50 nm	2014 35 nm
DRAM Capacity (A)	1G		2G	(3G)	4G		(8G)	(24G)	64G	(192G)
Cell Area/Chip Size	69.6%		70.2%	70.7%	71.2%		71.7%	72.4%	72.9%	73.3%
Total cell area (cm <sup>2</sup> )	2.8		3.1	3.3	2.6		3.8	4.5	5.2	6.3
DRAM chip size @ introduction (cm <sup>2</sup> )	4.0		4.4	4.6	4.9		5.3	6.3	7.1	8.6
Cell size factor a (B)	8.0		6.4	6.0	5.6		4.4	3.6	3.0	2.5
Cell size [μm <sup>2</sup> ] (C)	0.26 =0.36*0.72		0.14 =0.3*0.48	0.10 =0.26*0.39	0.081 =0.24*0.34		0.044 =0.2*0.22	0.018 =0.14*0.13	0.0075 =0.1*0.08	0.0031 =0.07*0.04
Storage Node size [μm <sup>2</sup> ] (D)	0.097 =0.18*0.54		0.050 =0.15*0.33	0.034 =0.13*0.26	0.026 =0.12*0.22		0.012 =0.1*0.12	0.0039 =0.07*0.06	0.0013 =0.05*0.03	0.0003 =0.035*0.01
Capacitor Structure	Cylinder MIS Ta <sub>2</sub> O <sub>5</sub>		Pedestal MM Ta <sub>2</sub> O <sub>5</sub> (Ref. U)	Pedestal MM Ta <sub>2</sub> O <sub>5</sub> (Ref. U)	Pedestal MM BST		Pedestal MM BST	Pedestal MM epi-BST	Pedestal MM ???	Pedestal MM ???
Dielectric Constant	22		50 Ref. U	50 Ref. U	250		250	700	1500	1500
SN Height H [μm]	0.95		0.66	0.84	0.45		0.71	0.42	0.28	0.35
Cylinder Factor (E)	1.5		1.0	1.0	1.0		1.0	1.0	1.0	1.0
Roughness Factor	1.0		1.0	1.0	1.0		1.0	1.0	1.0	1.0
Total Capacitor Area [μm <sup>2</sup> ]	2.20		0.68	0.69	0.33		0.32	0.11	0.04	0.031
Structural Coefficient (F)	8.5		4.7	6.8	4.1		7.4	6.2	5.8	10.1
teq@25fF [nm] (G)	3.0		0.94	0.95	0.45		0.45	0.15	0.060	0.043
t <sub>phy</sub> @25fF [nm] (H)	11.5		12.1	12.2	29.1		28.7	27.2	23.0	16.4
A/R of SN (OUT) for cell plate depo. (I)	6.0		5.2	8.0	7.3		16.7	26.9	68.8	162.7
HAC diameter [μm] (J)	0.22		0.18	0.16	0.14		0.12	0.08	0.06	0.04
Total interlevel insulator and metal thickness except SN [μm] (K)	1.05		1.00	0.95	0.90		0.85	0.77	0.69	0.62
HAC depth [μm] (L)	2.00		1.66	1.79	1.35		1.56	1.19	0.97	0.97
HAC A/R	9.3		9.2	11.4	9.4		13.0	14.1	16.1	23.1
V <sub>dd</sub> [V] (M)	1.8		1.8	1.5	1.5		1.2	0.9	0.6	0.5
Retention Time [ms] (N)	128		256	256	512		512	1024	2048	4096
Leak Current [fA/cell] (O)	0.527		0.264	0.220	0.110		0.088	0.033	0.011	0.005
Leak Current Density (nA/cm <sup>2</sup> )	24.0		38.6	31.9	33.5		27.1	30.0	25.4	14.8
Deposition Temp. [degree C]	~ 500		~ 500	~ 500	~ 500		< 500	< 500	< 500	< 500
Film Anneal Temp. [degree C]	~ 800		~ 750	~ 750	~ 750		< 750	~ 650	< 650	< 650
DRAM Gox [nm] (P)	5.8		5.0	4.3	3.9		3.6	2.8	2.3	1.8
C <sub>gate</sub> [fF/cell] (Q)	1.9E-16		1.5E-16	1.4E-16	1.3E-16		9.7E-17	6.0E-17	3.8E-17	2.3E-17
Word line R <sub>s</sub> [ohm/sq.] (R)	10		8.7	7.5	6.8		6.2	4.9	4.0	3.1
C <sub>bitline</sub> (S)	1		0.89	0.80	0.76		0.68	0.53	0.42	0.33
Bit line R <sub>s</sub> [ohm/sq.] (T)	10		9.8	8.6	8.3		8.3	6.3	4.9	3.7

#### DRAM Stacked Capacitor Films Potential Solutions

Upper Electrode (A)	poly-Si	TiON	metal
high-k dielectric	ON	TiN	metal
Bottom Electrode (A,B)	poly-Si	Ta <sub>2</sub> O <sub>5</sub>	BST, STO
		metal	epi-BST
			perovskite

Solutions Exist

Solutions Being Pursued

No Known Solution

#### Notes for Table 22b Technical Requirements

(A) DRAM chip size model (PIDS)

(B)  $a = (\text{Cell size})/F^{\wedge}2$  (F : minimum feature size)

(C) Cell size =  $a * F^{\wedge}2$  (Cell shorter side = 2F)

(D) SN size =  $(a/2 - 1) * F^{\wedge}2$  (SN shorter side = F)

(E) Cylinder structure increase the capa area by a factor of 1.5.

(F) SC = (total Capa area) / (Cell size)

(G)  $teq = 3.9 * E0 * (\text{total Capa area}) / 25fF$

(H)  $t_{phy} = teq * Er / 3.9$  If polysilicon is used as a bottom electrode.  $t_{phy} = (teq - 1) * Er / 3.9$

(I) A/R of SN (OUT) = (SN height) / (F - 2 \*  $t_{phy}$ )

(J) HAC diameter =  $1.2 * F$  (HAC : High Aspect Contact)

(K) The thickness is assumed to be 1.05um@180nm. (10% reduction by each generation)

(L) HAC depth = SN height + Total Interlevel insulator and metal thickness

(M) PIDS Table 14 Min. Logic V<sub>dd</sub> (V) (desktop)

(N) DRAM Retention time (PIDS)

(O) (Sense Limit \* C \* V<sub>dd</sub> / 2) / (Retention Time \* MARGIN) (Sense limit=30% leak, MARGIN=100)

(P) FEP Fig.2-3-4 Equivalent oxide thickness Tox(nm) DRAM + 0.55nm

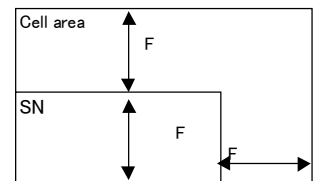
(Q) Gate Area =  $F^{\wedge}2$

(R) Word Line R<sub>s</sub> is assumed to be 10ohm/sq. @180nm. (Word Line R)\*(C<sub>gate</sub>) is constant at same WL length.

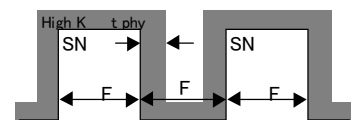
(S) C<sub>bitline</sub> proportional to  $F^{\wedge}2/3$  (relative value) ; A.Nitayama et al., IEDM Technical Digest, pp. 355-358, 1998.

(T) Bit Line R<sub>s</sub> is assumed to be 10ohm/sq. @180nm. (Bit Line R)\*(C<sub>bitline</sub>) is constant when the number of BL cells about 1.4times/BL.

(U) Koichi Kishiro et al. Jpn. J. Appl. Phys. Vol. 37 (1998) pp. 1336-1339



Notes(C)&(D) Cell area and Projected SN area



Note (I) A/R of SN (OUT)

图表 DRAM Stacked Capacitor Films Technology Requirements

### 2-3-1 背景、意義、期待効果

昨今の最先端プロセス技術開発コストの急激な増加は、選択すべき多くの要素プロセス技術の不確定さと相まって、世界規模(world wide)での開発協力やリソースの投入無しには、従来のトレンドを維持した半導体技術の発展が不可能な段階にまで到達している。

半導体技術ロードマップは、以上の危機的な状況を鑑み作成されたものであり、開発技術要求を明確化、定量化することによって、解決すべき技術課題を共通認識として持ち、あわせて効率的な開発リソース(人的、物的、金銭的)の利用を可能にするものである。

期待される効果としては、技術開発動向が明確になることによる開発コストの低減(cost saving)、従来の経験則による開発ではなく、ある程度理論/データに裏打ちされた技術による開発リスクの回避、ブレークスルー(breakthrough)の可能性の増大、産官学にまたがる研究開発協力の動機づけ、半導体業界への新規参入機会の増大等をあげることが出来る。

フロントエンドプロセスに関しては、今後技術革新の鍵を握る新材料導入に関する要件の抽出と開発促進、デバイス構造と関係した種々の問題が顕在化している洗浄、エッチング、拡散プロセスにおける解決策提案、微細化に対応したゲート電極まわりの今後の方向性提案などが期待される。

### 2-3-2 検討範囲、検討項目

検討範囲：スターティングマテリアル(starting materials)からトランジス形成のシリサイド(silicidation)までとし、従来のSIAのロードマップの範囲に新たにDRAMのキャパシタ関連のロードマップを付加する。項目としては大きく下記の6分野に分ける。

- (1) スターティングマテリアル
- (2) 表面処理技術
- (3) ゲート絶縁膜・電極
- (4) 拡散関連
- (5) エッチングプロセス
- (6) DRAM キャパシタ膜

検討項目：原則的にはSIA/ITRSロードマップと同様にする。

#### \* Node 毎の技術要求ロードマップ

- ・スターティングマテリアル技術要求
- ・表面処理技術要求
- ・ゲート絶縁膜・電極・拡散関連・エッチングプロセス技術要求
- ・DRAM キャパシタ膜技術要求

#### \* 現状で考えられる 解決可能候補技術(potential solutions)

\* 全体を通して、デバイスのロードマップ(PIDS)との関連付けに留意し、SOC に関する課題、解決

策を追加する。従来の SIA ロードマップに比して「提案型」のロードマップ(solution roadmap)を目指す。

### 2-3-3 ニーズ、到達レベル、解決策の候補技術、依存性、提言

#### (1) スターティングマテリアル(starting materials)

スターティングマテリアルとしては CZ のポリッシュウェーハかエピタキシャルウェーハが使われている。130nm 以下の世代ではメリットを生かしての SOI(silicon on insulator)の利用が拡大していく可能性がある。また SOC デバイスの増大に対応してエピタキシャルウェーハが増えていくだろう。

シリコン基板材料としての最大の課題は、微細化・高集積化に対応して、より厳しくなる要求品質への対応を行いながら、ビットコスト低減のトレンドに対応するため、切り札である大口径化への変更を行っていかねばならないことである。同時に、従来の面積倍あるいは体積倍を上回るコストの低減施策を要求されており、基板製造技術の革新、ブレークスルーが必要となる。基板要求品質と基板コストの兼ね合いから大口径化に伴いコスト増の割合が低下するエピタキシャルウェーハの利用が拡大する可能性がある。SOI ウェーハについては高速化、低消費電力化など、デバイス性能の改良やプロセス数の低減、低チップサイズなどのメリットが期待されているが、コスト低減が最大の課題である。また SOI 基板の製造法とデバイス特性に関連する材料のキャラクタリゼーション評価が必要で、製造技術へフィードバックをかけながら要求品質を明確化する事及びそのためのキャラクタリゼーション技術自体の開発がこれからの課題である。

スターティングマテリアルに対する要求は、IC の歩留まりに影響する欠陥については、微細化、高集積化と対応して許容水準を示すため、従来の SIA ロードマップでも精力的にモデルベースで、トレンドを示そうと努力がなされてきた。モデルの基本になるデータについては、特に先の世代について取得する事は難しく、現実との乖離に悩みながらも、モデルを現実的な値に近づける努力がなされ続けている。スターティングマテリアルに対する要求値については、基本的には同一のモデルを用いている。各種基板に対する世代毎の要求について、99%の歩留まりを達成するための基本的な技術要求を図表2-3-1に示す。各パラメータは統計的に独立であり限界値を示している。これらパラメータが同時に限界値を取ることはないと考えられるため、全体の歩留まりとしては 99%を保証できると仮定している。パラメータは CD(critical dimension),ビット数あるいはトランジスタ数、ウェーハサイズ等に基づき、キラー率、計数として、妥当と思われる値を採用することにより、モデルベース解析から得られたものである。モデルの理解とこれらの値をより妥当なものにするためには、組み込んだ係数値の妥当性の検証と適正化への努力が必要とされる。

シリコン材料に対する要求は、基板の種類によらず要求されるものと、基板の種類によって付加されるものに分けて記されている。従ってこの両方を満足する事が必要となる。これらの値は、デバイスメーカでキャリアから取り出した直後の値である。ウェーハ材料起因で欠陥となるものについては 99%歩留まり達成の観点からの数値を示している。パーティクル、金属汚染については、モデルベースで求めた値に対して、IC メーカが洗浄する事を考慮して、2 倍の値としている。パーティクルに関する最大の課題は、微小化する計測要求及び基板起因の COP(crystal originated pits, 結晶起因ピット)欠陥との分離とに、計測技術が対応出来ないことである。ウェーハ裏面はパーティクル汚染低減やウェーハ平坦度の改善のため、裏面ポリッシュが必要と考えられている。このため裏面も鏡面化される

に伴い、ウェーハ製造プロセスでの裏面パーティクル付着の増大が懸念される。微細化に伴い露光への影響から、今後管理項目として検討していかなくてはならない項目の一つである。金属汚染に対する要求値は、ゲッタリング、洗浄工程での除去率等により、大きく変動するため、従来のトレンドに沿った値としている(仮定については脚注を参照)。ウェーハの表面汚染の要求値については、ウェーハ表面の化学構造が、金属、無機イオン、有機物、パーティクルのその後の吸着制御に影響を与えるため、厳しくなる要求に対応して、キャリアからの汚染とともに今後制御して行く必要がある。

微細化に伴い、パターン形成に対する DOF(焦点深度)が厳しくなる。光学的な露光技術を用いる 100-70nm 世代までは、結果的には、DOF の 20-25%を基板に対する取り分としており、CD 値程度のフラットネスを要求している。しかし、サイトサイズに関しては、スキヤニングステッパーが用いられるため、世代に拠らず一定となる。70nm 以降の世代に関して光学系による露光方式に拠らないため、フラットネス値は一定とした。フラットネスと言う点では、従来のリソグラフィ対応だけでなく、ゲート絶縁膜の薄膜化、CMP(chemical mechanical polishing:機械化学的研磨)プロセスなどでのフラットネスの影響が懸念される。これらに対応して、マイクロラフネス、ナノトポロジーといったリソグラフィとは違ったスケールでの計測、制御が必要と考えられる。具体的な要求値と、計測技術の明確化が今後の課題である。

高歩留まりでデバイスを製造するためにコントロールされなければならないと考えられる欠陥としては、パーティクル、メタル、残留有機物、その他薬品残りなど洗浄等により除去可能なものと、COP などのグローイン欠陥、マイクロラフネス、研磨時のマイクロダメージ、シャローピット、エピ層の積層欠陥などの構造欠陥がある。これら構造欠陥を減らす為の技術開発とともに、欠陥をモニタするための計測技術の開発が最重要課題となっている。なお COP の存在が明確になり、デバイスへの影響が問題になり始めた 350nm 世代以降、エピタキシャルウェーハへの変更が一部で行われる一方で、COP のない引き上げ技術の開発、アニール処理等による表面層の COP フリー化の技術開発が精力的に行われている。

図表2-3-1で 300mm 化は 2002 年となっているが、2000 年からスタートし 2002 年にはかなりの量が 130nm 対応として期待されている。エッジエクスクルージョン 1mm の要求を満たすにはエッジ形状の大幅な変更を必要とする事、1mm 以内まで品質保証するための計測技術など関連各分野の連携が必要である。エピタキシャルウェーハのエピ層厚を DRAM、ロジックについて示した。電源電圧低下に伴う若干の変化はあるが製品群でほぼ決まったエピ厚で推移すると思われる。また SOI 基板については製法(SIMOX、BONDED)により分類した。また SIMOX に関しては、部分空乏型と完全空乏型での要求値を示した。SOI 基板への要求はやっと実用化に耐える基板が作られ始めた段階でコスト問題の解決と共に、基板品質とデバイス特性、歩留まりへの基礎データの取得が必要である。微細化が進んでもシリコン基板はコスト問題さえクリアすれば使い続けることは可能である。

スターティングマテリアルについては、微細化により問題となるパーティクル、COP などを計測するためのパーティクルカウンターに目処がたっていないなどの技術課題は有るが、最大の課題は大口径化に対し、従来のコスト低減の切り札としたシナリオでトレンド通り進めて行くべきかという点について、早急に検討し決めることだと考える。大口径化に伴う技術的困難性、コスト見通しとともにウェーハの口径は工場の生産形態とも深く関係するため、更なる大口径化が経済的に意味があるのか総合的に検討することが重要である。ウェーハは半導体産業においては他の技術に先行して開発する事が必要なため、出来るだけ早く結論を出すべきである。開発に際しては、時間軸上、量産まで時間がかかり、対経済性の面で問題があるだけでなく、技術的にも飛躍的に難しくなるため基礎的な物理

に立ち戻った基礎研究、技術開発を効率化し、技術を高度化するためのシミュレーション技術の開発、先進的な評価技術なくしては進めることが難しいため、更なる大口径化を進めるためには、産、官、学からの協力、援助が必須だと考えられる。

## (2) 表面処理技術(surface preparation)

デバイスのシュリンクが加速される中、表面処理技術は益々困難な課題に直面する。ゲート酸化膜は益々薄膜化し、その前洗浄で除去すべきパーティクルのサイズは年々小さくなる。金属汚染や有機物汚染、Si 表面のラフネスなどにもデバイスはさらに敏感になる。

一方、デバイス構造の複雑化と構成膜の薄膜化により表面処理時の膜のエッチング量は厳しく制約され、リフトオフ効果によるパーティクルや汚染の除去が困難になってきている。高アスペクト比化により出現する微細ビアホール内に、洗浄液が入って行くことすら困難な状況になってきている。さらにゲート絶縁膜に高誘電率膜、ゲート電極にはシリサイドや Metal、拡散層には金属シリサイド材料など従来 FEOL (front end of line) では用いられなかった新たな材料が順次採用されるようになる。これらの新材料はアンモニア過酸化水素水 (APM)、希フッ酸 (dil HF)、塩酸過酸化水素水 (HPM) をベースとした RCA 洗浄が使用できない事に加え材料自身が汚染源となる恐れがある。また BEOL (back end of line) でも Cu 配線と Low-k 膜の導入が進められつつあり、これに対応した洗浄技術の確立が必要となる。

RCA 洗浄を基本とした FEOL の洗浄技術は、過去、薬品、純水などの品質を高め、液温度や濃度コントロールの精度を上げ、Megasonics (メガソニック) や Water Mark Free (ウォーターマークフリー) の乾燥技術などの併用を進めるなど、精力的な改善が進められてきた。画期的な技術のブレークスルーがない限り、RCA 洗浄は今後とも主要な洗浄技術であり、これらの改善が継続的にすすめられる必要がある。しかしながら極めて微細なビアホール内の洗浄にどこまで Wet 洗浄で対応できるのか、高誘電率ゲート絶縁膜の形成前の Si 表面をどう洗浄するのか、また新材料をエッチングせず不要な汚染元素やパーティクルのみ除去できるような洗浄技術が必要であるが、これらの課題に対応できる洗浄技術は確立されていない。使用する材料や表面状態と後に続くプロセスを考慮し薬品を選択、洗浄プロセスを構築する事が必要である。実際使用されると思われる新規の材料は大半が金属か金属酸化物でありこれらをエッチングせずに汚染源となる金属のみエッチングするのは至難の業である。また洗浄薬品の変更により金属除去能力が低下すると、同時に裏面の金属汚染も除去出来なくなり、裏面からの金属汚染が重要な課題となる。また最も懸念される点としてクロスコンタミネーションが挙げられる。Wet 洗浄を行うとするならば洗浄すべき材料に応じて O<sub>3</sub> 水などの機能水、キレート剤、希釈酸、界面活性剤などを組み合わせ、かつクロスコンタミネーション (cross contamination: 相互汚染) 防止の為に枚葉洗浄やスプレータイプのバッチ式洗浄装置を用いる方法が有望であろう。

BEOL の洗浄は従来、コンタクト上の膜除去、ポリマー、パーティクル、イオン性の汚染除去などに主眼が置かれた洗浄が行われてきた。今後共この目的は変わらないが、Cu 配線と Low-k 絶縁膜の採用により従来の薬品や溶剤が使用不可となる場合がある。Low-k 絶縁膜に無機系を選択するか有機系を選択するかで用いる洗浄薬品が変わってくる。配線上に残留する微細なポリマーも配線歩留まりに影響する為効率良い除去方法の確立が望まれる。

surface preparation に対する technology requirements を図表 2-3-2 に示した。

FEOL の表面、裏面パーティクルや金属汚染の要求値は、starting materials 同様に、デザインルールとチップサイズを仮定し 1 層当たり 99% の Yield を得る為の許容値として算出されている。FEOL

の表面パーティクルについては管理すべき粒径を最小寸法の 1/2 としているが、その粒径が検出不可な領域に到達しつつある。金属汚染においては 局所的に高濃度な汚染が実際には悪影響を及ぼすと言われているが、現在の分析技術ではある一定領域内の汚染を平均的に検出しているにすぎず、許容値もウェーハ全面の平均値として規定されており実際に発生しているピンポイントの不良との対応を取る事は極めて困難である。有機汚染についてはゲート絶縁膜耐圧不良や CVD の成膜に影響を与えるといわれているが、その影響度合いはプロセスに極めて強く依存する。また主な汚染源はクリンルーム内に多様に存在し、その種類も多く分析も難しい為、定量的なデータが少ない。そのため本報告では、文献値(1)で用いられている数値の 1/10 の値を 1999 年の要求値とした。technology requirements を満足しつつ表面処理技術を向上させて行くには、微細パーティクルの検出技術、重金属を含む微量不純物元素のピンポイントでの高精度な分析技術の開発が急務であることも付け加えておく。

表面処理における potential solution を図表2-3-3に示した。Wet 洗浄では、従来の RCA 洗浄が高精度化され引き続き使用されるであろう。しかしながら化学薬品の使用量削減、水の使用量削減、ESH と COO という観点からは 代替薬品の開発と実用化が強力に推し進められねばならない。現在実用化しつつある代替薬品としては O<sub>3</sub> 水あるいは O<sub>3</sub> 水と希釈酸の混合液、有機酸、キレート剤、界面活性剤などが挙げられる。これらの代替薬品はその性能という点ではまだ完全に RCA 洗浄に置き換わるまでには至っていないが、APM/dilHF/HPM の一部或いはかなりの部分を代替するまでに至っている。その他に光のエネルギーを利用した DRY 洗浄や、新しい原理に基づく洗浄技術の開発も今後強く望まれる。

装置としては、従来のディップ式は多段式に加えワンバス式が、また枚葉洗浄技術の実用化も始まる。枚葉式の長所は FEOL に用いられる材料の多様化に伴うクロスコンタミネーションを防止できる事と クラストツールとして用いる事で洗浄後の表面コントロールも同時に可能となる点にあるが、欠点は薬品使用量の増大と処理能力が劣る点である。従って枚葉洗浄が、積極的に活用される為には希釈洗浄液の実用化は必須である。或いはゲート絶縁膜の極薄化に伴い Si 表面の状態を極めて清浄にコントロールする事を要求される様な工程が出現した場合など、限定された用途で実用化が進むと考えられる。表面処理技術への要求はデバイス性能向上と共に益々高度になって行く。これに伴い洗浄プロセスも装置も複雑化大型化して行く。しかしながら ESH や COO という観点からは、これは許容できない状況にある。各工程において真に要求される性能は何かを見極め、プロセス、洗浄液、装置を選定し効率よい表面処理プロセスを構築する事が肝要であると共に、in-situ (インシチュ:その場)な処理の多用など洗浄の不要なプロセスの構築も実現して行くべきである。

最後に surface preparation に関する提言を以下にまとめる。

新規の材料の登場、デバイス構造の微細化と高アスペクト比化、ESH や COO などの要求、などにより新たな洗浄技術の開発が急務となっている。Wet 洗浄では、希釈薬品やオゾン水などの機能水、新たな溶剤など、候補となる洗浄液の開発が急速に進められている。

また DRY 洗浄も種々の新しい試みが為されている。いずれも半導体プロセス黎明期より基本的な変更が無かった FEOL の RCA 洗浄と BEOL の有機溶剤洗浄からの大きな変更と言える。現時点ではどの様な代替プロセスが主流となるか、見定める事は困難である。しかしながら薬液種を極力減らし、かつ濃度を極力下げ使用量を最適化する技術の開発が 重要と考えられる。また益々複雑化するプロセスに対し、各々のプロセスステップで surface preparation に求められる技術的要求を正確に把握し必要十分かつ最小限の洗浄プロセス設計を行う事が肝要と考える。



加えてこれらを実現する為に、クリーンルーム環境、純水、薬品などの質の最適化の為に技術や、各種分析技術、欠陥検出と解析技術など関連する他の要素技術の発展にも力を注ぐべきであろう。

### (3) ゲート絶縁膜・電極

ゲート絶縁膜のスケーリングは、将来のデバイス微細化において最も難しい挑戦のひとつである。より大きなトランジスタの駆動電流を得るためにゲート絶縁膜の薄層化は年々加速される傾向にあり、2000 年以降から酸化膜換算膜厚( $T_{ox}$ )が 2nm 以下のゲート絶縁膜が実用化されようとしている。thermal films, gate etch, and doping technology requirements を図表2-3-4に示す。トンネル電流は、膜厚の指数関数に反比例して急増するため 2nm 以下の熱酸化膜では、動作電圧下で  $10A/cm^2$  を超えるトンネルリーク電流が流れる。この値は、高性能マイクロプロセッサ用トランジスタでは許されるが、ノート型パソコンのような低動作電力が要求されるポータブル機器用トランジスタでは、その 1/1000 以下に抑制されねばならない。更に低い待機電力が要求される携帯端末においては、更なる低リークが要求される。いずれにせよ、これらゲートリークの許容値は、オフ時の電流値即ち、待機電力の許容値から設定されるため、デバイス設計とリンクして検討する必要がある。

この解決策として、酸化膜より誘電率が高い膜の導入により、酸化膜の物理膜厚限界によるリーク電流の増大を回避しつつ、大きい絶縁膜容量を得ることが検討されており、130nm ノード( $T_{ox} < \sim 2nm$ )となるあたりから熱酸化膜の代替材料の導入が検討されようとしている。thermal films, gate etch に関するpotential solutions を図表2-3-5に示す。しかし、シリコン熱酸化膜は極めて良好な界面特性を有するため、代替の高誘電率膜が導入されても酸化膜と同等の界面特性を有するゲート絶縁膜が要求されるうえに、従来プロセスとの連続性など解決すべき課題は山積しており、導入については今後の多角的な観点からの検討に期するところがある。代替高誘電率絶縁材料として金属酸化膜やシリケート材料などが考えられている。絶縁膜材料の選択にあたっては、単純に MOS キャパシタの実効膜厚や信頼性等の絶縁膜特性だけから決めるのではなく、MOS トランジスタモジュールで考える必要がある。一方、pMOS の場合、酸化膜厚が薄くなると Poly-Si ゲート電極中の不純物(ボロン)が外方拡散して基板側に到達し、閾値電圧( $V_t$ )のばらつきが発生する。この不純物拡散は、 $V_t$  のばらつきだけでなく、酸化膜の信頼性劣化にも悪影響をもたらすので、ポリシリコン電極を用いる限り代替絶縁膜は、不純物拡散を抑制できることが重要である。酸化膜中に窒素が導入された膜は、不純物の外方拡散を阻止する働きをするため当面は、ゲート酸窒化膜やシリコン窒化膜による不純物拡散の抑制が用いられるが、移動度劣化など電気特性に支障をきたさない最適窒素導入の実現が重要である。

一方、直接トンネルが現れはじめる 3nm 以下の極薄ゲート絶縁膜に対しては、膜中の電子伝導機構が F-N(Fowler-Nordheim)トンネルからバリスティックになることや疑似破壊現象が現れるので、同膜の信頼性見極めが極めて困難になる。そのため、信頼性評価基準や項目、加速試験についての見直しが必要となる。そのため、疑似破壊の検出方法や定義を明確にすると共に物理的観点に基づいた信頼性寿命決定法の確立が急務である。

ゲート絶縁膜厚が 0.3nm 程度変化する事により約1桁のトンネル電流が変化するため極薄膜厚のウェハ面内均一形成に加え、高精度測定も極めて重要になる。物理膜厚は従来、非破壊で簡易に測定できる光学的手法が用いられ、高精度測定には、TEM(transmission electron microscopy:透過電子顕微鏡)による断面観察法が用いられてきた。しかし、断面 TEM による方法ですらコントラストの違いによりシリコン層分( $\sim 0.3nm$ )程度は容易に見え方が変わる。2nm 以下

の酸化膜厚では、この読み取り誤差が容認できなくなり、断面 TEM 測定も必ずしも精密な測定とは言えなくなる。そのため、より高精度な物理膜厚の測定を目指して電子顕微鏡測定の改善など代替法が検討されている。一方、電氣的に膜厚を測定する試みは次に述べるポリシリコンゲート電極内での空乏化容量や反転層中の電子分布による反転層容量(酸化膜に換算して約 0.3nm の厚さ)が存在するため、C-V 測定で求めた電氣的膜厚(Telec)と実際の物理膜厚(Tph)とが一致しなくなる。デバイスモニタとして重要な物理量は、MOS 動作時の反転領域における容量であり、例えば nMOS の場合、 $V_g = +V_{dd}$  における容量“C<sub>inv.</sub>”を求めれば良い。ポリシリコン電極部の空乏層やシリコン基板側の反転層を考慮した実効膜厚の膜厚管理手法として非接触で直接静電容量を測定する測定法も提案されている。一方、プロセスモニタとしては、蓄積領域において、 $V_g = -(V_{dd}+V_{fb})$  における容量“C<sub>acc.</sub>”を測定するのが一般的であるが、一義的に求めるには様々な前提条件が必要となる。V<sub>fb</sub> や  $\epsilon$  の値から T<sub>eq</sub> を求める場合 V<sub>fb</sub> は、予め測定した厚膜での C-V 曲線から求め、 $\epsilon$  についても厚膜の物理膜厚(Tph)の測定から求める。(ただし、薄膜でも  $\epsilon$  が同じと仮定) この場合、基板濃度を統一する必要があるが、電極に対しては各世代毎の Poly doping @oxide interfaceを用いる。この様に、以下に述べるゲート電極の空乏層厚と前述した反転層容量厚を加味すると各世代における V<sub>dd</sub> に対して T<sub>elec</sub> ~ T<sub>ph</sub> + 0.55nm という関係が成立する。この場合、リーク電流は無視できるほど小さいという前提がある。薄膜化にともなうゲートリーク情報を含む電氣的な膜厚測定は、C-V 測定法における等価回路構成を C-R 直列から並列回路に変換し、測定周波数依存性を予め把握しておく事が肝要である。いずれにせよ極薄絶縁膜厚の正確な膜厚測定は容易ではなく、酸化膜厚に換算した物理膜厚で一義的に示すのが一般的である。

ゲート電極も将来の極微細化にとって大きな挑戦である。P<sup>+</sup>ポリシリコン電極の場合、前述したボロン拡散による V<sub>t</sub> 変動や、ゲート電極内部の空乏化(酸化膜に換算して約 0.25nm の厚さ)により、特に低電源電圧にした場合のトランジスタの飽和電流が大幅に劣化するため、dual doped polysilicon gate は 100nm ノードから使われなくなり、代わってメタルゲート構造が有望視されている。また、ポリメタルは、汎用 DRAM だけでなく、混載 DRAM 用としても検討されている。

CMOS デバイスをバランス良く構成するためには、Si ミッドギャップ付近の仕事関数のメタル材料をゲートに用いることが望ましいが、この場合、従来の Dual Doped Polysilicon Gate に比べて、微細化 MOS トランジスタに必要な低い V<sub>t</sub> を得にくい。nMOS、pMOS で各々異なる仕事関数のメタル材料を用いる dual metal gate 構造が必要になってくる可能性もある。また、堆積膜の機械的応力や金属層からの不純物拡散、極薄膜のゲート絶縁膜に対して十分な選択比をもつメタル材料のエッチングなど、メタルゲート構造には解決すべき課題が山積している。

多くのメタル材料で、熱的安定性はポリシリコンに比べて劣るが、これはゲートスタックを形成した後にソース/ドレイン拡散層を形成する高温のプロセスを含む従来のセルフアライン MOS プロセスとの整合性を損ない、材料選択の大きな制約となる。この制約を除くために、従来のシリコンゲート MOS プロセスの大幅な組み替えを行う提案もある。従来型のプロセスでソース・ドレイン形成まで行った後に、ゲート構造体を除去し改めてゲート絶縁膜、メタルゲート電極を形成する(replacement gate process [1], damascene gate process[2])。この場合には、ゲートメタル材料や高誘電率のゲート絶縁膜に対する制約が緩和される一方で、高濃度のソース・ドレインドーピングやシリサイド膜の形成の後にこれらの Gate Stack 形成を行うことによるゲート絶縁膜への影響やシリサイド膜の耐熱性など、新たな課題が提起される。

メタルゲートの課題解決がはかられる一方で、ポリシリコンゲート構造の改善も精力的になされて

いる。例えば、SiGe ゲート電極は、Ge 濃度により仕事関数を制御しながら、高い不純物活性化率によりゲート空乏化抑止効果が期待されるひとつの候補である。

サイドウォールスペーサの材料は、SiO<sub>2</sub> が長く使われてきたが、サリサイドプロセスとの整合性等の理由で近年 SiN および SiN/SiO<sub>2</sub> が使用されるようになってきた。SiO<sub>2</sub> および SiN は実績のある材料であり、今後もこの傾向は変わらないと思われる。しかし、微細化が進み elevated S/D 構造となるとゲートと拡散層間の寄生容量が増大する方向にあるがゆえに容量を抑制するために低誘電率 (low-k) 膜の使用も検討されるであろう。その場合、現在層間膜に使用されている low-k 膜では、

- 1) 耐熱性
- 2) 耐エッチング性
- 3) 電气的特性(絶縁性)が十分でなく、

さらに

- 4) 薄膜化が困難、

等のため使用することが困難で、新たな材料開発が必要となる。その際の構造は、理想的には low-k 単独であるが SiN/low-k もあり得る。

いずれにしても新たな材料開発を伴うチャレンジングな目標である。なお、前述したいわゆる damascene gate process によれば1)、2)は解決できる可能性があることを指摘しておく。

以上のようなゲート絶縁膜、電極の形成のためには、自然酸化膜の増加や有機汚染を防止するようなプロセス間の雰囲気制御が重要であり、プロセス装置群としては以下のようなものが必要となるであろう。すなわち、ゲート絶縁膜/基板界面制御のための装置、ゲート絶縁膜形成装置、ゲート絶縁膜改質装置、ゲート電極形成装置、およびこれらの間を制御された雰囲気中でウェーハ搬送する装置である。これらを一体化したものがクラスタツールであり、一例としては表面クリーニング室、急速酸化/窒化室、高誘電率膜成長室、ポリシリコン膜成長室を雰囲気制御されたロボット室で結合するクラスタツールが挙げられる。この場合は枚葉処理が基本となるが、バッチ処理でも同様な形態は可能である。例えば、ワンバス式洗浄機、酸化/窒化処理炉、高誘電率膜成長炉、ポリシリコン膜成長炉を雰囲気制御トンネルやミニエンバイラメント(mini-environment)で結合させたプロセス装置群が挙げられる。

ゲート絶縁膜・電極に関する提言:新材料の導入については、上述したようにモジュール化した形成プロセスによる観点からの判断が極めて重要であり、これに関連して連続プロセス処理などクラスタ装置の検討も欠かせない。加えてプラズマダメージのようなプロセス誘起要因などを含めたトランジスタレベルでの信頼性検証が必須となる。ゲート絶縁膜単体についても絶縁破壊の判定基準や膜厚の高精度測定技術やその管理方法の確立も急務である。一方、今日のデバイス動向を鑑みて、考察対象を現状の高機能と低消費電力という単純な区分ではなく、SOC 用や低動作電力用、低待機電力用など用途に応じたゲート絶縁膜の適用が展開されるため、今後のフロントエンドプロセスロードマップではシステム設計との密接な関係が不可欠で、高機能から低消費電力にわたって各用途に応じた詳細な区分が必要となる。

[1] A.Chatterjee, et al., 'CMOS Metal Replacement Gate Transistors using Tantalum Pentoxide Gate Insulator,' IEDM Techn. Dig pp.777-780, 1998

[2] A.Yagishita, et al., 'High Performance Metal Gate MOSFETs Fabricated by CMP for 0.1μm Regime,' IEDM Techn. Dig. pp.785-788, 1998

#### (4) 拡散関連(junction formation/silicide/contact)

図表2-3-4に拡散関係の要求、図表2-3-6に解決策の候補を示す。

スケーリング則は継続的なソース/ドレイン領域の浅接合形成を要求している。この要求に応えるにはドーピングプロセスの革新が必要になるのみならず、デバイス構造、プロセスインテグレーション全体に及ぶ研究開発を必要とする。

デバイスの微細化とともに、MOSFETの本質的なチャネル部分の抵抗よりむしろ、ソース/ドレイン及びコンタクト部分の寄生抵抗が、デバイス性能を律する傾向が顕著になってくる。MOSFETゲート長の縮小にはチャネル部に接続するソース/ドレインエクステンション端の接合深さを浅くする必要があるが、従来用いられてきたプロセス技術では、この浅接合化はエクステンション層の高抵抗化を伴いやすい。拡散温度の低温化は浅い接合を可能にするが、低温化に伴う、急激な不純物の活性化率低下は許容できない。このため、拡散プロセス温度には下限値が存在する。従って、サーマルバジェット(thermal budget)の低減はRTP(rapid thermal process)プロセスの高温、短時間化による必要がある。また、ソース/ドレインの寄生抵抗は、エクステンション接合の急峻さに強く影響されることがわかっており、表面側での高濃度から急峻に濃度が低下する形状が強く求められる。当面の技術候補はイオン注入の極低加速化と、RTPプロセスであるが、これにはRTP装置の昇降温時間の短縮も伴われなければならない。このようなRTP装置開発の際は、当然加熱の均一性を確保しスリップ等の欠陥発生を防止することと省エネルギーへの配慮が必要である。

更なる高濃度浅接合形成プロセスの候補には、イオン注入に代わって、gas immersion laser dopingなどの提案がなされているが、プロファイルの制御性、CMOS構造において必須な選択的ドーピングの容易さなどの点で未だ課題は多い。

寄生抵抗のスケーリングは、エクステンション幅、すなわち、ゲート電極の側壁幅の縮小も要求する。このとき、ゲート電極とソース/ドレイン拡散層間の寄生容量の増大や、電極間のシリサイドによる短絡を引き起こさない側壁の設計が必要である。また、急峻なエクステンションプロファイルを得るために、コンタクト拡散層からの固相拡散でエクステンションを形成することが考えられるが、この場合には側壁幅の制御に高い精度が要求される。

側壁の薄膜化は、コンタクト拡散層のチャネル部への干渉を引き起こす可能性を増大させる。これはコンタクト拡散層の浅接合化も必要であることを意味する。さらに、コンタクト拡散層には低抵抗化のためのシリサイド膜を貼り付ける構造が一般的だが、良好な接合特性を維持しつつ、浅い接合、低抵抗のシリサイド膜、低いシリサイド/シリコン界面抵抗の実現が必要となる。低い界面抵抗実現には、界面における不純物濃度を高くするプロファイル設計が求められるが、ドーピングしたコンタクト拡散層表面のシリコンを消費するSALICIDE(self aligned silicide)プロセスではこれらの相反する要求を満たすことが困難になり、構造的な対応が必要になる。コンタクト拡散層表面に選択的にシリコン膜を成長させた後にシリサイド化を行う、elevated source drain構造が候補のひとつであり、シリコン消費の無い金属の選択的堆積プロセスも候補となる。これらに共通した課題は、選択成長させる膜とシリコン層との界面抵抗であり、これらは選択堆積/成長プロセスに先立つ表面清浄化の処理に関わる課題である。

微細化に伴い、MOSFETの寄生容量において、ゲート電極と、ソース/ドレイン電極間の容量の占める割合が増大する。特にelevated source drain構造を取る場合には注意を要する。MOSFETの低容量化を目的として、低誘電率の側壁材料を用いることが必要になる可能性がある。

MOSFETの基本となるチャネル部分のプロファイル設計においても、革新が必要である。微細化に

伴う諸々の短チャネル効果の抑制に必要な高い基板不純物濃度と、低しきい値の要求を両立させるためには、高いピーク濃度と低い表面濃度をもつ、急峻な基板プロファイルが必要である。これを実現するには、In、Sb といった重元素のイオン注入が有望な候補である。これら重元素を基板不純物としてチャネルプロファイルに用いたり、HALO ドーピングに用いることで、熱プロセスによる変形の少ない急峻なソース/ドレインプロファイル設計を行う自由度を大きくすることができる。微細 CMOS 実現には、ドーピングプロセスにおいてもさらに精密な制御が必須であるが、そのためには前述したような新技術の開発とともに、点欠陥との相互作用による拡散、TED(transient enhanced diffusion:増速拡散)、欠陥の回復過程、二次欠陥への成長の過程などについてのより詳細な研究と理解の進展が前提となる。

ドーピング技術の選択は、当然のことながらデバイス構造の設計に深く関わる。プロセス技術の困難を新しいデバイス構造で補うこと、あるいはその逆が技術開発の過程で検討される。例えば、SOI 基板を用いたデバイス設計では、コンタクト接合の浅接合化は拡散のサーマルバジェットよりもむしろ SOI 層の厚さによって決定され、代わって、結晶欠陥回復のし難い SOI 層に対する欠陥導入の少ないドーピング技術の必要性が高まる。このように、ドーピング技術はデバイス設計、プロセスインテグレーションと一体となった技術開発が必須である。

#### (5) エッチングプロセス

エッチングプロセスに対する要求は、これまで以上に厳しく、複雑になっている。将来的な課題として、高アスペクト比加工、高選択性加工、高スループット(throughput:単位処理能力)など、従来技術の延長線上にあるプロセス性能の高度化があげられる。さらに、SAC(セルフアラインコンタクト)をはじめとする新規構造、及び各種の新規材料に対するプロセスが求められる。これらの微細加工技術を追求する上での課題に加えて、高アスペクト化にともない顕在化するチャージアップへの対処、及び生産性を考慮したプロセス安定性の追求が必要となる。

エッチング選択性は、すべてのドライエッチングに対する共通の課題であるが、その中でも特にゲート電極エッチングに対して、過酷な選択性の要求がある。180nm 級以降のロジックデバイスの場合、下地のゲート絶縁膜厚は 2nm 程度となり、この原子レベルのオーダーの薄膜で、電極材である poly-Si エッチング後に反応を停止させる超高選択性が求められている。さらに微細化に対応した厳しい CD(クリティカルディメンジョン)制御が求められる。ゲートエッチングにおける選択性と CD の必要条件を図表 2-3-4 に示す。この表中の選択比(etch selectivity)は、ゲート絶縁膜として SiO<sub>2</sub> を用いた場合を想定して記述している。100nm の世代で SiO<sub>2</sub> を使用した場合、膜厚は 1nm 程度となり、極めて達成困難なエッチング選択性が求められることになる。よって、微細加工の面からも SiO<sub>2</sub> の代替材料が求められることになる。また、エッチングプロセスと密接な関係にあるエッチング後の洗浄処理を行った段階で、ゲート絶縁膜が残留していることが求められる。

高選択性の追求だけではデバイスへの適用はできず、同時に克服すべき課題を抱えている。選択性の向上に基板バイアスの低減が有効であるが、イオンエネルギーが低い場合、微細パターンでチャージアップによる局所的なエッチング形状異常が発生しやすくなる。このチャージアップは、プラズマのパルス変調で抑制されることがわかっており、根本的な解決のために、プラズマ源とチャンバ構成の面からの開発が求められる。同時に、ゲート絶縁膜の薄膜化や新材料の適用により、プラズマダメージがさらに顕在化することが予想され、これを考慮することも重要になってくる。ゲート絶縁膜として熱酸化膜が使用される場合、薄膜化にともなうトンネル電流の急増する膜厚範囲では、プラズマ

ダメージの影響が一時的に緩和されると考えられる。ただし、高誘電率膜が導入されると、リーク電流の低減によりダメージが再び顕著になることが予想される。

プロセス的(化学的)な面からのアプローチも積極的に行われている。具体的には、HBr などのデポジション効果の高いガスを使用することにより、高選択性と異方性形状(形状異常の抑制)の両立を狙うことである。ただし、この場合に注意を要する。パターンの疎と密な領域でのアスペクト比の差により、加工形状が異なるという現象が発生する。加工形状の差異は、MOS トランジスタの重要スペックであるゲート長の違いを意味するものである。プロセスの構築にあたって、エッチングのアスペクト比依存性を最小限とするガスケミストリを選択する必要がある。さらに、エッチング後の洗浄処理との整合性を充分考慮する必要がある。また、ゲート電極のドーパントが N チャネルと P チャネルで異なるデュアルゲートに対応した加工形状及び加工寸法の制御性も求められている。ゲート電極の低抵抗化に向けて、金属ゲート電極が有望視されており、新材料のエッチングにおける強い異方性と選択性を有するプロセスが求められる。さらに、微細化の進行にともない、リソグラフィの解像性向上を目的とした ARC (anti-reflective coating) の使用頻度が高くなってきている。ゲート電極エッチングにおいて、母材のシリコン系と異質の材料である有機系などの ARC を、同一チャンバで、かつ高精度の寸法制御性でエッチングする技術が求められている。

ゲートエッチングの候補技術として、強い異方性と高い選択性を両立させるために、低圧力の高密度プラズマ(HDP)があげられる。形状異常やゲート絶縁膜ダメージにつながるチャージアップ防止のために、当面、パルス変調プラズマなどの改良で対応することが考えられるが、将来的な 100nm 以下の世代に適用できるかどうか未知である。根本的な解決のためには、ニュートラルストリームによるエッチングが候補技術となり得る。ただし、実用化には集中的な研究開発が必要となる。ゲートエッチングに関する解決可能候補技術は図表 2-3-5 にまとめた。

キャパシタ絶縁膜や電極に新規材料が必要になり、これらに対応したエッチングプロセスが求められる。特に、電極材料として検討されている Pt などのエッチングされにくい金属を CD 制御よく微細に加工しなければならない。ここで、エッチングの反応性を高めるために高温プロセスが求められ、これに対応したハード構成が必要となる。

シャロートレンチ分離(isolation)エッチングにおいては、エッチング速度のパターン依存性がなく、側壁テーパー角や底部形状の制御されたプロセスが求められる。エッチングの候補技術としては、パターン依存性の点から低圧力の HDP が有利と言えるが、その要求はゲートエッチングほど厳しいものではない。エッチングの安定性や均一性を重視した RIE(反応性イオンエッチング)の改良により延命できる可能性がある。また、このプロセスでは、他よりもさらに金属汚染を低減させることが必要であり、これを考慮したハード構成としなければならない。

BEOL エッチングプロセスに対しても、厳しい要求が課せられている。高アスペクト比ホールエッチングでは、異方性形状と選択性を両立させること、及びアスペクト比依存エッチングを抑制することが必要になってくる。解決策として、HDP が注目されているが、RIE を改良した中密度プラズマ源も候補としてあげられ、新しいエッチングケミストリとプロセス条件の開発が望まれる。ただし、本質的な課題として、ゲートエッチングの場合と同様に、荷電粒子によるチャージアップの抑制があげられる。

180nm 世代以降、Cu や low k 材料の導入が求められるが、従来の Al 合金配線も延命されることが考えられる。Al 合金エッチングの微細化も求められ、ハードマスクの適用を含めて限界を見極める必要がある。微細 Cu 配線を実現するためのダマシ、デュアルダマシンプロセスの高度化が求められる。デュアルダマシ対応の高選択性エッチングとともに、加工形状の制御やエッチング均一性、安定

性が強く求められる。また、エッチングだけでなく、エッチング残渣のドライ、ウェット除去技術の開発が必要であり、従来の Al 配線以上の歩留を得るためのパターン欠陥対策が必要となる。さらに、low k 材料の適用に対して、新しいエッチングガスを用いたプロセス開発を強力に進める必要がある。

#### (6) DRAM キャパシタ膜

DRAM キャパシタ技術は、ギガビット世代に入りキャパシタ膜並びにキャパシタ電極への新材料導入の局面を迎えている。図表 2-3-7 に汎用 DRAM のスタックキャパシタに対する技術要求を示す。DRAM のセルサイズは設計ルール以上の速度で微細化が進められており、180nm の世代では折り返しビットラインセル構造の最小面積である  $8F^2$  (F: 最小加工寸法〈minimum feature size〉) に達すると考えられる。これに対して DRAM の安定動作の確保とソフトエラー耐性を一定に保つために、キャパシタの容量値は 25fF/cell(セル) と一定に保ち続けられると仮定して各数値は計算されている。

これまでメガビット世代ではキャパシタの容量絶縁膜材料は  $SiO_2/Si_3N_4$  複合膜を用い、蓄積容量電極構造を 3 次元化することでこの容量を維持してきた。しかしながら、180nm の世代ではこれらの方法では上記容量値を確保することが困難となる。このために容量絶縁膜として、新たな高誘電体材料が導入され始める。まず最初に比誘電率が 50 程度の  $Ta_2O_5$  が採用される。

蓄積電極として従来通りのポリシリコン膜が用いられた場合、電極構造を三次元化する自由度は大きいものの  $Ta_2O_5$  の後酸化処理時に界面にシリコン酸化膜が成長することにより実効的な比誘電率は 22 程度に減少する。一方、蓄積電極に Ru や Pt などの金属が用いられた場合、この酸化膜の介在がなくなることと  $Ta_2O_5$  の結晶配向性が向上することにより 50 以上の比誘電率を得ることができる。(Ref. K.Kishiro, et al., Jpn. J. Appl. Phys. Vol.37(1998) pp.1336-1339) このため、130nm 世代では MIM(金属・絶縁膜・金属)構造が採用され始める。

プロセス中のサーマルバジェット(thermal budget)の観点からは、キャパシタ膜を含めこれらの膜は CVD 法を基本とする 500℃程度の低温で堆積されている。しかしながら、後酸化処理温度は堆積温度より高温であるため、ビット線材料に金属が用いられる場合はこの温度を 650℃程度まで下げる必要がある。世代ごとに厳しくなるキャパシタ膜のリーク電流の要求を満たすために、このような低い温度で高品質な膜を形成するプロセスを開発することが困難な挑戦となる。また、バックエンドプロセスのプラズマダメージや還元雰囲気プロセスが高誘電体膜を劣化させないプロセス構築が要求される。

100nm 以降の世代では、蓄積電極や HAC (high aspect contact hole)のアスペクト比増大を抑えるために、比誘電率が 250 程度と高い BST 等の高誘電体材料が必要となる。

70nm の世代では、さらに BST エピタキシャル膜等の材料開発が必要と考えられる。また、この世代以降、セルのリーク電流がほぼ変わらないのにリテンション時間が“赤”となっている。この世代では接合リーク電流がリテンション時間を支配するようになると考えられ、SOI 基板を用いた DRAM を考えなければならないかもしれない。

50nm 世代でキャパシタ膜に必要な比誘電率は 1500 程度と予想される。現在のところ、DRAM に適応可能な薄膜の高誘電率材料は知られていない。革新的な高誘電体材料の探索が必要である。

さらにプロセス装置側から見ると、高誘電体の CVD 原料には蒸気圧が低く扱いにくいものが多い。例えば BST の CVD で用いられる  $Ba(DPM)_2$  や  $Sr(DPM)_2$  は 200℃付近でも 10Pa 程度の蒸気圧で

あり、配管や反応炉壁面への付着防止のために加熱機構が必要となる。よりシンプルな装置で CVD を行なうために、蒸気圧が高く扱いやすい CVD 原料の探索も合わせて必要であろう。さらに、低温気化可能な原料が見つかったとしても、膜に Ba や Sr が含まれる限り、これらの F、Cl 化合物の蒸気圧が低いため、装置のセルフクリーニングは極めて困難である。量産時期までに装置クリーニング方法を確立しておくことも必要である。

しかしながら、たとえ上記のような高誘電体膜材料の開発に成功しても誘電体膜形成後の蓄積電極アスペクト比が、上部電極形成プロセスの限界を超えキャパシタを形成できなくなる可能性が指摘されている。また、100nm の以降の世代では、適切な DRAM チップサイズを得ようとする、セルサイズは  $5F^2$  以下にする必要がある。これに対し、スタックトキャパシタではオープンビットラインセル構造を用いた  $6F^2$  が最小のセル面積と考えられ、従来トレンドを維持した高集積化を続けることが困難となる。高集積化を続けるためには、材料、プロセス的なアプローチ以外に多値記憶や NAND 型セルを採用するか、蓄積される電荷量によらないゲインセルのような新しいデバイス構造が試される必要がある。

一方、DRAM を混載した SOC に要求されるプロセス仕様は、メモリ/ロジックの構成比により異なってくる。キャパシタ容量への要求は汎用 DRAM ほどには厳しくないと考えられる。SOC における困難な課題の一つは、コンタクトホール形成である。一般に、DRAM のコンタクトホール深さは、同世代のロジックと比べて著しく深く、極端なアスペクト比増大を避けるためホール径を拡大せざるを得ない。これにより、同世代ロジックと同じ配線ピッチを実現することが困難となる。したがって、ロジックを優先させた SOC では、コンタクトのアスペクト比を低減させるため、セル面積の拡大によりキャパシタ高さを抑えるなどの工夫が必要になってくる。一方、DRAM を優先させた SOC では、DRAM のホール径に応じたロジックの配線ピッチを設定しなければならない。このトレードオフを脱却するためには、汎用 DRAM 以上に材料やデバイス構造からのブレークスルーが求められる。

DRAM スタックトキャパシタ技術はセルサイズの微細化に対応するために、誘電体はもとより電極材料にも新材料を導入していく必要に迫られる。これら新規材料をプロセス装置も含めてタイミング良く開発を行っていく必要がある。また、今後必要となる材料の選定にあたっては材料ならびにその製造プロセス時の環境、安全および健康への影響を詳細に評価する必要がある。

なお、本章記載の図表 2-3-1 から 2-3-7 については、その一部を ITRS'99 から引用した。



<i>Year of First Product Shipment</i>	<i>1999</i>	<i>2002</i>	<i>2005</i>	<i>2008</i>	<i>2011</i>	<i>2014</i>
<i>Technology Node</i>	<i>180 nm</i>	<i>130 nm</i>	<i>100 nm</i>	<i>70 nm</i>	<i>50 nm</i>	<i>35 nm</i>
<i>DRAM 1/2 Pitch (nm)</i>	<b>180</b>	<b>130</b>	<b>100</b>	<b>70</b>	<b>50</b>	<b>35</b>
<i>MPU Gate Length (nm)</i>	<b>140</b>	<b>85</b>	<b>65</b>	<b>45</b>	<b>32</b>	<b>22</b>

**General Characteristics \* (A,B)**

Wafer diameter (mm) **	200	300	300	300	300	450
Edge exclusion (mm)	2	1	1	1	1	1
Front surface particle size (nm), latex sphere equivalent (C)	≥ 90	≥ 65	≥ 50	≥ 35	≥ 25	≥ 17.5
Particles (cm <sup>-2</sup> ) (D)	≤ 0.14	≤ 0.14	≤ 0.11	≤ 0.10	≤ 0.08	≤ 0.07
Particles (#/wf)	≤ 43	≤ 95	≤ 74	≤ 67	≤ 54	≤ 106
Critical surface metals (at/cm <sup>2</sup> ) (E)	≤ 1.84x10 <sup>10</sup>	≤ 9.07x10 <sup>9</sup>	≤ 5.9x10 <sup>9</sup>	≤ 4.0x10 <sup>9</sup>	≤ 3.0x10 <sup>9</sup>	≤ 2.2x10 <sup>9</sup>
Site flatness (nm) (F)	≤ 180	≤ 130	≤ 100	≤ 70	≤ 70	≤ 70
Oxygen (center point value ± 2.0 ppma) (ASTM '79) (G)	19–31	18–31	18-31	18–31	18–31	18-31

**Polished Wafer \***

Front surface COPs size (nm), latex sphere equivalent (C)	≥ 90	≥ 65	≥ 50	≥ 35	≥ 25	≥ 18
COPs (cm <sup>-2</sup> ) (H)	≤ 0.14	≤ 0.14	≤ 0.11	≤ 0.10	≤ 0.08	≤ 0.07
COPs (#/wf)	≤ 43	≤ 95	≤ 74	≤ 67	≤ 54	≤ 106
Total bulk Fe (at/cm <sup>3</sup> ) (K)	≤ 1x10 <sup>10</sup>	< 1x10 <sup>10</sup>	< 1x10 <sup>10</sup>	< 1x10 <sup>10</sup>	< 1x10 <sup>10</sup>	< 1x10 <sup>10</sup>
Oxidation stacking faults (OSF) (DRAM) (cm <sup>-2</sup> ) (L)	≤ 4.4	≤ 2.8	≤ 1.9	≤ 1.1	≤ 0.7	≤ 0.4
Oxidation stacking faults (OSF) (MPU) (cm <sup>-2</sup> ) (L)	≤ 3.1	≤ 1.5	≤ 1.0	≤ 0.6	≤ 0.4	≤ 0.2
Recombination lifetime (μs) (M) (N)	≥ 305	≥ 350	≥ 350	≥ 350	≥ 350	≥ 400

**Epitaxial Wafer \***

Minimum layer thickness (DRAM) (μm) (± % tolerance) (P)	3-4 (± 4%)	2 - 3 (± 4%)	2 - 3 (± 3%)	2 - 3 (± 3%)	2 - 3 (± 3%)	2 - 3 (± 3%)
Minimum layer thickness (MPU) (μm) (± % tolerance) (P)	1.5 - 2 (± 4%)	1.5 - 2 (± 4%)	1- 1.5 (± 3%)	1 - 1.5 (± 3%)	1 - 1.5 (± 3%)	1 - 1.5 (± 3%)
Layer large area defects (DRAM) (cm <sup>-2</sup> )	≤ 0.008	≤ 0.007	≤ 0.006	≤ 0.005	≤ 0.004	≤ 0.004
Layer large area defects (MPU) (cm <sup>-2</sup> )	≤ 0.006	≤ 0.005	≤ 0.004	≤ 0.004	≤ 0.003	≤ 0.003
Layer stacking faults (DRAM) (cm <sup>-2</sup> )	≤ 0.015	≤ 0.013	≤ 0.012	≤ 0.010	≤ 0.009	≤ 0.007
Layer stacking faults (MPU) (cm <sup>-2</sup> ) (R)	≤ 0.012	≤ 0.010	≤ 0.009	≤ 0.007	≤ 0.007	≤ 0.006

**Solutions Exist**  
**1999 Solutions Exist**

**Solutions Being Pursued**  
**1999 Solutions Being Pursued**

**No Known Solutions**  
**1999 No Known Solutions**

# **Silicon-On-Insulator Wafer\***

Year of First Product Shipment Technology Node	1999 180 nm	2002 130 nm	2005 100 nm	2008 70 nm	2011 50 nm	2014 35 nm
DRAM I/2 Pitch (nm)	180	130	100	70	50	35
MPU Gate Length (nm)	140	85	65	45	32	22
Silicon final device layer thickness(PD) (tolerance $\pm 5\%$ ) (nm) (S) SIMOX	100-200	100-200	100-150	100-150	80-100	80-100
Buried oxide (BOX) thickness (PD) (tolerance $\pm 5\%$ ) (nm) (T) SIMOX	200-400	150-300	150-300	$\geq 150$	$\geq 150$	$\geq 150$
Silicon final device layer thickness(FD) (tolerance $\pm 3\%$ ) (nm) (S) SIMOX	30-45	25-35	20-30	15-25	10-20	10-20
Buried oxide (BOX) thickness (FD) (tolerance $\pm 5\%$ ) (nm) (T) SIMOX	$\leq 120$	$\leq 100$	$\leq 80$	$\leq 60$	$\leq 50$	$\leq 50$
Silicon final device layer thickness (tolerance $\pm 5\%$ ) (nm) (S) BONDED	50 - 300	50 - 300	50 - 100	30 - 100	30 - 100	30 - 100
Buried oxide (BOX) thickness (tolerance $\pm 5\%$ ) (nm) (T) BONDED	100 - 1000	100 - 1000	100 - 1000	100 - 1000	100 - 1000	100 - 1000
D <sub>BOX</sub> , BOX defects (DRAM) (cm <sup>-2</sup> ) (U)	$\leq 0.096$	$\leq 0.065$	$\leq 0.039$	$\leq 0.028$	$\leq 0.020$	$\leq 0.014$
D <sub>BOX</sub> , BOX defects (MPU) (cm <sup>-2</sup> ) (U)	$\leq 0.359$	$\leq 0.344$	$\leq 0.208$	$\leq 0.154$	$\leq 0.107$	$\leq 0.080$
D <sub>INC</sub> , inclusions (DRAM) (cm <sup>-2</sup> ) (V)	$\leq 0.116$	$\leq 0.109$	$\leq 0.082$	$\leq 0.073$	$\leq 0.072$	$\leq 0.063$
D <sub>INC</sub> , inclusions (MPU) (cm <sup>-2</sup> ) (V)	$\leq 0.431$	$\leq 0.413$	$\leq 0.250$	$\leq 0.184$	$\leq 0.129$	$\leq 0.096$
D <sub>TD</sub> , threading dislocations (DRAM,MPU) (cm <sup>-2</sup> ) (W) SIMOX	$\leq 7 \times 10^4$	$\leq 4 \times 10^4$	$\leq 3 \times 10^4$	$\leq 2 \times 10^4$	$\leq 1.5 \times 10^4$	$\leq 1 \times 10^4$

**Solutions Exist**  
**1999 Solutions Exist**

**Solutions Being Pursued**  
**1999 Solutions Being Pursued**

**No Known Solutions**  
**1999 No Known Solutions**

図表2-3-1 Starting Materials Technology Requirements

(注)

(A)～(W)は ITRS のスターティングマテリアルのノートに準ずる。

以下に変更項目のみを列挙する。

モデルは同一であるが、パラメーターの数値は ORTC99 ドラフトの値を、また FEP 内での共通の値を採用。

(E)モデル式は同様。キラー率、T、K1 も同一。DRAM セルの酸化膜換算膜厚について(ITRS→日本案)に変更。

許容値はモデルで求めた数値は各金属の合計値であるが、ウェーハ製造ラインの汚染金属の種類は限られている為、最大の汚染金属の許容値をこの値の 1/2 とした。また現実には洗浄で 50%は除去出来る事を考慮して、その倍の値とした。結果としては、モデルで求めた値以下を、最大の汚染金属の許容値とした。

(S),(T)としては SIMOX は完全空乏型と部分空乏型について、BONDED 型については部分空乏型についての値を示した。

(W)貫通転位については、キラー率のデータ裏付けがない為、SIA'97 の値に準じたレベルを記してある。

Year of First Product ShipmentTechnology Generation	1999 180 nm	2002 130 nm	2005 100 nm	2008 70 nm	2011 50 nm	2014 35 nm
<b>Front End of Line</b>						
DRAM critical area (cm <sup>2</sup> )	0.35	0.51	0.86	1.19	1.72	2.38
Logic critical area (cm <sup>2</sup> )	0.05	0.05	0.08	0.14	0.16	0.21
DRAM GOI D <sub>o</sub> (cm <sup>•</sup> )	0.029	0.2	0.012	0.008	0.006	0.004
Logic GOI D <sub>o</sub> (cm <sup>•</sup> )	0.22	0.21	0.13	0.093	0.065	0.048
Light scatterers						
DRAM (cm <sup>•</sup> )	0.072	0.065	0.053	0.048	0.039	0.034
Logic (cm <sup>•</sup> )	0.072	0.065	0.053	0.048	0.039	0.034
Particle size (nm)	90	65	50	35	25	17.5
Light scatterers, back side(cm-2)	0.32	0.28	0.24	0.2	0.18	0.15
Particle size(nm)	500	333	233	133	67	17
Critical metals (atoms/cm <sup>2</sup> ) (A)	≤ 9.4E9	≤ 4.5E9	≤ 3.0E9	≤ 2.0E9	≤ 1.5E9	≤ 1.1E9
Organics/polymers (C atoms/cm <sup>2</sup> ) (B)	1.0E+13	7.0E+12	5.0E+12	3.5E+12	2.5E+12	1.8E+12
Surface oxygen (O atoms/cm <sup>2</sup> )	< 1 E14	< 1 E14	< 1 E12	< 1 E12	< 1 E12	< 1 E12
Surface Roughness(nm)	1.5E-01	1.2E-01	1.0E-01	8.0E-02	8.0E-02	8.0E-02
<b>Back End of Line</b>						
Particles (cm <sup>•</sup> )(C)	4.8E-02	4.4E-02	3.5E-02	3.2E-02	2.6E-02	2.3E-02
Particle size (nm)(C)	225	163	115	80	55	40
Surface oxygen (O atoms/cm <sup>2</sup> )	< 1 E14	< 1 E14	< 1 E12	< 1 E12	< 1 E12	< 1 E12

Solution Exist ☐ Solutions Being Purssued ☐ No Known Solutions ☐

図表2-3-2 Surface Preparation Technology Requirements

(注)

断りの無い項目については、99年度版 SIA Road Mapを参照。また Critical Aria D0 Light Scatterなどの算出の基本になる Chip Size Modelの数値は USA版 '99 SIA Road Mapの ORTCを参考にし、特に Chip Sizeは Surface Preparationの性格を鑑み、Introductionの数値を用いている。

尚 No Known solutionの基準はたとえば Particle Sizeや汚染濃度などは原則として測定限界値を考慮した値とした。

ITRS'99 Metrology Table82b 参照。

(A) 算出法は SIA に準ずる。汚染は Fe を代表として算出しているが、Fe 汚染に加えその他の Critical Metal 汚染も存在すると仮定し 50%を乗じた。但し NoKnown solution の設定は、スポット的な汚染の検出が困難である事を考慮した。

(B) 1)の文献によると 1E14atoms/cm<sup>2</sup>の汚染でデバイスに影響する。したがって要求値は 1/10 とし以降 70%/3 年で許容値を引き下げる。

(C) Particle size は Local wiring pitch\*1/2 (ITRS'99 Interconnect Table48a SoC Interconnect Technology Requierments)の数値を用い Line/Space が同一と仮定。欠陥密度算出は  $D = -3/2 * (\ln(0.99) * \text{Acrit} * \text{Rp})$ , 2)

$\text{Acrit} = \text{DRAM Critical Aria}(99\text{DRAFT ORTC (table1b bit per chip)} * 1/4 * (\text{Technology Node})^2 * A$ ,  $A = \text{cell aria factor}$   $\text{Rp} = 0.2$  とした。

参考文献

- 1) K. Saga, and T. Hattori. "Influence of silicon-wafer lodeing ambients in oxidation furnace on the gate oxide degradation due toorganic contamination" Appl. Phys. Lett. 71(25), 22 December 1997.
- 2) In-Line Yield Prediction Methodologies Using Patterned Wafer Inspection Information IEEE TRANSACTIONS Vol11 Feb.1998

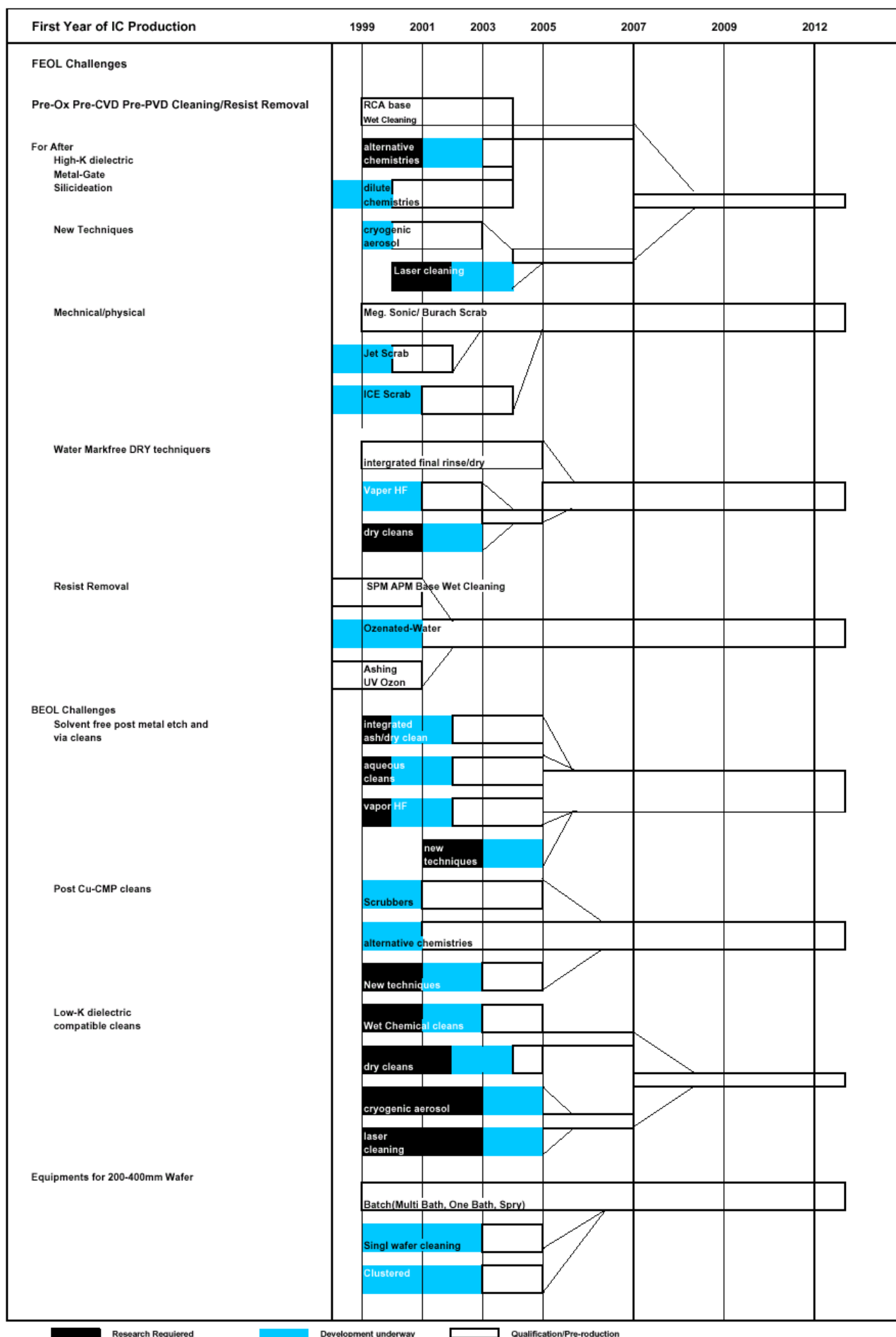


图 表 2-3-3 Surface Preparation Potential Solutions

Year of First Product Shipment Technology Node	1999 180nm	2002 130nm	2005 100nm	2008 70nm	2011 50nm	2014 35nm
Isolation structure	LOCOS/STI	STI	STI	STI	STI	STI
Equivalent Physical oxide thickness $T_{ox}(nm)$ High Performance	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
DRAM	4.9-5.5	3.5-4	2.5-3.5	2.0-2.5	1.5-2.0	1.0-1.5
Gate Dielectric Leakage(A/cm2) High Performance	3	11	30	85	250	700
DRAM	$1.0 \times 10^{-6}$	$2.0 \times 10^{-6}$	$3.2 \times 10^{-6}$	$6.6 \times 10^{-6}$	$1.3 \times 10^{-5}$	$2.6 \times 10^{-5}$
Thickness control (% $3\sigma$ )	$\pm 4$	$\pm 4$	$\pm 4-6$	$\pm 4-8$	$\pm 4-8$	$\pm 4-8$
Etch selectivity to dielectric	150	190	290	360	480	570
Lgate 3s Variations (For nominal devices)	$\leq 10\%$	$\leq 10\%$	$\leq 10\%$	$\leq 10\%$	$\leq 10\%$	$\leq 10\%$
Post etch CD (nm, $3\sigma$ )	14	8.5	6.5	4.5	3.2	2.2
Sidewall spacer thickness (nm)	72-144	52-104	20-40	7.5-15	5-10	4-7
Sidewall spacer thickness control (nm, $3\sigma$ )	NA	NA	NA	$\leq 10\%$	$\leq 10\%$	$\leq 10\%$
Gate electrode thickness	144	104	80	56	40	28
Poly doping @ oxide interface	$1.0 \times 10^{20}$	$1.0 \times 10^{20}$	$1.0 \times 10^{20}$	Metal Gate Electrode	Metal Gate Electrode	Metal Gate Electrode
Gate level wiring for array $R_s(ohm/sq.)$	10	10	5	5	5	5
Drain structure	Drain Extension		Elev. S/D	Elev. Single Drain	Elev. Single Drain	Elev. Single Drain
Contact $X_j$ (nm)	70-140	50-100	40-80	15-30	10-20	7-15
Drain extension $X_j$ (nm)	36-72	26-52	20-40	15-30	10-20	7-15
Drain extension conc. (cm-3)	$1.0 \times 10^{19}$	$5.0 \times 10^{19}$	$1.0 \times 10^{20}$	NA	NA	NA
S/D lateral steepness (nm/decade)	7.2	5.1	4.0	3.3	2.7	1.9
Highest RTA temperature in process[C]	1100	1000	1000	900	900	900
RTA ramp rate[C/s]	20-50	20-50	>200	>350	>350	>500
Silicide thickness (nm)	55	35	45-70	Selective Metal/Silicide growth	Selective Metal/Silicide growth	Selective Metal/Silicide growth
Contact silicide sheet $R_s(ohm/sq.)$	7	8	5	5	5	5
Si/Silicide max. resistivity (ohm-cm2)	$<6.0 \times 10^{-7}$	$<3.0 \times 10^{-7}$	$<2.0 \times 10^{-7}$	$<8.0 \times 10^{-8}$	$<3.0 \times 10^{-8}$	$<2.0 \times 10^{-8}$
Maximum Si consumption (nm)	50-56	34-39	63-72	63-72	63-72	63-72
Channel conc. for $W_{depletion} < 1/4L_{eff}$ (cm-2)	$2.0 \times 10^{18}$	$3.0 \times 10^{18}$	$4.0 \times 10^{18}$	$8.0 \times 10^{18}$	$1.4 \times 10^{19}$	$2.0 \times 10^{19}$
Unif. channel conc. (cm-3) for $V_t=0.4$	$6-10 \times 10^{17}$	$1-2 \times 10^{18}$	$2-3 \times 10^{18}$	$>3.5 \times 10^{18}$	$>7 \times 10^{18}$	$>1 \times 10^{19}$



Solutions Exist

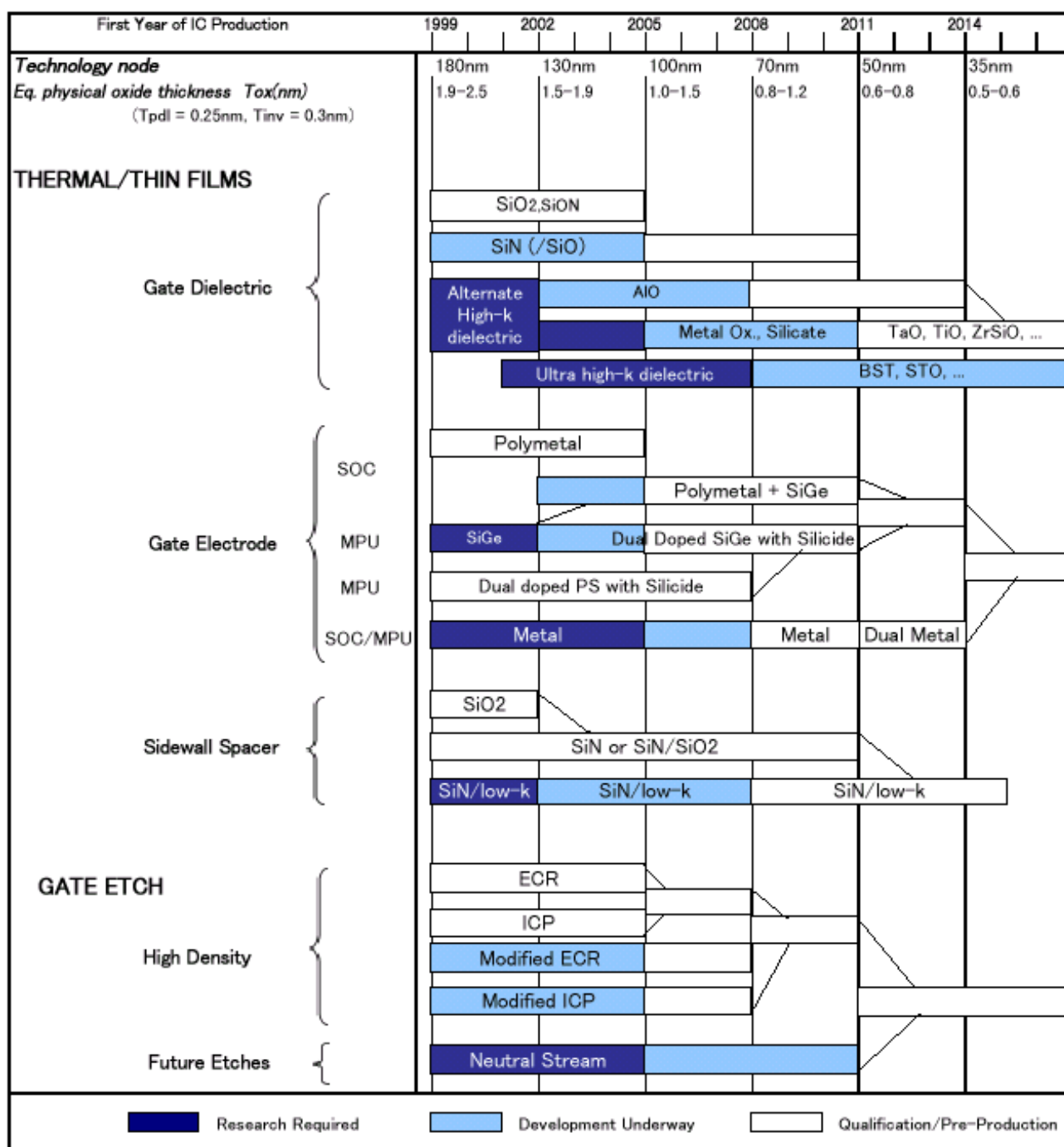


Solutions Being Pursued

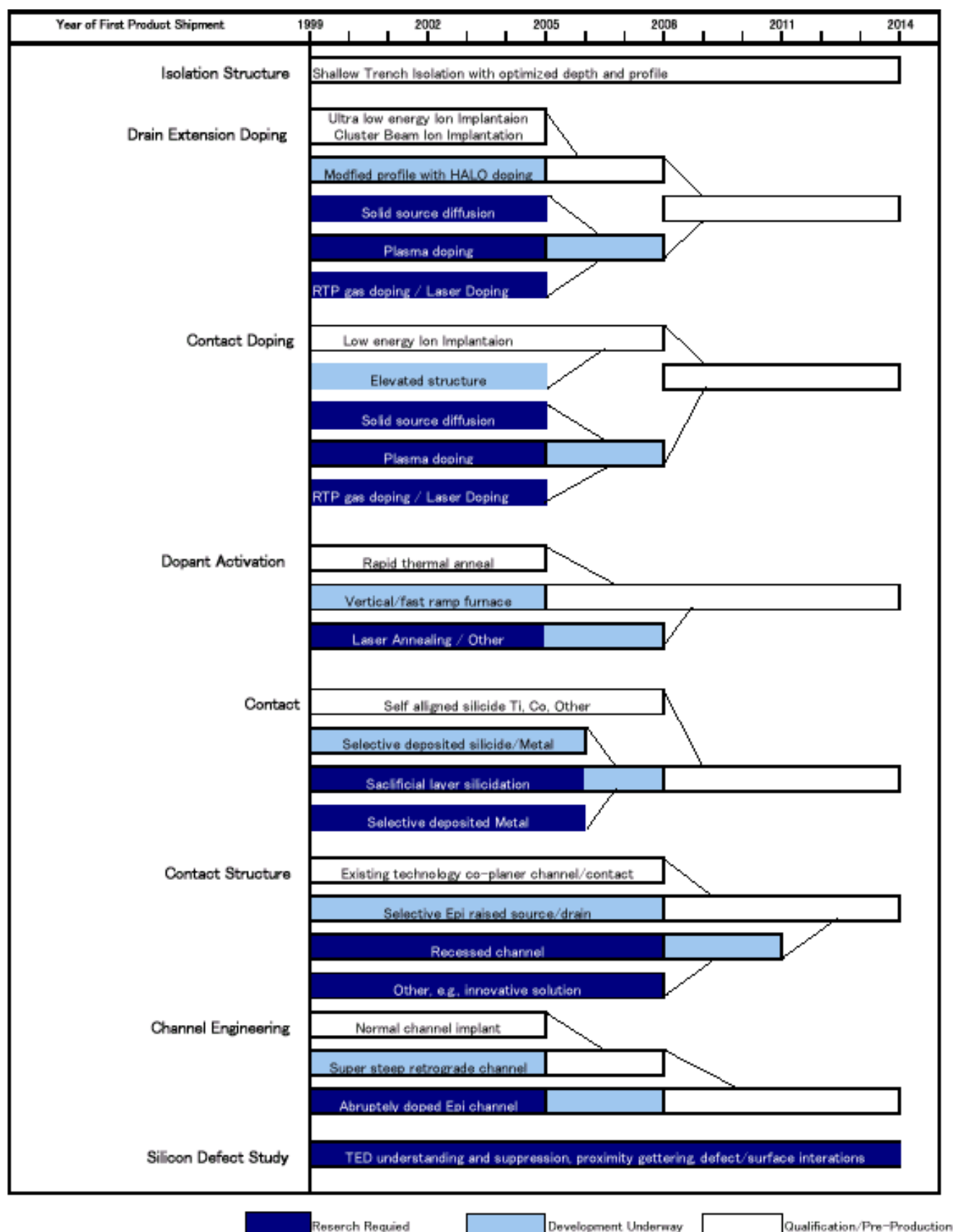


No Known Solution

图 表 2-3-4 Thin films, gate etch, and doping technology requirements



图表2-3-5 Thermal/Thin Films and Gate Etch Potential Solutions



图表 2-3-6 Potential solutions for doping technology

Year of First Product Shipment Technology Node	1999 180 nm	2000 165 nm	2001 150 nm	2002 130 nm	2003 120 nm	2004 110 nm	2005 100 nm	2008 70 nm	2011 50 nm	2014 35 nm
DRAM Capacity (A)	1G		2G	(3G)	4G		(8G)	(24G)	64G	(192G)
Cell Area/Chip Size	69.6%		70.2%	70.7%	71.2%		71.7%	72.4%	72.9%	73.3%
Total cell area (cm <sup>2</sup> )	2.8		3.1	3.3	2.6		3.8	4.5	5.2	6.3
DRAM chip size @ introduction (cm <sup>2</sup> )	4.0		4.4	4.6	4.9		5.3	6.3	7.1	8.6
Cell size factor a (B)	8.0		6.4	6.0	5.6		4.4	3.6	3.0	2.5
Cell size [μm <sup>2</sup> ] (C)	0.26 =0.36±0.72		0.14 =0.3±0.48	0.10 =0.26±0.39	0.081 =0.24±0.34		0.044 =0.2±0.22	0.018 =0.14±0.13	0.0075 =0.1±0.08	0.0031 =0.07±0.04
Storage Node size [μm <sup>2</sup> ] (D)	0.097 =0.18±0.54		0.050 =0.15±0.33	0.034 =0.13±0.26	0.026 =0.12±0.22		0.012 =0.1±0.12	0.0039 =0.07±0.06	0.0013 =0.05±0.03	0.0003 =0.035±0.01
Capacitor Structure	Cylinder MIS Ta <sub>2</sub> O <sub>5</sub>		Pedestal MM Ta <sub>2</sub> O <sub>5</sub> (Ref. U)	Pedestal MM Ta <sub>2</sub> O <sub>5</sub> (Ref. U)	Pedestal MM BST		Pedestal MM BST	Pedestal MM epi-BST	Pedestal MM ???	Pedestal MM ???
Dielectric Constant	22		50 Ref. U	50 Ref. U	250		250	700	1500	1500
SN Height H [μm]	0.95		0.66	0.84	0.45		0.71	0.42	0.28	0.35
Cylinder Factor (E)	1.5		1.0	1.0	1.0		1.0	1.0	1.0	1.0
Roughness Factor	1.0		1.0	1.0	1.0		1.0	1.0	1.0	1.0
Total Capacitor Area [μm <sup>2</sup> ]	2.20		0.68	0.69	0.33		0.32	0.11	0.04	0.031
Structural Coefficient (F)	8.5		4.7	6.8	4.1		7.4	6.2	5.8	10.1
teq@25fF [nm] (G)	3.0		0.94	0.95	0.45		0.45	0.15	0.060	0.043
t <sub>phy</sub> @25fF [nm] (H)	11.5		12.1	12.2	29.1		28.7	27.2	23.0	16.4
A/R of SN (OUT) for cell plate depo. (I)	6.0		5.2	8.0	7.3		16.7	26.9	68.8	162.7
HAC diameter [μm] (J)	0.22		0.18	0.16	0.14		0.12	0.08	0.06	0.04
Total interlevel insulator and metal thickness except SN [μm] (K)	1.05		1.00	0.95	0.90		0.85	0.77	0.69	0.62
HAC depth [μm] (L)	2.00		1.66	1.79	1.35		1.56	1.19	0.97	0.97
HAC A/R	9.3		9.2	11.4	9.4		13.0	14.1	16.1	23.1
V <sub>dd</sub> [V] (M)	1.8		1.8	1.5	1.5		1.2	0.9	0.6	0.5
Retention Time [ms] (N)	128		256	256	512		512	1024	2048	4096
Leak Current [fA/cell] (O)	0.527		0.264	0.220	0.110		0.068	0.033	0.011	0.005
Leak Current Density (nA/cm <sup>2</sup> )	24.0		38.6	31.9	33.5		27.1	30.0	25.4	14.8
Deposition Temp. [degree C]	~ 500		~ 500	~ 500	~ 500		< 500	< 500	< 500	< 500
Film Anneal Temp. [degree C]	~ 800		~ 750	~ 750	~ 750		< 750	~ 650	< 650	< 650
DRAM Gox [nm] (P)	5.8		5.0	4.3	3.9		3.6	2.8	2.3	1.8
C <sub>gate</sub> [fF/cell] (Q)	1.9E-16		1.5E-16	1.4E-16	1.3E-16		9.7E-17	6.0E-17	3.8E-17	2.3E-17
Word line R <sub>s</sub> [ohm/sq.] (R)	10		8.7	7.5	6.8		6.2	4.9	4.0	3.1
C <sub>bitline</sub> (S)	1		0.89	0.80	0.76		0.68	0.53	0.42	0.33
Bit line R <sub>s</sub> [ohm/sq.] (T)	10		9.8	8.6	8.3		8.3	6.3	4.9	3.7

#### DRAM Stacked Capacitor Films Potential Solutions

Upper Electrode (A)	poly-Si	TiON	metal
high-k dielectric	ON	TiN	metal
Bottom Electrode (A,B)	poly-Si	Ta <sub>2</sub> O <sub>5</sub>	BST, STO
		metal	epi-BST
			perovskite

Solutions Exist

Solutions Being Pursued

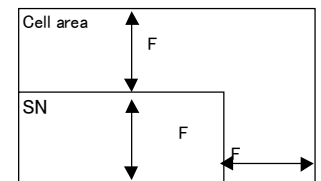
No Known Solution

#### Notes for Table 22b Technical Requirements

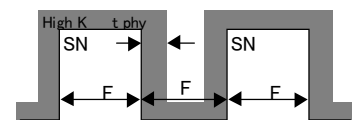
- (A) DRAM chip size model (PIDS)  
 (B)  $a = (\text{Cell size})/F^{\wedge}2$  (F : minimum feature size)  
 (C) Cell size =  $a * F^{\wedge}2$  (Cell shorter side = 2F)  
 (D) SN size =  $(a/2 - 1) * F^{\wedge}2$  (SN shorter side = F)  
 (E) Cylinder structure increase the capa area by a factor of 1.5.  
 (F) SC = (total Capa area) / (Cell size)  
 (G)  $teq = 3.9 * E0 * (\text{total Capa area}) / 25fF$   
 (H)  $t_{phy} = teq * Er / 3.9$  If polysilicon is used as a bottom electrode.  $t_{phy} = (teq - 1) * Er / 3.9$   
 (I) A/R of SN (OUT) = (SN height) / (F - 2 \*  $t_{phy}$ )  
 (J) HAC diameter =  $1.2 * F$  (HAC : High Aspect Contact)  
 (K) The thickness is assumed to be 1.05μm@180nm. (10% reduction by each generation)  
 (L) HAC depth = SN height + Total Interlevel insulator and metal thickness  
 (M) PIDS Table 14 Min. Logic V<sub>dd</sub> (V) (desktop)  
 (N) DRAM Retention time (PIDS)  
 (O) (Sense Limit \* C \* V<sub>dd</sub> / 2) / (Retention Time \* MARGIN) (Sense limit=30% leak, MARGIN=100)  
 (P) FEP Fig.2-3-4 Equivalent oxide thickness Tox(nm) DRAM + 0.55nm  
 (Q) Gate Area =  $F^{\wedge}2$   
 (R) Word Line R<sub>s</sub> is assumed to be 10ohm/sq. @180nm. (Word Line R)\*(C<sub>gate</sub>) is constant at same WL length.  
 (S) C<sub>bitline</sub> proportional to  $F^{\wedge}2/3$  (relative value) ; A.Nitayama et al., IEDM Technical Digest, pp. 355-358, 1998.  
 (T) Bit Line R<sub>s</sub> is assumed to be 10ohm/sq. @180nm. (Bit Line R)\*(C<sub>bitline</sub>) is constant when the number of BL cells about 1.4times/BL.  
 (U) Koichi Kishiro et al. Jpn. J. Appl. Phys. Vol. 37 (1998) pp. 1336-1339

#### Notes for Potential Solutions

- (A) Metal : W, Pt, Ru, RuO<sub>2</sub>, IrO<sub>2</sub>  
 (B) Perovskite : SrRuO<sub>3</sub> ; N. Fukushima et al., IEDM Technical Digest, pp. 257-260, 1997.



Notes(C)&(D) Cell area and Projected SN area



Note (I) A/R of SN (OUT)

図表2-3-7 DRAM Stacked Capacitor Films Technology Requirements