

## 2-4 配線

### (要旨)

#### (1) 背景

デバイスの微細化高集積化に伴い、配線技術が占める役割はますます重要になりつつあり、配線寄生容量、抵抗による信号遅延の影響が大きな課題になっている。配線低抵抗化のため Al 配線から Cu 配線へ、層間絶縁膜では容量低減のため Low-k 化が進められる。Cu/Low-k 配線の課題や製品からの配線技術への要求項目をまとめ、ロードマップを策定することは開発効率向上に有効である。

#### (2) 配線技術の範囲

配線技術ロードマップはウェハプロセスにおけるコンタクト形成工程からパッド開口工程までを範囲とした。対象とする製品は MPU、DRAM、SOC としそれぞれの配線に対する目標値を製品別にまとめた。配線の使用目的別に目標値の設定を行いロードマップとして活用しやすい形にまとめた。

#### (3) 課題

Cu/Low-k 等新しい材料を用いた配線の電氣的、機械的、熱的安定性と信頼性確保。高アスペクトコンタクト形成やデュアルダマシン構造の確立。Cu/Low-k 配線以降の RF、光配線技術の構築等が困難な課題としてあげられる。

#### (4) 候補技術

##### 1) メタル

高アスペクトコンタクトの埋め込み材料としては当面 W が使われるが、カバレッジの改善やコンタクト部の低抵抗化が重要課題となる。配線材料は Cu が主流になるもののコストの点で Al も数世代に渡って使われる。Cu 配線はデュアルダマシンが主流技術であり電解メッキ技術が当分使われる。Cu シード層は遠距離スパッタ、イオン化スパッタから CVD-Cu に置き換わる。Cu バリア材料としては Ta 系、W 系材料の他、無電解メッキによるバリアメタルも候補材料である。将来技術としては高温超伝導材も考慮しておく必要がある。

##### 2) 絶縁膜

配線間、層間の寄生容量低減のため絶縁膜の誘電率低減(Low-k 化)要求はますます強まっているが、量産に耐えられる材料やプロセスの開発はハードルが高く誘電率は段階的に下げていかざるを得ない。k=2.2~2.7 ではフルオロカーボン、ポリシロキサン等の候補材料がある。また Cu 拡散を防止できる Low-k 材料開発も推進する必要がある。100nm ノード以下では k<1.5 の要求があり、ポーラスな材料の他エアギャップ構造も候補のひとつであるが、配線インテグレーションは困難な課題である。さらに将来技術としては RF や光配線が候補技術であり、光導波路用絶縁膜材料の開発が要求される。

### 3) 平坦化件名

平坦化技術は当面 CMP が主流であり、欠陥低減やコスト削減等さまざまな改善を進める必要がある。メタルダマシ CMP ではディッシング、エロージョンを低減する必要があり、パッド改善やスラリーの最適化が重要なポイントとなる。

### 4) システム

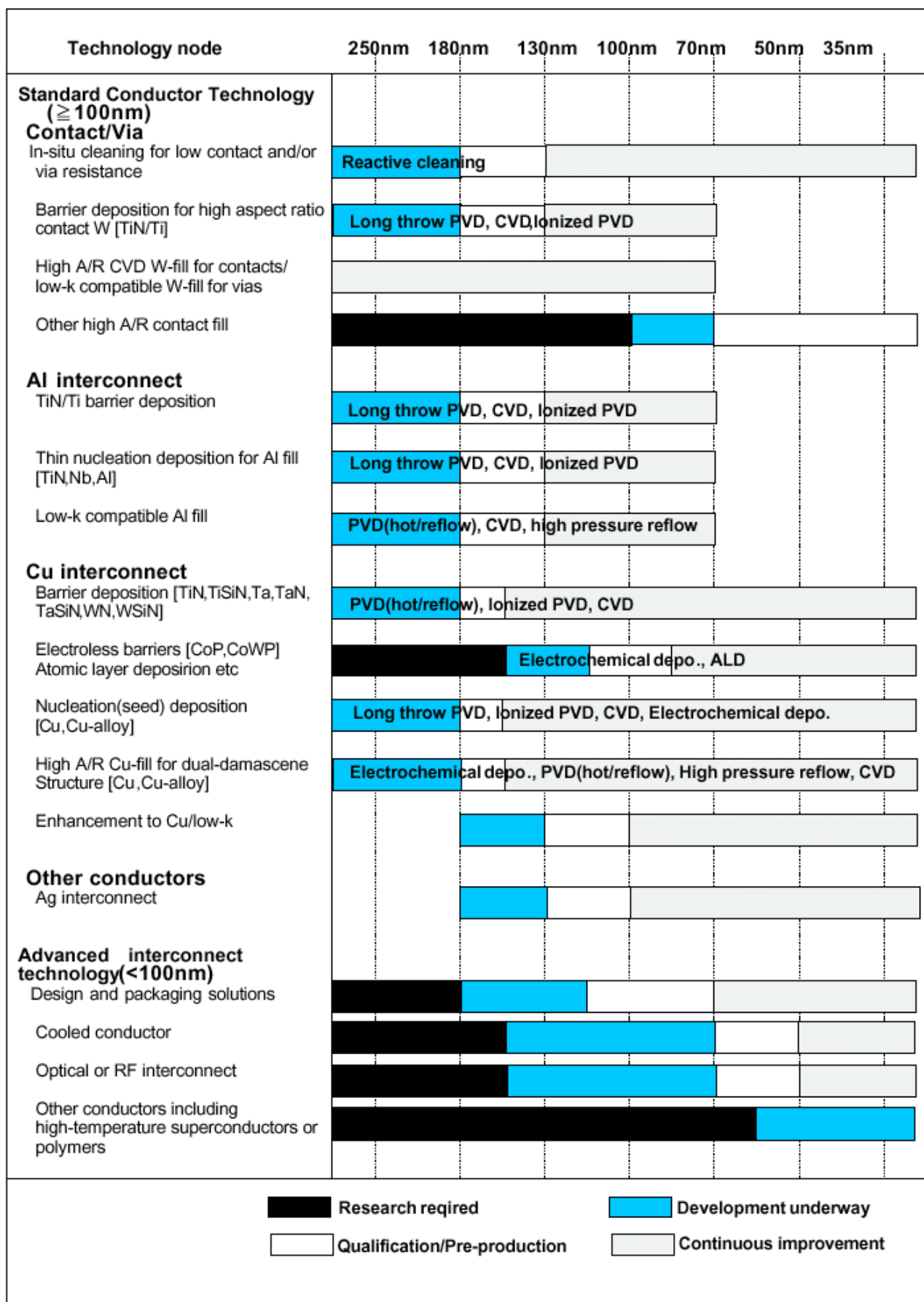
プロセスや材料のみの改善では配線の性能向上には限界があり、設計技術の改善を並行して進めることが信号遅延対策として重要性をましてくる。

### (5) 提言

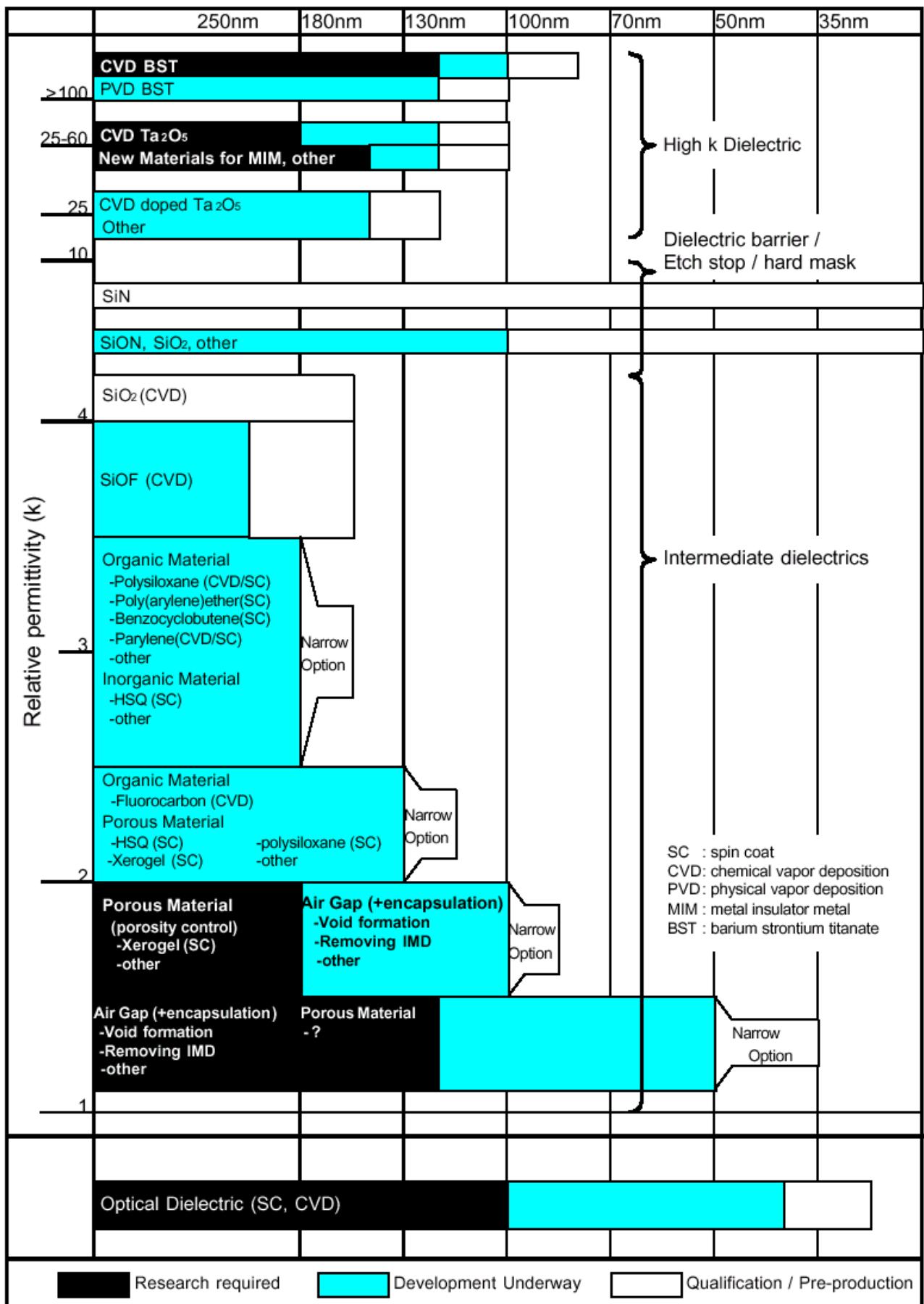
上に述べた配線技術の課題を解決する候補技術に関し、開発、検証を進めるには時間面、資金面で一社のみでは困難である。大学、研究機関、産業界におけるプロセス技術と設計技術を含めた開発協力体制確立が急務である。

YEAR TECHNOLOGY NODE	1999 180nm	2002 130nm	2005 100nm	2008 70nm	2011 50nm	2014 35nm
MPU1/2 pitch	230	160	115	80	55	40
MPUgate length(nm)	140	85	65	45	32	22
Number of metal levels	6-7	7-8	8-9	9	9-10	10
Number of optional levels ground planes/capacitors	0	2	2	3	4	4
Jmax (A/cm2)-wire(at 105°C)	5.8E5	9.6E5	1.4E6	2.1E6	3.7E6	4.6E6
Imax(mA)-via(at 105°C)	0.36	0.32	0.24	0.18	0.16	0.11
Local wiring pitch(nm)	500	365	265	185	130	95
Local wiring A/R(for Al)	2	2.1	-	-	-	-
Local wiring A/R(for Cu)	1.4	1.5	1.7	1.9	2.1	2.3
Intermediate wiring pitch(nm)	640	465	340	240	165	115
Intermediate wiring A/R(Al)	2.2	2.5	-	-	-	-
Intermediate wiring dual damascene A/R(Cu wire/via)	2.0/2.1	2.2/2.1	2.4/2.2	2.5/2.3	2.7/2.4	2.9/2.5
Minimum global wiring pitch(nm)	1050	765	560	390	275	190
Global wiring A/R(Al)	2	2.3	-	-	-	-
Global wiring dual damascene A/R (Cu wire/via)	2.2/2.4	2.5/2.7	2.7/2.8	2.8/2.9	2.9/3.0	3.0/3.1
Conductor effective resistivity ( $\mu\Omega\text{-cm}$ ) Al wiring	3.3	3.3	-	-	-	-
Conductor effective resistivity ( $\mu\Omega\text{-cm}$ ) Cu wiring*	2.2	2.2	2.2	1.8	<1.8	<1.8
Barrier/cladding thickness (for Cu wiring) (nm)***	17	13	10	0	0	0
Interlevel metal insulator-effective dielectric constant(k)	3.5-4.0	2.7-3.5	1.6-2.2	1.5	<1.5	<1.5
Specific contact resistance( $\Omega\text{-cm}^2$ )	3.0E-7	1.7E-7	1.0E-7	5.0E-8	2.5E-8	1.5E-8
Specific via resistance( $\Omega\text{-cm}^2$ )	7E-9	2E-9	1E-9	6E-10	3E-10	1.5E-10

図表2-4-1 MPU 配線技術の目標値



図表2-4-12 メタル技術の有望解



図表2-4-13 絶縁膜材料の有望解

## 2-4-1 背景、ロードマップの意義、期待する効果

1994 年版半導体テクノロジーロードマップで、多層配線に必要な導体と誘電体の技術について初めてその展望が示された。1999 年国際ロードマップ (ITRS'99) では、前例のない早いペースで変化するさまざまな材料に焦点をあてて、継続的に微細化の進む DRAM(dynamic random access memory)技術と多様化するマイクロプロセッサに対応する挑戦的技術を盛り込んでいる。この早いペースの新規材料技術への挑戦は現状の開発を複雑にさせている。長期的視点からは、材料面だけの革新ではデバイス要求を満たすことは難しくなり、光や RF(radio frequency)利用の配線技術と、さらに垂直にインテグレーションされた配線技術が革新的ソリューションとなるであろう。

配線の役割は信号やクロックの伝達・電力供給である。現在の論理チップでは 6-7 層の高密度配線が使われ、メモリーでも最先端チップでは 3 層配線が使われるに至っている。配線の長さも目的に応じて  $1\mu\text{m}$  以下のローカル配線から、チップ長相当まで、広い範囲に分布している。システムオンチップ(SOC)の中では、さまざまな機能と形状の回路ブロックを配線が接続しなくてはならない。さらに垂直方向に積層される配線構造では、アスペクト比が 10 を越える接続まで要求されるようになり、その技術は複雑となる。人の脳と同じように、チップ全体に占める配線の物理的容積と機能の重要さは増大の一途をたどり、その信頼性基準を満たす技術は物理限界に到達しようとしている。このような現状の中では、さまざまな技術の可能性が考えられ、それを試す必要があり、確定的な技術予測は困難なものであった。コスト、市場規模を考慮すると個別商品ごとにロードマップは考える必要がある。可能性のある技術については技術チャレンジとして記述したので、今後はそれらを意識しながら技術選択していく必要があるであろう。

## 2-4-2 検討範囲と項目

この章で述べる配線技術ロードマップの検討範囲はウェハプロセス工程の内コンタクト工程からパッド開口工程までである。本ロードマップでは対象とする製品を MPU(micro-processor unit)、DRAM、SOC としている。各製品はそれぞれ固有のニーズを持っているため配線技術の目標値(ターゲット)を対象製品ごとに分類した。検討した時間的範囲はテクノロジーノード 180nm(1999 年)から 35nm(2014 年)までである。

MPU、SOC の配線はローカル配線、中間層配線、グローバル配線と使用目的別に分類できる。製品から要求される目標値として各種配線ごとの配線アスペクト比、ビアアスペクト比に加えトータル配線層数、配線ピッチ、配線許容電流密度、配線抵抗率、層間絶縁膜の比誘電率(k)、コンタクト部ビア部の接触抵抗率等について記述した。DRAM に関しても同様の項目について記述した。

目標値を達成するために特に困難な課題に関しては、テクノロジーノード 100nm までの時期と 100nm 以降の時期に分類し、それぞれ 5 つの重大な項目について記述した。

課題を解決するための候補技術、目標に到達するための提言としてメタル技術分野、絶縁膜技術分野、平坦化技術分野、配線信頼性技術分野に関して詳細に述べた。横断的な課題である ESH、欠陥密度低減、計測器技術、モデル&シミュレーション、パッケージング技術は章をあらためた記述があるためここでは配線技術に固有の課題提起を関連分野への提言という形で記述した。FEPと共通技術であるドライエッチング技術、洗浄技術、高/強誘電体技術は FEP の章にまとめた。但し、高

誘電体膜はデカップリング容量材料として使用されるため絶縁膜技術の項に記述した。CMP 技術は STI(shallow trench isolation)技術を含め平坦化技術の項目にまとめた。近年特に注目されているウェハレベル CSP(チップサイズパッケージ)に関してはパッケージ技術の章に関連した記述がある。再配線技術、バリアメタル技術ともに従来の配線形成技術の延長で課題解決が可能である点から今回のロードマップでは項目を改めた詳細な記述は行っていない。

### 2-4-3 ニーズ、到達レベル

図表2-4-1から図表2-4-6にテクノロジーノードごとに配線技術に要求される性能目標値を示している。配線に対する要求をより適切に記述するために、Near Term(1999 年-2005 年)、Long Term(2008 年-2014 年)での技術要求および有望解を MPU, DRAM, SOC の 3 つの製品に分類して特徴的な値を示している。現状の技術レベルで研究開発段階のものは黄色、明確な解が見つかってないものは赤色で表示されている。

MPU に対しての要求値は、現在広く用いられている階層的スケーリング法を採用することを前提としており、配線ピッチ、アスペクト比をローカル配線、中間層配線、グローバル配線に区別して図表2-4-1 と図表2-4-2 に示している。図表2-4-7に将来のローカル配線、グローバル配線の配線遅延の変化を示す。ローカル配線層での配線遅延に関しては、従来通りのトレンドに沿ったスケーリング(微細化)による影響は比較的少ない。RC(resistance capacitance)遅延への影響はグローバル配線におけるものが支配的で、全体としての性能向上を計るためには、低抵抗、低誘電率(Low-k)材料の導入だけでは対応できない。グローバル配線での配線遅延を緩和するためにはリピータを導入することが有効であるが、一方でリピータの導入は消費電力の増加、チップサイズの増加を余儀なくする。Long Term では、従来技術の延長での性能向上限界を乗り越えるために、まったく新しい設計手法や平面導波路、自由空間 RF、光配線などのまったく新しい技術的な解が必要とされる。また、動作周波数が高くなるとインダクティブな(誘導結合による)効果が問題となってくる。この場合、インダクティブな効果をシールドするための余分な配線層や接地ラインが必要となることが予想される。さらに、電源電圧のスケーリング(低電圧化)に伴い、すべてのクロック配線、信号線におけるクロストークが大きな問題となってくる。Near Term での解としては、メタル配線の配線厚を薄くし、配線間の容量を低くするという方法がとられる。この方法としては、配線間の絶縁膜の誘電率を低減化するか、配線膜厚を薄くすることで対応できる。しかし、配線膜厚を薄くすることは配線抵抗を犠牲にしなければならないが、配線材料として Al から抵抗の低い Cu にすることでこの犠牲を少なくできる。1997 年版に比較し、1999 年版ロードマップでは、配線間の容量の低減化を過剰な Low-k 膜の低誘電率化だけによらず、上記配線膜厚を減少させる設計を考慮して作成されている。このことにより、層間膜の Low-k 化に対する要求は緩和され、インテグレーションの困難さを伴う Low-k 膜のダマシン配線への導入に猶予を与えることになっている。図表2-4-8に配線アスペクトの LSI 性能に及ぼす影響をシミュレーションした結果を示す。ローカル配線では、配線遅延に及ぼす影響は配線間の容量が支配的なためアスペクト比が低いほどよく、中間層、上層ではその影響は配線抵抗が支配的なためアスペクトが高いほうがよい。しかし、必要以上にアスペクト比を高くしても性能は向上しない。また、配線のアスペクト比は、スピード性能のみでなく、クロストーク、また許容電流密度を考慮して決められなければならない。さらに、プロセス技術としてはプロセスマージンを考慮したアスペクト比が対

象となる。許容電流密度は配線寸法がシュリンクされることにより今後も増大を続ける。MPU は多くの配線層数を用いる。設計者は、配線遅延の影響をなるべく少なくなるように、図表2-4-9に示すように一般的に上層に行くほど配線ピッチと配線膜厚を大きくする階層設計を行う。グランド電極やチップ上に設けるデカップリングキャパシタへの要求に対応するためにさらに配線層数は増加することが予想される。

DRAM の配線技術は、図表2-4-3、図表2-4-4に示すように、もともと厳しい配線ピッチ、もともと高いコンタクトのアスペクト比を要求し、またもともと厳しい寸法制御、欠陥制御を要求する。また、DRAM においても RAMBUS のような高速のメモリー製品に対応するために 130nm世代からは従来の SiO<sub>2</sub> に変わる低誘電率膜を、また 100nm世代からは Cu 配線が要求されることになると予想される。DRAM では、低価格の要求が強く、Cu 配線を用いることが価格を上昇させることになればその導入が遅れることもありえる。すなわち、DRAMでは、従来の Al配線の改良と拡張が引き続き必要となると予想される。Al 配線が 100nmのノードまで用いられると予想され、これは、高アスペクトコンタクトや配線の埋め込み技術(W プラグ技術など)の改良をドライブすることになるであろう。

SOC での技術要求では図表2-4-5、図表2-4-6に示すように、垂直方向のスケールおよび低誘電率化は MPU とほぼ同様である。しかし、SOC の設計では、システムクロックが唯一の性能を支配する要因とはならないので必ずしも階層的なスケーリングとはならない。抵抗、キャパシタ、インダクタまたは他の SOC 素子のために付加的に必要な配線層や誘電体が記載されている。また、DRAM 混載や SOC のための受動素子に対して特別な材料やプロセスインテグレーションが要求される。

図表2-4-10にいくつかの層間膜構造を用いたダマシン配線構造の例を示す。ダマシンプロセスは製造方法に大きく依存する。現在行われている Cu ダマシード配線プロセスでは、PVDを用いたTa系のバリアメタルとCuシード層を用いたものが多く採用されているが、更なるスケーリングを行うために新たな拡散防止膜材料やシード層の形成方法を2002年までに開発しなければならない。新たな技術開発により 100nm過ぎまでも Cu メッキが使われることも考えられるが、微細化、高アスペクト化に対して、新たな埋め込み技術の開発が必要と考えられる。また、配線の実効的な抵抗を上昇させないためにはより薄いバリアメタルが要求される。さらに、Cu めっきのためのシード層をコンフォーマルに形成することはより緊急度の高い深刻な問題である。CVD(chemical vapor deposition:化学的気相成膜)技術によるシード層の形成、バリア性を持つ絶縁膜などが有望解としてあげられるが、いずれ 2008 年までにはバリア層の厚さをゼロにする必要があると考えられる。

誘電体膜としては、Near Term では、層間絶縁膜としては低誘電率化を、またデカップリングキャパシタとしては高誘電率化、さらに FeRAM に対して残留分極の増大がそれぞれ絶縁膜として要求される。これらの絶縁膜の熱的、機械的、電気的な特性はプロセスインテグレーションに対してきわめて厳しい要求をする事となる。また、Long Term では、絶縁膜の高周波での絶縁膜特性が問題となるであろう。

平坦化の要求、ダマシン配線技術に代表されるプロセス要求から CMP は今後とも重要な技術である。CMP においては、CMP 技術自体と CMP 後の欠陥低減化技術の継続的な改良が Near Term においては要求される。Long Term では CMP 以外の平坦化技術が有望解となることも考えられる。CMP においては、エロージョン(erosion:侵食)やディッシングを極力小さくすることが要求される。ITRS'99 ではエロージョンやディッシングに対する要求値の目安も記述してあるが、STRJ として合意できなかったため本報告ではこの項目を削除している。また、今後導入されてくる Low-k 膜は



一般に低密度で機械強度が弱い。これを材料的に対策する方法とそれに対応できる CMP 技術の開発が必須となる。また、将来のデバイスの低欠陥化に対してポスト CMP クリーニング技術の開発は重要である。

その他微細化に伴い、エッチストップ層やバリア層との高い選択比を持つエッチング技術、レジスト剥離技術、微細なビアホール底のポストエッチクリーニング技術などの開発も今後さらに重要となってくる。また、ゲート絶縁膜の薄膜化、新材料の導入に対して、エッチングやデポジッションのプロセスでのダメージを低減化することは解決しなければならない必須の課題である。

#### 2-4-4 課題

配線の微細化とチップサイズの増大により、配線遅延がゲート遅延を上回り、全体の遅延を支配するようになってきているのは、周知のとおりである。配線遅延の問題と言っても、本問題を解決するには、配線技術の見直しだけでは必ずしも十分ではなく、回路やシステム面からの改善が不可欠であることも同時に指摘されている。勿論配線材料、すなわち配線自体と層間絶縁膜を適切な材料に変更することによって、問題が深刻となるであろう時期を先延ばしすることは可能であり、この間に他の手法による改善や革新的な配線技術等による根本的な解決を計って行くことが極めて重要である。ここでいう課題は、配線技術の領域で対処できるものに限定するが、これまで以上にトータルコストに注意を払いながら、研究開発を推進する必要がある。

まず第一の課題は、先に挙げた配線材料の変更に伴うものであり、配線を Al から Cu へ、層間絶縁膜を通常の CVD 酸化膜から Low-k 膜に変更することにより、配線製造プロセスが大幅に変わることになる。例えば上記の配線自体の材料変化により Al 金属膜のエッチングから層間絶縁膜のエッチング(ダマシン構造の主要工程)へと移行し、Cu は CMP で加工することになる。またこの課題の中には、高アスペクト比のホールにバリア膜をコンフォーマルに形成する技術に始まって、その機能を保持しながらバリア膜を更に薄膜化する技術や、見方を変えて Low-k 層間絶縁膜の Cu 拡散防止効果を大幅に向上させる技術等が含まれる。

次の課題は、Cu 配線以降の配線技術であり、Ag 配線、光や RF 配線のような候補があるものの、回路やシステムの革新的な変更が先に起こり、それに適合するように候補の選択をすることになると考えられる。上記のいずれの配線技術も、それ単独でメリットを生み出すことはなく、従来通りのシステムであれば、Cu 配線に対する優位性を示すのは困難である。もう一つの課題は、Low-k 膜の比誘電率  $k$  の低減に伴う課題である。究極的には、エア・ギャップとなるが、一般的に有機ポリマー膜を経て、無機多孔質膜へと移行し、 $k < 1.5$  に向かうと考えられるが、この変更に対し材料の変更に伴うエッチング方法の変更、機械強度の低下に伴う CMP 方法の変更等、多くの課題がある。これらの課題の詳細を技術ノード 100nm 以前と以後に分けて図表 2-4-11 に示してある。

この技術ノード 100nm はデバイスによりずれがあるが、2005 年頃にあたり、これ以前は、Cu と Low-k のインテグレーションに重点が置かれ、これに伴うプロセスの変更、この影響を受けてチップの信頼性、とりわけ薄膜でも Cu のドリフトを抑制できるバリア膜、あるいはバリア膜無しで Cu のドリフトを抑制できる Low-k 膜がキーとなると考えられる。

100nm 以降でも Cu と Low-k は継続して使用され、改善作業が続けられる一方で、更なる性能向上(高速化)を計る為には、回路、システムの革新が不可避であり、これに適合する配線技術として

光やRF配線等が使用される可能性も出てくるので、これらの検討を早い時期から開始しておく必要がある。また素子工程ですでに起き出しているように、配線や容量の微細化自体、又はこれらに用いる新材料の導入による結晶学的微細構造の効果や量子効果が無視できなくなることが予想されるので、これらの所謂サイズ効果もあらかじめ視野に入れておくことも忘れてはならない。

#### 2-4-5 解決策の候補技術

配線技術における解決策の候補技術を各技術分野毎に図示する。

図表2-4-12にメタル技術の候補技術を示す。メタル技術では、ノード 100nm 以上で従来技術の延長線上に改善・開発を要する項目と、ノード 100nm 以下で新しい概念を用いて解決策を例示する項目に分けられている。前者 ( $\geq 100\text{nm}$ ) ではコンタクト・ビアへの埋め込み、Al 配線、Cu 配線及び他の低抵抗材料 (Ag) による配線技術に細分化し、各技術の展開が例示され、後者 ( $< 100\text{nm}$ ) では、現状の研究開発状況から検討されている候補技術として示されている。

絶縁膜の候補技術としては、図表2-4-13にデバイス設計上要求される比誘電率の値を示し、各々の領域で候補材料が挙げられその成膜方法とともに例示されている。また、この表中には、絶縁膜の適用分野ができるだけ判断しやすいように注釈が付記されている。なお将来の新しい展開として光導波路を層間絶縁膜で形成する場合も候補が考えられるが、実用化にあたっての関門も多く、現在検討されている成膜方法を挙げているにとどめている。また、具体的候補材料名が記載されていないものは、候補材料に必要と考えられる仕様を列記してある。

図表2-4-14には平坦化技術の候補が挙げられている。平坦化技術に関しては CMP を代表としてその部材、設備に関する項目とスラリー、パッド等の消耗品関係及び後洗浄に関する項目においてそれぞれ候補となる技術を挙げている。また、将来の微細化に対応する CMP に代わる平坦化技術については、海外において具体的提案もされている技術もあるが現段階では未知な点も多いので Other の表現にとどめている。

各技術についての現状における着手レベルと目標に到達するための提言は2-4-7章で詳細を述べる。

#### 2-4-6 他のWG分野への依存性

##### (1) ESH

Co や Cu、バリアメタルの CVD 原料ガス、Low-k 材料、洗浄用薬液の環境や健康に対する影響についての情報を充実させる必要がある。使用に当たっての基準や作業の手順など業界で確立していく必要がある。環境への影響とコストを考え廃液、排ガスの回収再生ができるシステムの構築が必要である。温室効果をもたらす PFC(poly-fluoro-compound)の使用を押さえる努力が業界を通して行う必要がある。SiO<sub>2</sub>、あるいは Si ベースの Low-k 層間絶縁膜のエッチング、CVD チャンバークリーニング(chamber cleaning:反応室清掃)にはPFCが多く使用される。装置的にガスの使用を最少に押さえるとともに、PFCを用いない C ベースの Low-k 層間絶縁物への代替も検討していかなければならない。

## (2) シミュレーションとモデル化への要求

### 1) 回路シミュレーション

180nm ノード以降、配線構造が回路性能に与える影響は重大化する。Cu 配線や low k 層間絶縁膜を採用しても、配線構造を最適化しなければ効果的回路性能向上には繋がらない。配線材料、構造、プロセスフローを決定する際、シミュレーションの重要性は今後ますます大きくなる。

回路規模の増大とともに、設計工数は増大し、再設計コストはますます大きくなる。このため、正確なクリティカルパスの予測やクロストークノイズ、アンテナ効果を予測し、回避できる効率的な自動レイアウトが必要になる。現在、小規模回路では遅延もクロストークも高精度に行うことができるが、クリティカルパスの抽出は、完全には自動化できていない。大規模回路は、配線を配線遅延時間に焼き直して論理シミュレーションが行われている。今後タイミングドリブン自動レイアウトなど配線遅延を少なくし、所望の仕様を満足するような配置配線技術の進展が期待される。

高速品では、クロック周波数が GHz を超え、チップ面積の増大に伴い従来の RC 遅延でなくインダクタンスを無視できなくなくなり、RLC(抵抗、電磁誘導、容量)としてのシミュレーションが必要となる。プロセス側では Cu 配線の適用による抵抗の減少により、インダクタンスが影響する時期が早まることが予測される。インダクタンスは配線の 3 次元的な構造とレイアウトによって決定される。配線形状の電磁界解析結果と回路シミュレーションのデータの相互互換性が必要となる。エッチング、CMP などのプロセス変動の情報も回路設計に反映されることも重要である。

クロストークノイズの制御は極めて重大になる。クロストークには配線間の容量と配線層間の容量比が関係する。回路シミュレーションと正確な 3 次元の容量、インダクタンスのシミュレーションの互換性が必要となる。またシミュレーション結果を検証するためのテストチップ特に小容量を精度良く測定できる回路が要求される。

EMI は現在プリント基板でシミュレーション技術が進んでいるようであるが、いずれ LSI においてもシミュレーション技術がでてくると思われる。

### 2) 信頼性シミュレーション

電流密度上昇とともに過剰な信頼性マージンの設定は所望の回路性能を実現できなくなる。設計する回路におけるエレクトロマイグレーション(electro migration:電子誘導元素移動)のクリティカルパス(critical path:臨海経路)を正確に予測し、設計にフィードバックできるツールが要求される。特にパルスの電流下でのエレクトロマイグレーションのモデル化と評価するための最適な評価回路が必要となる。また得られた評価データから半導体製品の実動作での寿命に換算するモデルの高精度化が必要となる。

また多層化の進展、一般に機械的強度が弱く、熱伝導率の悪い Low-k 層間絶縁膜の導入により多層配線の応力、及び温度分布のシミュレーションが必要となる。

### 3) プロセスシミュレーション

配線形成工程のモデル化とシミュレーションが実際のプロセス構築に対して重要となる。プロセス中もっともパターン依存性、プロセス変動の大きな CMP 条件の最適化は特に ASIC(application specific integrated circuit:特定用途向け IC)において重要であり、シミュレーションの成果が期待される分野である。エッチング、CVD、スパッタ前処理におけるプラズマダメージのモデル化は評価 TEG の最適化と相補的に進める必要がある。またメッキや CMP、洗浄などウェットプロセスの重要度

が高まっており、電気化学的な反応のモデル化や微細なコンタクトホール、ビアホールなどの中での薬液の振る舞いについてのシミュレーションが要求される。この分野で実際に役に立つシミュレータ構築のためには、前提となる各種の物性データベースの構築が必須である。配線のトポグラフィシミュレーションは CMP 技術により以前より重要度が落ちたという見方もある。しかしウェハエッジ部分の形状シミュレーションは実用上重要になると予測される。原子レベルでのモデル化のための分子軌道法や分子動力学が成膜やエッチングの動的反応モデルを解釈、予測するようになるには未だ解決すべき課題が多い。一方 Cu やバリアメタルの MO CVD 原料を無限に近い分子の組み合わせの中からのスクリーニングする場合、流体設計用の各種ガス物性定数の算出にはすでに効力を見せつつある。Low-k 層間絶縁膜の材料設計にも、効力を発揮することが期待される。

#### 4) 装置シミュレーション

装置の大型化、自動化とともに装置開発コストの削減と期間の圧縮のためには、シミュレーションの役割は増大する。流体、熱、電磁界シミュレーションは、すでに成膜装置設計のための重要なツールになっているが、反応メカニズムのシミュレーションの点では成熟した技術とはなっていない。現段階で重要なことは、半導体に使用されるガス、薬液物性のデータベースの充実と計算速度の向上である。

#### (3) 欠陥低減、計測技術

微細化とともに、より微細なごみまでが、歩留まりや信頼性に影響するキラーパーティクルとなるため、さらに厳しいパーティクル管理や欠陥検査装置、洗浄技術が要求される。LSI レベルでの多層配線の欠陥を迅速に評価するツールが必要となる。EB(電子ビーム)テストは、配線の多層化が進むにつれ計測が困難となるため EB テスト技術の進歩が要求される。

断面観察のための TEM(transmission electron microscope:透過電子顕微鏡)は試料作りに要する時間短縮が強く要求されている。また局所電子回折や局所組成分析の分解能と感度の向上も求められる。

ビアホールやコンタクトホールのボイド(void:空隙)を非破壊的に、高いスループット(throughput:単位処理能力)で検査する手法が極めて重要になる。W プラグ以上に Cu や Al プラグのボイドは信頼性に致命的の影響を与える。また Cu メッキにおいてはボイド中に薬液が残る可能性があり、より重大な問題を引き起こす可能性がある。メッキ膜や塗布膜中の欠陥を検査する手法も今後必要とされる。ビアホールやコンタクトホール底部の非破壊での映像化、組成分析ができるモニタリング技術が望まれる。

ダマシン配線における金属の結晶方位を評価するため今後は擬(シュード)菊地パターンデータの解析可能な SEM が期待される。金属膜、層間絶縁膜には、新しい材料が導入され膜の密着性の確認が必須であるが、膜の密着性を定量的に評価する手法は未だ確立されているとは言えない。引っ張り試験や引っかき試験機の精度向上とこれらに変わる超音波等を使用した非破壊で迅速な欠陥評価が求められる。また密着性のメカニズムに対する学術的理解を深める必要があり、密着性と界面の結晶状態や原子組成の関係を明らかにする必要がある。

エッチング後の残渣の除去、CMP の研磨剤の除去、及びこれらに起因するコロージョン(corrosion:腐食)発生を防ぐため洗浄技術が重要になる。洗浄は除去すべ残渣等を完全に取り去ると同時に、金属や層間絶縁膜の劣化を起さぬような洗浄薬液が要求される。コンタクトホールやビ

アホールの微細化、ボーダレス配線構造により洗浄はますます難しい方向になると同時に低コスト化、ESH への配慮も要求される。洗浄のドライ化、機能水による洗浄も検討が要求される。

In situ(インシチュ:その場)モニタリングとして、CMP のエンドポイントモニタリングは、ダマシンプロセスの制御のために、最も重要である。そのほか CVD の膜厚モニタリング、チャンバー中の不純物ガス濃度の検出、Cu メッキ装置の添加剤濃度のモニタリング、CVD やエッチングチャンバーウォールへの付着膜厚のモニタリングでメンテナンス時期を作業者に知らせる必要がある。

プロセスの再現性管理のために Low-k 層間絶縁膜の比誘電率(k)等膜質をインラインで評価できるツールが求められる。チップの収率を上げるためには、ウェハエッジぎりぎりまでのプロセスの保証が必要となる。膜厚や抵抗測定範囲のエッジ除外領域を極力小さくする必要がある。またウェハエッジ、ウェハ側壁のパーティクルや金属汚染を評価するツールが必要とされる。

Cu 配線においてクリーンルーム内での Cu 汚染の管理、Cu 装置や Cu 付きウェハの取り扱い方法の確立が必要となる。ウェハ裏面のクロスコンタミネーション評価、メッキ、洗浄、CMP 装置のミスト拡散を防ぐための気流制御とモニタリングが必要となる。また Cu 汚染の半導体製品への影響に関する知見を確立するための定量的データの蓄積が必要となる。

また CMP や CVD でのばらつき制御を、個別の工程毎にスペック内に収めることが難しくなり、直前工程のばらつきデータを、次工程に反映させてばらつき低減を行うような工場内のデータ管理システムの構築が必要となる。

#### (4) パッケージング

Cu 配線はフリップチップでパッケージングする際の整合性は良いが今後低価格品で Cu 配線が使用される場合ワイヤボンディングへの要求が出てくる。現在、パッドメタルは Al を使用しているが、Cu 配線に適合する新たな構造が望まれる。実装密度の向上と、チップ面積の増大、ウェハレベルパッケージング技術の進展により、配線技術と以降のパッケージ工程の境界は、今後無くなっていくことが予想される。システムを構成する際、完全なオンチップ化と高度な集積技術を使用した MCM が競合していくことになる。将来的には光インターコネクト、ワイアレスインターコネクト、光クロック分配等、実装技術に大きく依存する技術が重要となることが予測される。

### 2-4-7 現状における着手レベル、目標に到達するための提言

#### (1) メタル技術の有望解

Cu 配線は、250nm 世代の MPU において、配線遅延改善の目的で既に導入が始まっている。今後も、高性能化が必要な MPU や SOC などのデバイスにおいて、Cu 配線を用いたデバイスの割合が増加していくと予想される。また、デバイスの高性能化や低消費電力化への要求に適合していくには、Cu 配線を低誘電率層間絶縁膜と組み合わせる必要があり、これを実現するための技術開発が重要な項目となる。Cu 配線はダマシンやデュアルダマシン法で形成されるのが主流であるが、ロードマップに適合させていくためには、高性能の薄膜バリアメタルや Cu の埋め込み技術の進展が必須である。同時に、Cu 配線特有の不良や信頼性上の問題の評価を進めることが重要であり、これによって Cu 配線の欠陥低減を図り、プロセスの完成度や信頼性を上げていく必要がある。

一方、従来の Al 合金配線も、少なくとも今後数世代は配線材料として用いられると予測される。特

に、性能よりもコストが優先されるデバイスでは、Al 配線が今後も使用される可能性が高い。これらの Al 合金配線のビアでは、W プラグか Al の埋め込みが用いられるためビアの微細化に対応した埋め込みの技術開発が必要となる。

また、コンタクトレベルでは W プラグが今後も使用されると予想される。特にスタックトキャパシタを採用した DRAM や DRAM 混載デバイスでは、100nm 世代のコンタクトアスペクト比が 10 を越えると予想され、これに対応できるバリアメタルや CVD-W のカバレッジ改善が求められる。

#### 1) 100nm 以上での有望解

基板へのコンタクトでは、今後も W プラグの使用が主流となると予想される。特に、DRAM や DRAM 混載デバイスのコンタクトはアスペクト比の増加が激しいため、W-CVD の埋め込み性の改善が継続して求められる。同時に、高アスペクトコンタクトで良好な電気特性を保つためには、TiN/Ti バリアメタルのカバレッジ改善が必須であり、既に導入が始まっている CVD 法またはイオン化スパッタ法の改善を図っていく必要がある。更に、100nm 以降の世代に目を向けると、高アスペクトコンタクト対応のプラグ技術として、別の埋込み方法や材料を検討することも必要となると考えられる。加えて、コンタクトの接触面積も微小化していくため、コンタクト抵抗の安定化のためには、高性能のクリーニング技術の開発も加速される必要がある。

Al 合金配線のビアには、W または Al プラグが用いられる。W プラグでは、上述したカバレッジの改善と共に、低誘電率層間絶縁膜に対応した低温の W-CVD 膜形成技術が求められる。一方、ビアの抵抗を下げるためには、W よりも比抵抗の小さい Al プラグが有力であるが、これに関しては Al 配線の所で述べる。デュアルダマシン法で形成した Cu 配線では、Cu がビアのプラグ材料となるため低抵抗化では有利となる。いずれにしろ、高速のデバイスでは回路性能はビア抵抗の影響を受けるため、ビアを低抵抗、かつ均一に形成することが重要となる。このため、ビアプラグの材料と共に、最適な洗浄技術の開発や in-situ クリーニング技術の改良によるビア抵抗の低減を図る必要がある。

配線の主体としては、Cu 配線が最終的には主流になるだろうが、性能よりもコストが重視されるデバイスでは、今後数世代は Al 合金配線も重要な役割を担う。Al 合金配線の形成プロセスは、従来使用されているメタルのエッチングによる方法に加えて、ダマシンやデュアルダマシンプロセスも有力となる。特にデュアルダマシン法を採用した場合には、高アスペクト比の埋め込みを満たす目的で、Al 埋め込み技術の高性能化を検討していく必要がある。予測される技術としては、高温 Al 又はリフロー Al の改善、高圧 Al リフロー、ブランケット Al-CVD、選択 Al-CVD 技術などがある。高温 Al やリフロー Al の埋込性能改善のためには、埋め込みのウェッティング層となるニュークリエーション膜の材料選定とカバレッジ改善がポイントとなる。ニュークリエーション膜の材料としては、TiN、Nb、ブランケット CVD で形成した Al 膜などが有力である。この内、Al-CVD の原料としてはジメチルアルミ水素化物 (DMAH) がプリカーサーとして有力である。CVD 膜への Cu のドーピングを行うためには、PVD で形成した AlCu や Cu 膜から Cu を拡散させる手法がよく用いられる。これらの Al 合金配線プロセスでは TiN/Ti がバリアメタルとして用いられる。バリアメタルの形成法は、カバレッジ改善のために、現在の PVD もしくは遠距離スパッタから、CVD もしくはイオン化スパッタへと発展する可能性が高い。

Cu 配線は、ダマシンやデュアルダマシン法で形成されるため、溝やホールへの埋め込みが重要である。このため、電気化学的堆積法の一つで、埋め込み性に優れた電解メッキ技術が量産プロセスに導入されている。電解メッキ技術は、今後、溝やホールの微細化に対応して埋め込み性の改善が必要となるが、これを実現するには、メッキ液自体や電圧印可波形の改良などの電界メッキ技術自体

の改善と共に、シード層となる Cu 膜のカバレッジ改善も重要となる。現在、シード Cu 層の形成には、イオン化スパッタ法や遠距離スパッタ法が主に使用されているが、これらの技術の改善と共に、CVD や無電界メッキ技術によるシード層形成も有力な方法となってくる。一方、電解メッキ以外の Cu 埋め込み法としては、Cu-CVD や Cu リフロー技術、無電界メッキ技術が有望解である。Cu-CVD 法は、単一のクラスタープラットフォームでバリア金属の堆積と組み合わせることができるため魅力的であるが、プリカーサー(precursor:前駆体)の再利用や消費量の削減などによる COO の改善が実用化のために必要である。また Cu フロー技術に関しては、遠距離スパッタ Cu 膜の熱リフロー法が、シングルダマシン用で既に生産に導入されている。今後の Cu フロー技術では、埋め込み特性の向上が重要な課題であり、高温スパッタや高圧リフロー法などの検討と共に、CVD-Cu 膜を埋め込みのウェットティング層として使用することも考えられる。いずれにしろ、埋め込み性能、膜質、COO の観点から、各世代で最適な埋め込み技術の選択が行われていくと予想される。

Cu 配線のスケールアップを進める上で、実効的な配線抵抗を増大させないためには、バリア金属の薄膜化が必須となる。従って、カバレッジが良く、バリア性に優れた薄膜バリア金属が必要となる。現在は、イオン化スパッタや遠距離スパッタで形成した Ta や TaN、TiN 膜が用いられているが、これらの技術の改良と共に、カバレッジの良い CVD 法の検討も今後は必要である。材料的には、上記以外にも TiSiN、TaSiN、WN、WSiN などが高性能のバリア金属として用いられる可能性がある。また、これらの手法以外では、無電解メッキ法による CoP、CoWP 等の材料や ALD(atomic layer deposition)法による薄膜のバリア金属形成なども候補となってくる可能性がある。更に、100nm 以下の世代では配線の実効的な抵抗を低減するために、層間絶縁膜自体に Cu に対するバリア性を持たせて、バリア金属を不要とする検討も必要となる。

これらの Cu 配線技術は、世代毎に進む微細化、層間絶縁膜の低誘電率化にプロセスを整合させていくことが求められる。Cu 配線がこれらの要求に答えるのが難しくなった場合には、他の金属(Ag)の導入も候補となる可能性がある。

## 2) 100nm 以下での有望解

100nm 以下の設計ルールに対しても低誘電率層間膜と組み合わせた Cu 配線の使用が予想されているが、グローバルな配線に関しては、これだけでは配線遅延に関するデバイスの要求を満たす事が出来ない。従って、回路設計・レイアウト設計の最適化やパッケージングの改良によってデバイスの遅延を改善することが重要であり、この問題への組織的な取り組みが必要である。また、100nm 以下の微細な金属配線においては、電子の表面散乱の効果が抵抗に影響する可能性があり、この点を十分に検討しておく必要がある。

配線遅延を改善する他の有望解としては、3 次元素子やチップ内/チップ間の光配線や RF 配線が上げられる。また、チップの低温動作化は、それ自体が配線抵抗の低減に効果があると同時に、高温超電導( $T_c \approx 400K$ )の実用化への道を拓く可能性がある。これらの有望解については、基礎研究を加速して配線課題の解決に焦点を合わせる必要がある。

## (2) 絶縁膜の有望解

複雑化する多層配線での寄生効果がデバイス性能に及ぼす影響は微細化が進むにつれ深刻な問題となることが予想されており、多層配線でのブレイクスルー(breakthrough)技術開発への期待は大きい。寄生抵抗の低減化に対して、現在 Cu に代表される低抵抗配線金属材料の導入が

250nm ノードから導入され始めている。一方、寄生容量の低減化は、RC 遅延の低減によるデバイスの高速化に寄与するのみならず、微細配線で問題となる配線間のクロストークの低減や低消費電力化に大きく寄与するためその技術開発が急がれる。従来、配線間、層間の絶縁膜は主に SiO<sub>2</sub> 系が用いられてきたが、上記寄生容量の低減化のために誘電率の低い新たな材料の導入が余儀なくされている。

図表2-4-13には、絶縁膜材料に関する有望解を示す。できるだけ比誘電率(k)の低い材料が、早期に開発されることが望ましいが、材料、プロセス開発のハードルが高く、段階的に比誘電率(k)を下げていくものと考えられる。半導体製品製造工程数は少なくすることが要求され、単一の材料で層間絶縁膜を構成することが望まれる。しかし、インテグレーションの観点から、LSI プロセスとしての整合を取るためには、従来の技術(SiO<sub>2</sub>やSiNなど)との併用が必要となる。この場合、寄生抵抗、寄生容量は、配線構造(配線や絶縁膜の寸法、積層構造、レイアウトなど)に大きく依存し、比誘電率(k)や抵抗という物性値の低減と同時に最適な構造を設計するための技術も重要となる。

新材料の導入にあたっては材料探査が当面の課題となる。材料の選定にあたっては、LSI プロセスへの導入にあたって、メタライズ(metalize:金属化)工程等の他の工程との整合性を考慮しなければならない。具体的な項目としては、熱安定性、機械強度、ガス放出特性、積層化に伴う密着性等があげられる。さらに詳細な要求は、ダマシン配線かドライエッチで形成した配線かというような配線構造・プロセスの選択によっても異なってくる。また、これらによって、材料のみならず成膜特性に対する要求も異なってくる。たとえば、ダマシン構造では、配線の段差を埋め込む成膜を行わなくてもよいが、RIE(reactive ion etching:イオン反応エッチング)配線の場合には、微細な配線間の埋め込み特性が要求される。さらに、加工性、平坦化特性等の観点から、加工技術、平坦化技術の開発が同時に要求される。

100nm 以下の製品では実効の比誘電率(k)が 1.5 以下の層間絶縁膜が要求される。この場合、Low-k 材料の開発でこれに対応するか、またはその有望解として中空配線(配線間や層間の一部または全部が真空かガスで満たされた空間となったもの)が考えられる。この場合には、中空の多層配線構造の検討と特別なインテグレーション技術の開発が必要となる。

既に実用化されている Cu 配線では、Cu のデバイス領域への拡散を抑制する技術が必須であり、一般的に Cu 配線を拡散バリア金属で包み込む構造や SiN 等の層間絶縁膜で拡散を防止する構造が採用されている。拡散バリア金属は一般には抵抗が高く、これを用いることで実効的な Cu の配線断面積を低減化することになる。また、SiN 等の Cu に対して拡散耐性を持つ層間絶縁膜は比誘電率(k)が高く、層間や線間に Low-k 材料を用いても配線近傍に高比誘電率(k)の SiN 等があることで実効的な層間絶縁膜の比誘電率(k)が上昇する。この影響は配線が微細になるほど大きくなり、微細化に向けての大きな課題となる。対策として、拡散バリア膜を薄膜化する技術や拡散防止用の絶縁膜の Low-k 化を計る技術の開発が必要となる。100nm 以降の半導体製品には層間絶縁膜自身が Cu の拡散耐性を持つ材料であることが要求される。

50nm 以下の半導体製品では、配線抵抗や比誘電率(k)の低減による信号遅延対策のみでは対応できなくなることが予想され、この問題に対する有望解として光配線(配線内、配線間)がある。ここでは、従来の金属と層間絶縁膜で構成される電気信号の場合に問題となる寄生抵抗や寄生容量の問題が根本的に解決される可能性がある。この場合、光導波路を層間絶縁膜で形成しなければならず、その材料、構造、形成方法に対する基礎検討が必要となる。しかし、電気/光信号変換の問題や光配線間での干渉効果等による問題など、実用化にあたっては今後多くの解決しなければなら



ない問題がある。

光配線以外に、今後の半導体製品では、配線回路網に対し、高周波伝送路としての要求が新たに求められる。

MIM キャパシタ用メタル層間絶縁膜として、高誘電体膜を必要とする。RF 等の高周波回路網に用いられるデカップリングキャパシタ(de-coupling capacitor)用高誘電体材料としては、低リーク特性、安定した温度特性と共に、広い周波数領域における誘電率の安定性、および、MIM 構成とした場合のプロセス制御性が要求される。これらの高誘電体膜材料としては、DRAM キャパシタ用高誘電体膜材料開発と並行して、Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub> および BST 等の絶縁膜が検討されている。

### (3) 平坦化技術の有望解

CMP は STI、層間絶縁膜、金属の平坦化手法として広く用いられている。新しいデバイス構造に対してさらに適用工程が拡がることが予想され、今後も平坦化技術の主流となるであろう。デバイスの微細化、高性能化の進展に伴い、均一性や平坦性、欠陥などに対する要求はますます厳しくなるため、装置やプロセス材料の改善、または新しいコンセプトの導入が求められる。適用工程数の増大に伴い、コストの削減や環境負荷の低減についても不断の努力が求められる。図表2-4-14にCMP 技術の有望な解を示す。

#### 1) シャロートレンチ分離

微細化の進展に伴いシャロートレンチの平坦性に対する要求はますます厳しくなる。高平坦性を実現する研磨パッド、研磨方式、高選択性のスラリー、高精度の終点検出技術などによるプロセス改善が必要とされる。

#### 2) 層間絶縁膜の平坦化

Cu 配線の普及によりダマシン構造が主流になると、層間絶縁膜の平坦化工程数は少なくなるが、少なくとも1回以上の層間平坦化工程に CMP が用いられる。デバイス構造が微細化し、要求される平坦化性能も向上することから、ダマシン構造上でも層間平坦化が必要となる場合も考えられる。低誘電率膜の平坦化に CMP が用いられる場合、低誘電率膜そのものを研磨する場合とキャップ膜を研磨する場合が考えられる。CMP や CMP 後洗浄による低誘電率膜のバルク特性の変化、キャップ膜の密着性等に注意しなければならない。

#### 3) メタルダマシン

Cu 配線が広く普及し、Cu ダマシンが CMP の主要アプリケーションとなる。ディッシング、エロージョンは配線膜厚ばらつきに影響するので、これらを最小にすべく、平坦性、均一性を改善していかなければならない。この課題の解決方法としては、研磨パッドによる平坦性の改善と面内均一性との両立、研磨ヘッドによる面内均一性の改善、スラリーの選択性による平坦性の改善、終点検出手法の改善による、ウエハ間均一性の改善などが含まれる。デバイスの要求性能と CMP のプロセス性能にギャップがある場合はダミーパターン等の補助的な手法が必要となる。ダマシン構造は複数の材料表面が露出するので、それぞれの表面上の洗浄性能と低ダメージを両立した洗浄技術が求められる。

#### 4) 一般的なCMP技術

平坦性の向上(パターン依存性の低減)、再現性の向上、欠陥の低減はアプリケーションに関わらず **CMP** のプロセス上の課題であり続けるだろう。平坦性の向上のためには硬質の研磨パッド、研磨荷重の低減、研磨パッド相対速度の向上が効果的であることはわかっているが、他の項目との両立、特に面内均一性との両立が難しい。平坦化性能が不十分な場合、ダミーパターンや反転パターンエッチ等の付加的な手法が必要となる。プロセスやパターンレイアウトにより平坦性を予測するシミュレーション技術が有効となるだろう。再現性の向上のためには研磨パッドの改善が不可欠である。再現性を阻害しているのは研磨パッドのポア構造のばらつきであり、無発泡材料、あるいは固定砥粒方式が再現性改善を目的として採用される可能性がある。現状の発泡材料を用いる場合にはコンディショナーディスクの改善が大きなテーマとなる。最も効率的な粒径、密度、粒子形状等を安定して実現する技術がディスクメーカーに求められる。欠陥低減は**CMP**の永遠のテーマである。スラリー、研磨パッド、プロセスの改善、リカバーのためのプロセスの複合などが必要である。

従来のテーブル回転方式とは異なる研磨方式が検討され始めている。オービタル方式、リニア方式、楕円方式、小径パッド方式、半固定砥粒方式などである。それぞれの方式に特有の長所短所を持っており、将来的にはアプリケーション毎に特有の研磨方式を採用することになる可能性がある。複数のプロセスを連続して行うことのできるマルチテーブル装置、洗浄までを一貫して行える洗浄機一体型 **CMP** はすでに量産現場で使用されている。アプリケーションにより、必要なテーブル数、洗浄段数は異なるので、それらをモジュール化した自由度の高い装置が求められる

**STI** やメタルの **CMP** では異なる表面が露出することを利用した、光学式やモータートルク信号による終点検出技術が量産現場で使用されている。層間絶縁膜の残膜制御のためには、インライン測定によるフィードバックやフィードフォワード制御が必要となる。廃液処理の問題は適用工程の拡大、**Cu CMP** への適用などからますます重要となる。処理技術の改善と、スラリー使用量の削減、スラリーリサイクル技術の確立などが求められる。将来的には、あらゆる課題の解決のために **CMP** に代わる平坦化技術が開発される可能性がある。

#### (4) 信頼性技術

高速 **MPU** に代表される一部の高性能高速デバイスではすでに **250nm** 世代から **Cu** 配線の実用化が急速に進んでいるが、今後数世代にわたっても **Al** 配線と **Cu** 配線は併用されると考えられる。また多層配線においては **Al** 配線、**Cu** 配線がデバイスの多層配線設計の観点から層毎に使い分けられ、単一デバイスの中で両者が混在することも考えられる。これら配線金属材料の選択は低誘電率絶縁膜材料も含め、デバイスの速度性能、信頼性、コストの観点から行われる。信頼性不良の主な原因はデバイス作動中に、電流起因で発生するエレクトロマイグレーションと、多層配線構造での応力起因で発生するストレスマイグレーション(**stress migration**:応力誘導元素移動)および種々の界面での剥離現象、デバイス作製時のプロセスに使用するプラズマからのトランジスタへのダメージである。デバイスの縮小化、高密度化の速度は今後も衰えず、多層配線にはより多層化(ストレスマイグレーション、剥離現象、プラズマダメージに課題)、許容電流密度の増加(エレクトロマイグレーションに課題)が求められる。

これらの課題を解決していくためには、多層配線最適設計、金属材料、絶縁膜材料の選択、プロセスの最適化を短期間に実施していく必要があり、それらを行うための最適な技術環境が必要である。多層配線最適設計には配線抵抗、層間容量、信頼性予測モデルが必要であり、使用する金属

材料、層間膜材料の本来の特性とその特性が多層配線プロセス加工によってどう影響されるかを理解しておくことが必要である。

今後、低誘電率絶縁膜中にダマシン構造で形成された微細な Al 配線、Cu 配線の信頼性予測モデルに関して、個別プロセス、およびプロセスインテグレーションの安定性を含め、早急に理解、構築することが重要である。微細デバイスでの多層配線構造では、各構造において、他部位との界面が極めて多くなり、材料のバルク、薄膜などの本来の特性ではなく、界面拡散、密着性などに代表される界面特性が信頼性に影響を与える可能性が高い。したがって、各個別プロセスの間での表面処理技術、界面制御技術が極めて重要な技術となり、プロセスのその場評価およびプロセス後評価（たとえば、多層膜構造での膜厚や抵抗測定など）により信頼性に影響を与えるパラメータの抽出、制御が必要である。

上記の開発を実施する上での大きな問題は信頼性の正当かつ短時間での評価である。高周波で動作する多層配線の信頼性、特にエレクトロマイグレーションを評価するためには、DC、AC 評価のみならず、パルス電流評価が必要であり、また多層化に起因した機械的応力増加にともなうストレスマイグレーションも評価する必要がある。特に新たな低誘電率絶縁膜材料は一般的に金属との密着性に課題があり、密着性に起因した新たなメカニズムの信頼性不良が発生する可能性がある。今後はコストと信頼性の観点から、低コストなプロセスを高信頼性化するために、信頼性のより正確な見積もりが重要となる。このためには材料メーカー、装置メーカー、デバイスメーカーの間で標準的な TEG パターンを含んだ評価手法の開発、密着性など機械的特性と信頼性との相関、信頼性劣化のメカニズムに対する新たな知見、モデル化、信頼性モデルのパラメータの共有化が必要である。また、信頼性評価期間を短縮するためのウェハレベルでの評価手法、TEG および実デバイス内での局所的な不良箇所を検知し物理的に解析する新たな解析技術も必要となる。

信頼性を考慮して多層配線設計を行うには高精度な信頼性モデルに基づいた CAD ツールが必要となる。信頼性劣化のメカニズム、信頼性モデルのパラメータを新たな CAD ツールの入力データとし、これらのデータや信頼性 CAD ツールによって、設計の選択が製品信頼性に与える影響を見積もることができる。また信頼性面から見た回路特性の劣化を計算できる。信頼性から見た CAD ツールを開発する必要がある。配線やビアの抵抗上昇値が入力値として用いられるが、これらは(1) 配線長、(2) 回路に必要な電流から見積もった電流密度、(3) 回路や配線におけるジュール熱の効果を含めた局所的な動作温度から計算される。このようなツールは回路設計者の CAD ツールセットに統合され、プロセス開発前に製品の信頼性を予測し、技術予測や技術導入の加速に利用されなければならない。

プラズマダメージは従来の金属ドライエッチにより配線を形成する場合とダマシン配線の場合とで大きく異なると予想される。

金属ドライエッチ配線においてはアンテナ効果によるダメージは微細化に伴い大きくなる方向にある。ビアやコンタクトホールにおいてもアスペクト比の増大に伴い電子シェーディング効果の増大、マイクロローディング効果は同様に厳しくなる。単一の配線パターン内にビア個数が増えるとダメージの効果は増大する。またレジストストリップにおいてもドライストリップが主流になるにつれて従来より強い条件のプラズマが使用されるためダメージが大きくなる傾向にある。絶縁膜の埋め込みも、プラズマ CVD による線間スペースの埋め込みを行う場合アスペクト比が大きくなるにつれ埋め込みには、バイアス印加が必要となり、装置内の不均一なプラズマ密度がダメージを誘引することが考えられる。また反応が開始される初期のプラズマが不均一な時、成膜初期に配線スペースの狭い領域で側壁に完

全な成膜が形成されていない期間が最もダメージが大きいことが予想される。塗布系の膜を埋め込みに使用する場合はダメージは軽減される。レジストマスクの代わりにハードマスクを使用することは、シェーディング効果を低減できる。コンタクトやビア加工でエッチングストップはダメージを低減できるプロセスになる。装置的には均一なプラズマ形成がエッチング装置、層間絶縁膜双方に要求され、マイクロレーディング効果を防ぐことがエッチング装置に要求される。Cu 配線のドライエッチングでは高温（200℃前後）でのプラズマにさらされることになりゲート絶縁膜へのダメージはより厳しくなると考えられるがこの分野の検討は始まったばかりであり、今後の研究が必要となる。

一方、ダマシ構造配線になると金属ドライエッチングが無くなり、プラズマダメージは大きく低減される。エッチングにおいてプラズマダメージが懸念されるのはビアのエッチングのみとなる。ビアのエッチングによるダメージはダマシ構造の形成方法（ビア先、またはトレンチ先）によって異なる可能性がある。デュアルダマシ構造では従来よりもアスペクト比は大きくなり、電子シェーディング効果は大きくなる。しかしビア加工の場合、単位面積あたりのダメージは金属エッチング時よりも大きい、単一の配線パターンに形成されるビア数は限られている。従来の配線加工におけるダメージの主たる要因が配線のエッチングであったことを考えると、やはりダマシ構造はエッチングによるプラズマダメージは小さいプロセスといえる。

今後の絶縁膜は低誘電率化が必須となる。多くの塗布系の低誘電率膜が提案されているが塗布系膜を利用した場合はプラズマの影響は考えなくて良い。しかしながら低誘電率の膜の中には耐熱性が低く、ダメージ回復のための水素フォーミング時のプロセス処理温度 400℃に耐えられないものがある。この場合ダメージ回復が不可能で加工時のプラズマプロセスのダメージは厳しく制限される。このため低誘電率絶縁膜としては 400℃を越える耐熱性が必要とされる。プラズマ CVD を使用する場合は狭い領域への埋め込みが必要無いためバイアスは必要とされず、ダメージは低減できることが予想される。

以上のようにダマシ構造においてはプラズマダメージは低減されることが予想されるが、未だに検討が十分なされておらず、今後プロセスとデバイスへのダメージの関係を評価する最適な TEG 構造が必要である。

## 出典

- 図表2-4-1: ITRS'99 Table 46a に基づき一部 STRJ で改訂
- 図表2-4-2: ITRS'99 Table 46b に基づき一部 STRJ で改訂
- 図表2-4-3: 出典: ITRS'99 Table 47a
- 図表2-4-4: 出典: ITRS'99 Table 47b
- 図表2-4-5: 出典: ITRS'99 Table 48a
- 図表2-4-6: 出典: ITRS'99 Table 48b
- 図表2-4-7: 出典: ITRS'99 Figure 27
- 図表2-4-9: 出典: ITRS'99 Figure 28
- 図表2-4-10: 出典: ITRS'99 Figure 29
- 図表2-4-11: ITRS'99 Table 45 に基づき一部 STRJ で改訂
- 図表2-4-12: ITRS'99 Figure 31, 32, 33 に基づき一部 STRJ で改訂
- 図表2-4-13: ITRS'99 Figure 30 に基づき一部 STRJ で改訂
- 図表2-4-14: ITRS'99 Figure 34 に基づき一部 STRJ で改訂

YEAR TECHNOLOGY NODE	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm
MPU1/2 pitch	230	210	180	160	145	130	115
MPUgate length(nm)	140	120	100	85	80	70	65
Number of metal levels	6-7	6-7	7	7-8	8	8	8-9
Number of optional levels ground planes/capacitors	0	0	0	2	2	2	2
Jmax (A/cm <sup>2</sup> )-wire(at 105°C)	5.8E5	7.1E5	8.0E5	9.6E5	1.1E6	1.3E6	1.4E6
Imax(mA)-via(at 105°C)	0.36	0.36	0.33	0.32	0.29	0.27	0.24
Local wiring pitch(nm)	500	450	405	365	330	295	265
Local wiring A/R(for Al)	2	2	2.1	2.1	2.2	**	**
Local wiring A/R(for Cu)	1.4	1.4	1.5	1.5	1.6	1.6	1.7
Intermediate wiring pitch(nm)	640	575	520	465	420	375	340
Intermediate wiring A/R(Al)	2.2	2.3	2.4	2.5	2.6	**	**
Intermediate wiring dual damascene A/R(Cu wire/via)	2.0/2.1	2.1/2.1	2.2/2.1	2.2/2.1	2.2/2.2	2.3/2.2	2.4/2.2
Minimum global wiring pitch(nm)	1050	945	850	765	690	620	560
Global wiring A/R(Al)	2	2.1	2.2	2.3	2.4	**	**
Global wiring dual damascene A/R(Cu wire/via)	2.2/2.4	2.3/2.6	2.4/2.7	2.5/2.7	2.6/2.8	2.7/2.8	2.7/2.8
Conductor effective resistivity ( $\mu\Omega\cdot\text{cm}$ )Al wiring	3.3	3.3	3.3	3.3	3.3	**	**
Conductor effective resistivity ( $\mu\Omega\cdot\text{cm}$ )Cu wiring*	2.2	2.2	2.2	2.2	2.2	2.2	2.2
Barrier/cladding thickness(for Cu wiring)(nm)***	17	16	14	13	12	11	10
Interlevel metal insulator- effective dielectric constant(k)	3.5-4.0	3.5-4.0	2.7-3.5	2.7-3.5	2.2-2.7	2.2-2.7	1.6-2.2
Specific contact resistance( $\Omega\cdot\text{cm}^2$ )	3.0E-7	3.0E-7	3.0E-7	1.7E-7	1.7E-7	1.7E-7	1.0E-7
Specific via resistance( $\Omega\cdot\text{cm}^2$ )	7E-9	7E-9	7E-9	2E-9	2E-9	2E-9	1E-9

\* バリアとニュークリエーション層はコンフォーマルに成膜されているとする。

\*\* AL系の技術は、このテクノロジーノードにおいて、微細配線部分には使用されないと予想される。

\*\*\* 各テクノロジーノードに合った比抵抗になるように、ローカル配線のバリア金属層の膜厚を計算した。バリア金属層は、コンフォーマルに成膜されているとする。

注) Cu配線のデイスシング量は、ローカル配線の場合、配線厚さの5%、中間配線及びグローバル配線の場合、配線厚さの10%とする

(15 $\mu\text{m}$ 幅配線)。層間膜のエロージョン量は配線厚さの10%とする。(配線密度50%)

上記内容は ITRS'99 Table46a に含まれている。但し、本数値は STRJ として合意できなかった為、本図表から削除した。

Solutions Exist
  Solutions Being Pursued
  No known Solutions

図表2-4-1 MPU配線技術の目標値(Near Term)

YEAR TECHNOLOGY NODE	2008 70nm	2011 50nm	2014 35nm
MPU1/2 pitch	80	55	40
MPUgate length(nm)	45	32	22
Number of metal levels	9	9-10	10
Number of optional levels ground planes/capacitors	3	4	4
Jmax (A/cm <sup>2</sup> )-wire(at 105°C)	2.1E6	3.7E6	4.6E6
I <sub>max</sub> (mA)-via(at 105°C)	0.18	0.16	0.11
Local wiring pitch(nm)	185	130	95
Local A/R(for Cu)	1.9	2.1	2.3
Intermediate wiring pitch(nm)	240	165	115
Intermediate wiring dual damascene A/R(Cu wire/via)	2.5/2.3	2.7/2.4	2.9/2.5
Minimum global wiring pitch(nm)	390	275	190
Global wiring dual damascene A/R(Cu wire/via)	2.8/2.9	2.9/3.0	3.0/3.1
Conductor effective resistivity ( $\mu\Omega$ -cm)Cu wiring	1.8	<1.8	<1.8
Barrier/cladding thickness(nm)	0	0	0
Interlevel metal insulator-effective dielectric constant(k)	1.5	<1.5	<1.5
Specific contact resistance( $\Omega$ -cm <sup>2</sup> )	5.0E-8	2.5E-8	1.5E-8
Specific via resistance ( $\Omega$ -cm <sup>2</sup> )	6E-10	3E-10	1.5E-10

注) Cu 配線のディッシング量は、ローカル配線の場合、配線厚さの 5%、中間配線及びグローバル配線の場合、配線厚さの 10%とする(15  $\mu$  m 幅配線)。層間膜のエロージョン量はゼロ。

上記内容は ITRS'99 Table46a に含まれている。但し、本数値は STRJ として合意できなかった為、本図表から削除した。

Solutions Exist ☐ Solutions Being Pursued ☐ No known Solutions ☐

図表 2-4-2 MPU配線技術の目標値 (Long Term)

YEAR TECHNOLOGY NODE	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm
DRAM 1/2 pitch	180	165	150	130	120	110	100
Number of metal levels	3	3	3	3-4	4	4	4
Contact A/R-stacked capacitor	9.3	10.0	10.7	11.4	11.9	12.4	13.0
Local wiring pitch(nm) non-contacted	360	330	300	260	240	210	200
Specific contact resistance ( $\Omega\text{-cm}^2$ )	3.0E-7	2.5E-7	2.0E-7	1.7E-7	1.6E-7	1.1E-7	1.0E-7
Specific via resistance( $\Omega\text{-cm}^2$ )	7E-9	5E-9	3E-9	2E-9	2E-9	1E-9	1E-9
Conductor effective resistivity( $\mu\Omega\text{-cm}$ )*	3.3	3.3	3.3	3.3	3.3	3.3	2.2
Interlevel metal insulator effective dielectric constant(k)	4.1	4.1	4.1	3.0-4.1	3.0-4.1	3.0-4.1	2.5-3.0

\* バリアとニュークリエーション層はコンフォーマルに成膜されているとする。

Solutions Exist ☐ Solutions Being Pursued ☐ No known Solutions ☐

図表2-4-3 DRAM配線技術目標値 (Near Term)

YEAR TECHNOLOGY NODE	2008 70nm	2011 50nm	2014 35nm
DRAM 1/2 pitch	70	50	35
Number of metal levels	4	4	4
Contact A/R-stacked capacitor	14.1	16.1	23.1
Local wiring pitch(nm) non-contacted	140	100	70
Specific contact resistance( $\Omega\text{-cm}^2$ )	5.0E-8	2.5E-8	1.5E-8
Specific via resistance( $\Omega\text{-cm}^2$ )	6E-10	3E-10	1.5E-10
Conductor effective resistivity( $\mu\Omega\text{-cm}$ )*	2.2	2.2	2.2
Interlevel metal insulator effective dielectric constant(k)	2.5-3.0	2.0-2.5	2.0-2.3

\* バリアとニュークリエーション層はコンフォーマルに成膜されているとする。

Solutions Exist ☐ Solutions Being Pursued ☐ No known Solutions ☐

図表2-4-4 DRAM配線技術目標値 (Long Term)



YEAR TECHNOLOGY NODE	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm
MPU 1/2 pitch(nm)	230	210	180	160	145	130	115
ASIC gate(nm)	180	165	150	130	120	110	100
Number of metal levels	6	6	7	7	7-8	8	8
Number of optional levels- passive elements	1	1	2	2	4	4	4
Local wiring pitch(nm)	450	405	360	325	290	260	230
Local wiring A/R(for Al)	2	2	2.1	2.1	2.2	**	**
Local wiring A/R (for Cu)	1.4	1.4	1.5	1.5	1.6	1.6	1.7
Intermediate wiring pitch(nm)	560	505	450	405	360	325	285
Intermediate wiring A/R(for Al)	2.2	2.3	2.4	2.5	2.6	**	**
Intermediate via A/R (Al)	2.8	2.8	2.9	2.9	3.0	**	**
Intermediate wiring dual damascene A/R(Cu wire/via)	2.0/2.1	2.1/2.1	2.2/2.1	2.2/2.1	2.2/2.2	2.3/2.2	2.4/2.2
Global wiring pitch(nm)	900	810	720	650	580	520	460
Global wiring A/R( Al)	2.2	2.3	2.4	2.5	2.6	**	**
Global wiring dual damascene A/R(Cu wire/via)	2.2/2.4	2.3/2.6	2.4/2.7	2.5/2.7	2.6/2.8	2.7/2.8	2.7/2.8
Interlevel metal insulator effective dielectric constant(k)	3.5-4.0	3.5-4.0	2.7-3.5	2.7-3.5	2.2-2.7	2.2-2.7	1.6-2.2
Specific contact resistance( $\Omega$ - $\text{cm}^2$ )	3.0E-7	3.0E-7	3.0E-7	1.7E-7	1.7E-7	1.7E-7	1.0E-7
Specific via resistance( $\Omega$ - $\text{cm}^2$ )	7E-9	7E-9	7E-9	2E-9	2E-9	2E-9	1E-9

\*\* AL 系の技術は、このテクノロジーノードにおいて、微細配線部分には使用されないと予想される。

Solutions Exist  Solutions Being Pursued  No known Solutions

図表2-4-5 SOC(高集積)配線技術目標値(Near Term)

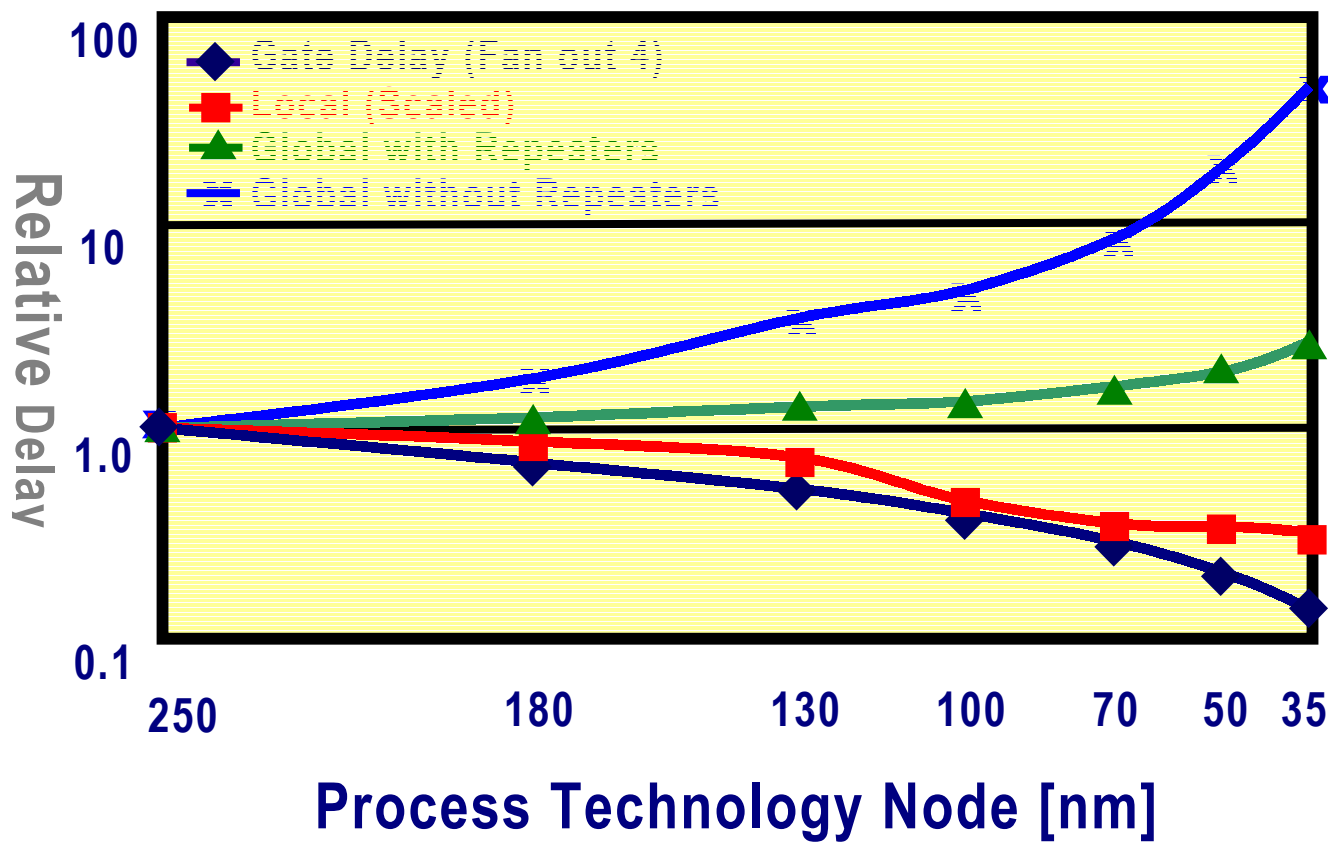
YEAR TECHNOLOGY NODE	2008 70nm	2011 50nm	2014 35nm
MPU 1/2 pitch(nm)	80	55	40
ASIC gate(nm)	70	50	35
Number of metal levels	9	9-10	10
Number of optional levels- passive elements	6	6	6
Local wiring pitch(nm)	165	120	85
Local wiring A/R(for Cu)	1.9	2.1	2.2
Intermediate wiring pitch(nm)	210	145	110
Intermediate wiring dual damascene A/R(Cu wire/via)	2.5/2.3	2.7/2.4	2.9/2.5
Global wiring pitch(nm)	330	240	170
Global wiring dual damascene A/R(Cu wire/via)	2.8/2.9	2.9/3.0	3.0/3.1
Interlevel metal insulator effective dielectric constant(k)	1.5	<1.5	<1.5
Specific contact resistance( $\Omega$ - $\text{cm}^2$ )	5.0E-8	2.5E-8	1.5E-8
Specific via resistance( $\Omega$ - $\text{cm}^2$ )	6E-10	3E-10	1.5E-10

Solutions Exist ☐

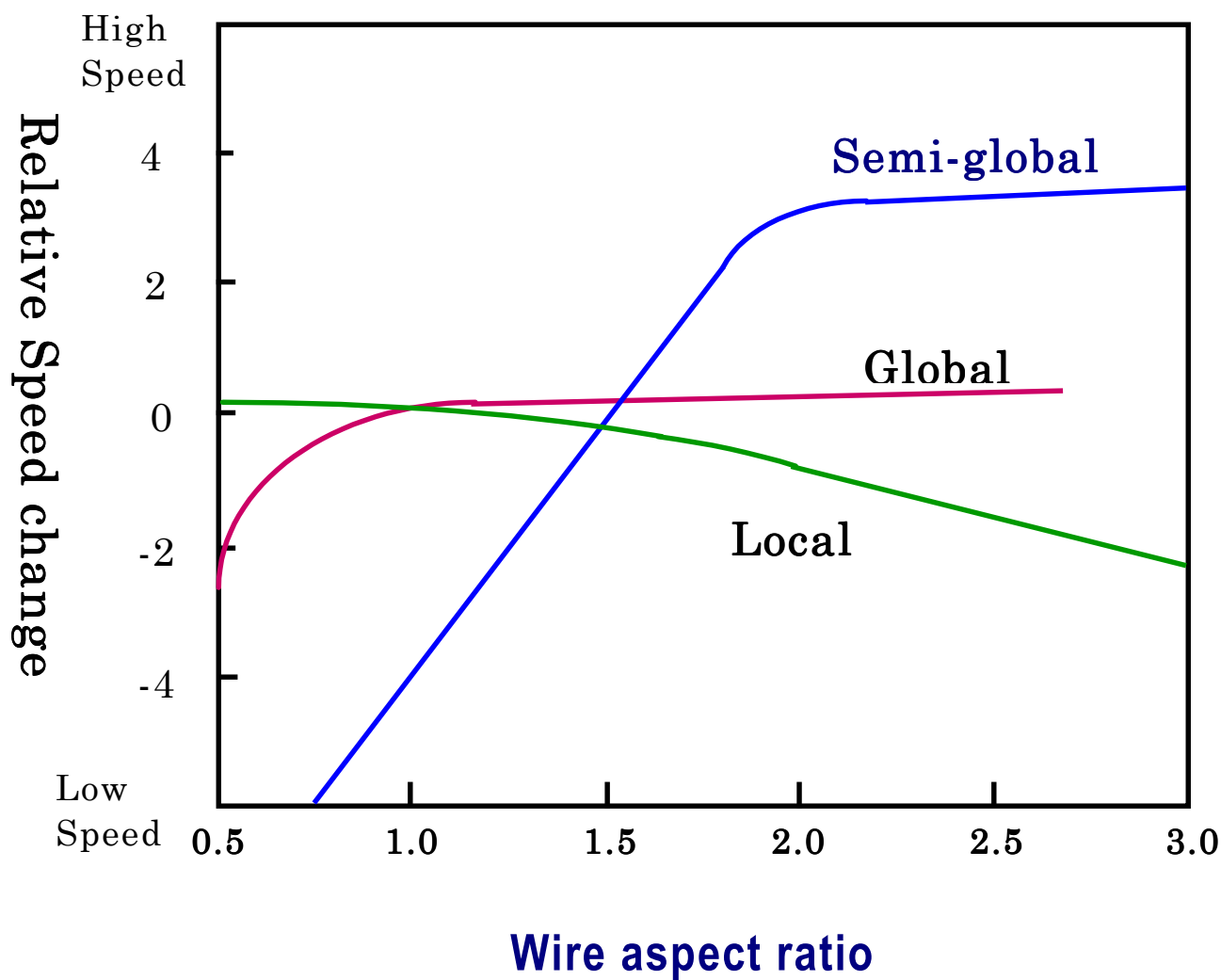
Solutions Being Pursued ☐

No known Solutions ☐

図表2-4-6 SOC(高集積)配線技術目標値(Long Term)

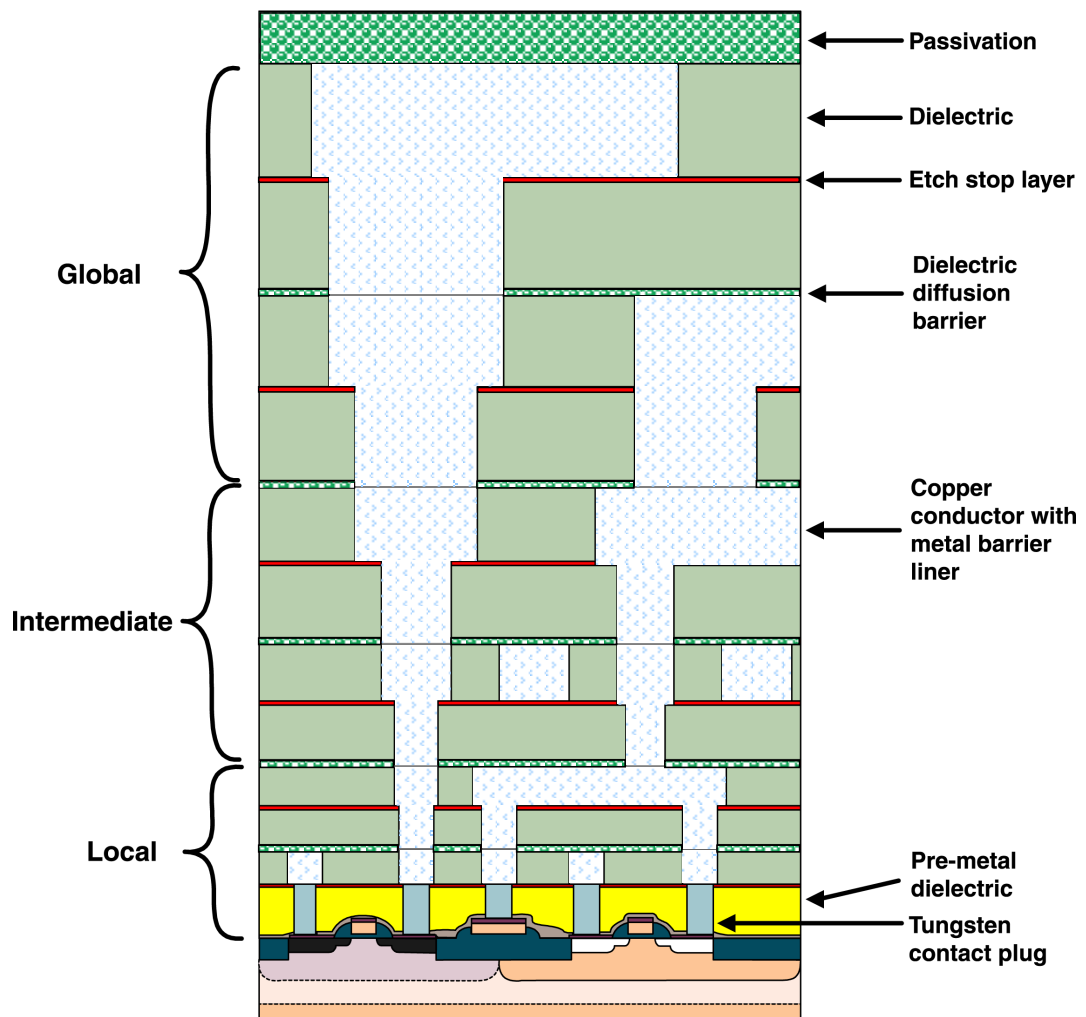


図表2-4-7 各ノード毎のローカル配線とグローバル配線の相対遅延

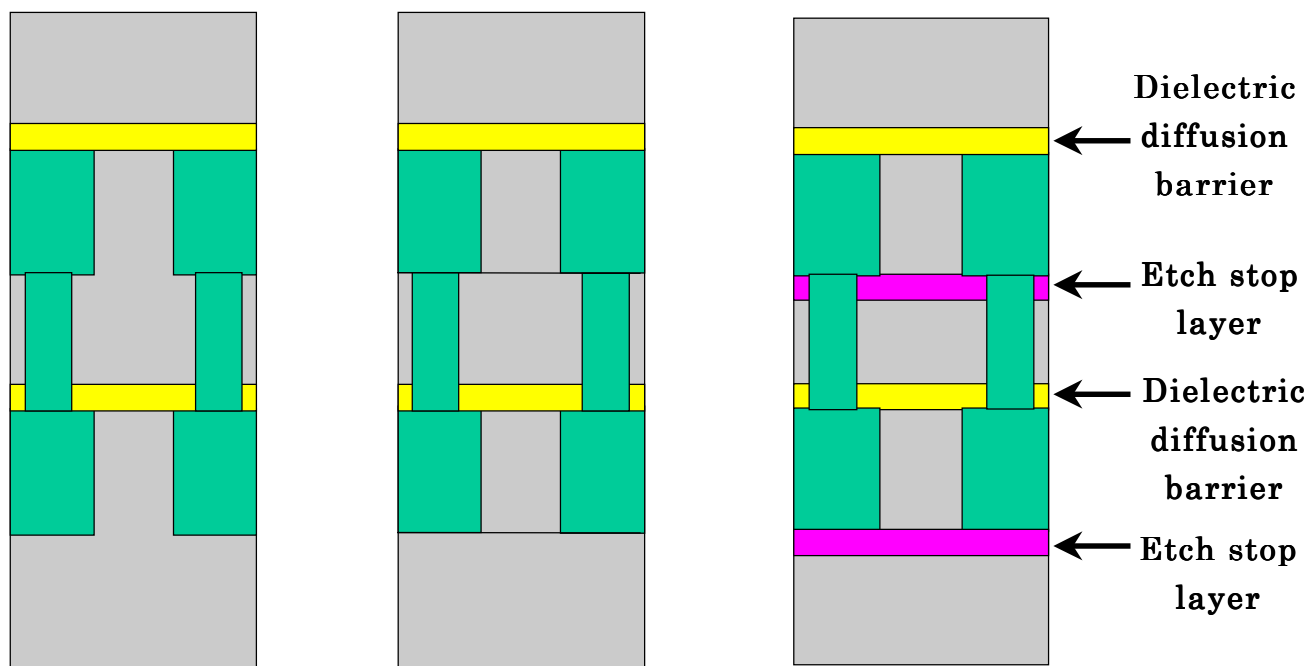


図表2-4-8 各種配線層の配線アスペクト比と信号遅延の関係

## Typical Chip Cross Section



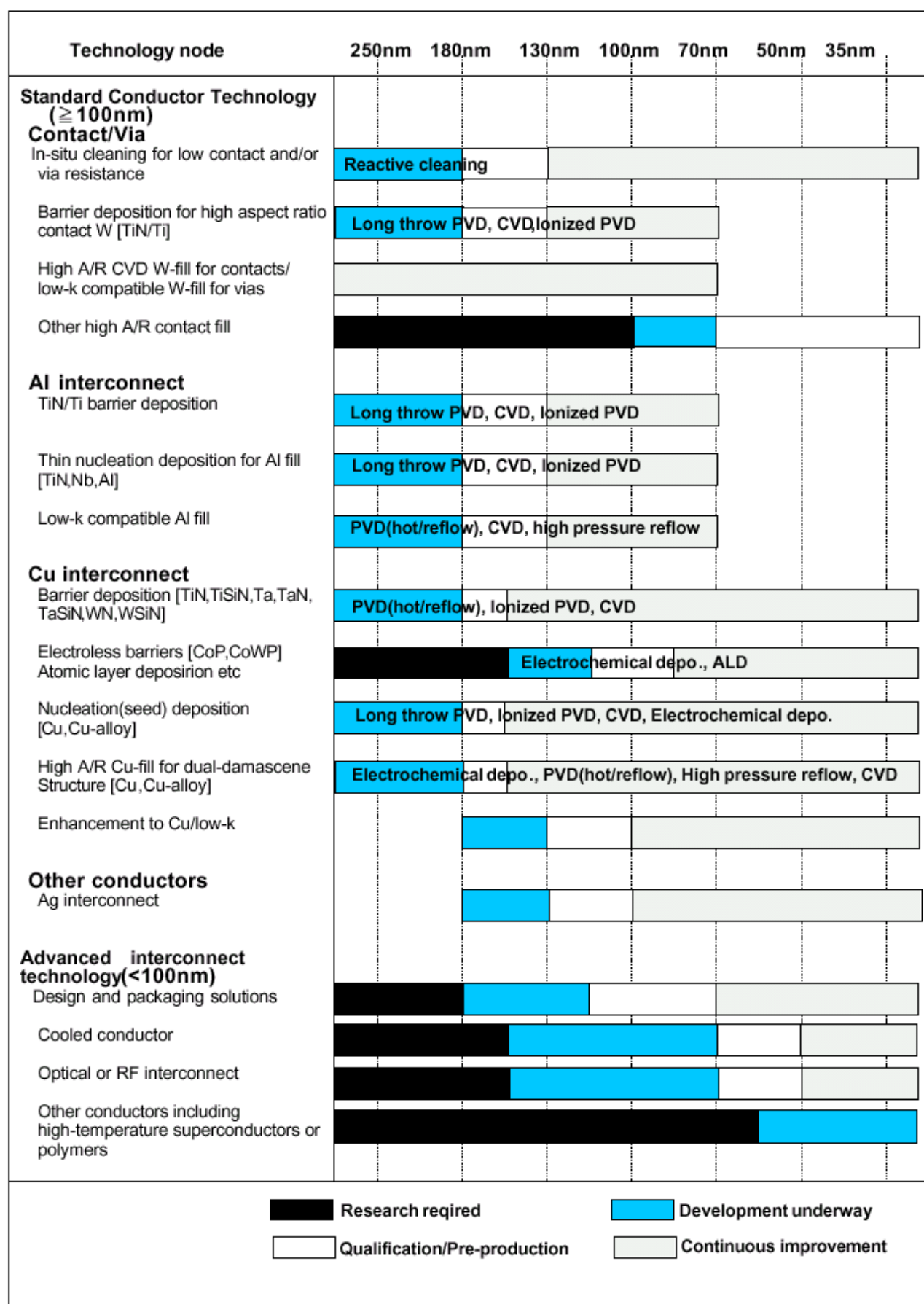
図表2-4-9 高速ロジック製品の断面図



図表2-4-10 各種ダマシン構造の断面

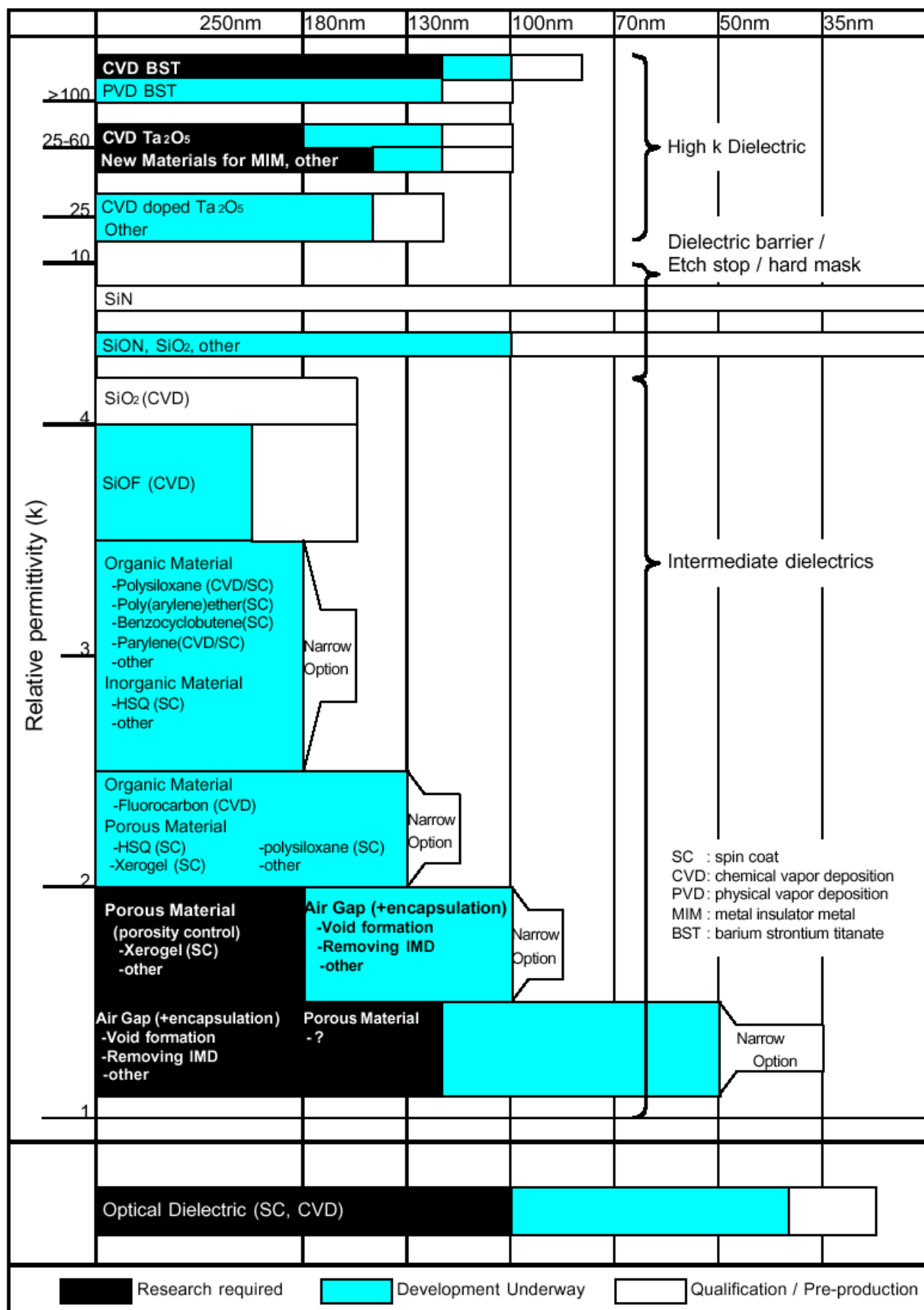
5つの困難な課題 ≥100nm	詳細
新材料	抵抗と誘電率に関する目標値を満たし、SOCの仕様を取り込むため、新しい材料やプロセス(Cu,low-k,ダマシン)を導入することが急務となっている。
信頼性	新しい材料、構造の採用によってチップの信頼性(電氣的、熱的、機械的)の問題が表面化する。信頼性に係わる欠陥の検査、検出、その故障メカニズムのモデル化、制御が重要となる。
プロセス・インテグレーション	様々な材料(Cu,Al,low-k,high-k,強誘電、新バリア・核形成層)とSOCへの応用に用いられる種々の技術とを組み合わせることが不可欠であり、挑戦し甲斐のある積層工程となる。
寸法制御	多層配線に関する様々な寸法を制御することが、これまで以上に所定の回路性能・信頼性を保証する上で重要となる。多層構造、新材料、高集積化、パターン依存性のある工程等が、寸法制御に関する新たな困難さを生み出す。
デバイスへの損傷を最小限に抑制出来る配線プロセス	配線の寸法がいわゆる素子のデザインルールに近づいていくことになるので、これまでの素子工程で要求されたと同様にプラズマ損傷、コンタミネーション、熱履歴のいずれもが低減できることが重要となる。
5つの困難な課題 <100nm	詳細
寸法制御と測定技術	回路性能・信頼性を保証する上で様々な寸法制御が重要であることは論を待たないが、その測定技術を新たに整備することが極めて重要となる。
埋め込みとエッチングに対するアスペクト比	埋め込みとエッチングに対するアスペクト比が益々厳しくなり、特に DRAM に関して極めて困難となる。またデュアル・ダマシン配線構造も厳しくなる。
新材料とサイズ効果	今後、継続して新材料・プロセスが導入されることが予想され、その際、微細構造や量子効果等に留意することが肝心である。
Cu、Low-k 後の解	伝送配線、RF、光配線、銀配線等が候補に挙げられているが、いずれも単独では有効な解にはならず、システムデザイン、実装等を含めて総合的に解決する必要がある。
プロセス・インテグレーション	SoCへの応用に用いられる種々の技術と新材料の組合せは、継続的な挑戦的なテーマとなる。またプラズマ・ダメージ、コンタミネーション、熱履歴は依然として懸念点である。

図表2-4-11 困難な課題

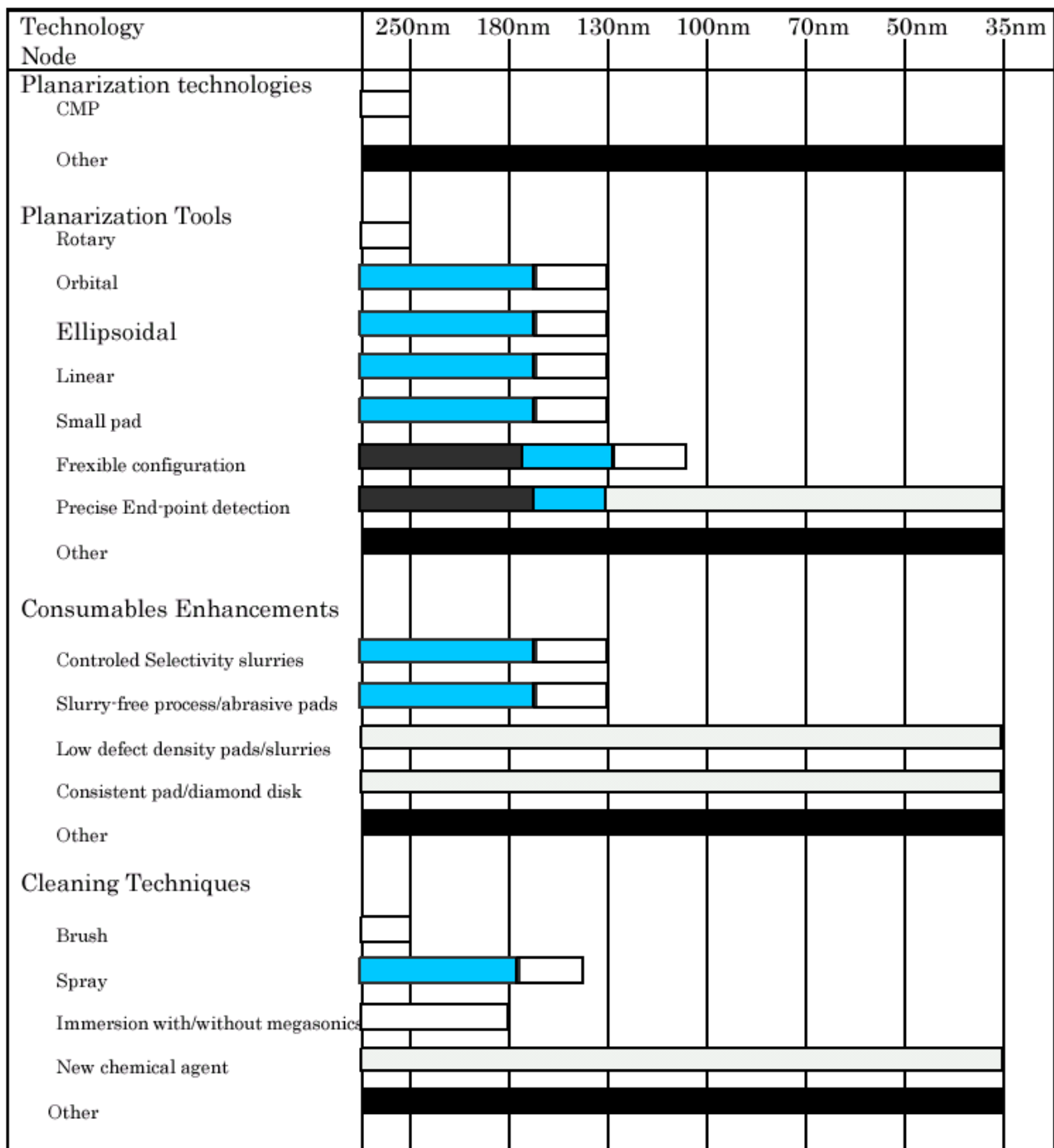


図表2-4-12 メタル技術の有望解





図表2-4-13 絶縁膜材料の有望解



図表2-4-14 平坦化技術の有望解