

## 2 - 6 デバイス

### (要旨)

#### (1) 背景・ロードマップの意義・期待する効果

半導体 LSI は、スケーリング則によって集積度と性能・機能を飛躍的に向上させてきたが、実際の性能は主にプロセス・インテグレーションのボトルネックとなる技術で決まる。従来はそれが微細加工、特にリソグラフィ技術であったが、今後は基本トランジスタ構造のゲート絶縁膜や配線を形成する材料・プロセス技術まで広がる。技術ロードマップの意義は、デバイスの性能向上を維持するためにボトルネックを論理的に抽出し、それを解決するための候補技術と必要とする時期とを整合させることにある。その結果、技術開発の効率化や投資のタイミングを図ることができ、さらに日本の技術競争力を向上させることが期待される。

#### (2) 検討範囲・検討項目

検討すべきデバイスとして、メモリ、ロジック、アナログ・ミックスシグナル・RF デバイスおよび今後期待される SOC デバイスを挙げ、デバイスの信頼性とプロセスの欠陥制御も加えた。メモリでは、代表的な DRAM、フラッシュメモリのほか、FeRAM を検討の対象にした。ロジックでは、今後 2 極分化する高速化と低電力化デバイスそれぞれに対する主要パラメータを検討し、アナログ分野では、高速データ通信応用を達成するための能動素子、受動素子およびアナログ回路の性能仕様を検討した。SOC デバイスでは、大規模集積化を可能とするロジック回路を主として、メモリやアナログを混載するための技術項目を検討範囲とした。

#### (3) ニーズ・到達レベル

メモリでは、画像機器向けにますます高集積化され、セルサイズの一層の縮小が必要であり、容量膜やトンネル膜の薄膜化や限界を打破する新材料の導入が必須とされる。ロジックでは、さらなる高性能化に向けてゲート絶縁膜の薄膜化や多層配線技術等のプロセス技術に加え、駆動能力を劣化させないトランジスタ構造の最適化が必要とされる。アナログ関連については、NF を改善しつつ、数 10GHz の高周波および 2V 以下の低電圧化をいかに達成するかがポイントである。SOC では半導体機能コアの IP 化およびその流通が不可欠であるので、そのインフラの整備と低コストのプロセス混載技術の構築が注目される。

#### (4) 課題

ロジックでは、キャリアの速度飽和やしきい値の非スケーリング性による高性能化限界が厳しくなり、また原子レベルのゆらぎによる統計的ばらつきも問題化すると推測される。一方すべてのデバイスに共通する課題は、絶縁膜の薄膜化や配線の低抵抗化が留まることなく要求され、それを実現するための新材料の導入、新機能を有する材料の開発、ブレークスルーが強く要請されることである。さらに新材料や新技術の採用には、維持されるべきデバイスの信頼性を確保する必要があり、迅速な信頼性評価技術の確立も大きな課題である。

#### (5) 解決策の候補

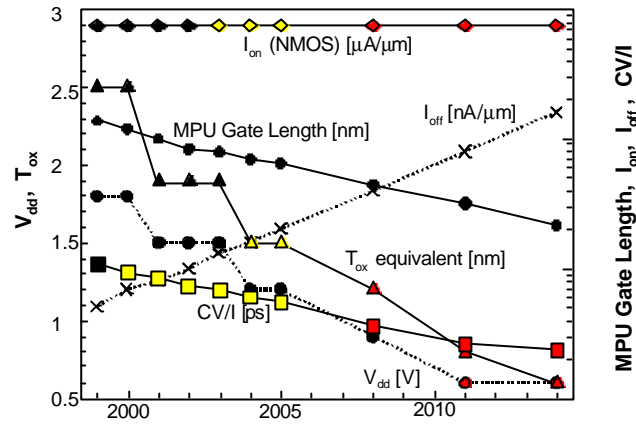
メモリでは、高誘電率キャパシタ、セルフファクタを縮小可能なオープンビット線方式やクロスポイントセル、多値論理などが解決策の候補である。ロジックでは、ゲートリークを改善するために高誘電率ゲート絶縁膜や金属ゲート電極、配線遅延を改良するための低誘電率層間絶縁膜、可変しきい値電圧を用いた回路方式や SOI の適用が候補である。アナログ系では、より大きな Q 値をもつ受動素子の開発がキーとなる解決策である。

#### (6) 他WGとの関連

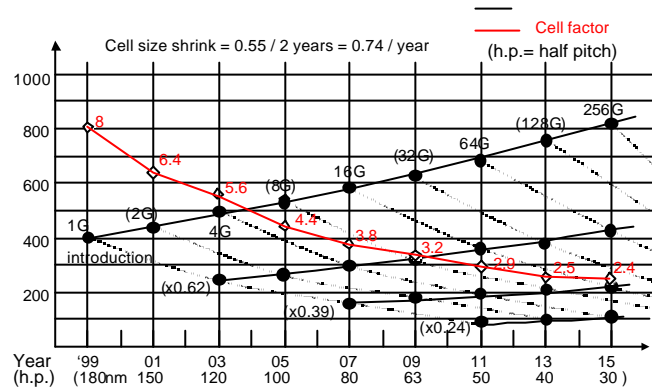
デバイスに関する解決策候補の多くは、材料を含むフロントエンドプロセスや配線、リソグラフィの各 WG の検討結果に強く依存し、大規模 LSI のプロセスインテグレーションは工場の自動化や欠陥低減・評価診断WGの進展状況に関わる。SOC は応用分野を考慮した設計WG、テストWGや実装WGとの関連が強まる。トランジスタの高速化と低電力化の限界は見えてきて、LSIトータルとしての性能を上げることが重要になり各WGの連携が必須である。

#### (7) 提言

これまでのデバイスは技術開発によって性能・コスト比が大幅に向上したため、その普及が加速度的に進んだ。しかし 0.1 $\mu$ m以下のゲート寸法になると、統計的なばらつきや各種のトレードオフに直面するなど技術バリアがますます高くなる上に、開発コストが膨らみ、性能・コスト比の向上は厳しくなる傾向にある。一方、ロジックデバイスの構造、プロセス、材料の選択肢が次第に狭まりつつあり、それだけで付加価値を付けることが難しい時代となる。競合する領域と協調する領域を見極め、コンセンサスをもって回路・プロセス・材料および実装技術も含めたデバイス開発への取り組みがますます必要である。



図表 ロジックにおける主要パラメータの要求年代推移



図表 DRAM におけるチップサイズとセルファクタの要求年代推移

## 2 - 6 - 1 デバイス全般の背景と本WGの活動方針

### (1) ロードマップの意義、期待する効果

技術ロードマップの目的とはある半導体デバイスの所望の性能を実現するために、いかなる技術がいつ頃に必要とされ、実用化させるべきかを明らかにすることである。したがって、技術の手法や材料の種類、数値目標とそれらを実現する時期との整合が重要である。

技術に関する手法や材料では、将来必要となる候補を挙げているが、ダマシンプロセスのように予想もつかなかった技術も生まれることもある。開発時期については過去にも少し早まったり、あるいは遅くなったりするため、近視眼的に決定しても意味がないと考えられる。事実、この 1,2 年に限れば DRAM やロジックは設計ルールが  $0.3\mu\text{m}$  から  $0.2\mu\text{m}$  へと微細化の加速が起きている。これにはいくつかの事情が重なったため、例えば、DRAM(dynamic random access memory)チップ価格が大幅に低下したこと、ウェーハ口径 12 インチ化の実用化が予定どおり進まなかったこと、また技術的には i 線技術で培われたレンズの高 NA(開孔指数)化と RET(解像度増強技術)が KrF エキシマ露光の高解像度化に大きく貢献したこと等がある。しかし、KrF では既に光源の波長以下の解像度を達成していることや、光源の波長を短くすると焦点深度の低下が露光マージンを一層減少させるため、今後ともこの速いペースで微細化が進展していくとは考えにくい。

かつては DRAM がテクノロジードライバーと言われ、実際の設計の基本となる寸法とは別に微細化の進展度を表す指標として設計ルールが用いられていたが、最近ではロジックデバイスにおけるトランジスタのゲート寸法がメモリのどの寸法よりも細くなり、それを設計ルールと称したため、設計ルールの定義が混乱している。すなわち、 $0.25\mu\text{m}$  までの世代では DRAM が微細加工技術で先行していたので、ピッチのほぼ半分の寸法が代表的な設計ルールと呼ばれ、3 年に 0.7 倍の割合で縮小されていた。これは年率約 10%に相当し、通常 DRAM はこのような割合で頻繁にチップシュリンクを繰り返してきた。一方、ロジックデバイスでは、従来設計ルールを一度決めると 3 年程度は変えなかったが、動作周波数等の性能競争が激化してきたため、最近ではゲート寸法を DRAM の寸法よりも細く設定するようになり、ロジックデバイスが微細化の先導役になったかの印象が生まれた。しかし、実はリソグラフィの技術レベルは DRAM の微細化に強く依存しているのは今までと変わらない。図表 2 - 6 - 1 には DRAM とロジックの代表的なパターンのルールを示し、図表 2 - 6 - 2 には同じピッチでのラインとスペースの比を変えたパターンの形成条件を示した。

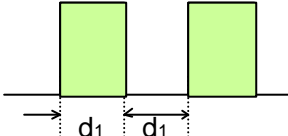
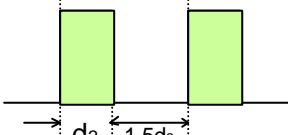
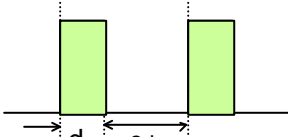
プロセスインテグレーションにおいて、デバイスに関する性能や製造歩留まりなどあらゆる指数は、用いられるプロセス技術のうち最もマージンの少ないボトルネック技術で決まる。今までは常に微細加工、特にリソグラフィ技術がボトルネックであって、それを解消するための精力的な開発が LSI の高集積化や高性能化をリードしてきた。図表 2 - 6 - 3 は各種光源をもつリソグラフィ手法の K1 ファクタを示したもので、K1 値が 0.4 程度になると光源の短波長化による微細化の改善が行われた。

しかしながら、微細加工をいくら進めても、従来技術の延長ではもはやロジックの性能向上が望めないことが分かってきた。それは、配線抵抗や容量、ゲート絶縁膜、信頼性等に関するものであり、また DRAM ではセルキャパシタや高アスペクト比コンタクトの形成が新たなボトルネックとなっている。このため、新プロセスや新材料の検討が必須となっている。一方、たとえ個々の技術がスムーズに開発されてもそれぞれのキー技術が時期を合わせて使えるようにならない限り、性能や機能を確保できないばかりでなく、開発投資が有効に活かされたことにはならない。ボトルネック技術が整合して開発されることが開発の効率性を高め、トータルの開発コストの削減に繋がる。このような経済性を考慮して開発

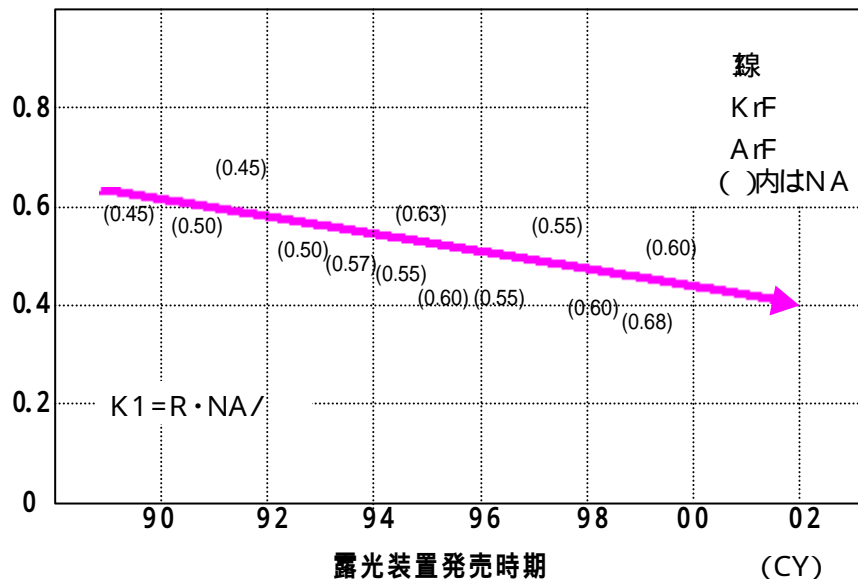
開発目標や時期を整合させることができるのも、ロードマップ作成に対して期待する効果である。

デバイス		設計寸法 (F)
ロジック	ゲートピッチ ゲート寸法(G) メタルピッチ メタル寸法(M1)	3 - 4 F 0.7 - 0.8 F 2.5 - 3 F 1 - 1.3 F
メモリ	ワード線ピッチ ワード線寸法(W) ビット線ピッチ ビット線寸法(B) コンタクト寸法	2 F 0.9 - 1 F 2 F 0.9 - 1 F 0.9 - 1 F

図表 2 - 6 - 1 DRAMとロジックデバイスの代表的なパターンルール

	$d_2, d_3/d_1$	Pattern Printing	Exposure Condition (positive resist)
	1	difficult (1/2 DRAM pitch)	Optimum exposure
	80%	intermediate (Isolated line)	slight over exposure
	67%	easy	over exposure

図表 2 - 6 - 2 同ピッチのライン/スペース比を変化させる形成条件



図表 2 - 6 - 3 各種光リソグラフィのK1ファクターの推移

## (2) プロセスインテグレーションの新たな動き

素子の高集積化にともない、各種の機能を1チップに搭載してシステムとしての機能を最大限に引き出したいとの要求が顕在化してきた。これはシステムLSIあるいはSOC(system on a chip)といわれるもので、高性能、低消費電力、省スペースというメリットが実現される。ロジックの中に各種メモリやセンサー、アナログデバイスなどが混載されると、情報家電やデジタルTVなどの日本がお家芸にできそうな分野にも幅広く応用される。このSOCは具体的にはあるシステム目標に対して個々に実績あるIP(intellectual property)をチップの中に収納させるため、従来と異なる開発アプローチと技術が必要になると予測される。このため、設計、テスト、デバイス、プロセスなどいろいろな分野とも絡み、デバイスインテグレーションに関すれば、コスト・パフォーマンスが大きな課題である

## (3) 本WGの方針

プロセスインテグレーションを検討するPIDS(process integration and device structure)WGにおける調査の基本方針は、第1にロードマップの基本となる微細化の指標と、デバイスの設計に用いられる寸法(本来の設計ルール)との関係、デバイスの性能の前提を明確にすること、第2にデバイスの実現を可能にするそれぞれ必要な技術を抽出し、開発時期を整合することによって、開発投資の効率化やコストの低減を考慮すること、第3に将来重要になりしかも日本が優位性を発揮できる分野の応用の開拓と新しいデバイスの創出を加えること、等である。これらをベースとして、各種メモリデバイス、ロジックデバイス、アナログデバイス、SOCデバイスそれぞれの検討範囲を始め、到達レベルや課題、そして解決策、他WGの依存性、提言についてまとめた。始めに図表2-6-4で示すように、インテグレーションとデバイス構造についての技術課題をまとめた。

<i>DIFFICULT CHALLENGES <math>\approx 100</math> nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
Requirement for World-Wide IP Standard Process/Devices	Requirement for standardization of process/device parameters to meet IP base design. Guideline and/or consensus for process/device/ circuit/systemsOCiety are required.
Maintaining the scaling of CMOS for performance and density	Production worthy high-k dielectrics and compatible gate materials will not be available. DRAM density and logic gate length scale faster than lithography feature size scaling. Rapid reduction of Vdd and non-scaling of Vth impacts performance integration of analog, memory, and logic, especially low voltage NVM. Maintaining high Q, low noise, and tolerances of discrete components
Integration choices for system on a chip	Cost effective process integration of many functions on a single chip
Management of increasing reliability risks with the rapid introduction of new technologies.	Inadequate identification and modeling of failure modes in new materials, new operating regions (e.g. tunneling) and new SOC technologies (e.g. MEMS)
Management of deviation on critical dimension	Chip performance spreads and adequate chip yield does not be obtained by deviation of critical dimension. Accurate modeling and correction of proximity effect, validated 2D/3D TCAD for process control are required.
Managing power, ground, signal, clock, and signal integrity on multilevel coupled interconnect	Interconnect scaling is increasing crosstalk, signal integrity, and parasitic RC delay issues. Handling of inductance is also required. Crosstalk, substrate noise, and device performance difficult to optimize simultaneously at high clock rates and low V <sub>dd</sub> Power, clock, and ground distribution will consume an increasing fraction of available interconnect. Despite the use of low-k dielectrics, interconnect scaling is increasing coupling capacitance, crosstalk and signal integrity issues.
<i>DIFFICULT CHALLENGES &lt;100 nm / BEYOND 2005</i>	<i>SUMMARY OF ISSUES</i>
Overcoming fundamental scaling limits for current device structures	Switching drive, noise margin material properties, and reliability will limit performance improvements from scaling. Overcoming crisis on Tox scaling, low resistance and shallow extension formation, SCE control, ultimate small DRAM/NVM cell structures are issues. Nonvolatile memory element which is compatible with highly scaled low voltage devices is required.
Atomic level fluctuations and statistical process variations	Possible reduction of yield and performance below desired levels due to unacceptable statistical variations.
Fundamental noise reduction	Telegraph noise reduction for digital and 1/f noise reduction for analog will be fundamental issues.
Overcoming fundamental scaling limits for current interconnect structures.	Interconnect performance beyond copper and low k dielectrics is required. Handling inductance on a chip is indispensable.
Innovation is required	Novel switching devices , novel interconnect system and novel storage devices are required, in order to overcome fundamental scaling limits on current process integration and devices structures.

図表 2 - 6 - 4 P I D S の技術課題

## 2 - 6 - 2 メモリデバイス

### (1) 背景

1969 年に 1K ビットの DRAM が世に出て、半導体メモリが現在のメインメモリの地位を築いてから 30 年間 3 年で記憶容量が 4 倍に拡大する速度を維持し続け、メモリの容量は 5 桁以上増大し、動作速度も 1 桁向上してきた。今後とも半導体メモリは 現在の主な用途である PC 向け以外にも、画像・音声メディア向け機器用途の広がりが予想され、大容量化と共に高速化・低消費電力化が図られており、基本的にこの傾向は大きくは変わらず、メモリデバイスの市場及び需要は拡大してゆくものと予想される。従来はリソグラフィ技術を主とする微細加工技術の進捗により、基本情報記憶単位であるメモリセルを縮小し、メモリ容量を増加してきたが、これだけでは必要基本特性を満足できず、構造の工夫を重ね従来のトレンドを維持している。

電源が切れると記憶内容が失われる DRAM に対し、このような欠点のない大容量不揮発性メモリとして Flash(フラッシュ)メモリがある。Flash メモリは低消費電力が要求される携帯電話に適用されるとともに、各種の PC カードに内蔵され、デジタル静止画像や高品質音楽録音用途への応用が広がりつつある。Flash メモリにおいてもほぼ DRAM と同じ速度で微細加工技術が用いられ、携帯電話用途の小容量分野ではチップサイズの低減、デジタル静止画像や高品質音楽用途では大容量化が推進されている。今後は、この 2 つの用途の分極化が進み、動画像処理用途を含め、さらに世に浸透するものと思われる。

さらに近年、強誘電体を記憶素子に用いた不揮発性メモリである FeRAM(Ferroelectric RAM: 強誘電体メモリ) がその高速性と低消費電力の優位性を生かすべく、開発が進められている。

しかしながら、いずれのメモリもデバイスの基本的動作に係る材料・プロセス技術それぞれに課題があり、このブレークスルー(breakthrough)が必要である。

### (2) 検討範囲と項目

従来のトレンドに従うと、DRAM の第 1 バージョンは世代ごとにチップサイズ 1.4 倍増加させ、4 倍の集積度を達成してきた。このトレンドは今後も続くことを前提とし、チップサイズに対応してメモリセルサイズの縮小トレンドを検討した。さらに、DRAM のトレンドが時期を遅らせて他のメモリ、すなわち Flash メモリやまた FeRAM にも適用されると予想される。

### (3) ニーズ、到達レベル

#### 1) DRAM

##### (メモリセル)

メモリセルの面積は、過去から世代毎約 0.4 倍の縮小率でシュリンクされてきた。これは DRAM の設計手法を F とすると、 $20F$  ( $-2.5$ ) に相当する。一方では、4 倍の集積度に対して 1.4 倍 ( $< 0.4 \times 4$ ) のチップ面積の増加に過ぎないため、このトレンドが変わらない限りセルサイズの縮小率を大きくしなければならぬと予測される。したがって、従来のスタック<sup>1)</sup>やトレンチメモリセル構造<sup>2)</sup>、フォールデッドビット線配列から、クロスポイントセル構造<sup>3,4)</sup>、オープンビット配列<sup>5)</sup>への変化、多値セル<sup>6</sup>の採用などが検討されている。しかし、いずれの技術も過去に開発された経緯もあるが、センス感度など残された課題も多い。また、今までのトレンドが少しずつ代わり、チップサイズの増加率の減少や 2 倍集積度をもつ DRAM の出現も具体的になってきた。集積度とコストのトレードオフが技術の選択を決める大き



きな要素になる。

#### (容量)

DRAM においては今後大容量化達成のためのメモリセル縮小に伴いメモリセル容量面積が微細化・縮小される中でも、必要メモリセル容量を確保するため、及び電源電圧を低電圧化にされても必要電荷量を確保するため、単位面積当たりの電荷密度の向上が必要である。このためには容量絶縁膜の誘電率の向上ばかりではなく、薄膜化を同時に達成できるかが重要であり、材料開発が大きな課題である。このため、従来の  $\text{SiO}_2$ 、 $\text{SiN}$  に代わり、 $\text{Ta}_2\text{O}_5$ <sup>7)</sup>、 $\text{BST}$ <sup>8)</sup>等が研究・開発されている。これらの新材料は従来の容量膜に比べ容量部形成温度を低くでき、ウェーハに加わる熱処理全体を減らすことができるため、トランジスタへの熱負荷が減り、ロジック LSI に DRAM が搭載可能となり、従来に比して高速化が可能となる利点がある。さらに、電荷密度を向上させることができるため、容量面積の低減、容量構造の簡略化、工程数の低減が可能になる。

#### (データ保持)

リフレッシュ動作が必要な DRAM では、チップの消費電流低減とデータ転送速度向上のために、大容量化に対応したデータ保持時間の向上(PN 接合リーク電流低減)が必要である。電源電圧の低電圧化が進んでいるが、この低電圧化の傾向よりも微細化の傾向が早いため、内部電界強度は増加し、リーク電流は増加する方向である。全体のビット数の増加にともない、すべてのビットのリーク電流を一定以上に保たねばならないが、各ビット毎にリーク電流には差があり、この結果分布をもつことになり、分布幅の低減が必要である。また 高速動作による消費電力の増加は、チップ温度を上昇させ、リーク電流をさらに増大させるため、一層この項目の制約は厳しくなっている。基本的な半導体の PN 接合によるリーク電流の解析を通して、プロセスの高精度化や半導体界面制御等のフィードバックが必要である。

#### (インターフェース仕様)

DRAM は動作周波数が数 10M ~ 100MHz 程度と比較的低速であり、長い間 TTL インターフェースが主流だった。1990 年代後半になり、CPU との動作周波数ギャップを埋めるために、DRAM インターフェースの周波数向上が必須となった。このために、低振幅・終端方式の SSTL(133MHz ~ )や Rambus(300 ~ 400MHz) インターフェースを採用した高速 DRAM が市場に出始めた。一方、周波数の向上にともない、消費電力低減が課題となり、インターフェース用電源電圧は 5V 3.3V 2.5V と低下してきた。今後は、さらなる周波数向上に向けて低振幅インターフェースが提案されていくと思われる。これにともない、1.8V 1.5V 1.2V と下がり、2005 年には 1V 前後が主流になると見られる。

#### (データ転送方式)

現在、クロックに同期して入出力を行うシンクロナス方式が主流であるが、その中でもダブルデータレート(DDR)と呼ばれるクロックの立上がり、立下がり両エッジに同期する方式に移行しつつある。今後はこの DDR 方式が主流になると思われる。PC 等比較的小容量のメモリシステムでは、ビット幅を絞り、メモリバスの特性バラツキを押さえて周波数の大幅向上を図る Rambus インタフェースのような方式が今後中心となろう。2005 年には周波数は 800MHz 程度に達すると予想される。サーバ等の大容量メモリシステムでは、メモリバスの周波数を大幅に向上させることは難しいので、等価的にビット幅を広げ

幅を広げる方式が今後も続くと思われる。周波数の向上に伴い、クロックエッジに対するデータ確定ウィンドウの確保が困難になりつつある。これを解決する手段として DRAM への DLL(delayed lock loop)等のクロック同期回路の搭載、スキューやジッタの低減手法、データのフライトタイムの差を個々の DRAM で補正する機能等が開発され、実用化が進むと思われる。

## 2) Flashメモリ

Flash メモリは、薄いトンネル酸化膜を介した電荷のやり取りによって、情報の書き込みを行うと同時に、この薄い酸化膜の絶縁性を利用し長時間の電荷を保持し記憶を保つのが動作原理である。この情報の保持特性である、data retention 特性保持のためには 8nm 以下の薄膜化では 10 年もの長時間の電荷保持できる見通しは現状では未だなく、Flashメモリの限界となっている。この膜厚の制限は動作電圧の低電圧化に対する限界を与え、高集積化と同時に低電圧化に向かう将来への大きな課題である。低電圧化が困難なことは高耐圧に要する周辺回路の面積が著しく大きくなり、集積度向上の点でも不利となる。このため、集積度を向上させる手段として一単位のメモリセルに複数の情報を記憶させる多値技術、4 値のセルが実用化され始めた。さらなる大容量化のために、4 値以上の値を達成させるには酸化膜中のトラップ等の制御が必要である。これはトラップの存在により、保持特性が大きな影響を受けるためである。界面を制御した高品質シリコン酸化膜の開発が必須である。

Flash メモリは、絶縁膜で囲まれた電子蓄積領域(浮遊ゲート)を備え、薄いトンネル酸化膜を介した電子のやり取りによって、情報の書き込みを行うと同時に、この薄い酸化膜の絶縁性を利用し長時間の電子を保持し記憶を保つのが動作原理である。Flash メモリではその応用に応じてメモリセルの構成が異なっている。携帯電話等の小容量、高速読み出しが必要とされる分野では、NOR 型、DiNOR 型等と呼ばれる ~ 100ns の読み出しに対応できるメモリセル構造が用いられ、32Mb 製品まで実用化が進み、さらに多値技術を用いた 64Mb ~ 128Mb までの製品化が進められている。一方、デジタル静止画像や高品質音声記録を扱う PC カード等の市場では大量のデータを処理するために、低コスト、大容量化に適したメモリセル構造(NAND 型や AND 型等)が用いられている。この分野ではページモードでのデータ転送が必要とされており、高速のシリアル転送技術を備えた 256Mb 製品までの実用化が進み、512Mb を超える製品の開発が進んでいる。

### (動作方式)

高速読み出しが必要とされる携帯電話市場においては、メモリセルあたりの電流が確保でき、バイト単位でのデータ書き込みが可能な NOR 型フラッシュメモリが主流となっている。NOR 型フラッシュメモリでは、バイト単位での書き込みを可能にするために、浮遊ゲートに電子を注入する方法としてホットエレクトロン注入方式が用いられている。比較的低い動作電圧(~10V)での書き込みが可能であるが、メモリセルあたりの動作電流が大きいため、情報を並列に書き込むためには、メモリチップ内部に大規模な昇圧回路が必要になる。メモリセルの微細化に伴い、低電圧でも電子の注入が可能になると考えられるが、他のメモリセルへの情報の書き込み動作時に受ける影響(ディスタ urb)を回避するために注入効率を制御する拡散層構造の最適化がなされ、電圧の低減を行うことが困難となっている。このため、近年では、基板電圧を制御して注入効率のみを向上させる手法が考案、開発されつつある。

デジタル画像や高品質音声情報を扱うためにはページモードでのデータ書き込みを行う必要がある。

NAND 型，AND 型など大容量データ処理に適したフラッシュメモリセルでは、一括してデータを書込むためにビットあたりの消費電流の少ないトンネル注入方式が用いられている。浮遊ゲートを取り囲む絶縁膜を介して電子をトンネル現象により浮遊ゲートに注入することにより、メモリセル当たりの動作電流が小さくなり、512B～2KBの情報を並列(一括)に書き込むことができる。しかしトンネル現象には高電圧(～20V)が必要とされるため、メモリチップ内部に設けられる昇圧回路に対しては小面積でありかつ電源電圧から効率よく昇圧できる回路構成が要求されている。

#### (データ保持特性)

もちろん、Flashメモリに記憶された情報は、外部からの動作がなされなくても10年もの長時間保持する必要がある。このため浮遊ゲートと呼ばれる電荷蓄積領域を取り囲む絶縁膜に対する要求が厳しくなる。メモリセル動作を制御するための制御ゲートとの間に設けられた層間絶縁膜には一般にONOと呼ばれる酸化膜/窒化膜/酸化膜の積層構造が用いられ、高電圧書き込み動作に対する制約を含め、ようやく酸化膜換算で20nmから15nmへの薄膜化が可能となっている。また、直接書き込み/消去動作に関係するゲート酸化膜やトンネル膜については、電子通過により絶縁膜の疲労劣化が生じるため、長時間の電荷保持を保証するためには9～8nmよりも薄い絶縁膜を用いることができず、Flashメモリの限界となっている。すなわち、リテンションと呼ばれるデータ保持特性を維持しようとすると、内部動作電圧を高電圧化しなければならず、動作電圧の低電圧化に対する限界、チップの縮小への弊害、または一定電圧の下ではデータ書き込み時間の増加とのトレードオフとなっている。

#### (記憶方式)

集積度を向上させる手段として一単位のメモリセルに複数の情報を記憶させる多値技術がある。4値のメモリセルが実用化され始め、実効的なセル面積の低減が図られている。多値メモリではメモリセルに蓄積する電子の量を精密に制御する必要があるため、チップ内に制御回路を内蔵する必要がある。このため2値のメモリチップに比べ周辺回路の増加を招くとともに、書き込み、読み出し速度の低下が課題となる。また、2値のメモリセルに比べ電子の蓄積量が多くなるため、上記絶縁膜に加わる内部電界強度が高くなり、データ保持特性に対する影響が大きくなる。すなわち、さらなる大容量化のために4値以上の多値化を達成させるには、データ保持特性を改善が重要であり酸化膜中のトラップ等の制御が必要になる。界面を制御した高品質シリコン酸化膜の開発が望まれている。

#### 3) FeRAM(強誘電体メモリ)

トランジスタや周辺回路は現DRAMと同様の設計ルールが適用可能であるが、電極と強誘電体膜の微細加工がボトルネックとなりDRAMなどに比べて遅れて微細化されている。しかし、新しい加工技術も開発されればその世代の最先端プロセスが採用されと考えられる。現在、2T2C プレーナ型セル構造である2T2Cから1T1Cになることにより同一ルールでセルサイズは約60%、プレーナ型からSTC(stacked capacitor)型になることにより約60%のセル面積となる。このように、材料・プロセス技術の進展により、デバイス構造の縮小は可能であり、他のメモリデバイスに比肩できるメモリセルサイズを実現できる見込みがある。さらに、究極の構造である1Tr型強誘電体メモリが実現されると高耐圧構造が不要なため、Flashメモリ以上の微細セルが可能になることも期待させる。

endurance (読・書回数耐性)は、新強誘電体 SBT の開発や Ir 系電極の開発により近年大幅に向上している。薄膜レベルにおいてはすでに 1E13 回以上という特性も実現されているが、さらなる強

誘電体膜の最適化と加速試験技術の確立により 2005 年前後には  $1E15$  回以上の保証も可能で、完全に RAM の機能として応用できるようになると予想される。データ保持特性は現在でも試験的に 10 年保持が可能である。しかし、車載応用等動作温度範囲が  $150^{\circ}\text{C}$  程度要求されと 10 年保持は難しいのが現実である。材料やプロセス条件などの改良により imprint 特性を向上させることにより動作温度範を広げることは可能である。以上の議論をふまえた FeRAM の主要項目の技術要求を図表 2 - 6 - 5 に示した。

Year of First Product Shipment	1999	2002	2005	2008	2011
FeRAM Design Rule ( $\mu\text{m}$ )	0.5	0.35	0.25	0.18	<0.18
FeRAM Cell Size ( $\mu\text{m}^2$ )	20	2.5	1.5	0.1	0.05
FeRAM Endurance (read/write cycles)	$1E10$	$1E12$	> $1E15$	> $1E15$	> $1E15$
FeRAM Data Retention (year)	10	10	10	10	10

図表 2 - 6 - 5 FeRAM の主要項目技術トレンド

#### (4) 課題

##### 1) DRAM

130nm ~ 100nm 世代の DRAM では、高集積化の進展、動作の高速化に伴い、内部電圧を低減しながら信号量確保・ノイズ耐性確保などが問題になる。この対応ためメモリセル面積の縮小にしたがって、スケーリングされないのもむしろ従来以上に要求される項目は、メモリセル容量確保およびデータ保持特性の確保である。

70nm 世代では内部電圧の低減が進行し、信号量確保がさらに大きな困難をともなうが、一方パターンニング寸法の縮小以上の速度で DRAM セルサイズの縮小が求められ、その結果として最小加工寸法を  $F$  とすると  $8F^2$  以下のメモリセルサイズを実現する構造が必要となる。また、新しいセル構造に対しては、pass transistor の off 特性を確保するため、 $V_{th}$  確保と低電圧化動作の両立、高集積化に伴うチップ温度の増加など新たな課題が生ずる。

50nm 以降では、従来の延長上では低電圧・高速アクセス・高集積を満たす DRAM を構成することが難しい領域に入り、新構造デバイス、新スイッチングデバイスや量子ドット、単一電子トランジスタを用いた新概念の高集積メモリデバイスが期待されるが、これらのデバイスが従来の特性を凌駕することが可能かどうかの見通しはまた得られていない。

##### 2) Flashメモリ

130nm ~ 100nm の世代のフラッシュメモリでは、現状の動作方式の高効率化を図るためにトンネル膜および層間絶縁膜の薄膜化を進める必要がある。トンネル膜の薄膜化は限界を極めており、低リークの高誘電体膜を用いた層間絶縁膜の薄膜化が必須になる。また、10 ~ 20V を扱う高電圧デコード回路と高速センス回路の両立のため、2 種 ~ 3 種のゲート絶縁膜を浅溝素子分離上に形成する技術の確立、セル面積が実効  $6F^2$  程度であり、セルに見合った配線加工技術ないしはビット線シェア方式を用いることが必要になる。

70nm 以降の世代では、もはや 9nm 以上のトンネル絶縁膜を用いる場合にはメモリセルの縮小化が

困難になるため、現状の方式を用いたフラッシュメモリセルを用いたチップ低コスト化には限界がある。現状方式を用いた場合には、メモリセル構造の変更ないしは 8, 16 値によるさらなる多値化、窒化膜系を用いた新しいトンネル膜の開発による薄膜化を推進する必要がある。動画系まで含めた大容量時代に対応するためには、単トランジスタ型 MNOS 構造や単一電子技術の応用、新動作方式の開発が必須になる。

### 3) FeRAM

現在、デバイスとして評価が進んでいる主な強誘電体材料は PZT( $\text{Pb}(\text{ZrTi})\text{O}_3$ ) および SBT ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) であり、MOS プロセスとの整合性も一応確認されている。しかし、次の 3 つの課題が挙げられる。第 1 は、一般に強誘電体は 3 元以上の元素から構成され、組成の均一性や再現性が劣るので、セルはプレーナ型の 2T2C 構造が採用され、セル面積の増大をきたす。第 2 は、強誘電体およびその電極材料のドライエッチング加工が困難であるため、容量部の微細化が劣る。第 3 に、強誘電体材料の物性と電気的特性との関係まだ不明であり、エンジュランス特性やデータ保持特性の短時間で可能な加速試験による信頼性の確認が困難である。FeRAM で特徴的な imprint 特性の改善も課題である。

## (5) 解決策の技術候補

### 1) DRAM

100nm 世代までの課題の第 1 であるメモリセル容量確保に関して、新材料絶縁膜(高材料)の候補がいくつかあり、その開発実用化によって単位面積当たりの電荷密度向上の課題に対応できる。ただし、プロセスインテグレーションの立場から新材料容量膜に適合した容量電極材料およびバリア材料の選択も検討の必要がある。第 2 のデータ保持特性を確保するためには、前述の電荷量確保に加え徹底した低リーク電流接合技術が必要である。このため、接合リークの少ない浅い接合形成技術やプロセス・装置による汚染やダメージを排除したウルトラクリーン化技術が解決の候補である。

100nm 以降の世代については、従来の  $8F^2$  以下のサイズに変わるメモリ方式の候補として  $6F^2$  のオープンビット方式や  $4F^2$  制約の 1 交点セル構造が挙げられる。合わせ精度の向上とセルフアライン技術の採用やビット線を多層化し、ビット線ピッチの緩和を計ることにより、1 交点メモリセル構造が比較的容易に実現できると考えられる。

メモリの低電圧動作に対しては、ノイズ低減が厳しく求められ、セルトランジスタの寄生容量や配線層抵抗の低減を目的としたロジックと同様の新材料やプロセス技術の導入が考えられる。

### 2) Flashメモリ

100nm までの世代では、トンネル膜や層間絶縁膜の薄膜化、高信頼化が大きな課題である。トンネル膜では、膜形成前の洗浄系の改善による基板と絶縁膜界面の改善、窒化処理、積層構造等の適用による膜改善、多結晶シリコン層の微粒径化によるトンネル膜への応力低減、ゲート形成後の熱処理、水、水素、イオン系の最適制御、エッチング系によるプラズマ損傷の軽減を進める必要がある。層間絶縁膜についても、膜形成後のダメージ要因除去は必須であるが、高誘電体膜の適用ないしはシリコン酸化膜系を用いた単層膜での高品質化が特性改善に有効である。メモリセル構造の面からは、容量結合比を向上させ、書き込み・消去電圧の低電圧化を図る必要がある。このためには浮遊ゲートの立体形状化、あるいは浮遊ゲート表面ラフネス(roughness)増加による接合面積増加等の方

加等の方法が考えられる。

回路面からは多値化を進めることが残されている。多値技術では、リテンション耐性確保の面からメモリセルしきい値電圧のウィンドウを狭くしなければならず、1ビット単位でメモリセルしきい値電圧を設計ウィンドウ内に制御することが要求される。これを効率よく実行するための自動制御法の確立、自己収束性のある書込み方式の採用が必須になる。

### 3) FeRAM

新しい技術によるブレークスルーというより、現状技術の完成度を高めることによりセルサイズの低減が可能になる。例えば、高密度プラズマエッチャーの改良により加工精度の向上、強誘電体材料のキャパシタ特性の経時変化を小さくしてセル構成を2T2Cから1T1Cに置き換えることにより同一ルールでセルサイズを縮小、さらに強誘電体膜のCVD技術の確立によりプラグ上にキャパシタ形成してプレーナ型からSTC型への置き換えなどにより、FeRAMのセル面積は大幅に低減される。このとき、同世代のルールを用いるとセルサイズはDRAMのセルサイズと同等になり、さらに1Tr型強誘電体メモリが実用化するとすべてのメモリを置き換えることが期待される。

新強誘電体 SBT の開発や Ir 系電極の開発により endurance 特性は近年大幅に向上している。膜特性においてはすでに  $1E13$  回以上特性劣化が無い膜が開発されている。しかし、現在のところ製品としての保証値が  $1E10$  回であるのは、endurance の加速試験技術が確立していないためである。膜特性の更なる改善と加速試験技術確立により 2005 年前後には  $1E15$  回以上の保証が可能となり、完全に RAM として応用できるようになると思われる。ただし、キャパシタを小さくしたり、動作温度範囲が 150 以上要求される用途についてはデータ保持特性として 10 年保持は当面難しいと考えられる。

### (6) 他の WG 分野への依存性

プロセスインテグレーションとデバイス構造のWGは設計やフロントエンドやリソグラフィ、配線などの要素プロセスとの狭間にあり、これらのWGと密接な関係をもつため、そのための依存性は比較的他のWGよりも強いと思われる。例えば、DRAMやFeRAMで採用される新材料の選択や信頼性の確保、フラッシュメモリのトンネル絶縁膜の高品質化にはフロントエンドプロセスに関わる要素技術の開発に大きく依存し、デバイスの特性が左右されたり、実用化時期が長びいたりする恐れがある。このためFEP WGとの連携と調整が必要である。また、通常1/2ピッチで示されるリソグラフィの解像性においても、デバイス構造の特定層ではそれよりもかなり細かいパターンが利用されたりするが、これは超解像技術がある周期パターンに適用できたため、リソグラフィ技術の新しい特徴を最大限に活用した結果である。リソグラフィの進展こそデバイスの縮小化の現前であり、今後も源泉であり続ける。メモリはロジックほど強く配線の影響は受けないが、やはりワード線やビット線の配線材料は低抵抗を必要とし、配線WGとの関連も次第に大きくなる。また、設計ではメモリ高速化を目指すインターフェースや低消費電力対応、電源線のレイアウトを十分考慮することが重要で、設計WGとの関連も強まる。また、高集積密度・高速動作に伴いチップの消費電流が増加し、チップ温度が上昇するため、パッケージの熱抵抗低減が必要であり、実装方法、パッケージもこの点を留意した方向の検討が必要であり、パッケージWGとの連携は欠かせない。

## (7) 提言

汎用メモリとしてかつては高速もの(SRAM)と高密度もの(DRAM)があり、ユーザーの要求を十分に満たしたと思われるDRAMが残った。システムエンジニアは、メモリとは制限なく使えるほどに安いと考えており、少なくとも今までDRAMはそれに応えてきた。一方、メモリに不揮発性という機能が要求され、Flashメモリの応用が広がってきたが、やはり基本的に安く作らなくてはならないという宿命は変わらない。半導体チップを安く作れたのは、デバイス・装置・材料の半導体業界が一体となって、デバイス構造の工夫と微細加工技術を始めとするプロセス技術の開発、高歩留まりを達成する製造ラインの高度化等を主導してきたからである。しかしながら、技術の困難度は増し、それを解決するための開発費用や投資額は膨大になり、従来の延長路線がいつまで続くかという疑問が立ちはだかる。技術と経済の両立するトレンドを作る必要がある。

## 2 - 6 - 3 ロジックデバイス

### (1) 背景

飛躍的に増大する画像データの処理やネットワークを介して高速通信の需要と、急拡大している各種携帯情報機器の要請から、プロセッサやシステムLSIの低電圧での高速性能の要求は今後ますます増大していく。今日までLSIは、スケーリング則により集積度、性能、コストを飛躍的に向上させてきた。このLSIの進歩を規定してきたのは、従来は微細加工技術であったが、サブ0.1 $\mu\text{m}$ に向けては規定要因がLSIの基本要素であるトランジスタにまで広がる。従来からトランジスタの高速化、低消費電力化を阻害してきた寄生抵抗、寄生容量の影響が、微細化とともに増大するだけでなく、キャリアの速度飽和やしきい値の非スケーリング性から、今日までスケーリングにより享受してきた高性能化が厳しい状況になりつつあるためである。これに対処するためトランジスタの微細化の急激な加速とSOI(silicon on insulator)基板やCu配線、低誘電率層間膜などの新規テクノロジーの導入が活発になっている。特に速度性能を決定するゲート長の微細化はここ数年加速してきている。今年は半導体各社から0.18 $\mu\text{m}$ 世代の商品が出荷され始めるが、その時のハイエンド用トランジスタのゲート長は1世代分程度さらに縮小したものが使用される場合が多い。研究、開発レベルではその先のデカノメータ(100nm以下)のゲート長がターゲットになりつつある。

### (2) 検討範囲と項目

ロジックデバイス開発に要求されることは、急速なデバイススケーリングと低電圧化への対応である。トランジスタを微細ゲート長で正常に動作させること、そして低電圧においても微細ゲート長に見合った高性能を実現することが開発の基本目標となる。したがって、速度性能指数である $CV/I$ が平均年率10%の向上が達成されてきた過去のトレンドを維持することを前提として、デバイスの主要なパラメータを検討した。具体的な検討項目は、低電圧化、短チャネル効果の抑制、オン電流の増大、寄生抵抗や寄生容量の低減等である。

### (3) ニーズ、到達レベル(技術要求・あるべき姿)

#### 1) 低電圧化

集積度及び動作周波数の増大によるLSIの消費電力の増大に対処するためは、回路やシステム

サイドからの努力だけでなく、デバイスサイドからも低消費電力化を推進していくことが必要である。CMOS の消費電力は  $CV^2$  に比例するため、電源電圧を下げることで有効である。このため、ゲート絶縁膜の信頼性の確保という意味だけでなく、消費電力低減の意味から今後も電源電圧の低下を続ける必要がある。

## 2) 短チャネル効果抑制

集積度が増大しても高い歩留まりを確保しなければならないことと、特性ばらつきによる回路性能劣化を抑制するため、しきい値ばらつきに対する要請が世代と共に厳しくなる。このためしきい値ばらつきの大きな要因である短チャネル効果の抑制は必要条件である。しかし現実にはゲート長の急激なスケールリングで短チャネル効果は厳しくなっている。

## 3) ゲート絶縁膜薄膜化

ゲート絶縁膜の薄膜化は電源電圧の低下とトレードオフの関係にならないこと、オン電流増大と短チャネル効果抑制に必須であるため、今後もスケールリングされていかなければならない。これまで世代と共に指数関数的にスケールリングされてきたが、このままでは実効膜厚が 2nm を切るあたりからゲート絶縁膜を流れる直接トンネル電流が増大していく<sup>9)</sup>。このため従来のゲート絶縁膜に対する要求に加えて、この直接トンネル電流に起因する信頼性と消費電力の観点からも問題のない膜が要求される。

## 4) 寄生抵抗の低減

オン電流を確保するため、寄生抵抗をスケールリングしていくことが必要である。トランジスタのソース/ドレイン抵抗は、トランジスタ自体の抵抗に対して無視できる大きさにすることが理想である。オン電流の大小には影響しないが、AC 特性(回路特性)に大きな影響を与えるゲート抵抗もサブ 0.1  $\mu\text{m}$  のゲート長で数 / 以下を維持する必要がある。

## 5) 寄生容量の低減

$CV/I$  のトレンドを維持していくには、容量もスケールリングしなければならない。ゲート容量の低減は次段の入力容量の低減になり、高速化に大きく貢献する。低減法はゲートポリ Si 長の微細化であり、各社が微細化を加速している理由である。ゲート容量以外の容量はトランジスタにぶら下がる全く不要の容量(寄生容量)で、その充放電に費やす時間とエネルギーのために、速度性能の劣化と消費電力の増大を引き起こす。サブ 0.1  $\mu\text{m}$  世代以降はトランジスタの全容量の中で、この寄生容量の占める割合が大きくなりつつあり、その低減を推進していく必要がある。

## 6) 速度性能

前述の要求を満たして、今後も従来からの速度性能( $CV/I$ )のトレンド(平均年率 10%の向上)を維持していく必要がある。 $CV/I$  の数値は 2000 年には 10ps を、2008 年には 4ps を切り、超高性能なシステムが 1 チップで実現される。短期及び長期の技術要求を図表 2 - 6 - 6 および 7 に示す。



#### (4) 課題

##### 1) 短チャネル効果の抑制

スケーリング則から短チャネル効果の抑制にはトランジスタ内部の電界分布をスケーリングの前後で一定に保つ必要があり、電源電圧の低下だけでなくトランジスタのチャネル部の不純物濃度が増加する<sup>10)</sup>。これはしきい値の非スケーリングを意味し、高オン電流化と相反することになる。オフ電流の規制を緩和しつつ、チャネル不純物濃度の単純な増大とは別の手法で短チャネル効果を抑制していかなければならない。これまでチャネルの不純物分布は均一分布ではなく深さ方向に分布を持った設計が、サブクォータミクロンの世代から採用されてきた。しかしサブ 0.1  $\mu\text{m}$  に向けて、この深さ方向に 1 次元のプロファイルを有するチャネル設計だけではゲート長の微細化に対応できなくなる。

スケーリングに伴うチャネル濃度の増大は、チャネルに垂直方向にキャリアが感じる実効電界を増大させる。その結果、キャリア移動度の著しい劣化を引き起こし、スケーリングによるオン電流の増大を困難にする。

##### 2) オフ電流の増大

電源電圧の低下の要請はトランジスタのオン電流を減少させる。従って、低い電源電圧を有効に使うためにはしきい値の低下が必須になる。この結果、オフ電流の規制が緩和されていくことは容認せざるを得ない。

##### 3) ゲート絶縁膜薄膜化

ゲート絶縁膜厚が薄くなると、ゲート電極の空乏化と反転層容量の電氣的な実効ゲート膜厚への影響が大きくなり、物理的に薄くした割にはオン電流増大への寄与が小さくなる。一方、キャリアはゲート絶縁膜を直接トンネルするようになり、ゲート電流が増大して消費電力が増大していく。またポリ Si ゲート電極中の不純物のチャネル部への拡散により、しきい値ばらつきが増大する。これまで Si-LSI の実用化、大規模化を支えてきた Si 酸化膜系のゲート絶縁膜のスケーリングは終焉を迎えることになる。このため、それに代わる新しいゲート絶縁膜の開発が必要である。

##### 4) 寄生抵抗の低減

寄生抵抗のスケーリング要求を満たすための一つの条件として、拡散層およびコンタクト部における抵抗をスケーリングする必要がある。どちらも活性化した不純物の濃度増大がその低減に有効であるが、一方で前者の場合は寸法のスケーリングが抵抗低減に働くが、後者は増大に働く。このためコンタクト抵抗率のスケーリングが必要である。現状、コンタクト抵抗はコンタクト部にイオン注入された不純物の固溶限と、シリサイド-拡散層間のバリアハイトで規定されている。不純物拡散とアニールの高温化のトレードオフを解決する必要がある。ゲート抵抗に関してはゲート長が細くなっても、シート抵抗の上昇が起こらない、いわゆる細線効果をなくす必要がある。エクステンション部を浅くすることによりチャネル方向に急峻なプロファイルとなり抵抗は下がる。またソース/ドレイン間の距離を長くでき、短チャネル効果を抑制できる。しかし単に濃度を下げて浅くするとシート抵抗は増大する。このトレードオフの解決も必要である。

##### 5) 寄生容量の低減

SOI 基板を用いることでソース/ドレイン拡散層底部の接合容量の大幅な低減が可能になる。しかし

しスケーリングによりチャネル濃度が増大すると、ソース/ドレイン拡散層とチャネル間の接合容量は逆に増大していく。オーバーラップ容量に関しては、エクステンション部の接合を浅くすることでオーバーラップ領域が減少するが、ゲート絶縁膜の薄膜化は単位面積当たりの容量を増大させるため、スケーリングされ難い。

#### (5) 解決策の候補技術

前述した課題を踏まえると、トランジスタのゲート長が 100nm 以下になってくると、これまで行ってきたデバイス寸法、不純物濃度、各種電圧のスケーリングによる高性能化のシナリオが破綻をきたしてくる。そのため短チャネル効果を抑制しつつ微細化による高速化を実現するために、新材料の投入が必須となる。

##### 1) 短チャネル効果抑制

短チャネル効果の抑制は、ゲート絶縁膜の薄膜化によるアプローチだけでなく、チャネルエンジニアリングと浅接合からの検討を継続していくことが必要である。チャネルエンジニアリングは、現在行われているゲート電極加工後に斜めからチャネル用不純物を注入するプロセス (angled pocket, tilted channel implantation, super halo 等) の最適化と、プロセス完了時点において設計値とおりの二次元プロファイルを実現することが重要である。欠陥や界面の存在による不純物の過渡的な拡散や、異種不純物間の相互作用による拡散、偏析、高濃度化による不純物のクラスタリングなどの現象理解がインフラとして必要である。また短チャネル効果の抑制だけでなく、チャネル中の不純物の数や位置の統計的ゆらぎによる特性バラツキの低減のためには、Si や SiGe のエピチャネルが有効である。ただし、SiGe エピチャネルは移動度の増大が実現できるが、耐熱性と CMOS プロセスとの整合性が実用化に向けての課題である。

##### 2) ゲート絶縁膜薄膜化

ゲート絶縁膜に流れる直接トンネル電流を抑制するため、 $\text{SiO}_2$  よりも比誘電率の高い材料と、更にその性能を十分に引き出すためのゲート電極の早期開発が重要である。比誘電率の高い材料を用いることで実効膜厚を薄く、物理膜厚を厚く保ち、直接トンネル電流の抑制とゲート容量の増大を実現できる。ゲート容量の増大は駆動能力の増大に有効であるだけでなく、スケーリングによるチャネル不純物濃度の増大に伴う  $S$  値の劣化を抑制する意味でも重要である。Si との良好な界面と膜中のトラップ密度の低減、 $\text{SiO}_2$  の場合と変わらないキャリア移動度と信頼性の確保、Si プロセスとの整合性など、解決すべき課題のハードルは高いが早急な対応が必要である。

薄いゲート絶縁膜に対応するため、ゲート電極に対しては、低シート抵抗だけでなく不純物の基板への抜けの抑制、インテグレーションに係わる課題の他に、極薄ゲート絶縁膜のメリットを生かすために空乏化の抑制が要求される。これらの要求を満足する可能性ある候補として、ポリ SiGe や金属のゲートが有望である。しきい値制御と LSI プロセスとの整合性 (ゲート絶縁膜の信頼性、微細加工、耐熱性) が、実用化に向けてのポイントになる。

##### 3) 寄生抵抗低減

寄生抵抗低減と短チャネル効果抑制のために、エクステンション部は浅く、横方向には急峻なプロファイルを有し、かつ十分に高キャリア濃度を、プロセス完了時に実現することが必要である。このため

めには加速エネルギーが 1 keV 以下の極低エネルギーイオン注入やプラズマドーピングなどの不純物導入法の開発と、不純物拡散のメカニズムを十分に理解しての活性化プロセスが必要である。極低加速エネルギーで基板にイオンが注入されると、格子間 Si に関係した過渡的な不純物の拡散が抑制されること、チャネリングが抑制されること、また基板表面の薄い酸化膜に注入される不純物の増大、活性化アニール時の不純物の外方拡散、基板のスパッタなどにより、実効的なドーズ量の減少が見られる。これらを十分理解したプロセス/デバイス設計が重要となる。不純物活性化アニールプロセスは、これまでの秒オーダーの RTA プロセスから更に高温、短時間化が進み、最終的にはナノ秒オーダーのレーザーアニールプロセスが有望になる。また、活性化アニール後の熱プロセスインテグレーションが一層重要になる。

ソース/ドレインの深い接合部においては、微細化、特にサイドウォール幅の縮小が進むにつれてその接合深さを浅く、かつシリサイド層とのコンタクト抵抗低減のため、不純物の高濃度化の必要性が増す。この二つの要請は、エクステンション部形成におけると同様の課題を抱えるだけでなく、シリサイドに起因するリークを増大させる懸念がある。Si や SiGe をソース/ドレイン上に選択的に堆積する構造や、前述のレーザーアニールが有望な解決策になる。

#### 4) しきい値

トランジスタのしきい値については、電源電圧の低下による駆動能力の低下を回避するために、短チャネル効果を抑制しつつ、その低下が今後も進む。その一方で、サブスレショルドリーク電流の低減対策がますます重要になる。いくつかのしきい値のトランジスタを用意し、回路設計者がそれらの使い分けを行うことが広く採用されていく。更にサブスレショルドリークを遮断するスイッチを直列に挿入したり、基板バイアス印可で、必要に応じてしきい値を高くすることも必要である。電源電圧が Si の拡散電位程度に下がってくると、ゲート電圧とともに基板バイアスを変化させるダイナミックスレショルド MOS(DTMOS)が有望となる。ゲート電極への信号の有無によりしきい値が変化し、駆動能力が必要な時だけにしきい値の低減が可能になる。

#### 5) 多層配線

多層配線については、ハイエンド用途で既に実用化された Cu 配線が、ASIC(application specific integrated circuit:特定用途向け IC)さらに混載システム LSI などの LSI 全体にその適用範囲を広げていく。今後は Cu 拡散バリア層の薄膜化による実効的な抵抗率の改善が続くが、LSI の高速化を阻害している遅延の中で、配線遅延成分の増大は回避できない。このため抵抗率低減のブレークスルーが必要になる。ハイエンド用途に特化した形で、動作温度の低下による抵抗率低減も検討が必要になる。低容量の多層配線システムとして、層間絶縁膜の比誘電率の低減と CMP におけるストッパ材料の誘電率の低下が必要である。層間絶縁膜の比誘電率の低減は、最終的には多孔質材料や空隙を積極的に用いることに繋がっていく。

#### 6) SOI 基板の採用

SOI 基板を使用するトランジスタは、従来の特殊用途(高周波、高耐圧、耐放射線などの特徴を生かした用途)に限定した使われ方から、より汎用的な用途に採用されていく。低電圧化で特に問題になってくる接合容量の増大を抑制できることと、ボディが電氣的に浮いていることに起因するいくつかの特長により、基板コストがそれほど問題とならないハイエンド用途から実用化され、その適用

用範囲は ASIC や混載システム LSI へと広がっていく。この場合、動作速度の不安定性、ダイナミック回路で問題となるパスゲートのリークなどを回避し、さらに逆ボディ効果の影響が少ないというメリットを生かした専用回路設計が必要である<sup>12)</sup>。

#### 7) 低温動作、新構造の採用

SOI 基板の導入は、飽和しつつあるスケーリングによる高性能化手法を 1 世代だけ先送りにするだけであり、その次にはまた新しいテクノロジーの導入が必要である。駆動能力増大、リーク電流低減、配線遅延低減などの高性能化が明らかに期待できる動作温度の低温化が、ハイエンド用途では有望な解決策になる。また構造やデバイスの動作原理を大幅に変更して、更なる高性能化を実現するアプローチもある。ダブルゲート構造、縦形 MOS トランジスタなどが候補になる。さらに、MOS トランジスタ動作自体が限界に近づく 2015 年頃には、動作原理が MOS トランジスタとは異なり、量子効果を積極的に利用したデバイスが必要になる。これらの解決策の技術候補を図表 2 - 6 - 8 にまとめて示した。

#### (6) 他のWG分野への依存性

MOS トランジスタの高性能化の基本であるスケーリングを実現していく上で、最も緊急に解決すべき課題はゲート絶縁膜に関するものである。図表 2 - 6 - 6 からトンネル電流増大により、これまでの Si 酸化(窒化)膜系のゲート絶縁膜が使用できなくなるのは、ハイエンド用途のトランジスタで 2004 年頃、ローパワー用では更に手前である。Si 基板を酸化(窒化)して得られる良質な界面を利用できたこれまでと異なり、全く異種の高誘電率材料を MOS 構造の能動領域で使いこなすことを、非常に短期間に実現しなければならない。

図表 2 - 6 - 6 のロードマップを実現するためには、リソグラフィ、フロントエンドおよびバックエンドのテクノロジー開発だけでなく、回路設計と TCAD(technology computer aided design)の進展に負うところが特に大きい。

電源電圧のスケーリングとしきい値の非スケーリング性により、トランジスタの駆動能力はオフ電流の制限により、大幅に抑制されつつある。消費電力の増大なしでこの足かせを緩めることが、サブ 0.1  $\mu\text{m}$  世代での回路、システムの高性能化に繋がる。いくつかのしきい値のトランジスタを使い分け、リークをカットするトランジスタの挿入などの回路的工夫と CAD の整備がシステム性能を左右する。

トランジスタ内部の特性把握と最適設計による性能アップ、プロセスばらつきあるいは不純物の統計的ゆらぎの電気特性への影響と設計マージンの設定などのために、TCAD の役割はますます重要になる。サブ 0.1  $\mu\text{m}$  以降では量子効果、ギガヘルツ動作での配線の RLC 遅延、欠陥起因の拡散などを取り入れたモデル、それを高速に実現するプログラムをデバイス開発者が容易に利用できる環境が必要である。

#### (7) 提言

MOS トランジスタはこれまでテクノロジーの継続的な進展によりスケーリングを実現し、それによる性能(動作速度、集積度、消費電力、コスト)向上の恩恵を享受してきた。サブ 100nm 世代に入っても、新材料投入によるテクノロジー開発の困難さは増大するが、この傾向は変わらない。しかしテクノロジーノードが 50nm あたりにくると、例え困難なテクノロジー的課題(例えば高誘電率のゲート絶縁膜、メタルゲート、など)を解決できたとしても、スケーリングによる性能アップが従来ほど期待できなくなる。こ

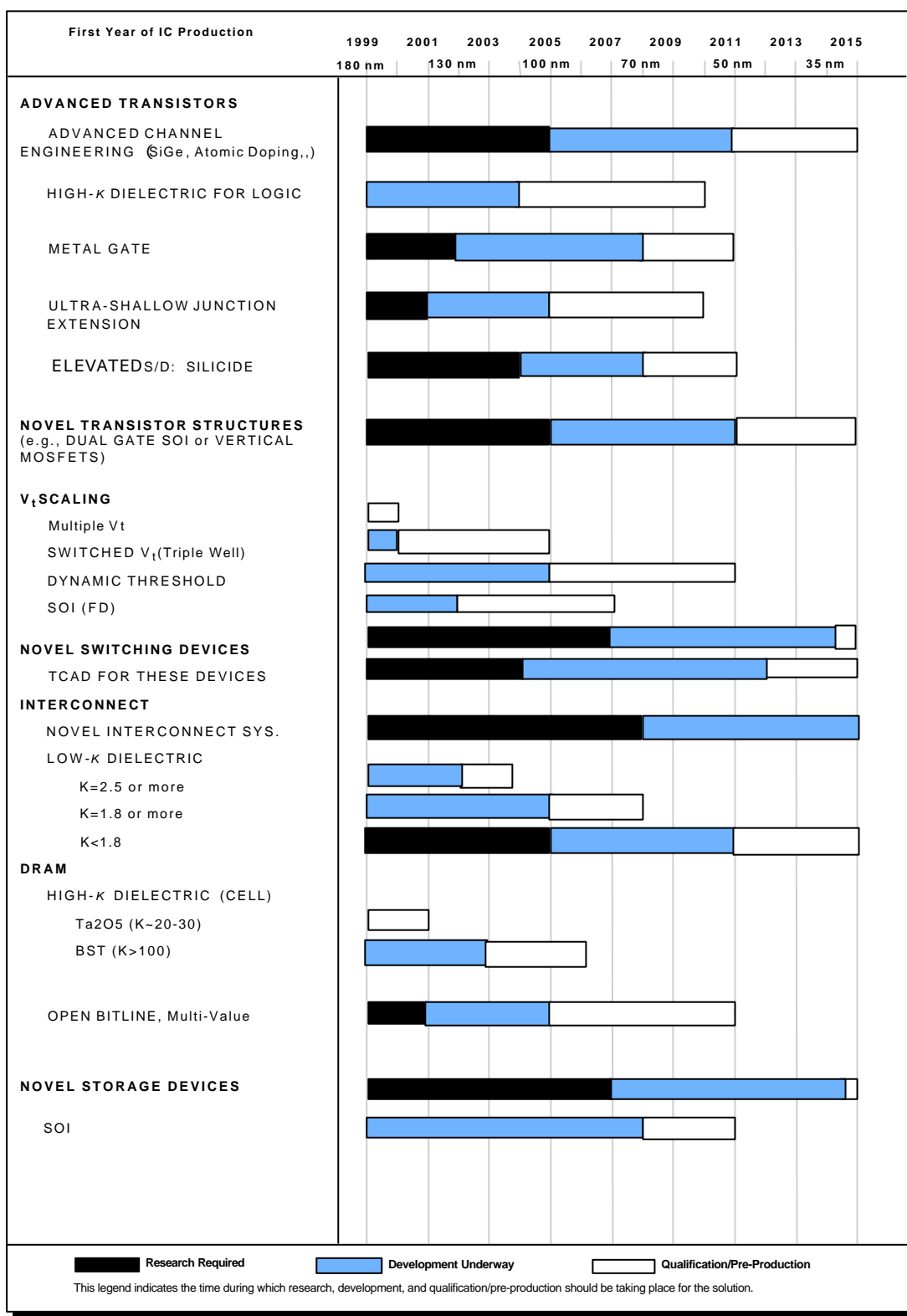
これは MOSトランジスタの本質的課題(反転層容量の存在など)による性能抑制が顕著になることと、物理量の統計的なゆらぎのためにインテグレーションが困難になるためである。このため 50nm 世代以降は、スケーリングと新材料導入を主体とした開発だけでなく、他の要素(新構造、動作温度の低下)による性能アップや、新しい動作原理を積極的に取り入れていく必要がある。

	Year of First Product Shipment	1999	2000	2001	2002	2003	2004	2005	Driver
1	DRAM Half-Pitch (nm)	180	165	150	130	120	110	100	
2	MPU Gate Length (nm)	140	120	100	85	80	70	65	
3	MPU / ASIC Half-Pitch (nm)	230	210	180	160	145	130	115	
4	ASIC Gate Length (nm)	180	165	150	130	120	110	100	
5	Min. Logic $V_{dd}$ (V) (desktop)	1.5-1.8	1.5-1.8	1.2-1.5	1.2-1.5	1.2-1.5	0.9-1.2	0.9-1.2	M Gate
6	$T_{ox}$ Equivalent (nm)	1.9-2.5	1.9-2.5	1.5-1.9	1.5-1.9	1.5-1.9	1.2-1.5	1.0-1.5	M Gate
7	Nominal $I_{on}$ @ 25°C ( $\mu A/\mu m$ ) (NMOS/PMOS) High Perf.	750/350	750/350	750/350	750/350	750/350	750/350	750/350	M Gate
8	Max $I_{off}$ @ 25°C (nA/ $\mu m$ ) (For minimum L device) High Perf.	5	7	8	10	13	16	20	M Gate
9	Max Gate Leakage @ 25°C (nA/ $\mu m$ ) (For minimum L device) High Perf.	5	7	8	10	13	16	20	M Gate
10	Gate Delay Metric CV/I (ps) High Performance	11	9.4	8.6	7.3	6.9	6.1	5.6	
11	Percent Static Power Reduction Necessary due to Innovative Circuit/System Design	0	33	48	55	71	77	81	M Gate M & A 1/2
12	Nominal $I_{on}$ @ 25°C ( $\mu A/\mu m$ ) (NMOS/PMOS) Low Power	490/230	490/230	490/230	490/230	490/230	490/230	490/230	A Gate
13	Max $I_{off}$ @ 25°C (pA/ $\mu m$ ) (For minimum L device) Low Power	5	7	8	10	13	16	20	A Gate
14	Max Gate Leakage @ 25°C (pA/ $\mu m$ ) (For minimum L device) Low Power	5	7	8	10	13	16	20	A Gate
15	Gate Delay Metric (CV/I) (ps) Low Power	18	16	13	11.3	10.6	8.9	8.3	
16	Percent Static Power Reduction Necessary due to Innovative Circuit/System Design	0	36	55	65	80	85	88	A Gate M & A 1/2
17	$V_T$ 3 $\sigma$ Variation ( $\pm mV$ ) (For minimum L device)	50	50	42	42	42	33	33	M Gate
18	S/D Extension Junction Depth, Nominal ( $\mu m$ )	0.045- 0.07	0.04- 0.065	0.04- 0.06	0.03- 0.05	0.03- 0.048	0.028- 0.044	0.025- 0.04	M Gate
19	Gate Sheet Resistance ( $Wsq$ ) @ minimum dimension	4-6	4-6	4-6	4-6	4-6	4-6	4-6	M Gate
20	Interconnect Levels	6-7	6-7	7	7-8	8	8	8-9	M & A 1/2
21	Short Wire Pitch ( $\mu m$ )	0.36-0.46	0.33-0.42	0.3-0.36	0.26-0.32	0.24-0.29	0.22-0.26	0.2-0.23	M & A 1/2
22	Maximum wire length ( $\mu m$ )	2300	2030	1760	1490	1340	909	1050	M & A 1/2
23	DRAM Cell Size ( $\mu m^2$ )	0.26	0.19	0.14	0.105	0.08	0.058	0.044	D 1/2
24	DRAM Cell Dielectric $T_{ox}$ Equivalent (nm)	3.0	2.2	1.6	1.2	0.90	0.67	0.50	
25	Min. Refresh Time (ms)	128	128	128	256	256	256	512	
26	Soft Error Rate (FITs)	1000	1000	1000	1000	1000	1000	1000	
27	Nonvolatile Data Retention (year)	10	10	10	10	10	10	10	
28	NOR Cell Size ( $\mu m^2$ )	0.34	0.29	0.24	0.17	0.15	0.13	0.1	M & A 1/2
29	$V_{pp}$	8 to 10	8 to 10	8 to 9.5	8 to 9.5	8 to 9.5	7 to 9	7 to 9	
30	Tunnel Oxide (nm)	8 to 10	8 to 10	8.5 to 9.5	8.5 to 9.5	8.5 to 9.5	8 to 9	8 to 9	
31	NVM Endurance (erase/write cycles)	100K	100K	100K	100K	100K	100K	100K	
32	ESD Protection Voltage (V/ $\mu m$ )	7.5	7.5	10.5	10.5	10.5	12	12	
33	(V/ $\mu m^2$ )	2.5	2.5	3.0	3.0	3.0	3.5-4.0	3.5-4.0	

図表 2 - 6 - 6 メモリおよびロジックデバイスの技術要求(短期)

	Year of First Product Shipment	2005	2008	2011	2014	Driver
1	DRAM Half-Pitch (nm)	100	70	50	35	
2	MPU Gate Length (nm)	65	45	32	22	
3	MPU / ASIC Half-Pitch (nm)	115	80	55	40	
4	ASIC Gate Length (nm)	100	70	50	35	
5	Min. Logic $V_{dd}$ (V) (desktop)	0.9-1.2	0.6-0.9	0.5-0.6	0.3-0.6	M Gate
6	$T_{ox}$ Equivalent (nm)	1.0-1.5	0.8-1.2	0.6-0.8	0.4-0.6	M Gate
7	Nominal $I_{on}$ @ 25°C ( $\mu A/\mu m$ ) (NMOS/PMOS) High Perf.	750/350	750/350	750/350	750/350	M Gate
8	Max $I_{off}$ @ 25°C (nA/ $\mu m$ ) (For minimum L device) High Perf.	20	40	80	160	M Gate
9	Max Gate Leakage @ 25°C (nA/ $\mu m$ ) (For minimum L device) High Perf.	20	40	80	160	M Gate
10	Gate Delay Metric CV/I (ps) High Performance	5.7	3.7	2.6	2.4	
11	Percent Static Power Reduction Necessary due to Innovative Circuit/System Design	81	91	97	98	M Gate M & A 1/2
12	Nominal $I_{on}$ @ 25°C ( $\mu A/\mu m$ ) (NMOS/PMOS) Low Power	490/230	490/230	490/230	490/230	A Gate
13	Max $I_{off}$ @ 25°C (pA/ $\mu m$ ) (For minimum L device) Low Power	20	40	80	160	A Gate
14	Max Gate Leakage @ 25°C (pA/ $\mu m$ ) (For minimum L device) Low Power	20	40	80	160	A Gate
15	Gate Delay Metric (CV/I) (ps) Low Power	8.2	5.6	4.5	3.7	
16	Percent Static Power Reduction Necessary due to Innovative Circuit/System Design	88	95	98	99	A Gate M & A 1/2
17	$V_T$ 3 $\sigma$ Variation ( $\pm$ mV) (For minimum L device)	33	25	17	17	M Gate
18	S/D Extension Junction Depth, Nominal ( $\mu m$ )	0.025-0.04	0.02-0.028	0.013-0.02	0.01-0.014	M Gate
19	Gate Sheet Resistance ( $Wsq$ ) @ minimum dimension	4-6	4-6	4-6	4-6	M Gate
20	Interconnect Levels	8-9	9	9-10	10	M & A 1/2
21	Short Wire Pitch ( $\mu m$ )	0.2-0.23	0.14-0.21	0.10-0.15	0.07-0.11	M & A 1/2
22	Maximum wire length ( $\mu m$ )	1050	565	273	113	M & A 1/2
23	DRAM Cell Size ( $\mu m^2$ )	0.044	0.018	0.0072	0.0030	D 1/2
24	DRAM Cell Dielectric Tox Equivalent (nm)	0.50	0.20	0.084	0.034	
25	Min. Refresh Time (ms)	512	512	512	512	
26	DRAMSoft Error Rate (FITs)	1000	1000	1000	1000	
27	Nonvolatile Data Retention (year)	10	10	10	0.1 to 10	
28	NOR Cell Size ( $\mu m^2$ )	0.1	0.05	0.025	0.012	M & A 1/2
29	+/- $V_{pp}$	7 to 9	7 to 8.5	6.5 to 8.5	6 to 8.5	
30	Tunnel Oxide (nm)	8 to 9	7.5 to 8.5	2 to 8	2 to 7	
31	NVM Endurance (erase/write cycles)	100K	100K	0.1 to 1M	0.1 to 1M	
32	ESD Protection Voltage (V/ $\mu m$ )	12	13.5	15	17.5	
33	(V/ $\mu m^2$ )	3.5-4.0	4.5-5.0	5.5-6.0	7.5-10	
		Solutions Exist	Solutions Being Pursued	No Known Concepts to Pursue		

図表 2 - 6 - 7 メモリおよびロジックデバイスの技術要求(長期)



**Work in Progress Draft: Not for Publication**

図表 2 - 6 - 8    ロジックデバイスの解決策の技術候補



(図表2 - 6 - 8の根拠について)

- [1] ORTC(Overall Roadmap Technology Characteristics)テーブルより
- [2] ORTC テーブルより
- [3] ORTC テーブルより
- [4] ORTC テーブルより
- [5] 電源電圧は動作時の消費電力と、信頼性の点で妥当なゲート絶縁膜にかかる電界強度を元に設定されている。通常、表中の電圧範囲の中で高い値は高性能用途、低い値は低消費電力用途である。
- [6] シリコン酸化膜の物理的な膜厚に換算した膜厚。C-V 測定で求まる電気的な酸化膜厚は、ポリシリコンゲート電極の空乏化と量子効果のために、この行に示された値よりも厚くなる。電源電圧の場合と同様に、表中の膜厚範囲の中で厚い方の値は高性能用途、薄い方の値は低消費電力用途である。180nm から 110nm のノードでは、 $T_{ox}$  は酸化膜の信頼性の観点から  $V_{dd}/T_{ox} \leq 8 \text{ MV/cm}$  になるように選ばれている。ここで  $V_{dd}/T_{ox}$  は酸化膜中の電界強度である。100nm のノードでは、ゲート絶縁膜としてシリコン酸化膜あるいは酸窒化膜よりも誘電率の大きい材料が使用される可能性が高い。そのような膜ではゲートリーク電流は同じ  $T_{ox}$  でも著しく小さくなるため、より薄い  $T_{ox}$  を許容でき、大きいオン電流( $I_{on}$ )を実現できる。また、信頼性の観点からきた  $V_{dd}/T_{ox} \leq 8 \text{ MV/cm}$  の要求は高誘電体膜にはあてはまらないかもしれない。このため  $T_{ox}$  はさらにスケーリング可能になる。100nm ノードでの  $T_{ox}$  の要求が 1.0-1.5nm と幅が広いのは、使用される材料の不確定性を含むためである。この範囲の中で厚い方はシリコン酸化膜や酸窒化膜であり、薄い方は高誘電体膜を想定している。100nm 以降では高誘電体のゲート絶縁膜の採用が最も可能性が高い。この時は  $V_{dd}/T_{ox} \leq 8 \text{ MV/cm}$  の要求はなくなる。
- [7] オン電流( $I_{on}$ )は全ての世代において一定であることが期待される。
- [8] オフ電流( $I_{off}$ )は、世代に渡ってオン電流一定に維持するために、徐々に増加することが予測される。オフ電流はソース電位( $V_s$ )、ゲート電位( $V_g$ )、基板電位( $V_{\text{substrate}}$ )を 0 V にし、ドレイン電位を電源電圧にして( $V_d=V_{dd}$ )測定される。オフ電流はドレイン電流とゲートリーク電流の差である(オフ電流はサブスレショルド電流[ソース端子での電流]と接合リーク電流[基板端子での電流]の和)
- [9] 100 での値で記されたゲートリーク電流は、トランジスタのオフ電流の 1%以下になるように設定されている。
- [10] 高性能用途のゲート遅延指標は単純な  $CV/I$  であり、チャネル幅がチャネル長と共にスケーリングされることを仮定して計算された。ここでゲート長(L)は MPU のものを、電源電圧( $V_{dd}$ )は最も高いものを、ゲート酸化膜は最も厚いものを用いて計算している。
- [11] それぞれのテクノロジーノードにおいてシステムが課する最大のチップレベルのリーク電流( $I_{L,SYS}$ )は、ヒートシンク的能力限界の 10%を非動作時の消費電力限界と仮定し、これを電源電圧( $V_{dd}$ )で割って見積もられた。非動作時のチップの全リーク電流は、オフ電流値を用いて、トランジスタ数とゲート幅/ゲート長=3 を仮定して計算されている。このチップレベルの非動作時のリーク電流は、デバイスのセルフヒーティング(100 )によるリーク電流増大を考慮して 100 倍にされている。このチップレベルのリーク電流が  $I_{L,SYS}$  よりも大きければ、その比率が記されている。この超過分はダイナミックなしきい値制御や二種類以上のしきい値を使い分ける手法、あるいはチップの一部を一時的にオフするなどの革新的な回路やシステム設計によって削減されなけれ

ければならない。ヒートシンク的能力，電源電圧，チップサイズ，トランジスタ密度等は ORTC テーブルの値を用いた。

- [12] テクノロジー世代を通してオン電流は一定であることが期待されている。低消費電力用デバイスは，高性能用のデバイスのオン電流から計算されている。この値はより厳しいオフ電流に対する要求を満足するため，それに必要な高いしきい値による電流駆動能力のロスを考慮している。
- [13] 低消費電力用途のオフ電流は，高性能用チップに対して要求されるオフ電流よりも 3 桁少なくなるように設定されている。また高性能用途の場合と同様に，テクノロジー世代を通して増加することが予測される。オフ電流はドレイン電流とゲート（リーク）電流の差である（オフ電流はサブスレショルド電流[ソース端子での電流]と接合リーク電流[基板端子での電流]の和）。ゲートリーク電流に対する要求はフロントエンドプロセス(FEP)の章に書かれている。
- [14] 100 での値で記されたゲートリーク電流は，トランジスタのオフ電流の 1%以下になるように設定されている。
- [15] 低消費電力用デバイスのゲート遅延指標は単純な  $CV/I$  であり，チャンネル幅がチャンネル長と共にスケールされることを仮定して計算された。ここでゲート長(L)は MPU のものを，電源電圧(Vdd)は最も低い値のものを，ゲート酸化膜は最も薄いものを用いて計算している。
- [16] それぞれのテクノロジーノードに対してシステムが課する最大のチップレベルのリーク電流(IL,SYS)は，ヒートシンク的能力限界の 10%を非動作時の消費電力限界と仮定し，これを電源電圧(Vdd)で割って見積もられた。電池の寿命を長く保つため，電池駆動の高集積チップの最大消費電力の妥当な値は 100  $\mu$  W である。非動作時のチップの全リーク電流はオフ電流値を用いて，トランジスタ数とゲート幅/ゲート長=3 を仮定して計算された。このチップレベルのリーク電流が IL,SYS よりも大きければ，その比率が記されている。この超過分はダイナミックなしきい値制御や二種類以上のしきい値を使い分ける手法，あるいはチップの一部を一時的にオフするなどの革新的な回路やシステム設計によって除去されなければならない。
- [17] しきい値ばらつき(3 )は電源電圧レンジの中心値のスケールに比例して縮小された。
- [18] 接合深さに範囲があるのは，使用されるドレインとチャンネルのエンジニアリング（例えばポケットイオン注入対浅いドレインエクステンション）に依存するためである。
- [19] 70 nm のテクノロジーノード以降は，目標のゲートシート抵抗を得ることが困難になる。
- [20] 配線層数の増大は高性能マイクロプロセッサからの要求によって牽引される。
- [21] 短配線ピッチは DRAM のハーフピッチの倍に等しい。
- [22] 最大配線長は，最小ピッチの配線に対して遅延が  $0.9f_{max,local}$  となる長さとしている。ここで  $f_{max,local}$ （最大局所周波数）は ORTC テーブルから求めている。ゲートは 3 入力 NAND で，ゲート幅とゲート長の比は 5 である。最大配線長に対する遅延時間の計算に用いた式は，文献 4) による。

## 2 - 6 - 4 アナログ・ミクストシグナル・高周波 (RF) デバイス

### (1) 背景

アナログ・ミクストシグナル・RF (radio frequency) デバイス分野は、急速に拡大を続けている携帯端末市場、および音声・画像を用いるメディア機器市場の拡大と共に、今後大きく進展するであろう。さらに、無線 LAN など、建物内での通信機能への要求も、アナログ LSI の市場を拡大する大きな要因になるであろう。技術的にも、携帯電話における、インターネットとの融合、大容量の情報に対する高速処理への要求などが、この分野の技術開発を促進する重要な圧力になっている。さらに、アナログ技術は、デジタル家電分野の中心となる SOC 技術においても必要不可欠な技術となる。周波数的には、IMT-2000 など W - CDMA 通信方式による 2GHz 帯の応用、無線 LAN など 5GHz 帯の応用が、今後の技術開発の具体的な目標となる。技術的なポイントは、高速化・低消費電力化に加え、デジタル回路とのワンチップ化を進めながら、ノイズ低減の問題、受動(パッシブ)素子のオンチップ化など、アナログ回路特有の課題を、低コスト化の要求の中でどう解決していくかにある。

過去のロードマップを見ると、アナログ・ミクストシグナル・RF デバイス分野における数値の変更は激しい。これは、デジタル回路とは異なり、アナログ回路は製品分野が多岐にわたること、設計に経験的な側面があることが影響している。今後は、技術を牽引して行く製品分野が徐々に確定し、設計手法も、認識の共通化が進むことによって、デバイス性能へのブレイクダウンがより具体的になることが期待される。本ロードマップは、このような状況の中、CMOS 技術の微細化・高性能化をもとに、アナログ・ミクストシグナル・RF 技術の進展を予想したものである。

### (2) 検討範囲と項目

2014 年まで送受信周波数の高周波化及び低消費電力化の2つの流れの中で、アクティブ素子、パッシブ素子、及び基本的アナログ回路の性能仕様を検討した。ここでアクティブ素子については、バイポーラ、MOS 等の具体的な素子の区別はしていない。また、アナログ・デジタル混載の可能性を予想して、電源電圧はデジタル部に合わせて低電圧化していくことを前提とした。

### (3) ニーズ、到達レベル、および課題

短期および長期のアナログデバイスの技術要求を図表 2 - 6 - 9 および 10 にそれぞれ示した。

#### (送受信周波数)

2002 年以降は前述の 5GHz 帯応用が広まっていくと予想されるが、2005-2008 年の 10GHz 帯前後においては、まだ具体的な応用が見えていない。したがって、素子仕様に対して不確定性が大きく、またこれらの周波数帯では、多くのブレイクスルーが予想される。

#### (電源電圧)

低消費電力のためには低電圧化が必須である。アナログ・デジタル混載においては、電源電圧は基本的にはデジタル回路のトレンドに連動して低下していくと予測されるが、現在のアナログ回路方式では、2-1.5V 以下になると素子が MOS トランジスタ、あるいはバイポーラトランジスタであれ、回路のダイナミックレンジの低下、S/N 比の低下などが深刻化する。回路技術の革新、およびこれに対応したデバイス/プロセス技術による解決が必要である。

( $f_T$ ,  $f_{MAX}$ )

近年バイポーラ素子において、SiGe ヘテロバイポーラ素子による高  $f_T$  化が多く報告されているが<sup>13)</sup>、一方では、通常の Si バイポーラ素子でもベース幅の制御により、 $f_T$  が 100GHz を超えることが報告されている<sup>14)</sup>。さらには、MOSFET で、チャンネル長を  $0.1\mu m$  以下にすると  $f_T$  が 100GHz を越えることも知られており<sup>15)</sup>、今後のアナログ回路を実現する上で、何が最適な素子なのかを、性能、コストの面から絞り込んで行くことが、今後の開発効率を考える上で極めて重要となる。

$f_{MAX}$  については、バイポーラ素子では  $f_T$  以外に、ベース・コレクタ間の容量およびベース抵抗の低減が重要であり、MOSFE ではオーバーラップ容量の低減、ゲート抵抗の低減がポイントになる。

(NF,  $1/f$  ノイズ)

NF は微細化に伴って漸減すると予測される。NF の低減にはバイポーラ素子ではベース抵抗の低減、微細 MOSFET においてはゲート抵抗の低減が重要となる。特に周波数の増大、低電圧に伴う仕様の達成は今後困難になっていくことが予想される。さらに、 $1/f$  ノイズについては、MOSFET はバイポーラ素子より不利であると言われており、今後、世代を経るにしたがって、実用的な解をどう見出して行くかが大きな課題である。

(current matching 対トランジスタの電流量一致)

特に、低電圧下では加工寸法のばらつき他、プロセスのばらつきが閾値のばらつきに大きく影響する。リソグラフィを始めとする、プロセス技術の制御や、回路技術側の対応が必要である。

(キャパシタ)

絶縁膜の薄膜化に加えて、面積をさらに縮小するための高誘電率材料の導入が必要となる。また、一般的に周波数の増大と共に、キャパシタの Q 値が低減する傾向を有する。Q 値を維持、改善するためには、低抵抗金属電極の利用、低損失の高誘電率絶縁体の導入などが重要となる。

(インダクタ)

混載用、汎用のスパイラルインダクタでは、配線抵抗、シリコン基板でのエネルギー損失が Q 値を低下させ、今後、配線の低抵抗化、高抵抗シリコン基板の使用、3次元化などが、検討項目となる。

(シグナルアイソレーション)

今後のデジタル・アナログ混載において重要となる。ウェル分離、SOI 基板の効果、あるいは MEMS(micro electro-mechanical system)、パターンレイアウト、パッケージなどが検討対象となる。

(低コスト化)

ワンチップ化を実現しながら工程数を如何に削減するか、成熟した CMOS 技術をどう取り込んでいくか、が大きな課題といえる。

1	Year of First Product Shipment	1999	2000	2001	2002	2003	2004	2005
2	Technology Generation	180nm			130nm			100nm
3	Minimum Digital Supply Voltage (V)	1.8-1.5			1.6-1.3			1.5-1.2
4	Minimum Analog Supply Voltage (V)	3.3-2.5			2.5-1.8			
5	Transit /Receive Frequency (GHz)	2.5-3.5			5.0-7.0			7.0-9.0
6	Transistor							
7	Current (μ A)	75			50			40
8	fMAX (GHz)	35			50			65
9	ft (GHz)	30			40			55
10	Noise figure (db)	1.5			1.2			1
11	1/f spectral density (V²/Hz• μ m²)	2E-12			5E-13			5E-14
12	Gate oxide leakage (pA/μ m²)	< 0.01			< 0.01			< 0.01
13	Current matching ( %± 3 )	0.1			0.1			0.1
14	Capacitor							
15	Density (fF/μ m²)	3.5			5			7
16	Linearity (ppm/V)	100			50			50
17	Leakage (A/F)	0.1			0.1			0.1
18	Matching ( %± 3 )	0.1			0.1			0.1
19	Q	25			35			40
20	Inductor							
21	Q	30			35			40
22	Signal Isolation							
23	S21(db)	-120			-120			-120
24	Benchmark Circuit							
25	Gain (db)	20			20			20
26	IIP3 (db)	-4			-2.5			-1.5
27	Noise (db) (Low noise amp)	1.5			1.2			1
28	Noise (db) (mixer)	4			3			2.5

図表 2 - 6 - 9 アナログデバイスの技術要求 (短期)

1	Year of First Product ipment	2005	2008	2011	2014
2	Technology Generation	100nm	70nm	50nm	35nm
3	Minimum Digital Supply Voltage (V)	1.5-1.2	1.2-0.9	0.9-0.6	0.6-0.5
4	Minimum Analog Supply Voltage (V)	2.5-1.8	1.8-1.5		1.5
5	Transit /Receive Frequency (GHz)	7.0-9.0	9.0-11.0	10.0-12.0	12.0-14.0
6	Transistor				
7	Current ( $\mu A$ )	40	30	20	15
8	fMAX (GHz)	65	90	120	140
9	ft (GHz)	55	75	100	120
10	Noise figure (db)	1	1	1	1
11	1/f spectral density ( $V^2/Hz \cdot \mu m^2$ )	5E-14	2E-14	2E-15	5E-16
12	Gate oxide leakage ( $pA/\mu m^2$ )	< 0.01	< 0.01	< 0.01	< 0.01
13	Current matching ( $\% \pm 3$ )	0.1	0.1	0.1	0.1
14	Capacitor				
15	Density ( $fF/\mu m^2$ )	7	10	14	19
16	Linearity (ppm/V)	50	50	50	50
17	Leakage (A/F)	0.1	0.1	0.1	0.1
18	Matching ( $\% \pm 3$ )	0.1	0.1	0.1	0.1
19	Q	40	45	50	55
20	Inductor				
21	Q	40	45	50	55
22	Signal Isolation				
23	S21(db)	-120	-120	-120	-120
24	Benchmark Circuit				
25	Gain (db)	20	20	20	20
26	IIP3 (db)	-1.5	-1	0	0
27	Noise (db) (Low noise amp)	1	1	1	1
28	Noise (db) (mixer)	2.5	2	1.5	1.5

図表 2 - 6 - 1 0 アナログデバイスの技術要求 (長期)

#### (4) 解決策の候補技術

電源電圧に関しては、現在の回路技術では、アナログ部の電源電圧が 2-1.5V 以下では対応が難しく、新たな回路方式の開発に依存するところが多い。また、アナログ部とデジタル部で多電源を用いる場合、電圧変換器の高効率化も、低消費電力の観点からは重要な課題となる。

fTについては、送受信周波数が 5GHz 帯以上になると、Si バイポーラ素子ではベース幅の極限的な制御が必要になる。現時点では、5GHz 帯以上では、SiGe ヘテロバイポーラ素子あるいは、(チャネル長が  $0.2\mu\text{m}$  以下の) MOSFET が有力な候補である。fMAX については、バイポーラトランジスタでは、ベース抵抗、ベース・コレクタ間の寄生容量を削減することが重要であり、微細化を更に進める事と、寄生容量の小さい SOI の利用などが解の候補となる。また MOSFET については、ゲート抵抗を低減するため、サリサイド構造、メタル裏打ち構造、およびゲート幅を分割した構造<sup>16)</sup>などが解決策となり得る。

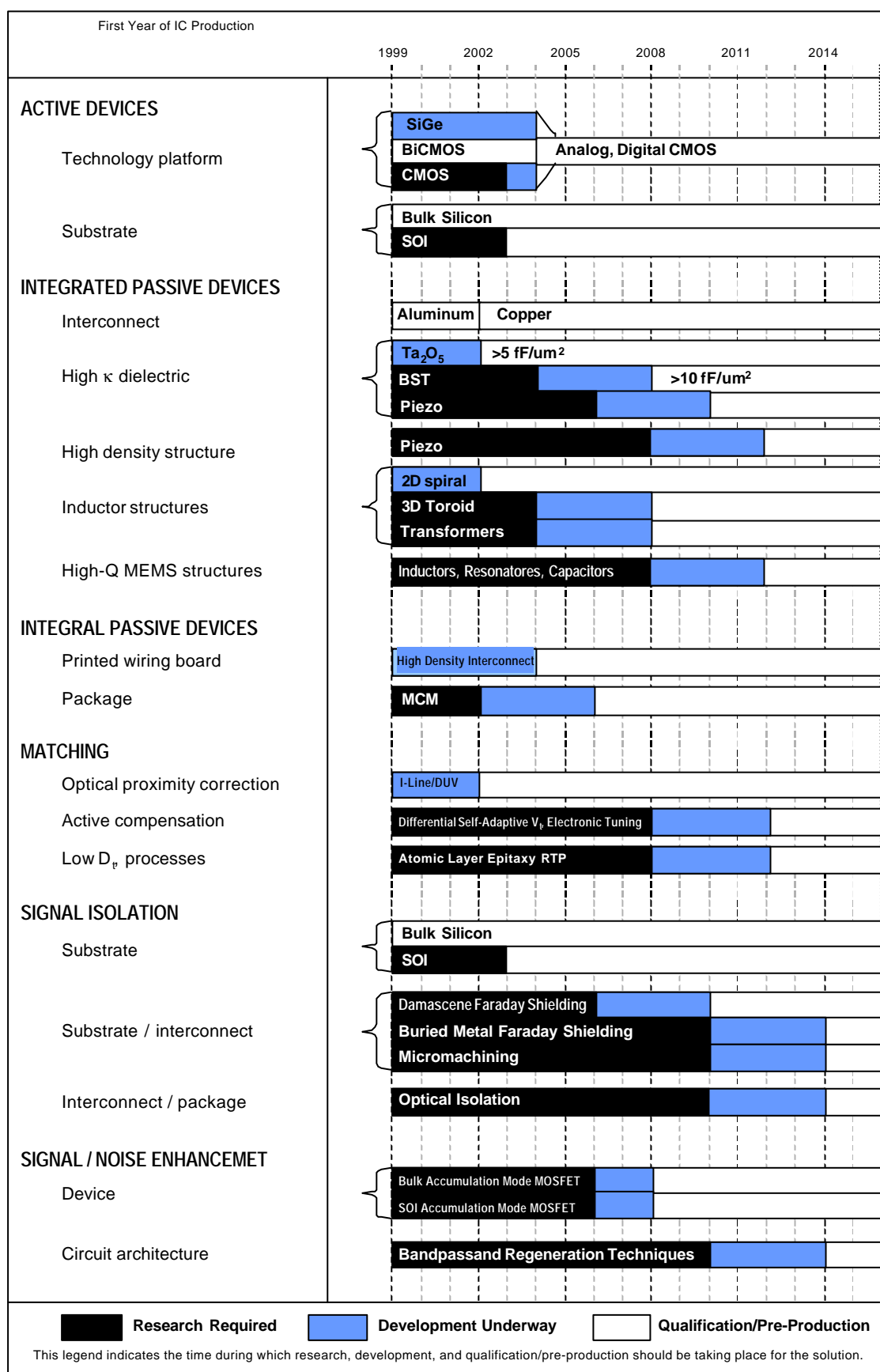
NF については、MOSFET においては、サリサイドによるゲート抵抗、ソース抵抗の低減が有効である。1/f ノイズについては、特に MOSFET においては、高 fT が得られる微細領域で、ノイズの増大が顕著となる。埋め込みチャネル型は表面チャネル型に対して有利である。また、ゲート絶縁膜界面の特性に影響されるので、界面準位の多い NO 膜などでは、材料の組成が重要な要因となる。

current matching については、リソグラフィ技術を始めとするプロセス技術全体の制御が極めて重要となる。TCAD の応用に期待される。さらに回路技術とプロセス技術の歩み寄りにより、プロセスばらつきの許容値を具体化していくことが必要である。また微細領域では、MOSFET における不純物原子の統計的ばらつきの要因が加わる。デバイス構造として、チャネル表面の不純物濃度を低濃度化する、しきい値がゲート材料の仕事関数で決まる完全空乏化型素子などが不純物数のゆらぎに強い素子の候補となる。

キャパシタについては、面積縮小のための高誘電体材料、例えば、 $\text{Ta}_2\text{O}_5$ 、BST 膜の導入などが候補となる。

インダクタについては、配線抵抗の低減のために、Al 配線の厚膜化、多層配線、あるいは Cu 配線の応用などが有効である<sup>17)</sup>。さらにシリコン基板でのエネルギー損失を抑えるためには、支持基板の高抵抗化<sup>17)</sup>、シリコン基板を一部くり貫く構造<sup>18)</sup>などが有効となる。さらには、通常の二次元インダクタでなく、三次元化したインダクタ<sup>19)</sup>なども提案されている。

シグナルアイソレーションに関しては、三重ウェル、SOI 基板などが有力な候補となる。アナログ、ミックスドシグナル、および RF デバイスの技術解決策を図表 2 - 6 - 11 に示した。



図表 2 - 6 - 11 アナログ、ミックスシグナルおよび RF デバイスの技術解決策



#### (5) 他のWG分野への依存性

今後、アナログ・デジタルの混載傾向が益々進むことを考えると、総合的な解決策を模索することが重要であることはいうまでもない。まず、アクティブ素子の選択において、バイポーラと MOSFET のいずれを選択するのか、素子性能とコストの比較の中で決めていくことが必要である。いずれの素子を選択するにしても、デジタル部の素子プロセスとの整合性の中で、加工寸法、プロセス条件などを決めていくことになる。また、アナログ回路においては、デジタル回路以上に matching が厳しく、アクティブ素子、パッシブ素子にいずれも、加工寸法ほか、不純物濃度、ゲート絶縁膜などのばらつきが大きく影響する。TCAD ツールの活用が期待される。

またキャパシタにおいては DRAM における高誘電体膜技術を有効に取り入れることが重要である。さらにインダクタにおいては、ロジック素子における多層配線技術を有効に取り入れ、技術開発に掛かるコストを低減するとともに、これをデジタル部と共通性のある汎用技術にすることが求められる。さらに、インダクタのシリコン基板でのエネルギー損失を防ぐために、高抵抗シリコン基板は有効であるが、デジタル素子部での素子性能への影響、例えばクロストークなどを十分に勘案しながら、信頼性にも十分配慮する事が重要である。

#### (6) 提言

今後、SOC 技術が急速に大きくなると予想される中、アナログ技術をデジタル技術の中にどう取り込んでいくかは極めて重要な課題である。アナログ回路では、デジタル回路にはない、ノイズ特性やマッチング特性など独自の性能が要求されるため、通常のデジタル素子とは、集積化手法の様相が異なる。さらに、SOC 技術の中に DRAMSRAM、FeRAM など、種々のメモリが取り込まれることになれば、プロセスの構成は、ますます複雑となる。したがって、今後の SOC におけるアナログ回路の混載においては、どの性能に注目して集積化を行うのか、がプロセス設計上の課題となる。SOC の姿を早く具体的にし、その現実的な解決策を提示していくことが今後の重要な課題である。

### 2 - 6 - 5 SOC デバイス

#### (1) 背景

SOC とは、広義には、「CPU メモリー、ロジック、ソフトなどをコアにして複数の機能をワンチップ上に集積し、システムあるいはサブシステムとしての機能を有する LSI の総称」と定義できる。狭義には「標準的な CMOS ロジックデバイスでは不可能な機能素子回路(高密度メモリ、不揮発メモリ、アナログ回路など)を同一シリコンチップ上にロジック回路と混載した LSI」と定義できる。機能デバイスの集積化は大きな信号処理技術の進歩をもたらす。例えばデジタル家電を一例として挙げることができる。

初期のデジタル家電は、洗濯機、電子レンジなどのマイコンによる機器制御(デジタル・コントロール家電)にとどまっていたが、80 年代初めになって文字、音声帯域のデジタル信号処理が民生機器として可能になり、その後 10 年間に CD、PC、ワープロなどが開発され普及した。しかし、デジタル家電にとって最も大きな変革となったのは、88 年頃、映像のディジタル化に必須となる AD コンバータが CMOS-LSI に内蔵され、映像や音楽も、数字・文字と同様にデジタルで扱えるようになったことである。このアナログ混載技術がベースとなり、デジタル回路の高集積化とあわさって、90 年代には映像デジ

タル処理や低電力音声処理によって、Digital Video Camera (DVC)、Car Navigation(カーナビ)、携帯電話、Digital Video Disk (DVD) など多くのデジタル・メディア家電機器が花開いた。

高度な機能デバイスの集積化はさらに大きな飛躍を生み出すと期待される。例えば、家庭内のデジタル・メディア家電間のネットワーク接続、あるいはコンテンツ供給元と端末のネットワーク接続をベースにし、多彩なサービスと組み合わせられた、いわゆるデジタル・ネットワーク家電が次世代及び次次世代以降のターゲットとなる。

## (2) 検討範囲と項目

ここではプロセスインテグレーションの立場から、前記の狭義の定義「標準的な CMOS ロジックデバイスでは不可能な機能素子回路(高密度メモリ、不揮発性メモリ、アナログ回路など)を同一シリコンチップ上にロジック回路と混載した LSI」に基づいて検討を加えたい。さらに、半導体技術として現在さまざまな機能デバイスが開発され市場に提供されているが、あくまでシリコン MOSTランジスタをベースとし、かつ、ロジック回路の大規模集積化が可能であることを前提にする。

対象としたのは、SRAM、Flashメモリ、DRAM、CMOS-RF、FeRAM である。

## (3) ニーズ、到達レベル

### (SRAM)

SRAM はすでに最も標準的にロジックデバイスに内蔵されている機能素子である。SRAM セルには大別してポリシリコン抵抗負荷型の 4トランジスタセルと CMOS 型 6トランジスタセルの 2 種類がある。中でも CMOS 型 6トランジスタセルはロジックプロセスと極めて親和性が高く、ほとんど追加工程なしに実現できる。さらにソフトエラーの観点から電源電圧の低電圧化にも耐えるという利点も有している。ロジックデバイスがスケーリングと共に低電源電圧化されていくので、この点は極めて有利である。コストの点でもロジックプロセスとの差違は発生しない。

したがって、現在は内蔵化のニーズに対して十分な到達レベルに達しているといえる。技術開発のポイントはより大規模な集積化であり、解決策として提案されているのは、ゲート・拡散層・メタル層へのコンタクトの共通化、タングステン配線層の採用などである。

### (Flash)

Flash メモリの混載はすでにロジックデバイスとして実績がある。システム製品のパラメータの記憶・ロット管理という初歩的レベルから音声認識などのミドルウェアの記憶、またオンチップ・デバッグなどが応用の対象となるので極めて大きなニーズがある。

但し、すべてのロジックデバイスに標準的に内蔵されるまでには至っていない。トンネル酸化膜を介して電荷を出し入れし、かつ、その電荷を 10 年以上にわたって保持しなければならないというセルの信頼性設計の困難さと、セルの書き込み動作のために必要な耐圧 15V 以上の高耐圧素子混載化の困難さがその原因である。高耐圧素子の混載化については内部ロジックが低電源電圧化していくので、今後技術的な難しさが増加する傾向にある。

上記の困難さはデバイス構造の複雑さ、すなわちウェーハのプロセスコストに直結する。Flash 混載プロセスでは、0.25  $\mu\text{m}$  CMOS プロセスを例にすると CMOS に比べておよそ 130%のウェーハコストである。このコスト削減についてはまだ明確な方法は知られていない。SOI 基板のコストが十分に下がれば素子分離が容易になり高耐圧素子の混載化が簡略なプロセスで可能となるかも知れない。

## (DRAM)

DRAM 混載のメリットは大容量メモリを内蔵することによってメモリバスのデータ転送速度を大幅に高めることができる点にある。これは画像処理など分野や高速の通信プロトコル処理などの分野で大きな利点となる。さらに、消費電力の低減や機器の小型化の副次的効果もある。これらの目的を追求し DRAM 混載もすでに商用化のレベルにある。DRAM 混載技術は次の 3 つに大別できる。最先端 DRAM セルと一世代前のロジックトランジスタを混載、一世代前の DRAM セルと最先端ロジックを混載、最先端の DRAM セルと最先端ロジックを混載する場合である。前者 2 つがまず商用化に到達した。

技術上の課題の第 1 はプロセスコストの増大である。DRAM 混載プロセスは現行の  $0.25\ \mu\text{m}$  で CMOS プロセスよりウェーハコストでおよそ 40%高い。さらに微細化が進むにつれ、DRAM 用のキャパシタ形成工程が複雑になるため CMOS 比のウェーハコストはますます上昇する傾向にある。最先端の DRAM セルと最先端ロジックを混載する場合は熱処理上の矛盾を解決する必要がある。最先端ロジックのトランジスタは熱的に脆弱であるが、限界までチャネル長が微細化されているためソース・ドレインの不純物の再分布が許されないこと、構造上必須であるシリサイド層が高温に晒されると断線や接合リークなどを引き起こすためである。一方、DRAM セルのキャパシタでは電極の片側もしくは両側にポリシリコンが用いられ不純物のドーブまで考慮すると、形成には十分な熱処理が必要である。

有力な解決策として MIM (metal insulator metal) キャパシタが提案されているが、電極、高誘電率絶縁膜形成が低温で可能となる。プロセスコストの削減は絶縁膜の高誘電率化にかかっている。誘電率が低いほど一定容量を確保するためのキャパシタ面積を増やす必要があり、複雑な構造によって結局コスト高になる傾向がある。したがって、低コストを目指すには誘電率が高い材料が求められる。電極材料の制限が緩和されれば、ロジック部の配線と共用化によってさらに低コスト化が可能になる。

## (CMOS RF)

ホームサーバーや STB などでは入力信号周波数が 300Hz を超える。従来は低ノイズアンプやフィルタ、ミキサ、VCQ、IF アンプ等の RF フロントエンドはデジタル信号処理の LSI とは分離されて製造されていた。これが CMOS RF によって 1 チップに混載が可能になる。実装面積の縮小、コスト低減、消費電力の削減などのニーズを満たすためである。MOS トランジスタの性能は上記の RF 帯のアナログ信号処理が可能にまで向上してきている。例えば、 $0.15\ \mu\text{m}$  のゲート長では  $f_T$  が 60GHz 弱にまで到達できる。微細化の進展によって、 $f_T = 100\text{GHz}$  は十分に実現可能であると見込まれている。

しかしながら、高周波アナログ回路はトランジスタ  $f_T$  だけで性能が決まるわけではない。トランジスタのばらつき、受動素子の混載化 (C、L、R) とその精度、SN 比など満たすべき項目は多い。また、トランジスタの微細化にともなって電源電圧が低下する。信号のダイナミックレンジ確保が困難になる問題が発生する。これらについては回路設計技術に期待する。

## (FeRAM)

FeRAM はペロブスカイト構造の強誘電体分極を利用して不揮発性情報蓄積を行うものである。強誘電体容量のヒステリシス特性から書き込み・読み出しが行われる。FeRAM の大きな特徴は、Flash メモリと同じ不揮発性を有していながら極めて高速の読み出し・書き込みが可能である点にある。同じ設計ルールであるならば DRAM とほぼ同等の時間で書き換えが可能である。Flash は 1ms 程度の低

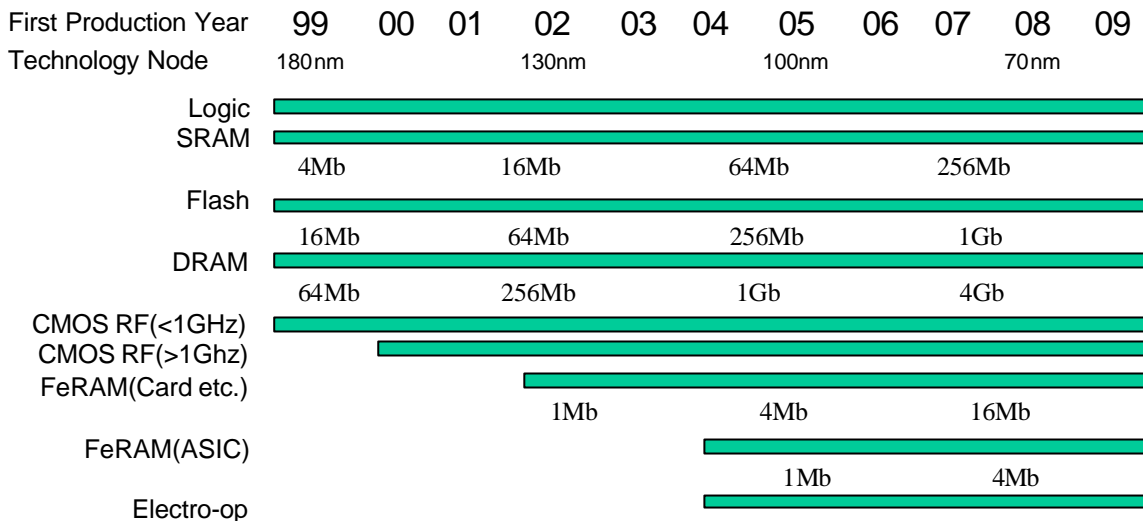
低速の書き換えしかできないから  $10^4$  倍程度の開きがある。また、セルサイズの観点からも 1T1C 構造がとれ、DRAM なみのセル面積が原理的には実現できる可能性がある。したがって、混載 DRAM や混載 Flash を FeRAM で置き換えることが可能で、不揮発性と高速読み出し・書き込みができる特徴をもつことになり、潜在的に極めて大きなニーズに対応できる。

一方、材料の面からまだまだ克服すべき点が多い。第 1 に、強誘電体材料の「疲労・インプリント・リテンション」の問題がある。読み出し・書き込みを繰り返し行うにしたがって、または経時変化によって強誘電体容量のヒステリシス特性が歪む現象である。いずれも読み出し信号の減少をもたらしメモリとして動作しなくなる。第 2 に、強誘電体材料が一般に水素雰囲気によって損傷を受ける点である。LSI の製造プロセスでは、成膜ガスに水素が含まれる CVD プロセスやゲート絶縁膜の界面準位低減のために水素雰囲気でのアニール工程があり、FeRAM プロセスはロジックプロセスとの親和性がよくない。現在、上記の欠点をカバーするために、2T2C セルを採用するなど構造上や回路上に工夫を行いながら開発が行われている。混載デバイスとして実用化されるのは 2002 年頃と予想される。将来にむけた課題は、特性劣化のない強誘電体材料及びプロセスの開発である。また、目標として Flash メモリを置き換えるためには  $10^{15}$  回以上の読み出しに耐える必要があるが、これを達成するには根本的な材料技術のブレークスルーが必要と見られる。図表 2 - 6 - 13 は SOC に搭載される主要なデバイスとロードマップを示したものである。

#### (4) 課題

個別の混載技術の技術的課題についてはすでに 3) ニーズと到達レベルで示した。SOC 技術全体としての課題を述べるならば、LSI の性能向上の程度に対してそれに見合ったコストで製造できるかということに尽きる。混載プロセスのコスト計算において注意しなければならないのは、混載化によってチップサイズが大きくなった分だけ確実に歩留まりが低下することである。これはウェーハ当たりのプロセスコスト上昇とともに 2 重の意味でチップコストの上昇につながる。付け加えて、従来別チップであれば通常の方法でのテストが可能であったものが混載化によってチップテストが困難・煩雑になることである。これもチップコスト上昇に直結する。

上に述べた LSI の性能向上とは市場価値の創造と言い換えてもよく、混載化がそれによってあらたな市場価値の創造をなしえるかがキーポイントになる。



図表2 - 6 - 1 2 SOC に搭載される主要デバイスとロードマップ

#### ( 5 ) 解決策の候補技術

図表2 - 6 - 1 2に SOC に搭載される主要デバイスとそのロードマップを示した。

##### (SRAM)

前章でもすでに述べたようにSRAMはすでに最も標準的にロジックデバイスに内蔵されている機能素子であり、技術開発のポイントはより大規模な集積化である。有望な解決策としては拡散層へのセルフアラインコンタクト、同じくボーダーレスコンタクト、ローカル配線が上げられる。

セルフアラインコンタクトはゲートを絶縁膜で覆い、フォトリソグラフィの合わせマージンによる拡散層面積の拡大を防ぐものである。ここで問題になるのは、ゲート電極は通常のサリサイド工程の後では絶縁膜で覆うことが困難であることである。このためセルフアラインコンタクトを用いる部分のみサリサイドを適用しない、ポリメタルゲートあるいはメタルゲート電極を用いゲート電極形成時に絶縁膜を形成する、などの方法が用いられる。ただし、メタルゲート電極の適用時期は2006年以降であろうと考えられている。

ローカル配線技術はすでに用いられており、タングステン配線が一般的である。タングステンは気相成長法により堆積するので埋め込み性が良く、その目的に最も適している。

##### (Flash)

前節でも述べたようにフラッシュメモリのスケーリングにおいて最も困難な点は電圧である。フラッシュメモリは情報の書込みにはホットエレクトロンあるいはFN電流、消去にはFN電流を用いるのが一般的であるが、その両方に5～15Vの高電圧が必要である。今後の混載フラッシュにおいて低電圧化が最も重要な課題である。

低電圧化は、FNトンネル膜の薄膜化と書込み方式の工夫によって達成できると考えられている。通常の熱酸化膜では8ナノメートル以下の薄膜化は困難であるが、酸窒化膜などの新材料などで8ナノメートル以下を目指す<sup>20)</sup>。酸窒化膜は基板シリコンを酸化した後RTO(rapid thermal oxidation)などの後処理で酸化膜中に窒素を導入する方法が最も制御性が良く、広く検討されている。またシリコン

コン室化膜と通常のシリコン酸化膜の積層膜も開発されている。その他の新材料では SRO (silicon rich oxide、化学量論比以上にシリコンを含むシリコン酸化膜) などが有望である。ここで注意すべき点は、チャネルホットエレクトロンで電子を注入する場合、エネルギー障壁が材料により変わることである。逆にそれをうまく利用して効率の良い書込み方法を実現できる可能性もある。

新しい書込み方法としてはソースサイド注入による電子注入方法<sup>21)</sup>、窒化膜に電子をトラップする方式、バリスティックな電子注入方法などが提案されている。このうちソースサイド注入方式のみが実用化されているが、この方法は低電圧、低電流で書込みがで理想的な書込みが行えるが、セルサイズのスケーリングが困難であるので、上記の新しい書込み方式の開発、商品化が重要な課題である。

汎用フラッシュで広く使われている多値技術は、しきい値電圧の制御が難しく周辺回路が大きくなるので、容量の小さい(現状では 4Mビット以下)の混載 Flash は適用されていない。混載フラッシュの容量が 32Mビット以上になると重要な位置付けになる可能性が大きい。多値を実現するための技術としてはしきい値の制御を精密に行うための技術がほとんどである。デバイス技術としてはスプリットゲートが代表的なもので、それ以外にもしきい値を所定の値に収束させる方法として、再書込みによる自己収束などがある。

#### (DRAM)

DRAM 混載プロセスにおいては DRAM とロジックのプロセスの整合性が重要である。中でも熱処理の問題が最も重要な課題であることは前節でも述べた。DRAM セル形成の熱処理はキャパシタ電極のポリシリコン形成によるものであるので、この新構造、新材料が解決策である。

構造としては M I S (metal insulator semiconductor) あるいは M I M (metal insulator metal) キャパシタが有望であり、この材料選定が大きな課題である。まず高誘電体材料としては現行の窒化膜から酸化タンタル ( $Ta_2O_5$ ) へ、さらには B S T (bariumstrontium titanate) へと変遷すると予想される<sup>22)</sup>。

ロジックプロセスとの混載で最も懸念される熱処理は現行の ON 膜が 800 度以上、 $Ta_2O_5$  が 700 度以上、B S T が 600 度以下である。この点からは混載プロセスという観点からは B S T に大きな優位性があり、B S T 導入のモチベーションは汎用 DRAM よりむしろ混載 DRAM のほうが大きいと考えられる。

まず  $Ta_2O_5$  の最初の実用化は現行プロセスを極力利用した形で M I Sで行うという見通しが有力である。それと平行して M I M 構造の検討を行い B S T に移行することが重要である。ここでロジックとの整合性という観点からは C u 配線プロセスへの適用なども考慮しなければならない。

B S T は電極には R u、P t、I r などの金属が有力な候補である。商品化段階の初期には B S T、電極ともにスパッターにより堆積されると思われるが、0.13 $\mu m$  から 0.10 $\mu m$  では CVD 法を実用化し、より複雑な構造への対応と薄膜化を図らなければならない。

#### (CMOS RF)

MOS トランジスタは高周波特性の  $f_T$  に限ってはバイポーラを上回る性能を示すようになってきている。この理由は微細化により  $G_m$  が大幅に向上するからである。しかしながら高周波素子としての性能は  $f_T$  のみで決まるわけではない。MOS トランジスタは歪、ノイズ特性においては従来の G a A s デバイスやバイポーラに比べて劣ると言わざるを得ない。これを解決するためにはまず SOI 基板の導入が期待される。SOI 基板により寄生容量が低減できるので、動特性が向上するのはもちろん、基板抵抗の増大によりノイズが低減できることが大きなメリットである。通常のロジックにも SOI 基板が広く使用される

用されるようになるとプロセスの混載も容易になることが予想される。またサリサイドプロセスによりゲート抵抗とソース、ドレイン抵抗を、メタルゲート電極の採用によりゲート抵抗を低減することも有望な解決方法である。

また混載プロセスとして、受動素子の混載化が課題である。特にインダクタについては、Cu配線化、多層配線化などによる配線抵抗の低減が有効である。通常のAl配線で抵抗を下げるために、特別ルールを用い大きな線幅、膜厚を採用することも1つの方法ではあるが、ロジックプロセスとの整合性を考慮するとCu配線の導入が望ましい。

#### (FeRAM)

強誘電体の材料は主に SBT ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) と PZT ( $\text{Pb}(\text{Zr,Ti})\text{O}_3$ ) が検討されている<sup>23,24)</sup>。まず成膜に必要な温度は SBT が 800 度前後であるのに対して、PZT が 700 ~ 750 度であるのでロジックプロセスとの整合性を考えると PZT が有利である。しかし、動作電圧は SBT のほうが低電圧化に有利であり、現行技術でも 2 V 程度の電圧での駆動が可能であるので特に携帯機器向け SOC としては有利であると考えられる。強誘電体をロジックの配線工程の後に形成する方法も検討されているが、この方法ではさらに成膜温度を下げる必要がある。MO-CVD (有機金属気相成長法) は成膜の低温化と薄膜化を同時に実現できる手法であり、有望な解決策として期待できる。

電極材料として Pt, Ir, Ru などが開発されている。電極の課題は酸素に対するバリア性であり、Pt はバリア性をもたないので Ir などのバリアメタルを敷く必要がある。これらの金属は従来のロジックプロセスには用いられなかったものであるため、汚染等の問題を解決することが重要になる。

#### (6) 他のWG分野への依存性

SOC はメモリー、アナログなどのさまざまな機能を混載した LSI であるので、まずシステム全体のアーキテクチャーを決めることが先決である。このことから SOC はまず設計 WG への依存性が非常に大きいと言える。またメモリーなどを混載した LSI はテストが課題である。BIST、スキャンテストなどの新技術により短時間、低コストのテスト技術が求められる。

次に DRAM, FeRAM 混載に代表されるように CMOS ロジックとの整合性が重要であるので、成膜技術、エッチング技術、熱処理などが大きな課題である。これらは単体のメモリーを作成するプロセスよりむしろ先端の技術を用い、課題を解決することが必要な場合もある。

#### (7) 提言

SOC にとってシステムからの要求をいかに実現するか、が今後より重要になるのは間違いない。例えば微細化と SOC 技術が進展するにつれデジタルを基盤に、アナログ、メモリー、センサー等が 1 チップに集積可能になり、LSI 構成の選択が増えるのである。このような状況ではシステム側から総合的に見た LSI を追求することが必要になる。このことは単に性能を重視するということではなく、チップコスト、テスト、開発コスト、ソフトウェアなどの周辺技術をシステムとして捉え、カスタマーにシステムとしてのトータルソリューションを提供しなければならないということを意味する。

また、プロセスの観点からは、SOC の進展に最も重要なことは新材料の導入である。DRAM, Flash, FeRAM 等に新材料を導入し、性能やコスト面での競争力を高めると同時に、従来のロジックプロセスとの整合性を確保する必要がある。新材料の導入はラインの管理面で少なからず抵抗があるが、新材料は SOC の実現には欠くことのできないものである。

## 2 - 6 - 6 信頼性と欠陥制御技術

### (1) 背景

スケーリングにともない、従来のデバイスサイズではそれほど大きく取り上げられなかった微細デバイスの信頼性問題が顕著になってきている。トランジスタレベルでは、スロートラップによる劣化(negative bias temperature instability)、ホットキャリアによる劣化、SILC(stress induced leakage current)、メモリではソフトエラーやデータ保持、プロセスではプラズマダメージによる劣化、配線やビアではEM(electro-migration)、SM(stress-migration)、LSIレベルではクロストーク、ESD(electro-static destruction)など各種の信頼性に関わる項目がデバイスの長期的な性能に強い影響を与えている。

また、集積化が進むにつれて、歩留に影響する要因が多岐にわたるようになってきており、単純にパーティクルやコンタミの問題からウェーハプロセスの詳細な現象や材料の高度なレベルでの品質にかかわる部分が大きく影響するようになってきている。具体的には新規材料の導入やデバイスの複雑な立体構造の導入、また微細化に伴う各種ストレスなどの増大が原因である。これらの問題に対処し、歩留を低下させず、むしろ向上させるための分析/解析技術の方針を明確にしておく必要がある。

### (2) 範囲 (検討項目と範囲)

今後検討すべき分野として、信頼性に関してデバイスの使う側と作る側の両者の観点を考慮する。歩留まりを左右する欠陥低減に関しては、材料/基板、基本デバイス構造、配線、歩留向上化技術の4つの分野に分け、どのように欠陥などに対処すべきかの方向を明示することを目的とする。

### (3) 要求 (技術要求・あるべき姿・到達レベル)

図表2 - 6 - 13および14に短期および長期的なデバイスの信頼性の技術要求をそれぞれ示した。デバイスの微細化と共に信頼性が厳しくなるが、デバイスを使用する立場では信頼性に関するスペックは従来と大幅に変わることはない。むしろデバイスの応用面から受け入れられる特定の信頼性項目に関する数値の幅が広がる。

また、歩留まりを向上させるための欠陥低減に関する技術的な要求レベルは、下記の4つの段階に大きく分け、それぞれの検討項目に対してどのような技術開発が必要であるかを明確にする。

- 1) 欠陥や問題点を検出/予測するための技術の開発
- 2) 欠陥や問題点を検出する能力を向上させるための技術開発
- 3) 欠陥発生や問題のある現象を解析し、モデル化するための技術開発
- 4) 欠陥を低減、特性を改善するための技術開発



	<i>Year of First Product Shipment</i>	<i>1999</i>	<i>2000</i>	<i>2001</i>	<i>2002</i>	<i>2003</i>	<i>2004</i>	<i>2005</i>
1	<i>Technology Node</i>	<i>180nm</i>			<i>130nm</i>			<i>100nm</i>
	<i>Quality and Reliability Customer Requirement</i>							
2	Quality (dpm)	<i>3-400</i>			<i>3-260</i>			<i>2-210</i>
3	EL (dpm)	<i>50-2200</i>			<i>5-1400</i>			<i>4-1100</i>
4	EOL (FITs)	<i>1-500</i>			<i>1-380</i>			<i>1-300</i>
5	<u>Lifetime (years)</u>	<i>5-25</i>			<i>5-25</i>			<i>5-25</i>
	<i>Communicationmarket</i>							
6	TDDB (FITs)	<i>0.5</i>			<i>0.5</i>			<i>0.5</i>
7	Electromigration (FITs)	<i>0.5-1.0</i>			<i>0.5-1.0</i>			<i>0.5-1.0</i>
	<i>Product / Process Requirement</i>							
8	@ 60% yield defect density (d/square m)	<i>1710</i>			<i>1355</i>			<i>1120</i>
9	A (square cm)	<i>3.4</i>			<i>4.3</i>			
10	Yield defect/chip	<i>0.55</i>			<i>0.58</i>			<i>0.58</i>
11	EL (dpm) (Y.D./100)	<i>5500</i>			<i>5800</i>			<i>5800</i>
12	EL (dpm) (Y.D./500)	<i>1100</i>			<i>1168</i>			<i>1168</i>
13	Scaled maximum current density (A/sq.cm.)	<i>9x10<sup>5</sup></i>			<i>3x10<sup>6</sup></i>			<i>8x10<sup>6</sup></i>
14	F/A cycle time (days) – outlook	<i>5-25</i>			<i>8-30</i>			<i>8-30</i>
15	F/A cycle time (days) – requirement	<i>2-16</i>			<i>1-10</i>			<i>1-10</i>

図表 2 - 6 - 1 3 信頼性に関する技術要求(短期)

	<i>Year of First Product Shipment</i>	<i>2008</i>	<i>2011</i>	<i>2014</i>
1	<i>Technology Node</i>	<i>70nm</i>	<i>50nm</i>	<i>35nm</i>
<i>Quality and Reliability Customer Requirement</i>				
2	Quality (dpm)	1-170	1-140	1-140
3	EL (dpm)	2-900	1-700	1-700
4	EOL (FITs)	0.5-240	0.5-190	0.5-190
5	Lifetime (years)	5-25	5-25	5-25
<i>Communicationmarket</i>				
6	TDDb (FITs)	0.5	0.5	0.5
7	Electromigration (FITs)	0.5-1.0		
<i>Product / Process Requirement</i>				
8	@ 60% yield defect density (d/square m)	940	775	775
9	A (square cm)	6.2	7.5	7.5
10	Yield defect/chip	0.58	0.58	0.58
11	EL (dpm) (Y.D./100)	5800	5800	5800
12	EL (dpm) (Y.D./500)	1168	1168	1168
13	Scaled maximum current density (A/sq.cm.)	2x10 <sup>7</sup>	2x10 <sup>7</sup>	2x10 <sup>7</sup>
14	F/A cycle time (days) – outlook	8-30	8-30	8-30
15	F/A cycle time (days) – requirement	1-10	1-10	1-10

図表 2 - 6 - 1 4 信頼性に関する技術要求(長期)

#### （４）課題（要求実現のための課題）

信頼性に関する最大の課題は、従来用いられていない新材料を導入する際に、デバイスの信頼性に及ぼす影響をどのような手法で、どのくらいの時間で評価し、そして判断するかである。今後デバイス性能を向上させるために使用される候補材料は、今までの経験からデバイスに悪影響を与えると考えてきたものが多い。銅配線などもその例である。デバイスの寿命を劣化させる時間を予測する評価方法や精度の高い加速試験の確立も課題である。

欠陥の低減化による歩留まり向上には、技術的要求に対して広い範囲の分析技術の向上、モニタリングの開発、クリンルーム設計法プロセス技術などの開発が課題となる。

#### （５）解決策の候補技術

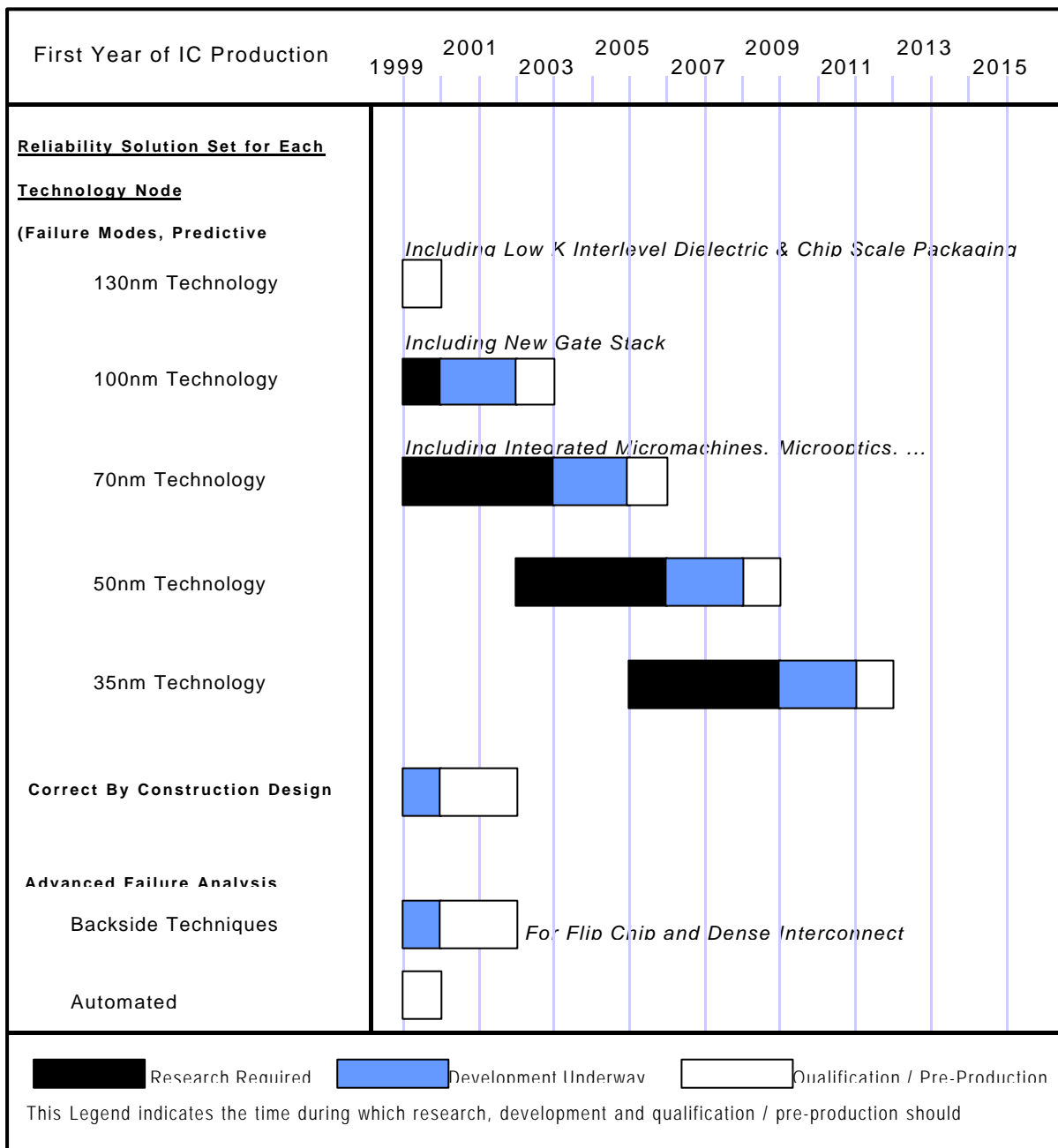
図表２－６－１５にはデバイスや配線などの信頼性に関する解決策を示し、図表２－６－１６には種々の領域の欠陥低減による歩留まり向上に関する解決策の候補手段を示している。

#### （６）他のWG分野への依存性

信頼性や歩留まり向上に関してはフロントエンドプロセスWGやテストWG、欠陥低減WG、測定評価WGと連携を採り、相互に補完し得る協力関係を持つことが求められる。

#### （７）提言（現状における着手レベル・目標に到達するための提言）

各課題によって歩留向上化技術開発の着手/進捗レベルは、大きく異なるが、基礎的な物理に立ち戻った基礎研究と先進的な評価技術との融合が必要であり、今後益々産学の補完的/効果的な協力が必要である。



図表 2 - 6 - 1 5 信頼性に関する技術解決策

ISSUES	POTENTIAL SOLUTIONS		
	1-5 YEARS	5-10 YEARS	10-15 YEARS
<i>Input Materials</i>			
Water and chemical purity		Test structures and models for trace impurities	
bulk & epi wafer		Test methods/structures	
SOI wafer	Test methods/structures	Detection capability	defect generation models
<i>Transistor Structure</i>			
Substrate defectivity-Si		Improved electrical capability	
Substrate defectivity-SOI	Detection capability	defect generation models	Improvement of defect-level
In-trench contamination	Early detection of trench contamination that can lead to electromigration problems		
Localized gate oxide and field oxide defects (e.g., ionic contamination, charging effects)	Detection capability		
Ferroelectric materials and capacitor dielectric	Detection capability		
Localized depletion effects in poly gates	Detection capability		
Boron penetration through gate oxide	Models for Boron penetration	Improvement by High-k materials	
Dielectric and diode integrity	Electrical effects of thin film residues		
Single event upset	Detection capability		
<i>Interconnect</i>			
In-contact and in-via contamination (local)	Isolation and early detection of individual bad contacts		
Copper barrier metal integrity (local)	Detection capability		
Dielectric constant variation-vertical	Multi-layer measurement capability in stacked, planarized films		
Dielectric constant variant-horizontal	Measurement capability between metal lines		
Stringers-conductive leakage paths	Improved low-level leakage capability		
Electromigration		Predictive test structures/ tests	Improvement by new structures
<i>Yield Enhancement</i>			
Feed-forward/process zones (predictive)		Test structures/tests	
Feed-forward/full process (predictive)		Test structures/tests	
Feedback (analysis)	Test structures/tests	Measurement capability	
<div> <div></div> <div></div> <div></div> <div></div> </div> <div> test structure / detection method measurement / detection capability models for defect generation / electrical effect improvement of characteristics </div>			

図表 2 - 6 - 1 6 欠陥低減に関する解決策の候補手段

## 参考文献

- 1 ) M. Koyanagi et al., "Novel high density, stacked capacitor MOS RAM", IEDM Tech. Digest, p.348, 1978.
- 2 ) H. Sunami et al., "A corrugated capacitor cell (CCC) for megabit dynamic MOS memories," IEDM Tech. Digest, p.806, 1982.
- 3 ) K. Sunouchi et al., "A Surrounding Gate Transistor (SGT) Cell for 64/256Mbit DRAMs," IEDM Tech. Digest, p.23, 1989.
- 4 ) H. Cho et al., "A Novel Pillar DRAM Cell For 4Gbit and Beyond," Symp. on VLSI Technologies, p.38, 1998.
- 5 ) H. Hoenigschmid et al., "A  $7F^2$  Cell and Bitline Architecture Featuring Tilted Array Devuces and Penalty-Free Vertical BL Twists for 4Gb DRAMs," Symp. on VLSI Circuits, p.125, 1999.
- 6 ) T. Murotani et al., "A 4-Level Storage 4Gb DRAM," ISSCC Tech. Digest, p.74, 1997.
- 7 ) I. Asano et al., "1.5nm Equivalent Thickness  $Ta_2O_5$  High-K Dielectric with Rugged Si Suited for Mass Production of High Density DRAMs," IEDM Tech. Digest, p.755, 1998.
- 8 ) T. Eimori et al., "A Newly Designed Planar Stacked Capacitor Cell with High Dielectric Constant Film for 256Mbit DRAM," IEDM Tech. Digest, p.631, 1993.
- 9 ) S. -H. Lo et al., "Quantum-Mechanical Modeling of Electron Tunneling Current from the Inversion Layer of Ultra-Thin-Oxide nmOSFETs," IEEE Electron Device Lett., vol.18, p.209, 1997.
- 1 0 B. H. Dennard et al., "Design of Ion-Implanted MOSFETs with Very Small Physical Dimensions," IEEE Solid-State Circuits, vol.9, p.256, 1974
- 1 1 B. D. Fisher et al., "The Test of Time," IEEE Circuits and Device Magazine, vol.14, p.37, 1998.
- 1 2 G. G. Shahidi et al., "Partially-Depleted SOI Technology for Digital Logic," ISSCC Dig. Technical Papers, p.426, 1999.
- 1 3 D. Harame et al., "SiGe HBT Technology: Device and Application Issues," IEDM Tech. Digest, p.731, 1995.
- 1 4 W. Ohue et al., "100-GHz fT Si Homojunction Bipolar Technology," Tech. Dig. of Symp. on VLSI Technology, p.106, 1996.
- 1 5 H. S. Momose et al., "High-Frequency AC Characteristics of 1.5 nm Gate Oxide MOSFETs," IEDM Tech. Digest, p.105, 1996.
- 1 6 H. Shimomura et al., "A Meshed-Arrayed MOS FET for High-Frequency Analog Applications," Tech. Dig. of VLSI Symp. on Technology, p.73, 1997.
- 1 7 J. N. Burghartz et al., "Monolithic Spiral Inductors Fabricated Using a VLSI Cu-Damascene Interconnect Technology and Low-Loss Substrates," IEDM Tech. Digest, p.99, 1996.
- 1 8 J. Y. -C. Chang et al., "Large Suspended Inductors on Silicon and Their Use in a 2-  $\mu$  m CMOS RF Amplifier," IEEE Trans. on Electron Devices, vol.14, p.246, 1993.
- 1 9 D. J. Young et al., "Monolithic High-Performance Three-Dimensional Coil Inductors for

Wireless Communication Applications,” IEDM Tech. Digest, p.67, 1997.

2 0 S. Lai : 「8 nm で限界に達するトンネル酸化膜のの薄膜化(フラッシュメモリ大容量化に制限)」  
日経マイクロデバイス, 1997 年 1 月号, p.70

2 1 M. Kamiya et al., “EPROM Cell with High Gate Injection Efficiency,” IEDM, Tech. Digest,  
p.741, 1982.

2 2 K. Hieda et al., “All Perovskite Capacitor (APEC) Technology for (Ba,Sr)TiO<sub>3</sub> Capacitor  
Scaling toward 0.10  $\mu$ m stacked DRAMs,” IEDM Tech. Digest, p.807, 1998.

2 3 Q. A-Paz de Araujo et al., “Fatigue-free ferroelectric capacitors with platinum  
electrodes,” NATURE, vol.374, p.627, 1995.

2 4 K. Amanuma et al., “Capacitor-onmetal/Via-stacked-Plug (CMVP) Memory Cell for 0.25 $\mu$ m  
CMOS Embedded FeRAM,” IEDM Tech. Digest, p.363, 1998.

#### 図表の参照

図表2 - 6 - 4 : ITRS'99 Table 27 に基づき一部 STRJ で改訂

図表2 - 6 - 6 : ITRS'99 Table 28a に基づき一部 STRJ で改訂

図表2 - 6 - 7 : ITRS'99 Table 28b に基づき一部 STRJ で改訂

図表2 - 6 - 8 : ITRS'99 Figure13 に基づき一部 STRJ で改訂

図表2 - 6 - 9 : ITRS'99 Table 29a に基づき一部 STRJ で改訂

図表2 - 6 - 10 : ITRS'99 Table 29b に基づき一部 STRJ で改訂

図表2 - 6 - 11 : ITRS'99 Figure14 に基づき一部 STRJ で改訂

図表2 - 6 - 13 : ITRS'99 Table 30a に基づき一部 STRJ で改訂

図表2 - 6 - 14 : ITRS'99 Table 30b に基づき一部 STRJ で改訂

図表2 - 6 - 15 : 出典:ITRS'99 Figure 15