

2 - 13 設計タスクフォース

(要旨)

(1) 設計タスクフォースの役割

LSI のうち、特に SOC に着目して設計全般に関する技術課題や解決策を日本の半導体業界および関連業界の視点から検討し、日本の半導体および関連産業の発展に寄与できる独自のロードマップを示す。特定テーマに関する個々の設計上の技術課題については、担当 WG での検討に委ねる。

(2) 設計課題の抽出

集積度や性能、テクノロジーのトレンドは念頭において、これによって実現される SOC を実現する上で大きな設計上の変革点(ターニングポイント)を予測する。例えばコア・ベース設計なら組み込むコアの質的な変化を考え、これから生じる複雑度の増大といったネガティブな影響も同時に予測する。SOC ロードマップの具体例を示しながら、ターニングポイントの時期とその解決方策の方向性を明かにしてゆく。

(3) ロードマップ作成

SOC の応用分野を高性能高機能分野、低価格短納期分野、小型低電力分野の 3 つに分類し、それぞれの分野で代表的な応用例に対する SOC のロードマップを作成する方針で臨んだ。

高性能高機能分野では、グラフィックス処理に優れたハイエンド組み込み SOC を想定してロードマップを作成した。CPU クロック周波は一般の組み込み CPU の 2 倍、搭載総素子数も約 2 倍になるとした。処理の高速化の面から、DRAM 混載の必然性についても指摘した。

低価格短納期分野では、この分野のベースとなる汎用組み込みプロセッサとその周辺機能を組み込んだシステムについて、1 チップ化の動向を考察した。組み込みプロセッサが現在使用している周辺機能を全部チップ内に取り込む時期は 2005 年以降ということになっている。2011 年の時点では、周辺機能も含めて必要メモリもすべてオンチップ化され、SOC への新たな組み込みブロックは、システム毎に異なる専用処理エンジンのようなものとなる。SOC 設計における IP ベース設計の重要性についても一般論としてまとめた。

小型低電力分野では、特定の応用を意識した SOC ではなく、汎用組み込みプロセッサについての消費電力モデルを考察し、電力面からのロードマップを作成した。組み込みシステム向け SOC の動作時の消費電力モデルによると、2002 年には消費電力が 10W 近くになり、2005 年には 20W を超えるため、特に携帯用機器の消費電力削減への取り組みが不可欠になってくることを指摘した。SOC の待機時の消費電力モデルでは SOC として性能向上を目指すために 2008 年には高性能向けのモデル値に到達する。その間は各世代で約 7 倍になるモデルを仮定している。

(4) ターニングポイントの分析

ハイエンド SOC では、1999 年時点で、スクラッチからの場合、3,400 人月かかる計算となる。2005 年までに集積度は、ハイエンド SOC の場合、1.4 倍/年で向上すると予測しているが、設計効率向上はそれ以下(21%/年向上)なので、同じ開発手法を続けると、現在よりもさらに開発工数が増えること

になる。このことから、ハイエンド SOC でも I P の高度利用が不可欠となってくる。このほかに、消費電力削減技術、高速 D R A M 混載技術、クロック手法についても言及した。

汎用志向の組み込みシステム用 SOC については、DRAM やフラッシュ混載などのプロセスの複合化、マルチ電源供給、電源電圧の動的制御、電源供給システムの強化などの電力削減と関連した電源の複合化、さらには閾値制御技術、非同期設計技術、クロック供給技術などの回路技術の進化および消費電力見積り・解析技術を含むその他の技術課題について論じた。

項番	暦年	(単位)	1999	2000	2001	2002	2005	2008	2011	2014
0	ゲート長Lg	μ m	0.25	0.18		0.15	0.11	0.07	0.05	0.035
	[SOC展開]									
1	チップサイズ	mm ²	107	114	123	131	161	197	241	295
2	CPUクロック周波数	MHz	200	300	400	500	800	1100	1400	1700
3	利用可能素子密度	MTr/cm ²	14	17	21	24	40	64	100	160
4	搭載総素子数	MTr	12.0	15.5	20.7	25.2	51.5	100.9	192.8	377.6
5	CPU論理素子数	MTr	3.1	4.1	5.5	7.3	9.7	12.9	17.2	22.8
6	キャッシュメモリ	MTr	3.2	4.8	6.4	8.0	12.8	17.6	22.4	27.2
7	組み込みブロック	MTr	5.7	6.6	8.8	9.9	29.0	70.4	153.2	327.6
8	DRAM混載容量	Mbit	0	0	0	0	128	384	1024	2304
9	DRAMのロジック換算	MTr	0.0	0.0	0.0	0.0	16.0	48.0	128.0	288.0
10	組み込み論理ブロック	MTr	5.7	6.6	8.8	9.9	13.0	22.4	25.2	39.6
11	組み込みブロック種類	NB	NB	+ SB	+ DSP	+ GE	+ EM	+ 専用エンジン		
12	CPU標準クロック周波数	MHz	150	240	330	420	700	1000	1300	1600
13	ブロッククロック周波数	MHz	150	240	330	420	700	1000	1300	1600
14	ブロック標準クロック周波数	MHz	113	180	248	315	600	900	1200	1500

図表 組み込みシステム向け SOC の展開モデル

2 - 13 - 1 SOC 設計課題抽出の必要性 - 設計タスクフォースのミッションと構成 -

過去数年間における半導体技術ロードマップはシリコン製造の技術的限界という側面に着目し、特定の製造技術ノード(時代)におけるメモリ、マイクロプロセッサ、ASIC(application specific integrated circuit: 特定用途向け IC)の各分野で開発可能な物理的に最も複雑なチップの仕様を予測してきた。そこでは、半導体技術の製造的側面から技術の将来像が議論され、時代とともに進化する製造技術の最先端で、どのような素子の微細化や駆動能力の向上が可能であるか、また、LSI 製造のためにどのようなプロセスルールと製造ステップが利用できるか、その結果どのような LSI がいつ実現できるかが議論されてきた。

このような LSI 製造に係わる技術予測の重要性は今後も減じることはないが、LSI 技術の全体像を描くに当たって新たな課題が惹起された。巨大なコンシューマ市場の立ち上げおよび電子制御のもとで稼動するシステムの殆どすべてが単一のチップに集積可能となってきた状況から、従来は概念としてのみ存在していたシステムオンチップ(system on a chip; 以下では、SOC と略記する。SOC はシステム LSI とも呼ばれる)が現実のものとなりつつある。しかも、SOC は特に今後の日本の半導体産業において、大きな比重を占めることが期待されている。しかし、LSI 開発の面からみたこの新分野には技術課題も多く、単に製造技術に関するものだけでなく、設計そのものに関するものが山積みされている。

本ロードマップも、この重要で急激に拡大しつつある領域での要求と技術課題を議論する場が必要となってきた。主として日本国内に注目したときの SOC の展開を分析し、その設計における技術課題や解決策を検討するために日本半導体技術ロードマップ委員会の傘下に設けられたのが、設計タスクフォースである。

日本の半導体産業が SOC に傾注してビジネスを展開してゆくことを前提に、SOC 設計上の課題解決のためにどのような技術を何時の時点で実現してゆけばよいかを明らかにすることに取り組む。市場のニーズを睨みながら設計側が主導して設計ルールを作り、プロセスへの要求をまとめ、半導体技術を展開するための将来像を描いてゆく。今年度は SOC 開発における具体的な課題の掘り起こしに重点をおく。設計タスクフォースは他のロードマップ委員会のワーキンググループ(WG)よりも遅れて 1999 年 3 月に結成され、それ以降 LSI 設計に係わる技術課題を全般に渡って分析し、特定の SOC につき技術の展開を予測してきた。委員の構成は以下の通りである。

設計タスクフォース

主査:	上田 潤	半導体産業研究所
副主査:	後藤 源助	株式会社 富士通研究所
委員:	山口 聖司	松下電器産業 株式会社
	内山 邦男	株式会社 日立製作所
	坂山 知二	日本電気 株式会社
	向井 一彦	沖電気工業 株式会社
	宇都宮 雅彦	沖電気工業 株式会社
	今井 正紀	三菱電機 株式会社
	高野 利紀	ローム 株式会社
	田中 紘資	三洋電機 株式会社

	田中 隆吉	シャープ 株式会社
	門脇 智彦	ソニー 株式会社
	田胡 治之	株式会社 東芝
	増田 英司	株式会社 半導体理工学研究センター
オブザーバー:	吉田 憲司	株式会社 東芝

活動指針は以下の通りである。

(1) 設計タスクフォースは将来の半導体技術に関して、設計全般に渡る課題と解決策を議論する。特定テーマに関する個々の技術課題については、担当する WG での検討に委ねる。

(2) 国際半導体技術ロードマップ委員会に属する 12 の WG のうち、LSI 設計と直接関係する下記 WG と連携を取り、特に SOC の分野に関して、半導体設計の将来像が明確となるように各要素技術を統合した全体イメージの予測とその設計課題への展開を行う。

WG1: 設計 WG2: テスト WG4: 配線 WG7: 実装

(3) ターニングポイントの予測

集積度や性能、テクノロジーのトレンドは念頭において、これによって実現される SOC を実現する上で大きな設計上の変革点(ターニングポイント)を予測する。例えばコア・ベース設計なら組み込むコアの質的な変化を考え、これから生じる複雑度の増大といったネガティブな影響も同時に予測する。そして、これに対処するための課題を必要に応じて各 WG へフィードバックする。

(4) SOC 応用分野毎のロードマップ作成

SOC を応用によって 3 つの分野に分類し、設計タスクフォースのメンバーをそれぞれのサブグループに分けて分野毎に技術の動向を分析した。但し、3) の分野では、今年度は組み込みシステム向け SOC の消費電力モデル作成に注力し、分野を特定した低電力 SOC ロードマップは作成していない。

1) 高性能高機能分野(略称: HP-SG)・・・高性能 MCU/CPU、グラフィックスエンジン等

リーダー: 田胡 委員: 内山、門脇、増田

2) 低価格短納期分野 (略称: ST-SG)・・・IP ベース設計に依存する SOC

リーダー: 抜山 委員: 向井(宇都宮)、田中(紘)、後藤

3) 小型低電力分野 (略称: LP-SG)・・・携帯機器向け SOC、および消費電力モデル

リーダー: 高野 サブ: 山口 委員: 今井、田中(隆)

2 - 13 - 2 SOC 設計の概要

SOC は特定のシステムを開発する際に、そのシステムの全体を統括・制御してシステムを特徴づける回路ユニットを 1 つの LSI に集積したものである。"system on a chip" という表現は、究極的にはシステムを実現するのに必要なすべての回路要素を 1 つのチップに集積することが、それを実現するために必要であるとの見方から生まれた。但し、現時点では必ずしも 1 チップに入出力変換機能も備えたすべてのシステム機能が搭載されていることには拘らず、システム中枢となる機能が備わっている LSI を慣例的に SOC と呼んでいる。

SOC は広義の意味で特定用途向け LSI であり、ASIC の範疇に属する。しかるに、従来的な ASIC は、何をどのように設計するかは基本的にシステム側に任されており、半導体技術としては、論理設計までが完了したデータをもとに短期間に、かつ確実にチップを作り上げることのみが重要であった。ところが、汎用的な標準論理ライブラリと標準プロセスを揃えておけば大抵の場合に事足りた LSI を利用するシステム開発は、最先端では半導体技術の長足の進歩と異種技術、即ち AV(audio-visual) 技術、コンピュータ技術、通信技術など、の融合による複雑度の著しい増大によって、今や大幅な変質を迫られている。もはやシステム設計者だけで膨大な工数と専門知識、熟練を要する"ASIC" を短期間に誤りなく開発することは不可能であり、半導体技術、とりわけ LSI 設計のスキルを身につけた技術者に全面的に依存してシステムの初期段階から協調開発を行ってゆかねばならなくなった。かくなる状況に鑑みて、SOC とはシステム設計者と LSI 設計者の協調作業により開発される特定用途向け LSI であると再定義することができよう。

SOC を上記の観点から捉えたとき、従来型 ASIC と比べて LSI 技術の面からは大いなる変革が図られねばならないことに気づくだろう。即ち製造主導から設計主導への変革である。SOC 設計の世界では、設計すべきはチップ単体としての LSI でなく、システムの中核として機能する LSI である。即ち、システム設計のかなりの部分が LSI 設計者の担うべき開発対象となる。

翻って LSI 設計の現場を鳥瞰したとき、機能の単純明快な従来的な ASIC の開発に関しては設計プロセスが確立しており、比較的短期に、また効率的に LSI を開発することができるようになっている。機能記述言語と論理合成技術が大いに役立つ世界である。しかし、SOC 開発に関しては、理想的な状態とはほど遠い状況にある。特に年々ものすごい勢いで複雑度を増しているシステム機能の拡張に対応できる、大規模な SOC を短期間に確実に低コストで開発するための設計環境は、現状では未整備といってよい状況にある。例えばシステム記述から始まるシステム全体の設計と LSI のハードウェアとしての諸特質(チップサイズ、動作速度、消費電力、動作マージンなど)との密なる関係が簡単に把握できるような設計体系になっていないことが問題である。SOC がうまく開発できないと新しいシステムを世に送り出せないことから、全産業的視野に立った社会的な設計インフラの早急な整備が必要である。

2 - 13 - 3 SOC の展開モデル - SOC ロードマップ各論 -

(1) ハイエンド組み込み SOC

設計タスクフォースの HP-SG では、ハイエンド組み込み SOC のスコープの検討(2 - 13 - 3節)と、設計上のターニングポイント、解決策の検討(2 - 13 - 4節)を行った。本節の報告内容は、下記の通りである。

1) ハイエンド SOC のスコープ

本節のスコープは、ビデオゲーム/デジタルエンターテインメント機器向け SOC である。これらの機器の特徴は以下の通りである。

- (a) ゲーム/デジタルエンターテインメントに特化している。オールラウンドなパソコン(PC)とは異なり、絞り込んだ仕様である。
- (b) シングルプラットフォーム。ゲーム機の1つのプラットフォームが発売されている間、ユーザから見える仕様は変更されない。ゲーム機の陳腐化をなるべく遅らせるため、発売時に、最先端技術を一気に投入する。この点、数ヶ月毎に徐々に性能を上げていく PC 用 CPU とは異なる。
- (c) 垂直立ち上げで、4~5 年間の累積生産量は、数千万台のオーダーに達する。これは、SOC としては、大量である。

2) ハイエンド組み込み SOC の展開モデル

図表2 - 13 - 1に、ハイエンド組み込みシステム向け SOC の展開モデルを示す。これは設計タスクフォースで携帯型情報機器をイメージして策定した「組み込みシステム向け SOC の展開モデル」(図表2 - 13 - 7)をベースに、ゲーム/デジタルエンターテインメント向け SOC の特徴を反映して修正した。以下、主要な項目を述べる。

項目	暦年	(単位)	1999	2000	2001	2002	2005	2008	2011	2014
0	ゲート長Lg	μm	0.25	0.18		0.15	0.11	0.07	0.05	0.035
	[SOC展開]									
1	チップサイズ	mm ²	225	241	258	276	340	417	510	625
2	CPUクロック周波数	MHz	300				1500		3000	5000
3	利用可能素子密度	MTr/cm ²	14	17	21	24	40	64	100	160
4	搭載総素子数	MTr	13.5				105		762	
5	CPU論理素子数	MTr	2.2	2.9	3.9	5.2	12.2		30	
6	キャッシュメモリ素子数	MTr	3.3	4.5	6.1	8.3	20.8		40	
7	組み込みブロック素子数	MTr	8.0				40.0		200	
8	DRAM混載容量	Mbit	0				256		2048	
9	DRAMのロジック換算素子数	MTr	0				32.0		256	
10	組み込みブロック論理素子数	MTr	5.1				30.0		60	
14	CPUコアモジュール数	個	7	7	7	8	8	9	9	10
16	CPUデータビット幅	bit	128				256		512	1024
17	CPU設計工数	人月	2400							
18	組み込みブロックモジュール数	個	5	6	7	8	12	18	28	42
23	組み込みブロック設計工数	人月	1000							
H1	総浮動小数点演算性能	GFLOPS								
H2	配線層数	層								
H3	消費電力	W								
H4	ピン数	本								
H5	テスト手法		従来							リアルタイムBIST

図表2 - 13 - 1 ハイエンド組み込みシステム向け SOC の展開モデル

[注] 素子数はトランジスタ数(Tr)に対応する。

[注2] 素子数に関する項目の関係

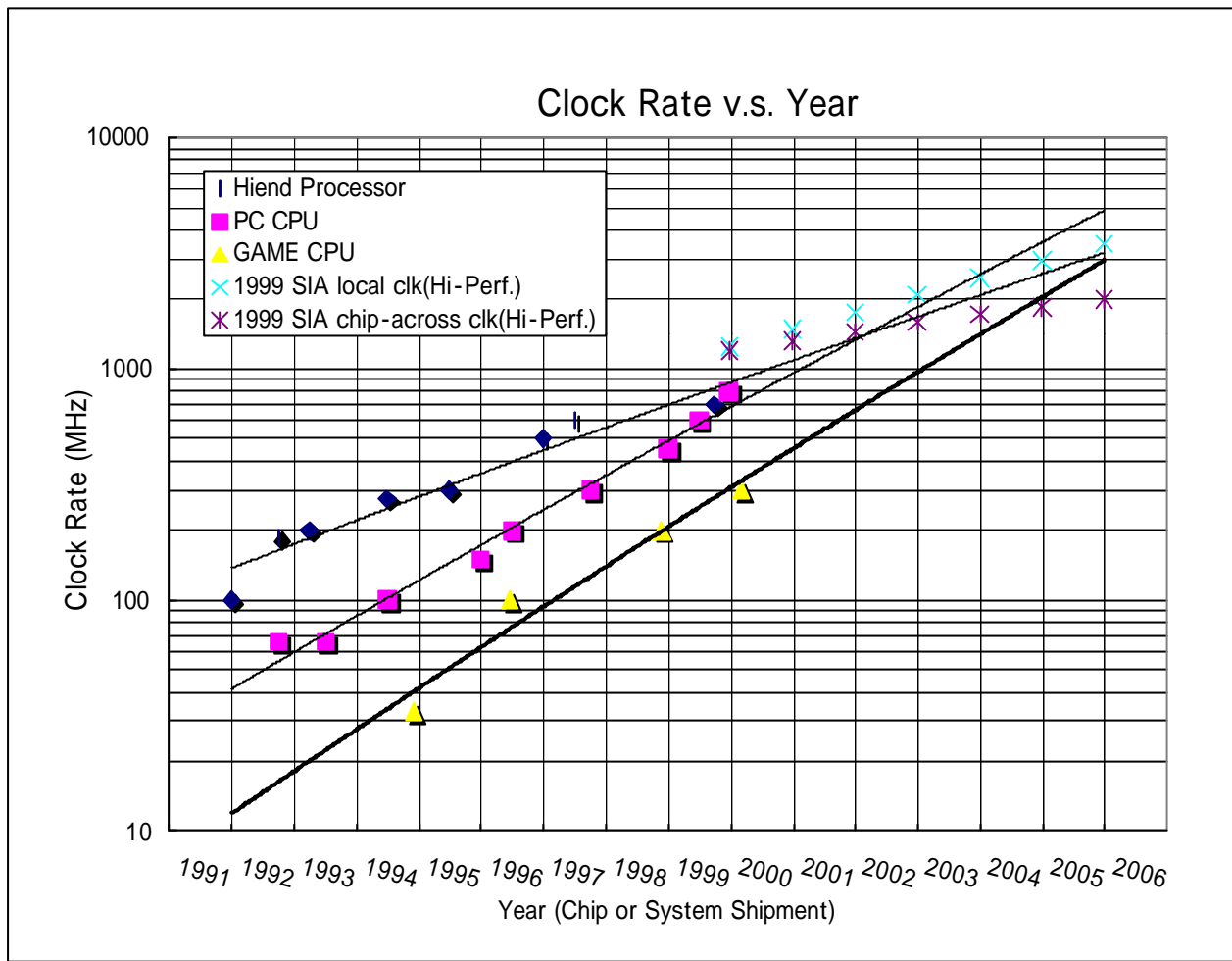
$$\begin{aligned} \text{搭載総素子数} &= \text{CPU 論理素子数} + \text{キャッシュメモリ素子数} + \text{組み込みブロック素子数} \\ &\quad + \text{DRAM のロジック換算素子数} \end{aligned}$$

0: ゲート長

「組み込みシステム用 SOC の展開モデル」より。

1: チップ面積

7%/年で増加。「組み込みシステム用 SOC の展開モデル」より



図表2 - 13 - 2 CPU 周波数トレンド

2: CPU クロック周波数

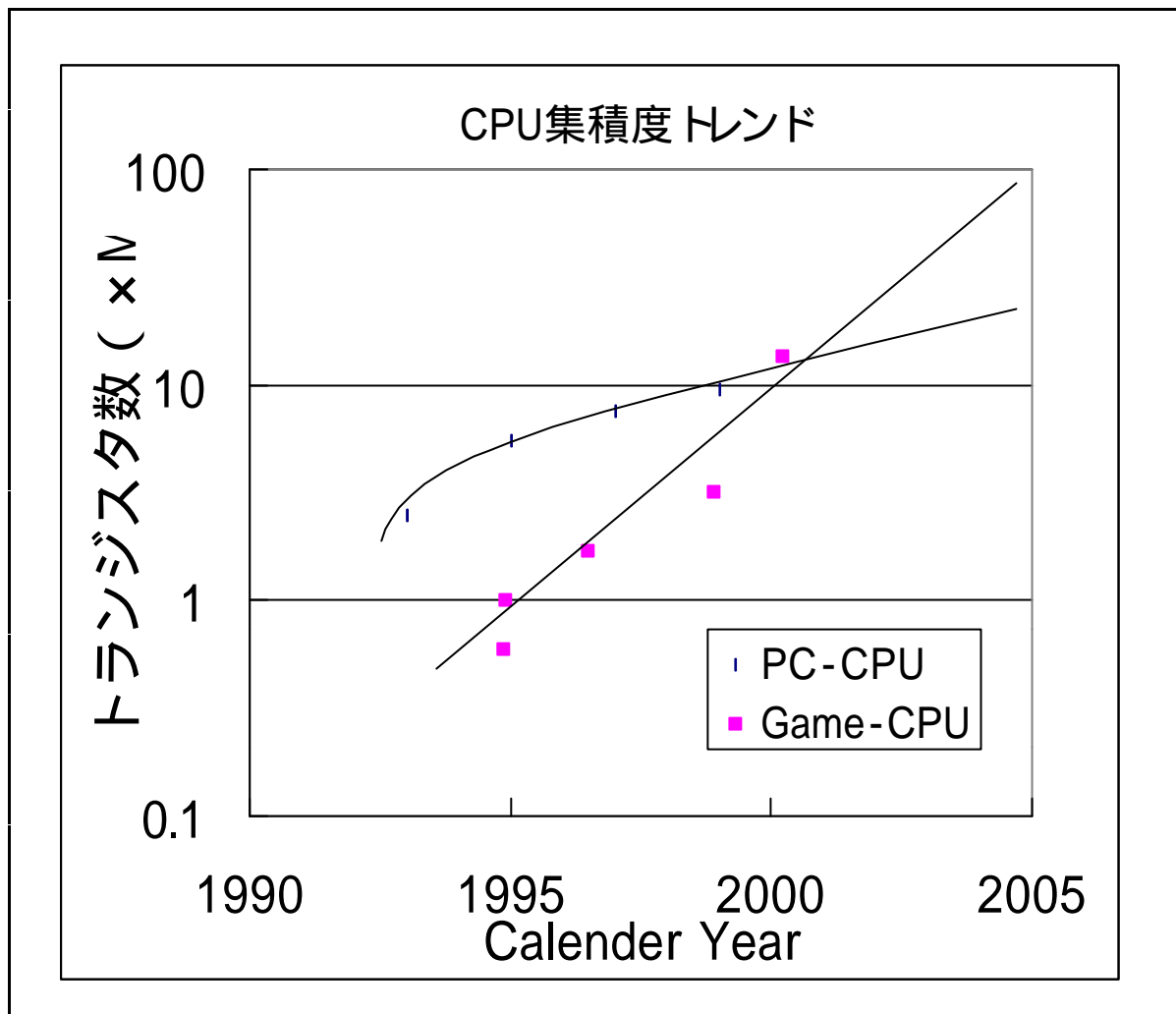
「組み込みシステム用 SOC の展開モデル」では、2005 年に 800MHz となっている。ハイエンド組み込みなので、その約 2 倍とした。別の見方として、「ゲーム用 CPU 動作周波数はパソコン用 CPU 動作周波数の約 1/2 ~ 1/3 である」という今までのトレンド(図表2 - 13 - 2 CPU 周波数トレンドグラフ参照)を認め、2005 年の PC/Server 用は 2 ~ 3GHz と予想されるので、その約半分の 1.5GHz とした。

3: 利用素子密度

「組み込みシステム用 SOC の展開モデル」より。

4: 搭載総素子数

「組み込みシステム用 SOC の展開モデル」では、2005 年に 51.5Mtr と予想されている。ハイエンド組み込みなので、その約 2 倍とした。また、図表2 - 13 - 3の CPU 素子数トレンドからも、2005 年頃に約 100Mtr が予想される。1999 年の値は、最新のゲーム機向け LSI の諸元からとった。



図表2 - 13 - 3 CPU 素子数の経時変化

5: CPU 論理素子数

ハイエンド SOC の中心となる CPU コアの素子数から、キャッシュメモリ素子数を除いた、論理素子数である。約 33%/年で増加する。

6: キャッシュメモリ素子数

CPU コア内部のキャッシュメモリ素子数である。約 36%/年で増加する。

7: 組み込みブロック素子数

ゲーム用 SOC であれば、チップ上に、CPU コア以外に、3 次元グラフィクス計算ユニット、MPEG デコーダ、ダイレクトメモリコントローラ(DMA)、メモリコントロールユニット(MEMC)などが集積される。それらを「組み込みブロック」と呼び、その合計素子数である。

8: DRAM(dynamic random access memory)混載容量

SOC にオンチップ集積される DRAM(コア)のビット数である。1999 年時点では、グラフィクス描画 LSI(rendering engine)を中心に DRAM 混載 SOC の実例があるものの、それ以外の SOC では、まだ一般化していない。将来は、SOC 内部の動作周波数とオフチップ外部メモリとの速度差がますます広がるため、ゲーム用 SOC を含む広い範囲の SOC で必須になると考えられる。

9: DRAM のロジック換算素子数

DRAM 混載容量を組み込みブロックの素子数に換算するために、DRAM8 ビット分をロジック 1 トランジスタに換算している。この換算方法は、LP-WG と同じである。

10: 組み込みブロック論理素子数

組み込みブロックのメモリを除いた、ロジック部のみのトランジスタ数である。

14: CPU コアモジュール数

CPU コアモジュール数は、命令制御、整数演算、浮動小数点演算、内部バス制御、I/O 部、ブロック制御の各モジュールから構成されると想定している。この値は、時代とともに、緩やかに増加する。

15: CPU データビット数

CPU コアが扱うデータのビット幅最大値。ゲーム機では、今まで、約 3 年で 2 倍のペースで増えてきており、今後も続くとした。

16: CPU 設計工数

スクラッチから、組み込み向け 64/128 ビット CPU を仮想設計した場合のおおざっぱな見積もり値。

17: 組み込みブロックモジュール数

CPU コア以外の「組み込みブロック」の個数。緩やかに増加する。

18: 組み込みブロック設計工数

項目 17 を仮想設計した場合のおおざっぱな見積もり値。

3) ハイエンド SOC の特徴的な項目

ハイエンド SOC について、下表に、特徴的な項目を挙げる。

項目	暦年	(単位)	1999	2000	2001	2002	2005	2008	2011	2014
0	ゲート長Lg	μm	0.25	0.18		0.15	0.11	0.07	0.05	0.035
	[SOC展開]									
H1	総浮動小数点演算性能	GFLOPS	6.5				150		3000	
H2	配線層数	層	4				7-8		10-12	
H3	電源電圧	V	1.8				1.0		0.5	
H4	消費電力	W	18				113			
H5	ピン数	本	500				2000			
H6	クロック手法		チップ全体同期				数mm 範囲が 同期		非同期	
H7	テスト手法		従来				リアルタイムBIST			

図表2 - 13 - 4 ハイエンド SOC の特徴的な項目

H1: 総浮動小数点演算性能

ゲーム機/ホームエンターテインメント機器の性能指標には、まだ確立したものはない。パソコン/サーバ用プロセッサでは、典型的なアプリケーションプログラムがほぼ決まっており、それらの性質を反映した SPECmark 値などが広く使われるのに比べて、事情が異なっている。ゲーム機が急激な発達途上で、アプリケーションが拡がり続けているのも、その一因であろう。現状からの進

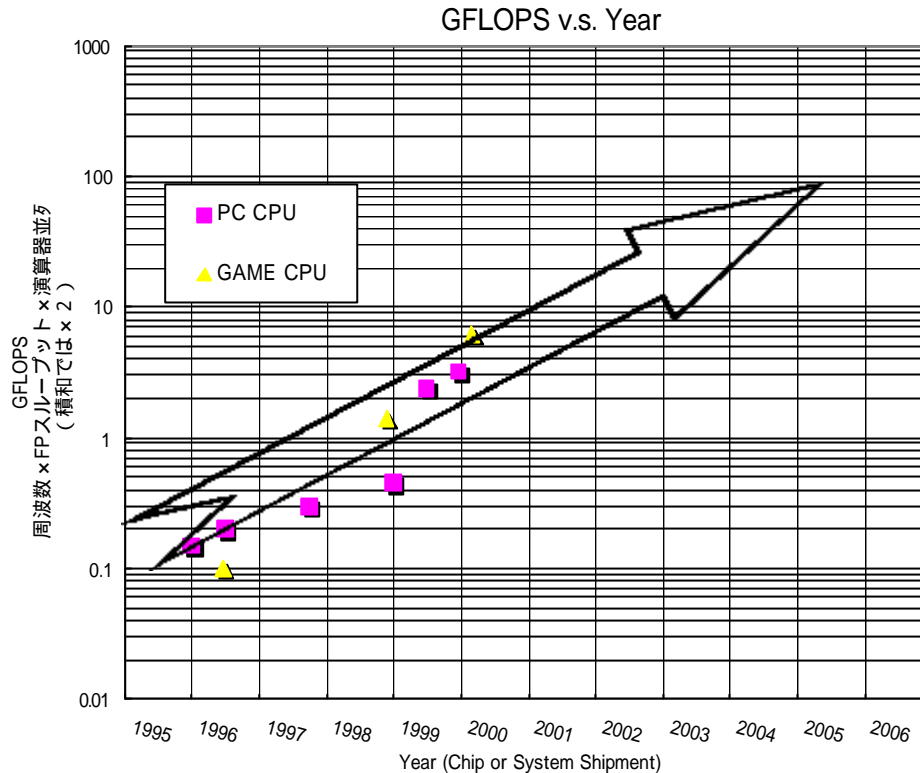
歩の程度を把握するため、性能の指標を定義する。ここでは、ゲーム機の性能指標として、チップ上の総 FLOPS 値(単位: GFLOPS:10 億浮動小数点演算/秒)を使うことにする。その理由は以下の 2 点である。

- (a) 今後のゲーム/ホームエンターテインメント機器は映画並みのリアルな映像を追求するため、3 次元グラフィックス性能の向上がまだまだ必要だと考えられる。3 次元グラフィックス処理は座標変換処理、光の当たり具合の計算などであり、それらは浮動小数点演算能力に大きく依存する。
- (b) ゲーム中のオブジェクト、例えば海の波、風に揺れる髪の毛、グラスに注がれるワイン、等を自然に表現するには、いわゆる物理シミュレーションが必要であり、膨大な計算能力が必要とされる。

これらの処理能力は、おおざっぱにはチップ上に搭載された浮動小数点演算能力に支配される。複数の浮動小数点演算器を使って、上記の処理性能を上げることも原理的には可能なため、総浮動小数点能力がゲーム機のおおざっぱな性能を表すと考えた。パソコン用 PC の総浮動小数点演算性能とゲーム機のそのトレンドを図表 2 - 13 - 5 に示す。

パソコン用 CPU は、いわばオールラウンドプレイヤーであり、整数演算能力(SPECint に代表される)は高く、2 次キャッシュメモリにチップ面積を使っている。また前世代とのバイナリレベルの互換性をとるユニットも持つ。これに対し、ゲーム機用 CPU は、チップ面積の多くを浮動小数点演算器に使っている。このため 3 次元グラフィックス演算処理は強いが、整数演算能力はパソコン用 CPU よりも劣る。また 2 次キャッシュメモリも使われていない。前世代のゲーム機との互換性もないものが大半である。要は、応用が異なるため、重点の置き方が異なり、シリコンの使い方が違う。

またゲーム用 CPU 動作周波数はパソコン用 CPU 動作周波数の約 $1/2 \sim 1/3$ であるが、これはゲーム用 CPU が劣っていることを意味しない。ゲーム用では、チップ上の様々な IP(intellectual property)でマクロ的に分散処理することにより、CPU に負荷が集中しない設計になっている。これは処理が絞り込まれているからこそ可能である。逆に、パソコンでは CPU が全ての処理を行う思想のため、高い動作周波数が必要になっている、とみることもできる。



図表 2 - 1 3 - 5 パソコン用 PC とゲーム機の総浮動小数点演算性能

H2: 配線層数

消費電力の増大と配線遅延の相対的増加に対処するため、配線層は多いことが望まれる。また、混載 DRAM 部分の電源電圧は、ロジックほどには低下しないと予想されるため、ロジック用電源と DRAM 用電源の 2 電源 (以上) が必要となろう。この電源引き回しにも、専用配線層が望まれる。

H3: 電源電圧

SOC のトレンドに従った。

H4: 消費電力

2005 年の見積り。

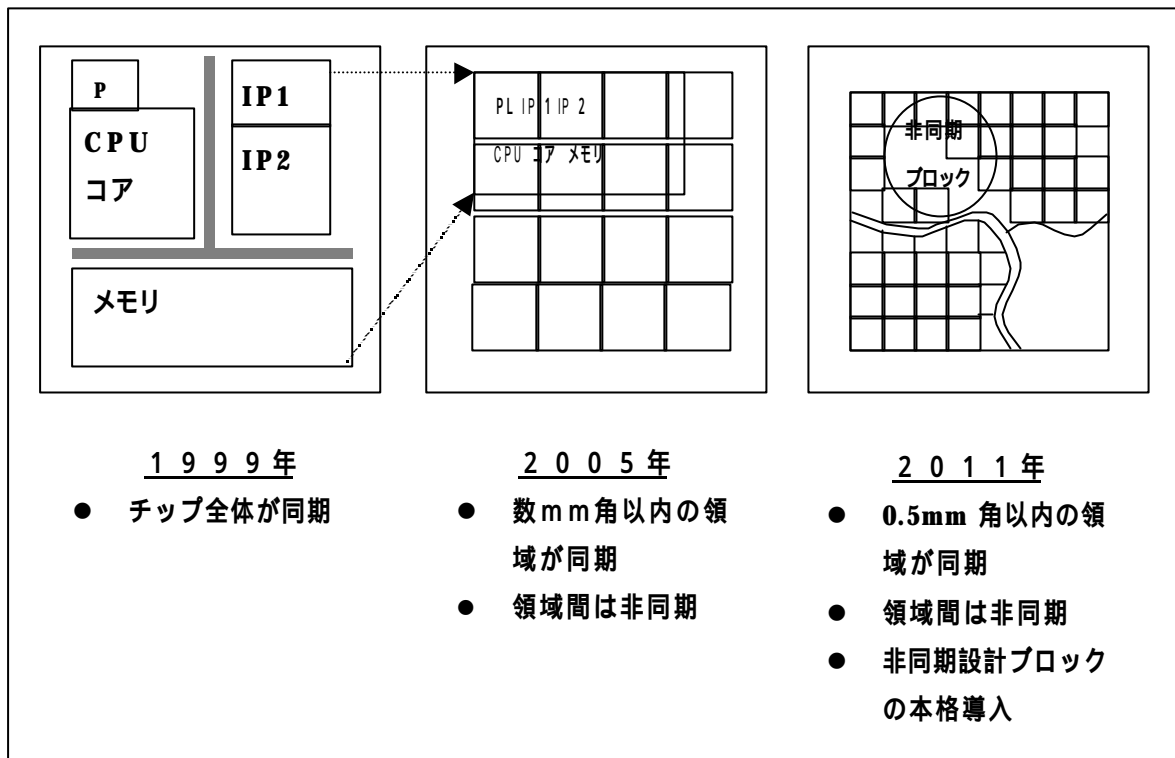
$$\text{総信号線容量の増大比 (C 比)} = (0.18 \mu\text{m} / 0.11 \mu\text{m})^2 * (340\text{mm}^2 / 225\text{mm}^2) = 4.05 \text{ 倍}$$

$$\text{消費電力比} = f \text{ 比} * C \text{ 比} * (V \text{ 比})^2 = (1500\text{MHz} / 300\text{MHz}) * 4.05 * (1.0\text{V} / 1.8\text{V})^2 = 6.25 \text{ 倍}$$

$$\text{消費電力} = \underline{18\text{W@1999}} * 6.25 = 113\text{W}$$

H5: ピン数

100A を超える電源電流を流すため、低抵抗の電源接続が必要である。現状のパッド接続では、そこまでの引き回しで電圧降下し、おそらく使えない。チップ全領域の随所で数千点の接続を行う技術 (“C4” と呼ばれる) が必要であろう。専門 WG のフィードバックを期待する。



図表2 - 13 - 6 クロック設計手法

H6: クロック手法

図表2 - 13 - 6に示すように、現在までのハイエンド SOC は、基本的には、チップ全体が同期して動作している。もちろんチップ上には、CPU コアに比べて低い周波数で動いている組み込みブロックもあるのが普通だが、それはシステム仕様からの要請であって、チップ設計上の制約がもたらしたものではない。しかし、今後は、事情が大きく変わると考えられる。それは、デザインルール縮小化に伴い、ゲート遅延は今後も減少するが、配線抵抗の増大、隣接配線間のカップリング容量の増大により、長距離配線の RC 遅延が相対的に大きくなるためである。1クロックの時間内に信号が伝わる範囲が、チップサイズより小さくなる。そのため、チップ全体に1クロック時間内に信号が伝わることを前提とした従来の設計は、根本的な改革を迫られる。

H7: テスト手法

現在まで、LSI 外部端子の値を期待値と比較する手法をとってきた。2005 年には、CPU 動作周波数は 1.5GHz に達し、信号ピン数も膨大なものとなる。それを測定する LSI テスタも、極めて高度で高価なものとなろう。SOC が内部にテスト回路を持ち、自己診断するような手法も開発が必要ではないだろうか？

(2) 組み込みシステム向け SOC の動向

組み込みシステムで使用する CPU、グラフィックス、メモリ制御および各種インターフェース機能などが SOC として集積されてゆく過程をこれまでの技術展開を参照しながら予測し、今後の SOC の展開を考える際のリファレンス・モデルとする。

1) 組み込みシステム向け SOC の展開モデル

ここでは携帯情報端末や携帯用デジタル・コンシューマ製品などを応用対象とする比較的汎用性のある組み込みシステム向けの MPU およびその周辺機能を、年代を追って 1 チップ化してゆく場合の SOC 展開について考察する。図表 2 - 1 3 - 7 に、そのような組み込み向け SOC の展開モデルを示している。

項番	暦年	(単位)	1999	2000	2001	2002	2005	2008	2011	2014
0	ゲート長Lg	μm	0.25	0.18		0.15	0.11	0.07	0.05	0.035
	[SOC展開]									
1	チップサイズ	mm ²	107	114	123	131	161	197	241	295
2	CPUクロック周波数	MHz	200	300	400	500	800	1100	1400	1700
3	利用可能素子密度	MTr/cm ²	14	17	21	24	40	64	100	160
4	搭載総素子数	MTr	12.0	15.5	20.7	25.2	51.5	100.9	192.8	377.6
5	CPU論理素子数	MTr	3.1	4.1	5.5	7.3	9.7	12.9	17.2	22.8
6	キャッシュメモリ	MTr	3.2	4.8	6.4	8.0	12.8	17.6	22.4	27.2
7	組み込みブロック	MTr	5.7	6.6	8.8	9.9	29.0	70.4	153.2	327.6
8	DRAM混載容量	Mbit	0	0	0	0	128	384	1024	2304
9	DRAMのロジック換算	MTr	0.0	0.0	0.0	0.0	16.0	48.0	128.0	288.0
10	組み込み論理ブロック	MTr	5.7	6.6	8.8	9.9	13.0	22.4	25.2	39.6
11	組み込みブロック種類		NB	NB	+ SB	+ DSP	+ GE	+ EM	+ 専用エンジン	
12	CPU標準クロック周波数	MHz	150	240	330	420	700	1000	1300	1600
13	ブロッククロック周波数	MHz	150	240	330	420	700	1000	1300	1600
14	ブロック標準クロック周波数	MHz	113	180	248	315	600	900	1200	1500

図表 2 - 1 3 - 7 組み込みシステム向け SOC の展開モデル

[注] 素子数はトランジスタ数(Tr)に対応する。

図表 2 - 1 3 - 7 の説明

- 0: Lg はトランジスタのゲート長で SOC が量産段階(1 万個出荷した段階)になる時期を示している。
- 1: 量産レベルのチップサイズが 10 年前は約 50mm² に対して、昨今は 100mm² 近くになっている。
即ち 10 年で約 2 倍になっているのでチップサイズは年率 7%で増加していくものと仮定している。
- 2: CPU のクロック周波数はここ 3 年間のデータから毎年 100MHz の向上ができると仮定している。
- 3: 基本的にプロセスで決まる数値で、1998 年度版の ITRS の Overall Technology Roadmap Table1 にある値を採用している。
- 4: 利用可能素子密度に対してチップとしての I/O 領域、電源配線領域等を考慮して搭載総素子数を決めおり、

$$\text{利用可能素子密度} \times \text{チップサイズ} \times 0.8$$
で計算している。
- 5: 某社のデータから 1999 年に 3.1MTr と仮定し CPU の性能向上を実現するために年率 33%の伸びと予測している。2002 年以降は CPU アーキテクチャの進歩が飽和気味となり、3 年で 33%の伸びになると仮定している。
- 6: CPU の性能向上に伴いキャッシュメモリの周波数向上分にトランジスタを集積していくものと仮定している。
- 7: 搭載素子数から CPU、キャッシュの素子数を差し引いた値である。
- 8: DRAM 混載が 2005 年から本格化すると見込んでいる。理由は DRAM のチップ面積に占める割

合が 1/3 を超える頃と仮定している。

- 9: DRAM 混載を組み込みブロックの素子数に換算している。換算レートは DRAM8 ビットでロジックの1トランジスタ(Tr)と換算している。
- 10: 組み込みブロックでロジック部のみの実質トランジスタ数を計算している。
- 11: SOC に新たに組み込まれる機能ブロックの具体例である。これに続く 2) 項を参照されたい。
- 12: CPU 標準クロック周波数は 1999 年に CPU クロック周波数の 75%として 2002 年に 80%を超え、2005 年以降は CPU クロック周波数より 100MHz 低い値になると仮定している。
- 13: ブロッククロック周波数は CPU 標準クロック周波数と同じ値になると仮定している。
- 14: ブロック標準クロック周波数は 1999 年にブロッククロック周波数の 75%として 2002 年に 80%を超え、2005 年以降はブロッククロック周波数より 100MHz 低い値になると仮定している。

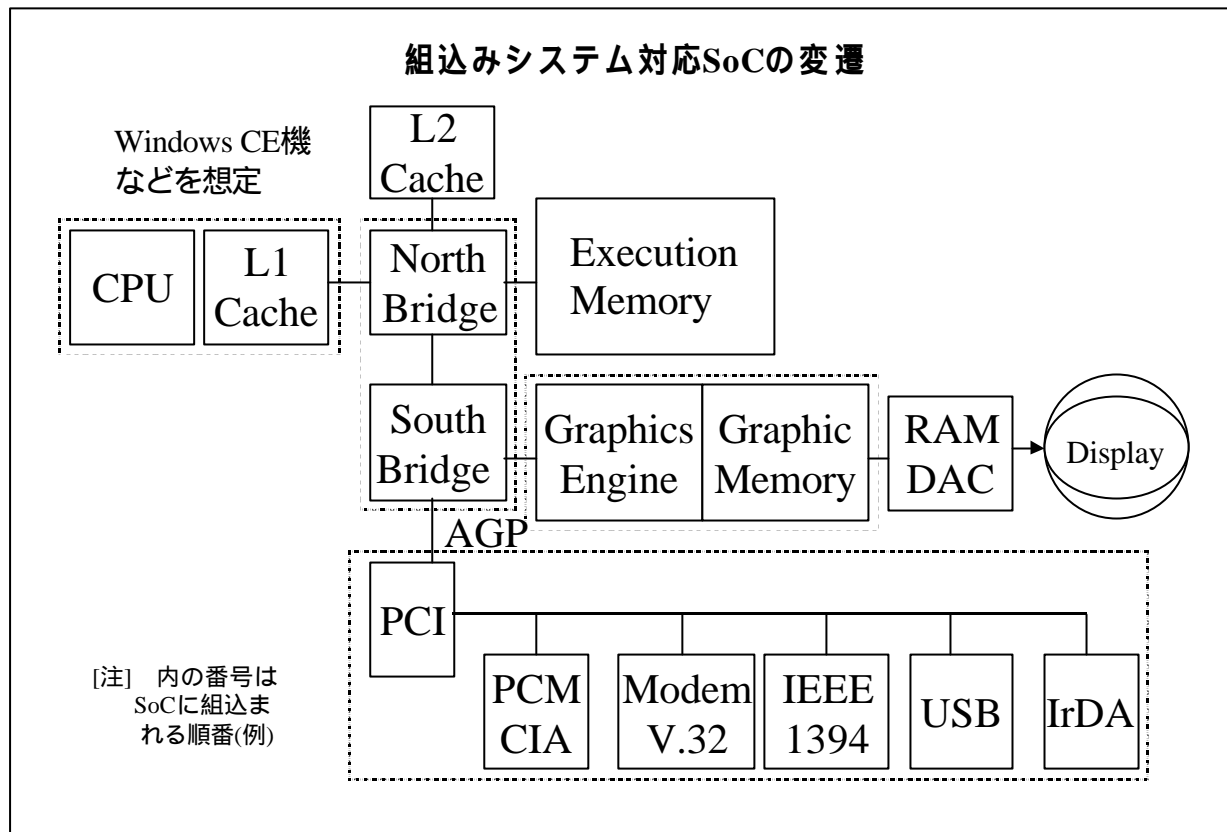
2) システムの必要機能の SOC への集積化の例

Windows CE などの比較的汎用的な OS を制御主体として使用する組み込みシステムでは、ハードウェアとして SOC へ組み込む最初の必須機能は、全体の制御と 1 次キャッシュであろう。これを CPU + L1 Cache からなる組み込み SOC の出発点とする(図表2-13-8)

これにパソコン機能でいうところの North Bridge(NB)機能、South Bridge(SB)機能、次いで周辺機器を接続制御する PCI 機能や信号処理機能強化のための DSP 機能、さらにはグラフィックス機能強化のための Graphics Engine(GE)と Graphics Memory(GM)が付加される。その上、L2 Cache まで内蔵されると相当強力な処理能力を持った SOC となる。Execution Memory(EM)までオンチップ化されると、見掛け上は強力な 1 チップ・パソコンと全く同一の機能が実現できることになる。もちろん、システムによっては汎用パソコン並みの機能は必要なく、搭載する必然性のない機能ブロックは多々あると思われるが、機能と性能を追い求めると、これが基本的な集積化のモデルとなることは確かであろう。

特定のシステムを想定すると、その最適なハードウェア形態が特定できるが、一般論として考えると、個々の機能の必要性を云々するのは難しくなる。

そこで、個々の機能の必要性に関する詳細検討はさておいて、図表2-13-8のような集積化の流れを考えたときに、図表2-13-7の SOC 展開モデルとのマッチングがどうなるかを示したのが、その展開モデルの表の「組み込みブロック種類」(項目 11)である。ある程度の汎用機能のオンチップ化が進んだあとでは、システムに特有な機能を高速高機能化するための専用エンジンが逐次搭載されてゆくと想像される。



図表2 - 13 - 8 SOC エンジンへの周辺機能の組み込み順序

(3) SOC 消費電力の動向

設計タスクフォースのLP-SG ではSOC の消費電力モデルの検討と微細化・高集積化に向けて設計課題として消費電力削減に向けた取り組みの検討を実施したので報告する。

1) 組み込みシステム向け SOC の消費電力モデル

ここでは前節で述べた組み込みシステム向け SOC の展開モデル(図表2 - 13 - 7)を基にして、SOC の動作時並びに待機時の消費電力がどのようなになるかをモデル化することで SOC におけるワークライシスを明らかにする。

2) 組み込みシステム向け SOC の動作時の消費電力モデル

図表2 - 13 - 9に組み込みシステム向け SOC の動作時の消費電力モデルを示す。SOC の動作時の消費電力モデルを考える上での前提条件を下記のように考える。

- (a) 1999 年時点の SOC モデルで消費電力を約 2.4W と想定する。これをもとに動作時の SOC の実効ゲート幅(W)比率をCPU: キャッシュ: ブロック=10: 5: 5と仮定する。
- (b) CPU 性能を年々上昇させるために、MOSトランジスタの動作電流 I_{ds} は微細化に応じて各世代毎に 10%向上すると仮定している。但し、ITRS で提示しているデータの上限を超えないものとする。
- (c) 実効ゲート幅(W)は周波数比とトランジスタ比の積で定義される。
- (d) 動作時の消費電流(I_{on})はCPU+キャッシュ+ブロックの総和を取ったときのNチャネルMOSトランジスタの実効ゲート幅で表現する。

図表2 - 13 - 9から、2002 年には消費電力が 10W 近くになり、2005 年には 20W を超えるため、消費電力削減の取り組みが不可欠になってくる。

項番	暦年		1999	2000	2001	2002	2005	2008	2011	2014
0	Lg	μ m	0.25	0.18	0.18	0.15	0.11	0.07	0.05	0.035
15	電源電圧	V	2.5	1.8	1.8	1.5	1.2	0.9	0.7	0.6
16	CPU周波数比		1.00	1.50	1.33	1.25	1.60	1.38	1.27	1.21
17	CPUトランジスタ比		1.00	1.33	1.33	1.33	1.33	1.33	1.33	1.33
18	キャッシュ周波数比		1.00	1.50	1.33	1.25	1.60	1.38	1.27	1.21
19	キャッシュトランジスタ比		1.00	1.50	1.33	1.25	1.60	1.38	1.27	1.21
20	ブロック周波数比		1.00	1.60	1.38	1.27	1.67	1.43	1.30	1.23
21	ブロックトランジスタ比		1.00	1.16	1.33	1.12	1.32	1.72	1.13	1.57
22	DRAMの周波数比		0.00	0.00	0.00	0.00	1.00	1.43	1.30	1.23
23	DRAMのトランジスタ比		0.00	0.00	0.00	0.00	1.00	3.00	2.67	2.25
24	Ids(Nch)	μ A / μ m	490	539	539	593	652	717	750	750
	Ids(Pch)	μ A / μ m	230	253	278	306	337	350	350	350
25	CPUの実効W	μ m	1000	1995	3538	5882	13E3	23E3	39E3	63E3
26	キャッシュの実効W	μ m	425	956	1700	2656	6800	13E3	21E3	31E3
27	ブロックの実効W	μ m	500	926	1699	2428	5345	13115	19E3	37E3
28	DRAMの実効W	μ m	0	0	0	0	2188	9375	33E3	90E3
29	Ion	A	0.94	2.09	3.74	6.50	17.51	41.78	83.48	165.3
30	動作時の消費電力	W	2.36	3.76	6.73	9.75	21.01	37.60	58.44	99.19

図表2 - 13 - 9 組み込みシステム向け SOC の動作時の消費電力モデル

図表2 - 13 - 9の説明

- 15: ITRS のノードに応じた電源電圧の最大値を採用している。
- 16: 各世代毎の CPU の周波数向上分を数値化している。
- 17: CPU の周波数向上分を達成するために性能向上に向けてトランジスタリソースの増加分を数値化している。
- 18: 各世代毎のキャッシュメモリの周波数向上分を数値化している。
- 19: キャッシュメモリの周波数向上分を達成するために性能向上に向けてトランジスタの増加分を数値化している。
- 20: 各世代毎の組み込みブロックの周波数向上分を数値化している。
- 21: 組み込みブロックの周波数向上分を達成するために性能向上に向けてトランジスタの増加分を数値化している。
- 22: 組み込みブロックのうち、DRAM の周波数向上分を数値化している。
- 23: 組み込みブロックのうち、DRAM の周波数向上分を達成するために性能向上に費やされるトランジスタの増加分を数値化している。
- 24: ITRS 1999 年版の Table28a,b より動作時のドレイン電流(Ids) が 99 年を 490 μ A / 230 μ A として、各世代毎に 10%増加するモデルを想定している。但し、上限に関しては 750 μ A / 350 μ A とする。
- 25: CPU の実効ゲート幅を算出。
- 26: キャッシュメモリは書き込み動作がフルスイング、読み出し動作は電源電圧の 40%のスイングを仮定している。書き込みと読み出しの発生確率は等しいと仮定して実効Wを算出している。
- 27: 組み込みブロックの実効ゲート幅を算出。

- 28: DRAM は書き込み・再書き込み動作はフルスイング、読み出し動作は電源電圧の 20%のスイングを仮定している。書き込みと読み出しの発生確率は等しいと仮定して実効Wを算出している。
- 29: 動作時の CPU,キャッシュ、組み込みブロック、DRAM の電流量を合計している。
- 30: 動作時の電流量に電源電圧をかけて消費電力を算出している。

3) 組み込みシステム向け SOC の待機時の消費電力モデル

図表 2 - 13 - 10 に組み込みシステム向け SOC の待機時の消費電力モデルを示す。待機時の消費電力モデルを考える上での前提条件を下記のように考える。

- (a) 待機時の消費電力は常温での見積りである。
- (b) オフリーク電流はロジック部、SRAM(static random memory)部、DRAM 部の 3 つに分けてモデル化を行っている。
- (c) ロジック部は 2 入力 NAND ゲートを想定してリーク電流モデルを作って計算している。
- (d) SRAM 部はメモリセルのデータ保持を前提にリーク電流モデルを作って計算している。
- (e) DRAM はメモリセルからのリークパスを想定して計算している。
- (f) I_{dss} は、1999 年は低消費電力向けのモデル値からはじまるが、SOC として性能向上を目指すために 2008 年には高性能向けのモデル値に到達することを前提にしている。その間は各世代で約 7 倍になるモデルを仮定している。

項番	暦年		1999	2000	2001	2002	2005	2008	2011	2014
0	Lg	μm	0.25	0.18	0.18	0.15	0.11	0.07	0.05	0.035
15	電源電圧	V	2.5	1.8	1.8	1.5	1.2	0.9	0.7	0.6
31	Idss(常温)	pA/ μm	5	35	250	1700	11000	4E4	8E4	16E4
32	高性能のIdss(常温)	nA/ μm	5	7	8	10	20	40	80	160
33	低消費電力のIdss(常温)	pA/ μm	5	7	8	10	20	40	80	160
34	Logic部の実効W	μm	4.32	3.79	5.05	5.07	4.92	4.86	4.17	4.300
35	SRAM部の実効W	μm	0.8	0.86	1.15	1.2	1.408	1.232	1.12	0.952
36	DRAM部の実効W	μm	0	0	0	0	28.16	53.76	102.4	161.28
37	Logic部のゲート数	M gate	2.20	2.68	3.57	4.29	5.68	8.816	10.6	15.6
38	SRAM部のビット数	Mbit	0.533	0.8	1.07	1.33	2.133	2.933	3.733	4.533
8	DRAM部のビット数	Mbit	0.0	0.0	0.0	0.0	128.0	384.0	1024	2304
39	Logic部のリーク電流	μA	21.62	133	1263	8611	54123	19E4	33E4	69E4
40	SRAM部のリーク電流	μA	4	30.2	288	2040	15488	49280	89600	152320
41	DRAM部のリーク電流	μA	0	0	0	0	3E5	2E6	8E6	3E7
42	I/Off(常温)	mA	0.026	0.16	1.55	10.7	379.4	2394	8616	26645
43	待機時の消費電力	mW	0.064	0.29	2.79	16.0	455.3	2155	6031	15987

図表2 - 13 - 10 組み込みシステム向け SOC の待機時の消費電力モデル

図表2 - 13 - 10の説明

- 31: オフリーク電流(Idss)については、低消費電力向けの数値から Ids の増加に伴いオフリーク電流の増加が発生するので、各世代毎にオフリーク電流が約7倍になるモデル想定して2008年以降は高性能向けに合わせている。
- 32: 高性能向けオフリーク電流の数値で、ITRS 1999年版の Table28a,b を参照した。
- 33: 低消費電力向けオフリーク電流の数値で、ITRS 1999年版の Table28a,b を参照した。
- 34: ロジック部(CPUと組み込みブロック)の総素子数からゲート数換算して、2入力 NAND モデルでリークパスから実効ゲート幅を算出している。
- 35: SRAM 部(キャッシュメモリ)のメモリセルのリークパスから実効ゲート幅を算出している。
- 36: DRAM 部(組み込みブロック)のメモリセルのリークパスから実効ゲート幅を算出している。
- 37: 論理素子をすべて2入力NANDゲートのモデルとして入力信号の状態分布を均一として計算している。
- 38: キャッシュメモリの素子数を6で割ることでSRAMのビット数を算出している。。
- 39: 論理素子で発生しているリーク電流の総和。
- 40: SRAM 部で発生しているリーク電流の総和。
- 41: DRAM 部で発生しているリーク電流の総和。
- 42: 論理素子・SRAM 部・DRAM 部で発生しているリーク電流の総和。
- 43: 待機時における消費電力でリーク電流の総和と電源電圧の積で求めている。

4) SOC の電力削減手法の変遷

組み込みSOCのロードマップに合わせて消費電力モデルを構築したが、性能向上と高集積化により2005年には20Wを超える消費電力となり、早急に消費電力削減手法をSOC設計に組み込まなければならない。

一方、SOCの消費電力の増加に伴い接合温度をあるレベルまでに抑えるためにパッケージの熱抵

抗下げる取り組みや SOC を冷却する技術を確立する必要がある。また、待機時の消費電力も大きくなるので待機時の電力削減の取り組みも並行して実施する必要がある。

(a) SOC 動作時の電力削減手法

SOC の動作時の電力削減手法として設計的に取り組めることはクロック系の消費電力を削減するために gated clock 技術を導入したり動作時の最適電源電圧の供給や最適閾値電圧 V_t への制御、さらには SOI による寄生容量の削減や、非同期設計による削減等が考えられる。図表 2 - 1 3 - 1 1 に SOC 動作時の電力削減効果の見通しを表している。

項番	暦年	2000	2001	2002	2003	2004	2005	2006	2007	2008	2011	2014
44	Gated clock 技術	0.25	0.3	0.35	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
45	動作電圧最適化技術			0.05	0.05	0.05	0.1	0.1	0.1	0.1	0.1	0.1
46	VTCMOS 技術			0.25	0.35	0.4	0.5	0.5	0.5	0.5	0.5	0.5
47	SOI 技術					0.15	0.2	0.25	0.3	0.3	0.3	0.3
48	非同期設計技術							0.05	0.1	0.15	0.3	0.3
49	電力削減効果	75%	70%	46%	37%	29%	22%	19%	17%	16%	13%	13%

図表 2 - 1 3 - 1 1 SOC 動作時の電力削減のロードマップ

図表 2 - 1 3 - 1 1 の説明

44: gated clock 技術の導入で最大 40%の電力削減、最適化に 4 年程度かかると見込んでいる。

45: 動作電圧最適化技術は再利用の IP 毎に最適な動作電圧を供給することで最大 10%の電力削減、最適化には 4 年程度かかると見込んでいる。

46: VTCMOS 技術の導入で最大 50%の電力削減、最適化には 4 年程度かかると見込んでいる。

47: SOI 技術の導入により最大 30%の電力削減、最適化には 4 年程度かかると見込んでいる。尚、SOI 技術の導入と VTCMOS を同時に実現するためには新規技術開発が必要である。

48: 非同期設計技術の導入で最大 30%の電力削減、最適化には 6 年程度かかると見込んでいる。

49: 上記 5 項目の削減手法がすべて採用された場合、対策を施していない場合に対する動作時の消費電力の割合を示している。尚、これには技術的に克服しなければならない課題が存在する。例えば、SOI 技術と VTCMOS 技術の混載等がある。各設計技術は最適化に必要な期間を技術導入から 4～6 年で効果が飽和するモデルにしている。

図表 2 - 1 3 - 1 2 は現状考えられている電力削減策を実現できるとした場合の SOC 動作時の消費電力(削減後)を表している。電力削減の実現によって 2005 年ぐらいまでは 5W 以下に抑えられる見通しであるが、2008 年には 5W を超え、2014 年には 10W を超えるため、継続的な電力削減手法の開発が必要である。

項番	暦年		1999	2000	2001	2002	2005	2008	2011	2014
0	Lg	μm	0.25	0.18	0.18	0.15	0.11	0.07	0.05	0.035
15	電源電圧	V	2.5	1.8	1.8	1.5	1.2	0.9	0.7	0.6
30	動作時の消費電力	W	2.36	3.76	6.73	9.75	21.01	37.60	58.44	99.19
49	電力削減効果	%	100%	75%	70%	46%	22%	16%	13%	13%
50	電力削減後の値	W	2.36	2.82	4.71	4.52	4.54	6.04	7.73	13.12

図表 2 - 1 3 - 1 2 組み込みシステム向き SOC の動作時の電力削減見通し

図表 2 - 1 3 - 1 2 の説明

50: 30 に対して 49 の削減効果が実現できる場合の SOC 動作時の消費電力モデルである。尚、上記の消費電力モデルは動作時におけるリーク電流寄与分は十分小さいとして無視している。

(b) パッケージ技術への要求

消費電力の増大に伴いパッケージや実装方法で消費電力対策を打つケースが考えられる。半導体の接合温度を 125 以下に抑えるためにはパッケージの熱抵抗を下げる取り組みも不可欠になる。図表 2 - 1 3 - 1 3 にパッケージへの熱抵抗に対する要求値を表している。

項番	暦年		1999	2000	2001	2002	2005	2008	2011	2014
51	パッケージの熱抵抗1	/W	23.31	14.63	8.17	5.64	2.62	1.46	0.94	0.55
52	パッケージの熱抵抗2	/W	23.31	19.50	11.67	12.18	12.12	9.11	7.11	4.19

図表 2 - 1 3 - 1 3 パッケージの熱抵抗の要求ロードマップ

図表 2 - 1 3 - 1 3 の説明

- 51: 接合温度を 125 以下に維持する SOC の消費電力から要望されるパッケージの熱抵抗の上限を算出している。
- 52: 電力削減手法が取り入れられた場合の接合温度 125 以下を維持するパッケージの熱抵抗の上限を算出している。

(c) SOC の待機時の電力削減手法

SOC の待機時の電力削減手法として設計的に取り組めることは待機時の最適電源電圧の供給や最適 V_t への制御、さらには SOI によるオフリーク電流の削減が考えられる。

図表 2 - 1 3 - 1 4 には現状考えられている取り組みが技術的にすべて実現できた場合を想定して SOC 待機時の電力削減効果見通しを表している。

項番	暦年	2000	2001	2002	2003	2004	2005	2006	2007	2008	2011	2014
53	VTCMOS技術			0.95	0.96	0.97	0.98	0.98	0.98	0.98	0.98	0.98
54	動的VDD制御技術			0.05	0.08	0.12	0.15	0.2	0.25	0.25	0.25	0.25
55	SOI技術					0.2	0.2	0.2	0.2	0.2	0.2	0.2
56	電力削減効果	100%	100%	4.8%	3.7%	2.1%	1.4%	1.3%	1.2%	1.2%	1.2%	1.2%

図表2 - 13 - 14 SOC 待機時の電力削減のロードマップ

図表2 - 13 - 14の説明

53: VTCMOS 技術により待機時に V_t を高く設定することが可能になりリーク電流を抑制できる。

54: ブロック毎の状態に応じ供給電圧を動的に制御することで必要なブロックのみに電源供給が可能になり待機時のリーク電流を抑制できる。

55: SOI プロセスによりトランジスタのリーク特性を改善することが可能になり待機時のリーク電流を抑制できる。課題としては現状上記の 3 つの技術を同時に実現させることが困難。実現するための技術開発が必要である。

56: 上記 3 項目の削減手法が採用された場合に無対策の場合と比べた待機時の消費電力の割合を示している。尚、SOI 技術と VTCMOS 技術の混載等の技術的に克服しなければならない課題が存在する。

図表2 - 13 - 15 は現状考えられている電力削減策を実現できるとした場合の SOC 待機時の消費電力(削減後)を表している。

項番	暦年		1999	2000	2001	2002	2005	2008	2011	2014
0	Lg	μm	0.25	0.18	0.18	0.15	0.11	0.07	0.05	0.035
15	電源電圧	V	2.5	1.8	1.8	1.5	1.2	0.9	0.7	0.6
43	待機時の消費電力	mW	0.064	0.293	2.793	15.98	455.3	2155	6031	15987
56	電力削減効果	%	100%	100%	100%	5%	1%	1%	1%	1%
57	電力削減後の値	mW	0.064	0.293	2.793	0.759	6.191	25.86	72.37	191.8

図表2 - 13 - 15 組み込みシステム向き SOC の待機時の電力削減見通し

図表2 - 13 - 15の説明

57: 43 に対して待機時の電力削減を実施した場合の消費電力モデルを示している。

(4) IPベースSOC 設計

1) SOC 設計における IP ベース設計の重要性

半導体サブミクロン製造技術はシリコン・チップにシステムそのものを搭載する、所謂 SOC を可能にした。これは 1 チップに数Mゲートを集積する量的変化だけでなく DRAM、フラッシュ、アナログ等、異質のテクノロジーの混載、ハードウェアとソフトウェアの協調など質的な変化ももたらした。

更に SOC の構築には消費電力、IR ドロップ、アンテナと HC/EM 等の信頼性問題、近接する配線間の寄生容量によるクロス・トーク、ノイズの影響、寄生パラメータのバラツキ等、微細大規模化に伴うシグナル・インテグリティの課題に対処する 2 次元の設計基準だけでない複雑な問題を加味する必要がある。

これらの変化を設計の観点からみると、設計の複雑性、設計に要する人的リソースの量と質の変化、設計工期、コストの増大と、これに逆行する Moore の法則による大規模 SOC の ASSP(application-specific standard product)/ASIC 化、また寡占化する市場での厳しいタイム to マーケットの要請、これは短期間に多くの種類の設計を行うことを意味する。

歴史的に集積度に呼応してトランジスタ、ゲート、更にモジュールとより大規模な機能ブロックを多用する、或いは階層的に積上げる設計手法が採られてきた。この設計を支援する補助、または自動化ツールも提供され設計効率は飛躍的に上昇した。そこで更に複雑な機能や構造を持つ設計資産、IP を再利用、これを基本単位にする IP ベース設計は疑いのない流れである。しかし、単純に機能ブロックの規模を上げることで前述の課題に対処し得るか、おそらく複雑な IP を階層化、組み合わせることで、或いはソフトウェア、プロトコルの介在で生じるインターフェース、互換性、品質確保に伴う複雑性の増大で設計、検証は全く新たな事態、パラダイム・シフト的な変化が予想される。

IP の機能が複雑化すると、所要に叶う IP を探索するところから問題である。膨大なマニュアルを読破し内容を理解して、その中から最も要求に適合する設計資産を選び出す作業は相当な重荷になる。次にその機能が全体の構成の中で正確に適合するか抽象化されたレベルで検証を行い、更にソフトウェア、ハードウェアの機能やインターフェース整合のための適合化や最適化のための設計変更も必要になる。当然、その複雑性や設計、検証性は IP そのもののインターフェースやデータベースの標準化による適応化の有無や再構築性やプロセス非依存性での容易化施策にも依存している。

SOC 設計は大規模化、ソフトウェア、ハードウェアの混在、シグナル・インテグリティの問題、テクノロジーの複合化等で当然、複雑化し、これにより設計量の質的、量的な増加が予測される。一方、IP ベース設計の導入により設計資産再利用に伴う実設計量の削減、IP インターフェースやデータベースの標準化、再構築、プロセス非依存性の改善、この設計手法を補助、自動化する EDA(electronic design automation)ツールの進歩等の期待でこれらはある程度、克服できる。一方、IP 導入に伴い逆に IP そのものの大規模化、IP 相互の組合せ、或いは IP 階層の深さに伴う複雑さの増加、当然、これら IP 規模、IP 数と IP 階層には相関があるが、更に IP 検索、検討に伴うオーバーヘッド、再利用可能 IP 構築そのものの負担はかえって IP ベース設計を阻害する要因となる。

しかし、IP ベース設計は IP 開発と SOC 設計が分業化できることに意味がある。設計の高度化に伴い個々の特殊設計は相当な技術投資が必要になる。かなりの時間とリソースの集中がないと成功に至らない。これを事前に準備し得る、また使い回しによりリソースやコストがシェアできることは重要である。この IP 開発と SOC 設計の分離のために SOC 設計者が IP を意識せずブラック・ボックス的に使えることが条件となる。何れにせよ、上述の予測から技術的にも経済的にも IP 再利用技術の構築

構築と SOC では IP ベース設計は不可欠なものになる。

2) IP ベース SOC の動向

大規模化、ソフトウェアとハードウェアの混在、微細化に伴うシグナル・インテグリティ、テクノロジーの複合等で益々複雑化する SOC 設計をスクラッチから行うのは設計リソースや時間軸、コストの観点から現実的でない。比較的大規模な機能ブロックを基本単位として設計を階層的に行う IP ベース設計が必須である。当然、IP 導入に伴い相互のインターフェースや組合せに起因する複雑さの増大もあるが、益々高度化する特殊機能を持つ IP 設計を専門家によって効率的に分業化できる、または事前に検証し得る等は SOC 設計の工期の短縮だけでなく確度の上昇、更に IP 設計資産の使いまわしでコストのシェアも可能にする。従って、ここでいう IP ベースの SOC 設計とは既存の IP、或いは IP 開発が分業化されていることを前提としている。

3) IP の仮定条件

IP を再利用可能なソフトウェア、ハードウェアに係わらず設計資産と定義すれば、ゲートとかモジュールの様な比較的小規模で基本機能は設計変更無しに再利用の機会が多い。一方、複雑な機能になると使用は限定され、インターフェース等は何らかの適応化を要す傾向にある。アナログやメモリ、超高速回路等の微妙な回路設計の確度を上げるため事前検証を行い、これを固定ブロック化(ハード IP)して再使用するの方はメリットが大きい。また PC チップ・セットの歴史的な流れからもメモリ、バス、割込み、DMA 制御、タイマー、I/O 機能がマクロ化して、これらを組み込んだノース、サウス・ブリッジ、更に USB、P1394 を組み込んだスーパー I/O を階層的に集積、統合化される傾向にある。IP の仮定条件として、

- (a) IP 自身も階層的に集積、統合化されていく。
- (b) 大規模な IP は一般的に再利用頻度が低く適応化も必要となる。
- (c) 微妙な回路設計を要するハード IP は利用価値が高い。

4) SOC 設計の課題

半導体部品の集積能力上昇はシステムそのものを 1 チップに搭載するシステム・レベル・インテグレーション、所謂 SOC を可能にする。集積度が上昇することで当然、大規模化に伴う量的な変化だけでなくシグナル・インテグリティや複合プロセスに伴う複雑化、インプリに留まらないシステム・レベル設計、検証の必要性等により設計はより高度化、複雑化することが予測される。一方、高集積部品は専用化(ASIC)する傾向がある。分野やカスタマ毎の多様な種類の設計をタイム to マーケットの市場環境の中で短時間に行う必要がある。当然、自動化(EDA)による設計の効率化、IP 再利用(IP ベース設計)による実設計量の削減等プラスの要因を加味しても多くの設計者を動員することが不可欠である。設計人口の増加には従来、ASIC 手法として採ってきた自動化、設計の抽象化、マクロ化(ブラック・ボックス)等の商法のスケールを上げた IP ベース設計の設計容易化によりシステム設計者も LSI 設計に有効的に参加させることが必要である。

期待できるプラスの傾向として、次のようなものがある。

- (a) 自動化(EDA)による SOC 設計の効率化
- (b) IP 再利用(IP ベース設計)率上昇による実設計量の削減
- (c) IP の階層的な集積、統合化傾向に伴う IP 数の減少

- (d) I P 利用技術の改善で再構築性、プロセス非依存性の改善
- (e) ハード I P の再利用性改善
- (f) SOC 設計容易化手法の改善に伴う動員可能な設計者数の上昇

マイナスの要因には、次のようなものがある。

- (a) 総素子の量的上昇に伴う複雑化傾向
- (b) SOC の専用化 (ASIC) 傾向に伴う設計品種数の増加
- (c) 厳しいタイム to マーケットの市場環境
- (d) シグナル・インテグリティ、混載プロセスによる複雑度の上昇
- (e) I P の組合せに伴う複雑度の上昇

5) I P ベース設計の必然性

前述したように SOC 設計の成否は I P ベース設計手法の確立にかかっているといっても過言でない。また明らかにネックになるのは設計効率、設計の生産性である。これも前述したように I P 自体の高度化から I P 開発は専門家集団による集中投資が必然で中途半端な対応では寡占化する市場に何ら寄与できない。一番だけが生き残れる世界になりつつある。開発コストの面からも I P コストが支配的になることが予測される。組み込み MPU のハードウェアだけでも昨今、数十億円は当たり前であり、ちょっとした SOC に要する I P を備えるのに軽く 100 億円に達する。SOC は 1 つでも I P がなければ成立しないから I P ラインアップが重要である。タイム to マーケットから事前に、しかも完全に検証された形にするのは並大抵の投資では済まない。これらを自前で、しかも個別が行うのでは現実的でない。従って I P ベース設計の観点から以下の点が指摘できる。

- (a) SOC 設計は I P ベース設計が鍵となる。
- (b) I P の高度化からその開発は専門家による集中投資が必要となる。
- (c) SOC では I P ラインアップが必要である。
- (d) I P は事前検証がないと怖くて使えない。
- (e) I P 開発のコストの増大から I P の使い回しは必須条件となる。

6) I P ベース設計 SOC のロードマップ

上記の要件と 2 - 13 - 4 節の(3)項で述べる「I P ベース SOC 設計におけるターニングポイントと新パラダイムの構築」での要件とを加味して、低価格短納期分野における組み込みシステム向け SOC を I P ベース SOC と考えて、以下のようにロードマップを予測した(図表 2 - 13 - 16)。

	単位	1998	2002	2005	2011	
テクノロジ・ノード	μm	0.18	0.15	0.11	0.05	
搭載総素子数	MTr		252	515	1928	(*1)
搭載メモリ容量	Mb	32	80	128	224	
P の平均素子数	MTr		3.6	4.8	8.6	
搭載 IP 数			8	12	28	
P 総素子数	MTr	16	28.8	57.6	240.8	
実設計素子率	%	80	58.4	63.9	75.9	
P 動作周波数	MHz	150	400	1000	2000	
設計者数増加比		1	1.7	2.9	7.6	
テクノロジ数		2	3	3.2	4	
P、テクノロジ数からの複雑度比		1	4.9	6.8	14.3	
実設計素子数からの複雑度比		1	5.0	11.3	50.3	
周波数上昇からの複雑度比		1	2.7	6.8	13.6	
P、EDA 寄与による容易化比		1	10	20	100	
設計人工を加味した設計生産性		1	3.89	9.00	12.5	
完全新規品種数の増加比		1	1.36	1.86	3.23	
ターニングポイント						

(*1) チップ面積 10 年で 2 倍

図表 2 - 1 3 - 1 6 IP ベース SOC のロードマップ

図表 2 - 1 3 - 1 6 の説明

チップ面積は 10 年で倍程度上昇すると予測している。有効面積を 80% として素子のシュリンク率に伴い、総素子数を予測している。この結果、チップ面積を 100mm² 固定とした ITRS 予測より大きな値となっている。

混載メモリ容量は組み込み MPU の MHz に比例しており DRAM 混載と仮定している。速い MPU は大量のデータやプログラムを処理する。これに呼応したメモリ容量やバンド幅が要請されるであろうとの仮定からである。

IP の平均素子数も総素子数とともに上昇すると仮定している。一方、搭載 IP 数は IP の大規模化に抑制されて、さほど増えない。総素子数からメモリ、IP 素子数と引いた値が実設計素子率である。この結果、WG1 等の予測にくらべて、実設計率は期待ほど減少しない。

IP の MHz は専用設計なので SOC 設計、つまり ASIC の 2 倍程度で推移すると予測した。

動員可能な設計者数は SOC 設計に限っているので、IP ベース設計手法や IP のインフラ改善の寄与で生じる増加要素と IP 開発に設計者が分かれる減少分を加味している。

テクノロジ数は DRAM、フラッシュ、アナログ混載だけでなく異電圧 IP の混載も含んでいる。IP、テクノロジ数、実設計素子数の増加からの複雑度比は統計的に 1 要素が 2.5 要素とインターフェースし、この組合せに比例して複雑度が増加するとしている。

周波数による複雑度は単純比例と仮定している。

IP 再利用技術、EDA 寄与による容易化比は過去の傾向を外挿して、またビット幅の増加に伴う正規化率(繰り返し)の自然増加を掛け合わせ、指数関数的増加を見込んだ。

設計生産性は複雑度の増加等によるマイナスの要因と、設計人口や EDA 寄与等のプラスの要因

を相殺して算出した。

新規品種数は総素子数の増加に伴う Moore の法則から算出してあえて完全新規品種は 1/10 とした。ターニングポイントは別途議論する。

2 - 1 3 - 4 新技術の予測と要請

(1) ハイエンド SOC におけるターニングポイントと解決への取り組み

ここでは、ハイエンド SOC のターニングポイントを考える。

1) 過大な設計工数への対処

今までみてきたように、1999 時点で、スクラッチからの場合、CPU コア設計には 2400 人月、組み込みブロック設計には、1,000 人月がかかっていると推定される。従って、ハイエンド SOC の全体設計には、3,400 人月かかる計算となる。言い換えれば、100 人の設計者が約 3 年近くかかる。これは、開発費負担から考えても非常に大きく、そのような開発費を負担できる応用は少ないであろう。またプロジェクト管理の点からも、限界に近い。2005 年に、集積度は、ハイエンド SOC の場合、1.4 倍/年で向上すると予測している(項目 4)。一方、設計効率向上はそれ以下(21%/年向上)なので、同じ開発手法を続けると、さらに開発工数が増えることになる。

2) IP の高度利用

設計工数の爆発を抑えるため、IP の利用が必須になる。IP が広く流通する仕組み作りが、まず必要である。これは各方面で進められているようなので、ここでは触れない。ハイエンド SOC で要求される技術的要件には、2 つが上げられるよう。0.18 ミクロン以降は、デバイス世代が進むたびに電源電圧が変化すると予想される、そのときに、IP が異なった電源電圧で動作するかを検証するのは、困難で時間もかかる。社外から調達した IP の場合には、ブラック・ボックスに近いため、そのような調査も困難であるかもしれない。IP 開発側が指定した固定電圧での特性データのみでなく、ある電源電圧範囲内の変化に対して、タイミング特性データが自動生成などで対応できることが望まれる。また、長期的テーマになろうが、IP のインターフェース部分が、使う側が指定したバス仕様に基づいて、自動生成できることも望まれる。

3) 消費電力削減技術

2005 年には、電源電圧のトレンドを下回る 1.0V に低下させても、1.5GHz の高速動作と集積度向上のため、消費電力は 100W 以上になる見通しである。LSI からの放熱とセットの熱設計が困難になる上、1V で 100A 以上の電流供給方法も問題になると予想される。また、家庭にあって、ネットワークに接続されているため電源が常時入っていることが予想されるため、エネルギー消費が問題になるかもしれない。近年開発されているローパワー技術の多くは、動作時の平均的消費電力を低下させるのを目的としているため、熱設計とリンクするピーク消費電力の削減には、新しいローパワー技術の開発も必要であろう。最も直接的な解決策は、電源電圧を更に下げることである。マイクロプロセッサでの SOI 技術は、現在バルク Si より更に高速性能を得るために使われているが、電源電圧をバルクより更に下げてローパワー化できるメリットを生かす道も考えられる。

また、システムレベルで、例えばパワーを一定以下に抑えるにプログラムを書くなどの手法も必要とな

なるかもしれない。

4) 高速DRAM 混載技術

CPU コアだけでなく多数の IP が集積されるハイエンド SOC は、外部メモリとの間に、多大なデータバンド幅を必要とする。汎用 DRAM のデータ転送速度は、小振幅化やダブルエッジ化など近年高速化が進んでいる。しかし CPU の動作周波数向上も目覚しいため、速度ギャップはあまり縮まっていない。パソコン用 CPU では、高速 SRAM を CPU チップに集積、または同一パッケージ内に搭載し、速度ギャップを低減している。ここ数年以内に、SOC に広く搭載されるようになるであろう混載 DRAM は、その高集積性から、より経済的に速度ギャップを埋めうる強力な手段である。ハイエンド SOC の立場からは、高集積性もさることながら“高速な”混載 DRAM が強く望まれる。高速 SRAM と同等は無理としても数倍以内の速度差にできれば、用途も広がるであろう。この点、日本の半導体メーカは、DRAM 製造・設計技術者が身近にあり、SOC 開発側と連携がしやすいメリットは大きいと考えられる。強力に推進すべきだ考える。

5) クロック手法

1クロック時間内に信号がチップを横断できなくなる事態は、目前である。2005 年では、数 mm 角以内の同時刻とみなせる領域内でしか同期設計は適用できなくなるであろう。その領域を、イソクロナス領域 (isochronous) と呼ぶ。。イソクロナス領域間は、別の配線層を使って配線 RC を少なくする“Fat”配線を行う。アーキテクチャ設計段階から、配線遅延で制約された階層設計を意識する必要がある。2011 年には、イソクロナス領域が 0.5mm 程度に小さくなり、さらに窮屈な設計となろう。同期設計から非同期設計へ移行もある程度は進むであろう。非同期設計のためには、設計手法の確立(特に検証)と CAD(computer-aided design:コンピュータ補助設計)の普及が必要であろう。

(2)組み込みシステム向け SOC の消費電力削減におけるターニングポイント

ここでは組み込みシステム向け SOC モデルに沿った開発、およびその SOC の消費電力削減に向けてプロセス技術・設計技術・実装技術等の角度からターニングポイントを考える。

1) プロセスの複合化

(a) DRAM 混載プロセス

プロセスの複合化としては DRAM 混載が 2005 年ぐらいから本格化する。DRAM 混載ではチップサイズで 20 ~ 30%以上を DRAM マクロが占めないと混載のメリットが見出せないので 2005 年ぐらいから本格すると見込まれる。DRAM 混載によってシステム全体の低消費電力化が図られる。高性能化を目指して DRAM 混載していく場合の課題はトランジスタ性能の確保とリーク電流の抑制をどのように整合させるかである。

(b) フラッシュ混載プロセス

フラッシュメモリと DRAM の双方を混載する実現の可能性が今のところ見えない。

フラッシュメモリと DRAM の双方を混載するためにはブレークスルーが必要である。

一方、ソフトウェアを内蔵するマイクロコントローラ市場ではソフトウェアの書き換えが可能なフラッシュ混載プロセスが着実に進んでくると見込まれる。

(c) SOI プロセス

動作時並びに待機時の消費電力削減が必要な応用分野では SOI プロセスが必要になる。

但し、SOI プロセスのみで消費電力の問題をすべて解決することは困難であり、VTCMOS 技術等を SOI プロセスで確立するが今後の課題である。

(d) 低抵抗材料並びに低誘電材料の導入

微細化と高集積化を進めると電源電圧の低下が必要になるが、一方で消費電流は増加し性能を確保するためには、低抵抗配線材料による電源供給が不可欠になる。

SOC ではプロセスとして低抵抗配線材料への対応が必要になる。また、アセンブリを含めた電源系統の寄生成分を削減する取り組みが必要になる。

また、絶縁膜に低誘電材料を導入することで層間膜で形成される寄生容量の削減が図れるので動作時の消費電力の削減に有効である。

2) 電源の複合化

(a) マルチ電源供給

SOC ではチップ内部に供給する電源電圧が複数の系統に分かる傾向になる。異なる電源電圧を供給するマルチ電源化が加速するとと思われる。

これには外部から複数系統の電源を供給する方法と、外部から 1 系統を供給して、チップ内部に搭載している DC-DC コンバータで複数系統に分ける方法がある。

(b) 電源電圧の動的制御

電源電圧を SOC の状態に応じて時間軸で変更する手法が採用されることになる。そのために動的なパワーマネージメント機構が SOC に組み込まれることになる。併せて、携帯機器では待機時の徹底したパワーマネージメントが必須になる。

(c) 電源供給系統の強化

微細化に伴い電源電圧の低下が起こり、同一の規模では消費電力の削減するが、一方で高集積化が進むので、結果的に消費電流では増加傾向になる。そのために電源供給系統で流れ込む電流量は増加するため、電源供給配線の抵抗値が性能に大きく影響してくる。このため、配線には低抵抗配線材料が不可欠になり、これによって性能が決まる時代を迎える。

3) 回路技術の進化

(a) 閾値制御技術

基板にバイアス電位をかけることでトランジスタの閾値電圧を制御する VTCMOS 技術がある。この技術を低消費電力化に向けて SOC の中に組み込む取り組みが加速する。

一方、複数の閾値電圧を持つトランジスタを組み合わせる MTCMOS 技術で消費電力を削減する方法もある。このような閾値制御技術を用いて動作時の消費電力、並びに待機時消費電力の削減のために SOC 中に取り込まれていくことになる。

尚、閾値制御技術の SOI プロセスなどへの適用が課題である。

(b) クロック供給技術

クロック系が消費する電力は動作周波数が高くなればなるほど SOC 全体の中で占める割合が顕著になり、クロック系の電力削減の取り組みが不可欠である。クロック系の電力を削減する方法としてゲートドクロックがあり、今後 SOC の設計に積極的に採用される。

また、クロック系の消費電力削減の有効な方法は論理振幅を下げることであるが、小振幅クロックでの回路構成とアナログ的な動作による直流パスが発生するため、トレードオフが必要である。

(c) 電源電圧最適化

SOC では色々な IP を搭載することになり、動作周波数に応じた最適な電源電圧を供給することで消費電力削減が可能になる。SOC に搭載する回路ブロックに応じて供給する電源電圧を最適化する取り組みを行うことになる。

(d) 非同期設計技術

従来のクロック同期設計技術に対して非同期設計の取り組みが試みられている。

チップ全体を同一クロックで制御することが高集積化・微細化により困難になってきており、非同期設計への取り組みの必要性が検討されている。大域的な通信の非同期化等、クロック同期設計の置き換えが可能かどうかを見極める必要がある。

4) その他の技術

(a) 消費電力見積り・解析技術

微細化・高集積化により EDA ツール等による検証技術の高度化が必要である。特に設計段階で消費電力を高精度に見積もり技術の確立が不可欠である。消費電力見積り・解析技術の確立が必要であり、設計のあらゆる段階で消費電力が現状の設計でいくらの値であるかを精度良くシミュレーションできる技術の導入が必要である。

(b) パッケージ技術

SOC の接合温度を一定以下に保つためにパッケージの熱抵抗を SOC の消費電力に応じて下げる取り組みが必要である。パッケージの熱抵抗の動向で SOC の最大消費電力が決まってくることになる。

(c) 冷却技術

パッケージの熱抵抗は SOC を冷却する技術に大きく左右されることになる。そこで、低価格の冷却技術の開発が必要になる。

(3) IPベースSOC 設計におけるターニングポイントと新パラダイムの構築

1) 予測されるターニングポイント

SOC 技術発展は明らかにその応用、市場の拡大が鍵である。当然、その市場発展はそれを実現させる技術やコストとの相乗効果に係わる。製造コストと SOC 開発コストの割合で適応可能な市場が決まるだろうし、SOC 開発の工数は「IP 有りき」を前提に論議される。従って工期は IP ベース SOC

SOC 設計で、総コストはIPの分割コストと SOC 設計そのもののコストで構成される。SOC 設計におけるターニングポイントはIPベース設計の複雑性、工数の増加、これに伴う工期、コストの増加に関連する量、質的变化と定義できる。具体的には以下の通りである。

- (a) 有効IPのラインアップ、IPの内容変化
- (b) IPベース SOC 設計の工期、工数、コスト変化
- (c) これらを革命的に改善するパラダイム・シフト

2) IPベースSOC 設計に係わる新パラダイムの構築

IPベースのSOC 設計は市場構築にも、それを実現する手段としても不可欠である。しかし、これが従来技術の延長上にあるのでは予想される爆発的な集積度の増加に伴う設計工数、コスト、工期の変化に対応できない。そこで、以下の項目で革命的な変化、パラダイム・シフトが必要である。

- (a) IPベースの設計手法、EDAフロー、プラットフォームの確立
- (b) IP再利用技術、標準化
- (c) IP流通の機構構築

これらの概要を以下に記す。

(a) IPベースのSOC 設計手法、EDAフロー、プラットフォームの確立

ASIC手法は自動化設計、検証、または複雑な機能、微妙な設計をコア化することでLSI設計の専門家だけでなく、多くの設計リソースを動員してきた。またサイン・オフ等の責任範囲のルール化によってビジネスとして確立してきた。これらは当然、EDAの発展、特に高性能のEWSの出現、CADツールの貢献による所が大きい。コアが発展して量、質的な変化をもたらしても、これに呼応する革命的なEDAツールとハードウェアのプラットフォームにバックアップされた設計手法が重要である。

(b) IP再利用技術、標準化

IPの再利用促進には再構築可能、プロセス非依存性のような柔軟性と硬いコアをブラック・ボックスつまりハードIPとして活用し得る相矛盾する二面性の改善が必要である。

SOC 設計者はIPを完全なブラック・ボックスとして扱わなければSOC 設計の生産性を上げられない。

むしろ他人のやった設計を解析しなくてはならないのでは最初から自分でやった方が効率的である。

IPをブラック・ボックスで扱うには機能やインターフェースの標準化だけでなくデータベース形式の標準化が必要である。理想はプラグ・イン・プレーである。

(c) IP流通の機構構築

IP再利用の最後の障害が法的、或いは情報である。まずどんなIPが利用可能か、利用可能IPによる性能、面積、消費電力等のトレ・ド・オフが行える環境が構築されなければならない。最後にIPの権利保護はIP開発の大いなる原動力であるが、一方、ライセンス等の複雑な法的手続きをもたらす。IP再利用にはこれらに伴う手続きの簡素化も重要なファクタになる。

2 - 13 - 5 まとめ

設計タスクフォースの 1 年間の活動とその成果について総括した。ロードマップに関して設計の立場からどのように半導体技術を捉え、どう予測していけばよいのかの議論が出発点であると同時に、現在においても尽きせぬ課題でもある。「設計」ということを前面に押し出すと、従来の半導体ロードマップの考え方や示し方に多くの課題解決と工夫が必要であり、これまでの議論の結果は最適解に至る一里塚に過ぎない。例えば設計上のターニングポイントの議論では、結論として期待すべきは自明な項目に着目した数値の経時変化でなく、課題を解決できる新項目の内容自体である。これらの項目の時系列的な羅列が将来の SOC 設計の歩むべき方向を明示しうるとすれば、それが SOC 技術ロードマップの 1 つの示し方であることは疑いない。道は険しくゴールは遠いが、ともかくも第 1 歩を踏み出した想いである。今後の活動に向けて更なる前進を期したい。