

第 1 章 IRC (国際ロードマップ委員会)国際活動と STRJ 国内活動

1-1 IRC(国際ロードマップ委員会)国際活動

1-1-1 はじめに

ITRS (International Technology Roadmap for Semiconductors, 国際半導体技術ロードマップ)は、欧州、日本、韓国、台湾、米国の世界5極の専門家が半導体技術のロードマップをまとめたものである。日本では、社団法人 電子情報技術産業協会(JEITA)に半導体技術ロードマップ専門委員会(STRJ)が設置されており、この場で議論と検討結果は ITRS の編集に反映されている。半導体技術の急速の進歩に対応するため、ITRS は2年に1度のペースで全面改訂版(Edition)を公表し、2005年版はこれにあたる。その中間年で、改訂版(改訂部分のみをまとめた資料)を公表することになっている。2005年の12月12日と12月13日の2日間にわたりITRSのソウル会議と ITRS Conference 開催され、内容を確定するとともに、概要を記者会見で発表した。ITRS 2005の全文はウェブ上で公開されているので、下記の ITRS または STRJ のウェブサイトを参照願いたい。

ITRS ウェブサイト: <http://public.itrs.net/>、 STRJ ウェブサイト: <http://strj-jeita.elisasp.net/strj/>

1-1-2 微細化トレンド

ITRS の以前の版では、DRAM の最下層金属配線のハーフピッチ(ピッチの半分)をその時点での技術を代表するものとして、テクノロジーノードという表現を使ってきた。ITRS 2005 年版では、この表現を使わないこととし、DRAM、NAND 型フラッシュメモリ、MPU/ASIC などのロジック製品群に使われるハーフピッチを、それぞれ、明示することとした。2005 年以降、NAND 型フラッシュメモリの poly-Si のハーフピッチが DRAM のハーフピッチより小さくなり、一律に何 nm ノードというのが適切でない判断したためである。

生産開始年	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM Metal 1 ハーフピッチ (nm)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 ハーフピッチ (nm)	90	78	68	59	52	45	40	36	32
Flash メモリ poly-Si ハーフピッチ (nm)	78	64	57	51	45	40	36	32	28
MPU リソグラフィ後のゲート長 (nm)	54	48	42	38	34	30	27	24	21
MPU 物理的ゲート長 (nm)	32	28	25	23	20	18	16	14	13

生産開始年	2014	2015	2016	2017	2018	2019	2020
DRAM Metal 1 ハーフピッチ (nm)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 ハーフピッチ (nm)	28	25	22	20	18	16	14
Flash メモリ poly-Si ハーフピッチ (nm)	25	23	20	18	16	14	13
MPU リソグラフィ後のゲート長 (nm)	19	17	15	13	12	11	9
MPU 物理的ゲート長 (nm)	11	10	9	8	7	6	6

図表 1-1 ITRS 2005 年版にみる微細化トレンド (ITRS 2005 の Table B を引用)

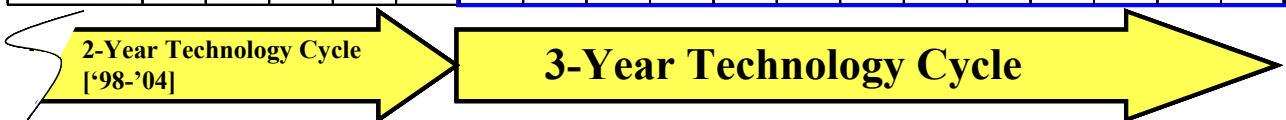
図表1-1 と図表1-2 に示すように、DRAM のハーフピッチは 2004 年の 90nm を基点として 3 年ごとに 0.7 倍のペースで微細化が進むとしている。NAND 型フラッシュメモリの微細化については、2004 年の 90nm を基点として、2006 年までは、2年で 0.7 倍のペースで、2006 年以後は 3 年で 0.7 倍のペースで縮小していくものとしている。

MPU/ASIC などのロジック集積回路のテクノロジーノード呼称については、各社のプレスリリースや学会発表で使われているもの(仮に、「ロジックノード」と呼ぶことにする)がいまままでの ITRS の定義と異なっていたが、両者とも「ノード」という表現を使っていたため、混乱を与えていた。「ロジックノード」の 65nm、45nm、32nm は、ITRS 2005 の表では、概ね、2005 年、2007 年、2009 年に相当する。ITRS 2005 では「テクノロジーノード」という言葉を使わないことにしたため、「ロジックノード」との混同が軽減されることを期待している。

図表1-2 の「テクノロジーサイクル」はデザインルールが 0.7 倍になるまでにかかる期間として定義されている。新世代の製品が何年ごとに発売されるかを示しているわけではない。

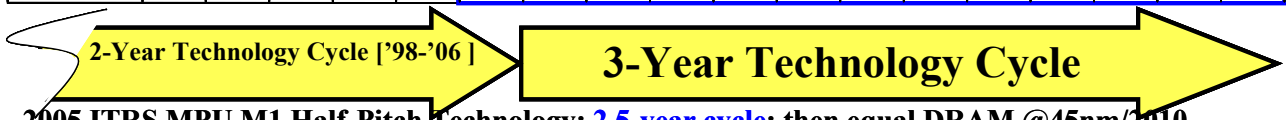
2005 ('05-'20) ITRS Technology Trends DRAM M1 Half-Pitch : **3-year cycle**

Year of Production	2000 <i>[Actual]</i>	2001	2002 <i>[Actual]</i>	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020
Technology - Contacted M1 H-P (nm)	180	151	130	107	90	80	71	65	57	50	45	32	22	22	22	16	16	14



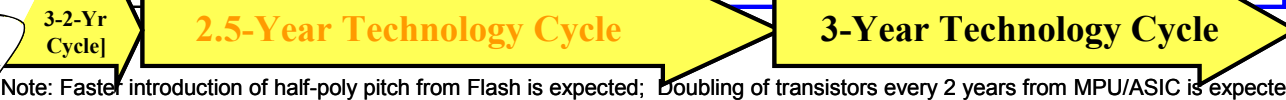
2005 ITRS Flash Poly Half-Pitch Technology: **2.0-year cycle** until 1yr ahead of DRAM @65nm/'06

Year of Production	2000 <i>[Actual]</i>	2001	2002 <i>[Actual]</i>	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020
Technology - Uncontacted Poly H-P (nm)	180	151	130	107	90	76	65	57	50	45	32	32	22	22	16	16	13	13



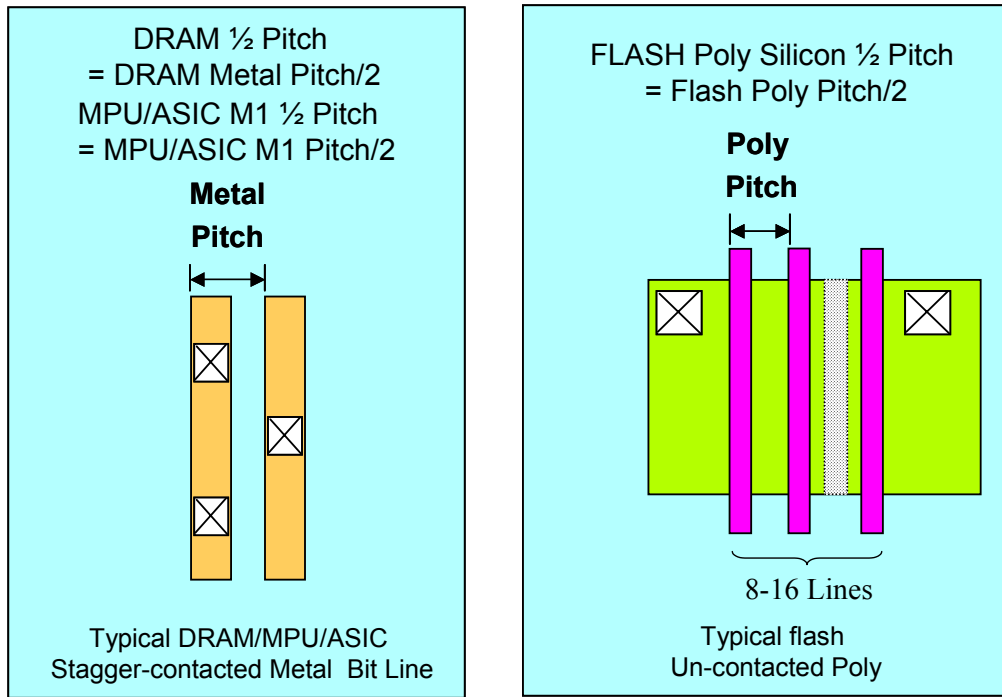
2005 ITRS MPU M1 Half-Pitch Technology: **2.5-year cycle**; then equal DRAM @45nm/2010

Year of Production	2000	2001	2002 <i>[July '02]</i>	2003	2004	2005	2006	2007 <i>[July '08]</i>	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020
Technology - Contacted M1 H-P (nm)	180	157	136 <i>[130]</i>	119	103	90	78	68 <i>[65]</i>	59	52	45	32	32	22	22	16	16	14



Note: Faster introduction of half-poly pitch from Flash is expected; Doubling of transistors every 2 years from MPU/ASIC is expected

図表1-2 ITRS 2005 による微細化トレンド

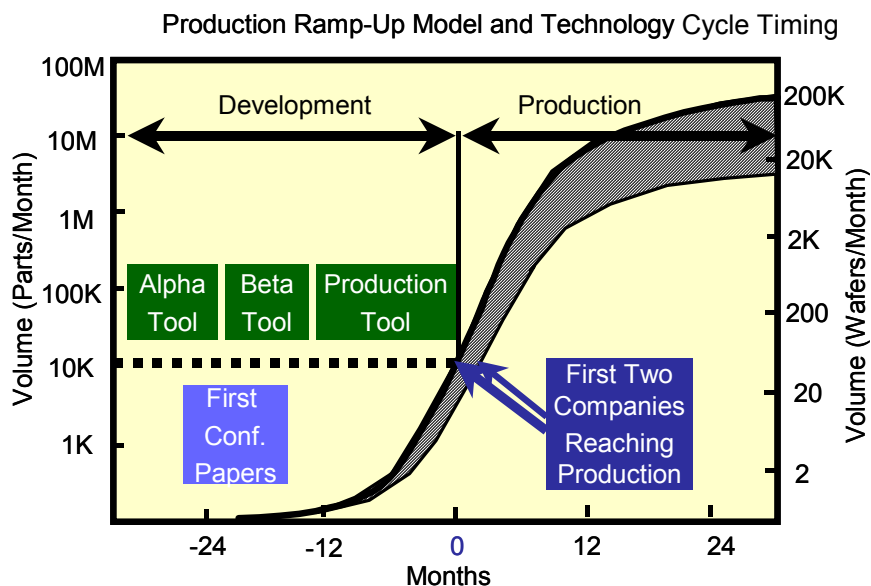


図表 1-3 ハーフピッチの定義

ハーフピッチは図表 1-3 のように定義されている。以前の定義では、DRAMとMPU/ASICのハーフピッチの定義が異なっていたが、今回の版では、両者で同様の定義を使うこととした。NAND 型フラッシュメモリにおいては、セルアレイ内での poly-Si のワード線のハーフピッチが重要であり、これをハーフピッチの定義とした。

図表 1-4 に示すように、先行 2 社の生産数量が月産 1 万個を超えた年として、生産開始年を定義している。これは従来の定義と同じである。

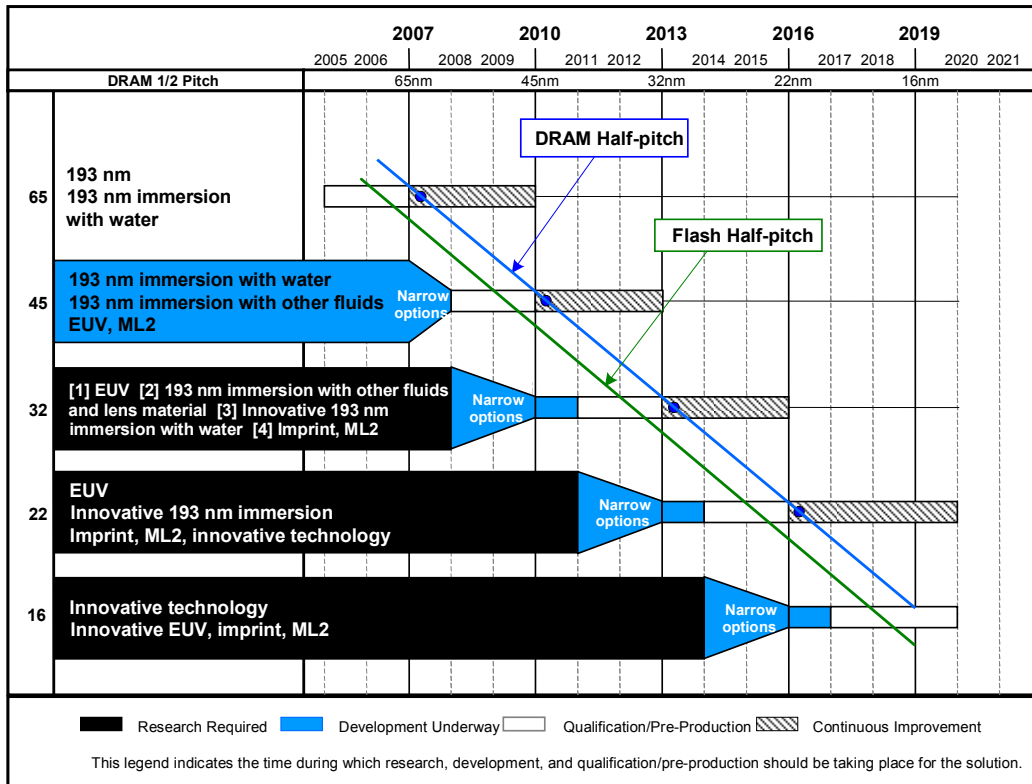
ITRS の各種の表は生産開始年ベースで作成している。新世代の半導体集積回路開発のためには、生産開始年以前に、試作のための製造装置が必要となる。また、量産開始年の 2 年程度前から、新世代の半導体集積回路の試作結果が学会などで発表されはじめるが、これは ITRS の表と矛盾するものではない。これも従来の定義と同じである。



図表 1-4 生産開始年の定義

1-1-3 リソグラフィ

193nm 波長 (ArF エキシマレーザーの波長) のドライまたは液浸リソグラフィ技術がハーフピッチ 65nm、45nm のパターン形成に使われ、32nm、22nm でも使用される可能性がある。157nm 波長 (F2 エキシマレーザーの波長) のリソグラフィ技術、EPL、PEL の各技術は候補技術から外れた。EUV リソグラフィはハーフピッチが 45nm 以下の世代の技術候補となっている。その他に、インプリント技術、マスクレスリソグラフィ (ML2) が技術候補に上がっている。(図表 1-5 参照)

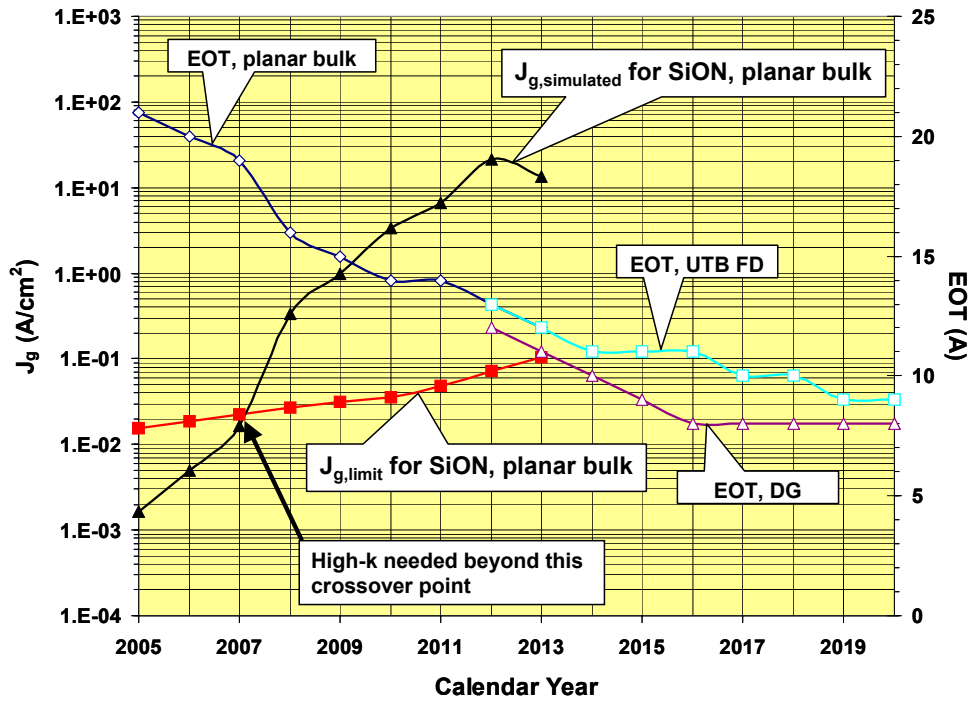


図表 1-5 リソグラフィ技術の候補

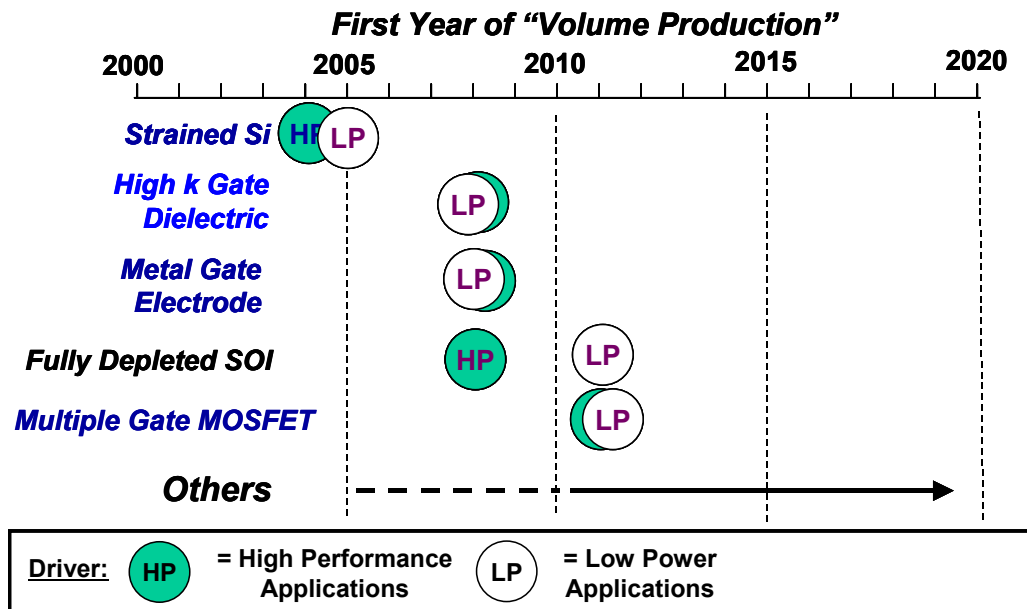
1-1-4 フロントエンドプロセスと PIDS

2004 年 Update(改訂版)では 450mm ウェーハの導入は 2011-2015 年となっていたが、ITRS 2005 では、導入時期を 2012 年とした。これを実現するためには、ウェーハの規格、装置仕様などについて議論を始める必要がある。ITRS としても大口径ウェーハについての付帯文書 ("Position Paper for 450mm Development") が ITRS 本文とは別にウェブ上で公表された。

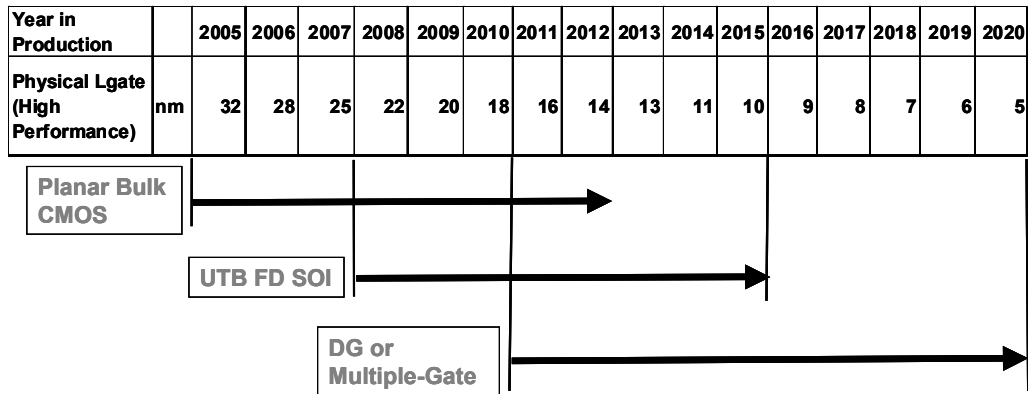
High k ゲート絶縁膜の導入時期を、従来の版では、2007 年以降としていたが、今回の版では、図表 1-6 に示すように、1年遅れの 2008 年以降とした。このため、High-k ゲート絶縁膜とメタルゲート電極技術を 2008 年に同時に導入するというシナリオになり、この年に重要な新技術導入が重なる(図表 1-7を参照)。MOSトランジスタに関しては、2008 年以降、複数の構造が併存する可能性が高く、各社の判断によって使い分けがなされると想定している。この状況をパラレルパスという言葉で表現している(図表 1-8を参照)。



図表 1-6 ゲート絶縁膜のリーク電流とEOT(実効酸化膜厚)の推移。2008年以降、SiONでのリーク電流が大きくなり、High-k ゲート絶縁膜が導入される。



図表 1-7 MOSTランジスタの新規技術の導入時期



Multiple parallel paths reflects most likely scenario:

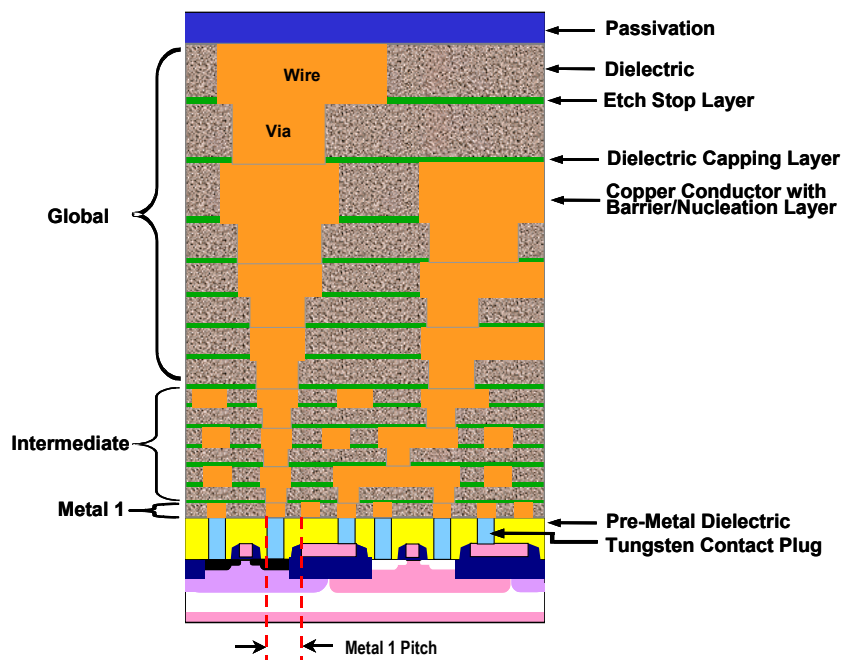
- Some companies will extend planar bulk CMOS as long as possible
- Others will switch to FDSOI and/or multiple gate earlier
- Ultimate MOSFET is multiple gate
- Similar multiple paths for low-power logic

図表 1-8 高性能 (High Performance) MOSFET のロードマップにおけるパラレルパス(parallel paths)。2008 年以降、平面のバルク CMOS トランジスタ、FD-SOI のトランジスタ、マルチゲートのトランジスタなどが使われるが、用途により、また、各社の戦略により、複数のトランジスタ構造が利用される。

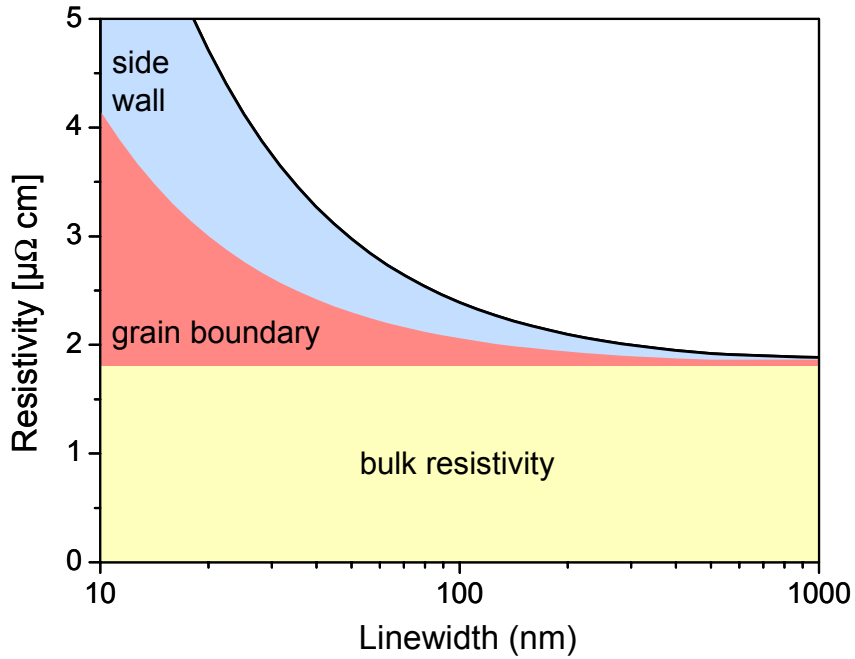
1-1-5 配線技術

ロジック集積回路においては、銅(Cu)配線の層間絶縁膜の実効比誘電率 k_{eff} を下げることが配線遅延を小さくするために重要である。2005 年版では Low-k 技術への要求と 比誘電率 k の値 (材料自体の比誘電率 k 、実効値 k_{eff} とも) を全体的に少し前倒した。

また、MPU/ASIC で使われる配線のハーフピッチを前述の図表 1-3 のように定義しなおして、実際のチップ内でよく使われるパターンを参照するようにしている。図表 1-9 には典型的な MPU の配線構造の断面図を示した。Cu 配線寸法の微細化とともに、配線側壁と結晶粒界での電子散乱による抵抗上昇が顕著になってくる。この現象のモデルを記述した。(図表 1-10 参照)



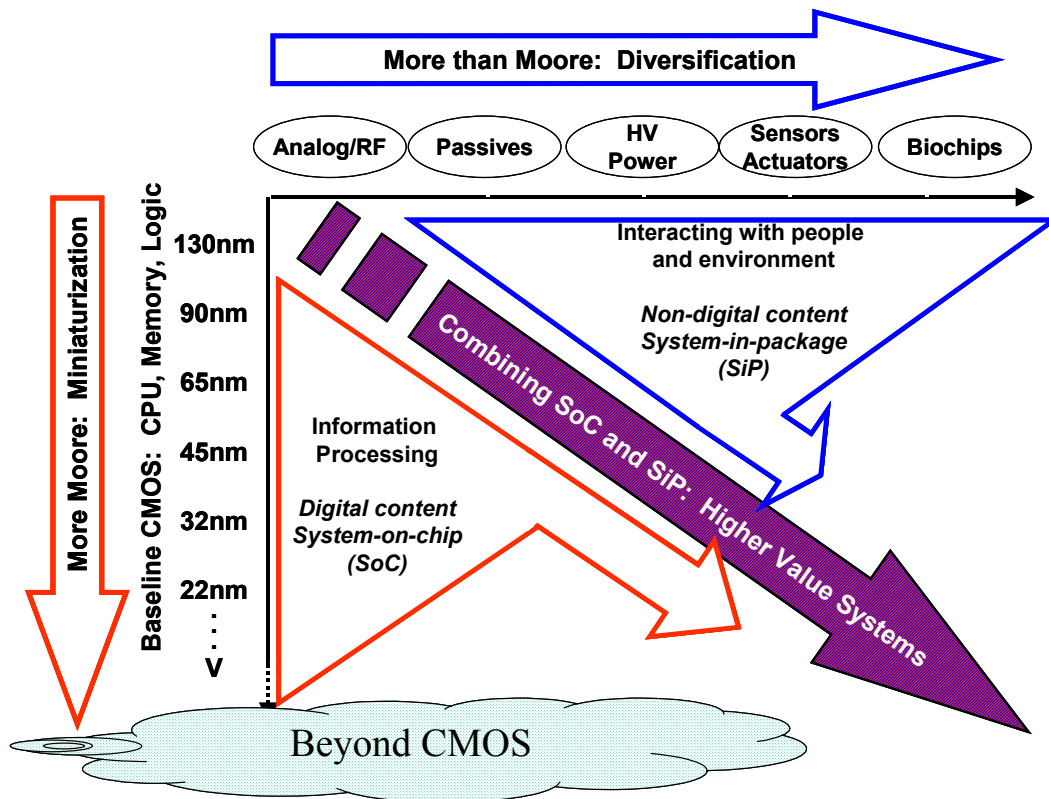
図表 1-9 多層配線の断面構造と M1 配線層の定義



図表 1-10 Cu 配線幅の縮小にともなう、実効的な配線抵抗の上昇

1-1-6 More Moore と More than Moore

ITRS では将来 15 年にわたるロードマップを編集している。15 年後の 2020 年ごろは CMOS の微細化限界に近づくと考えられており、微細化の推進 (More Moore) の先には、CMOS を越える技術 (Beyond CMOS) が必要で、このため、新探究デバイス (Emerging Research Devices) が独立した章となった。また、同時に多様化 (More than Moore) の視点も重要となる。(図表 1-11 参照)



図表 1-11 More Moore(微細化)と More than Moore(多様化)の両方が重要。2020 年以降、CMOS に微細化限界を越える素子が使われる可能性が高い (Beyond CMOS)。

1-1-7 まとめ

ITRS 2005 版は、全体で 800 ページを越えるものとなり、本稿では、そのごく一部しか紹介できない。詳細については、前述のウェブサイトを参照されたい。本稿が ITRS を読まれる際の参考になれば幸いである。今後とも、ITRS と STRJ の活動にご理解とご支援を頂きますよう、お願い申し上げます。

1-2 STRJ 国内活動 (STRJ ワークショップ報告)

1-2-1 概要

2005 年度の国内ロードマップ活動の期末報告として、STRJ 会員企業 11 社、コンソーシアム、大学関係者他を対象に、2006 年 3 月 9 日～10 日の 2 日間にわたり、フロラシオン青山にて STRJ ワークショップを開催した。第 1 日の 3 時までと第 2 日の全日は、「半導体技術ロードマップ専門委員会の部」として ITRS 2005 年版(全面改訂)の紹介と STRJ 国内活動の成果を報告した。第 1 日の 3 時から「半導体産業・技術開発の経済性検討小委員会の部」として、半導体生産技術委員会で検討された次世代大口径ウェーハへの取り組みについての検討結果を報告した(半導体生産技術委員会との共催)。図表 1-11, 1-12 にワークショップのプログラムを示す。当日の参加者数は、3/9 が 209 名、3/10 が 202 名で、延べ人数 411 名と盛況であった。

3/9(木)、9:30 - 15:00 「半導体技術ロードマップ専門委員会」第一部 『ITRS 2005 に見る今後の LSI 技術の方向性』

9:30 - 9:35	開会の辞	石内 秀美 (STRJ 委員長: 東芝)
9:35 - 9:40	来賓ご挨拶	土本 一郎 氏 (経済産業省 商務情報政策局 参事官)
9:40 - 10:10	International Roadmap Committee (IRC): 「ITRS 2005 の概要」	石内 秀美 (STRJ 委員長: 東芝)
10:10 - 10:40	設計タスクフォース: 「低電力 SoC のロードマップ —DFM の検討とバラツキが低電力 SoC の性能に及ぼす影響評価—」	浅田 善己 (設計 TF サブリーダー: 富士通)
10:40 - 11:10	設計 WG: 「設計技術ロードマップ —SoC 設計技術ロードマップの見直し—」	柏木 治久 (WG1 リーダ: NEC エレクトロニクス)
11:10 - 11:40	テスト WG: 「DFT と ATE との更なる融合 —テストコスト削減のためのチップ設計からテストングまで—」	西村 安正 (WG2 リーダ: ルネサステクノロジ)
<昼食> (11:40-13:00)		
13:00 - 13:40	特別講演: 「医療用マイクロデバイスの基礎技術と細胞計測デバイス」	小寺 秀俊 氏 (京都大学)
13:40 - 14:20	特別講演: 「ばらつきを克服する設計技術」	小野寺 秀俊 氏 (京都大学)
14:20 - 15:00	特別講演: 「微細 MOSFET 真性ばらつき問題への TCAD からの取り組み」	羽根 正巳 氏 (NEC)
<休憩> (15:00-15:20)		

図表 1-12a 3/9 の STRJ ワークショップ・プログラム (1/2)

<休憩> (15:00 -15:20)

15:20 - 17:20 「半導体産業・技術開発の経済性検討小委員会」の部
(共催) 半導体生産技術委員会、司会: 石内 秀美 (STRJ 委員長: 東芝)

- 15:20 - 16:00 「450mm工場移行の経済性 —迫りくる工場高価格化の脅威—」
長田 俊彦 (STRJ 副委員長: 富士通)
- 16:00 - 16:30 「300mm プライム・プロジェクト —第2世代 300mm 工場の動向—」
本間 三智夫 (WG8 リーダ: NEC エレクトロニクス)
- 16:30 - 17:20 「450mm Position Paper 2005 —450mm ウェーハ白書 2005 年版—」
渡辺 正晴 (WG3 特別委員: ニューフレアテクノロジー)

図表 1-12b 3/9 の STRJ ワークショップ・プログラム (2/2)

3/10(金) 9:30 - 17:00 「半導体技術ロードマップ専門委員会」第二部
『ITRS 2005 に見る今後の LSI 技術の方向性』

- 9:30 - 10:00 Process-Integration and Device Structures (PIDS) WG: 「2005 年版ロードマップの背景と内容 —パラレルパスへ—」 杉井 寿博 (WG6 リーダ: 富士通)
- 10:00 - 10:30 リソグラフィ WG: 「45nm-hp 以降のリソグラフィ技術 —ArF 液浸はどこまで使えるか?—」
羽入 勇 (WG5 リーダ: 富士通)
- 10:30 - 11:00 Front-End Processes (FEP) WG: 「新材料導入ロードマップ —High-k & メタルゲート同時導入に向けて—」 窪田 通孝 (WG3 リーダ: ソニー)、奈良 安雄 (WG3 委員: Selete)
- 11:00 - 11:40 配線 WG: 「”More Moore” —Cu/Low-k 微細化への道を切り拓く!!—」
中村 友二 (WG4 リーダ: 富士通研)

<昼食> (11:40-13:00)

- 13:00 - 13:30 Emerging Research Devices (ERD) WG: 「新探究デバイス・材料 —2020 年に向けて情報処理デバイスを考える—」 平本 俊郎 (WG6 特別委員: 東京大学)
- 13:30 - 14:10 実装 WG: 「Jisso 技術ロードマップ —多様化する機器セット Jisso の将来動向を探る—」
高橋 邦明 (WG7 委員: 東芝)
- 14:10 - 14:40 ファクトリインテグレーション WG: 「能動的工場の可視化とリソースの有効利用 —次世代 300mm ラインに向けて—」 本間 三智夫 (WG8 リーダ: NEC エレクトロニクス)
- 14:40 - 15:10 ES&H WG: 「半導体製造時の環境負荷の算定 —半導体製品パッケージの足型や足数に基づく推計—」 後藤 昭夫 氏 (半導体環境安全委員会 LCA-WG 副主査: シャープ)

<休憩> (15:10-15:30)

図表 1-13a 3/10 の STRJ ワークショップ・プログラム (1/2)

<休憩> (15:10-15:30)

15:30 - 16:00 モデリング/シミュレーション WG: 「モデリングから見た微細 MOS の構造バラツキ/感度とその分析 —素子構造は一意的に決め難く、感度は構造に依存—」

和田 哲典 (WG10 リーダ: Selete)

16:00 - 16:30 メトロロジ/歩留向上 WG: 「計測/検査技術の新しい潮流 —新たなる技術要求と解決策—」

池野 昌彦 (WG11 リーダ: 日立ハイテクノロジーズ)

河村 栄一 (WG11 サブリーダー: 富士通)

16:30 - 16:50 故障解析技術タスクフォース: 「故障解析技術 TF —ロードマップと標準化—」

益子 洋治 (TF サブリーダー: 大分大学教授)、寺田 浩敏 (TF 特別委員: 浜松ホトニクス)

16:50 - 17:00 総括

開 俊一 (STRJ 諮問委員会 委員長)

図表 1-13b 3/10 の STRJ ワークショップ・プログラム (2/2)

1-2-2 アンケート集計結果

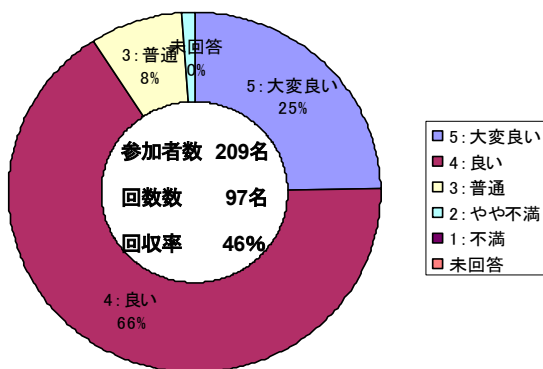
ワークショップでは、日頃の STRJ 活動に対する参加者の皆様のご意見を収集すべくアンケート調査を行った。回収率は初日が 46%、2 日目が 48%であった。以下に集計結果を述べる。

(1) ワークショップの全体的評価

「半導体技術ロードマップ専門委員会の部」については図表 1-14 に示すように、全体的評価として「大変良い」と「良い」の合計は初日が 90.7%、2 日目が 87.5%であり、好評という結果であった。「半導体産業・技術開発の経済性検討小委員会の部」については、今回は次世代大口径ウェーハ関係の検討結果が報告されたが、図表 1-15 に示すように「大変良い」と「良い」の合計は 63.97%であり、概ね好評であった。

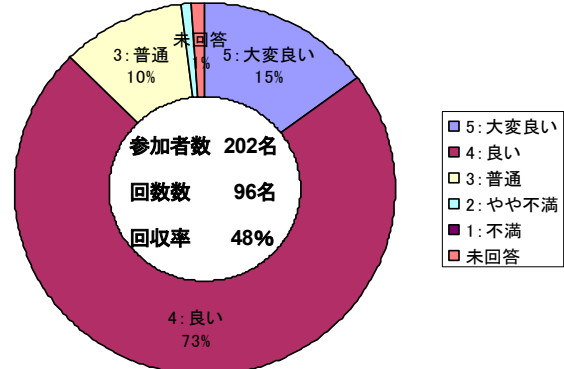
0309「半導体技術ロードマップ専門委員会」

第1部についての評価

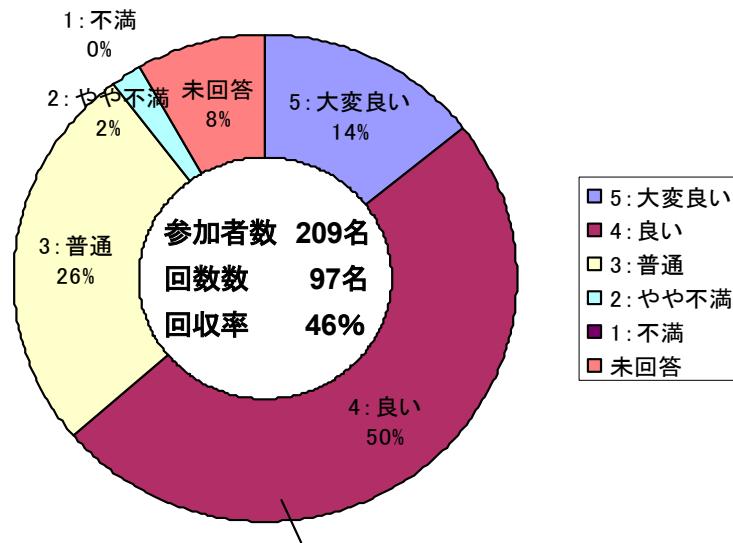


0310「半導体技術ロードマップ専門委員会」

第2部についての評価



図表 1-14 「半導体技術ロードマップ専門委員会の部」の全体的評価



図表 1-15 「半導体産業・技術開発の経済性検討小委員会の部」の全体的評価

(2) 評価の高かった講演

半導体技術ロードマップ専門委員会の部では、昨年と同様に各ワーキンググループの活動報告に加えて技術分野ごとに特別講演を入れたことが好評であった。アンケートで好評だった講演のトップ 8 は以下の通りであった。

- 1) 配線 WG: 「”More Moore” —Cu/Low-k 微細化への道を切り拓く!!—
中村 友二 (WG4 リーダ: 富士通研)
- 2) リソグラフィ WG: 「45nm-hp 以降のリソグラフィ技術 —ArF 液浸はどこまで使えるか?—
羽入 勇 (WG5 リーダ: 富士通)
- 3) 特別講演: 「微細 MOSFET 真性ばらつき問題への TCAD からの取り組み」
羽根 正巳 氏 (NEC)
- 4) International Roadmap Committee (IRC): 「ITRS 2005 の概要」
石内 秀美 (STRJ 委員長: 東芝)
- 5) PIDS WG: 「2005 年版ロードマップの背景と内容 —パラレルバスへ—
杉井 寿博 (WG6 リーダ: 富士通)
- 6) ERD WG: 「新探究デバイス・材料 —2020 年に向けて情報処理デバイスを考える—
平本 俊郎 (WG6 特別委員: 東京大学)
- 7) FEP WG: 「新材料導入ロードマップ —Hign-k & メタルゲート同時導入に向けて—
窪田 通孝 (WG3 リーダ: ソニー)、奈良 安雄 (WG3 委員: Selete)
- 8) 特別講演: 「医療用マイクロデバイスの基礎技術と細胞計測デバイス」
小寺 秀俊 氏 (京都大学)

(3) アンケートで寄せられた意見

3/9-10 のワークショップでは、以下に記すようにたくさんのご意見が寄せられた。今後の活動を進める上で貴重なご意見であり、今後の参考とさせていただきます。アンケートにご協力いただいた方々に感謝を申し上げます。

設問 3 (3/9)：半導体技術ロードマップ活動についてのご意見をお聴かせ下さい。

[肯定的]

- * 業界協力して発展する為に必須。
- * 今後も継続して欲しい。
- * 全て興味深く拝聴いたしました。
- * 大変な仕事だと思います。仕事の傍らにやられているみなさんに敬意を表します。

[否定的]

- * 経済性検討委員会の活動も含めて、結局は意識するしないにかかわらず、Intel のためにせつせと情報提供しているような気がしてならない。もっと日本のため、自社のためという意識をもって活動すべきである。結局は Intel、Samsung のための活動でしかない。日本はすでに SoC の国になっただけだから。

[意見・要望]

- * 設計とプロセス/デバイスの関係を明確にする努力が必要。
- * 異なる WG で同じテーマ(例えば DFM)を違った切り口から扱う必要性が高まっていると感じた。これらのテーマをうまく扱う枠組を考えて欲しい。
- * 私自身は日本側の意見が ITRS へうまく反映されている実感があるが、一部の人は相変わらずインテルにおどらされていると考えており残念なことである。このワークショップのプレゼンの中でもっとアピールした方がよいと思う。
- * インテルに引っぱられることなく、日本の戦略を反映できるように頑張ってください。
- * アプリ側の特別講演を今後も期待します。

設問 4 (3/9)：本日のワークショップ運営全体について、ご意見をお聴かせ下さい。

[肯定的]

- * 大変ケアの良く行きとどいた運営だと思います。ありがとうございます。
- * 業界情報が良く判り非常に参考になった。特に 450 mm 関連。
- * 運営委員及び事務局の方々の準備ごころう様です。
- * 大変参考になりました。
- * 特別講演の講師が充実していた(バラツキ問題)。
- * 時間及び時間帯は調度良い。現実的な話で良い構成だと思う。

[要望]

- * スクリーンの上端が天井の飾り物で一部かくれていて見えなかったのでも正してほしい。
- * 略語が多過ぎる。それは仕方ないかも知れないが、必ずその正式名称を付記すべきである。最も良いのは、テキストの最後のページに「略語説明一覧」を設けると良い。
- * 講演の時間不足、プログラム構成に一工夫をお願いしたい。資料に略語が多い。用語集が必要ではないか。
- * Q&A がもう少し欲しい。
- * 討論ができるとよい。
- * 昼休みが長すぎる(45 分でよい)

[感想・意見]

- * WG 報告は一般論すぎたのでは。
- * 会場からの意見が少ないように思えた。発表時間、質問時間を考慮した時間配分が必要では？
- * Q&A が Poor。
- * 「DFFA (Design For Failure Analysis)」もあっても良い。各 WG を縦糸とすると DFFA は横糸の機能を有する。
- * 専門が増えるような工夫があれば更に良くなるのではないのでしょうか。
- * 特別講演がもう少し長時間でも良かった(時間が短い)。内容が良かった。
- * 内容の詰った WS であった。質問が少ないのはなぜだろう？
- * 良かったと思う。質問が低調なのが気になる。

設問 3 (3/10)：半導体技術ロードマップ活動についてのご意見をお聴かせ下さい。**[肯定的]**

- * リソ WG の報告は非常にわかりやすい。羽入主査にはずっと続けていただきたい。
- * 配線課題検討を興味深く聞いた。今後も進めて欲しい。
- * 実体に合った項目に分類が進み、以前に比べると実用性の高いものになった。
- * 全体的に技術を把握するのに良い。引き続き活動の継続をお願いします。
- * 皆さん精力的にやられていて、大変感動いたしました。大変役に立ちました。
- * 大変よかったです。
- * 最先端の技術紹介が有り、大変有意義であった。
- * 今まで微細化 (More Moore) を中心とした RM でしたが、More than Moore に対する RM にも今後期待したいと思います。

[意見・要望]

- * 外国との差別化を考えてほしい。
- * 増々内容に充実感が増し、WG 各位のご努力に敬意を表したい。議論の外かも知れないが、ITRS に対する Japan の独自性や今後の復活に向けたシナリオの芽についてもすこし触れてほしい。やはり技術と経済性の関係についても議論が欲しい。
- * 現状の技術から見た側面とあるべき姿から見た側面の議論をわかりやすくまとめていただけるとロードマップが理解しやすくなる。
- * 中長期的な技術開発の方向付けを議論するという点では、極めて有意義な活動と考える。ただし、これまでの結果として、過去の予測通りには進まなかったという事実もあり、ややむなしい感じもする。(リソグラフィ WG メンバーです)
- * 周辺技術 (例えば材料評価技術とか物性評価技術) で準備できていないものに対して、ロードマップとして提示する必要が出て来ているならば、そういうものの要求のロードマップも STRJ として提示してはどうか? WG はデバイス特化なのでそれ以外ということで…。(リソ、FEOL、BEOL、などの個々の装置とか材料とか)
- * テクノロジーイノベーションのリーダーシップは今後も確保すべきで、米・韓・台・中に主導権をうばわれないよう今後もしっかりした活動を継続すべきと思う。
- * 私も含めてボランティア活動としては皆さん精一杯やっておられるし、最高水準の内容であろう。今後とも益々進化・発展することを願っている。ワークショップのアンケート結果に基いて、WG の表彰制度を設けてはどうか?
- * 原則的に現状の活動、分野が細分化、レベルが深くなり、よりクロスカットの重要性を感じます。
- * Out Put の報活動をもっとやっていただいてもいいのではないかと思います。
- * もう少し日本の独自の取り組みについてアピールしてほしい。
- * 日本発、装置技術とのさらに密なる連携によるレッドブリック打破に期待する。
- * 膨大なものとなっているので、もう少ししぼりこんでも良いと感じる。
- * 生体計測分野とは今後とも連携を強めて行くべきである。
- * 実装 WG: 広範囲の分析が紹介されていたが、メッセージがわからない/見出せない。 F/I WG: 予稿集にない資料の使用は極力なくしてほしい。
- * 全体の傾向を把握するには個々のご報告の専門性が高く理解が難しい。もう少しくだいたご報告を戴きたい。(短時間での理解難)
- * 極めて重要な活動であると同時に、その活動の背後で組織の壁を越えた共同作業が進められていること自体が有益であると考え。基本的にテクノロジー、デバイス回りの技術が対象となっているが、可能であればもっと上流設計工程関連の活動が充実されてくると良いと考える。
- * ワークショップ報告で DFM についての意見がいくつか出ていたが、設計と製造の情報共有の標準化が必要。
- * 業界全体が方向性を共有化する貴重な活動として更なる充実化を図ってください。
- * 目標値の設定変更の理由が、技術的理由によるものであるのかビジネス的理由によるものであるのかを切り分けて解説して欲しかった。いくつかの変更理由は切り分けて説明されていたが、説明の少ない項目 (原因について) も多かった。
- * 製品分野によって異なるが、成熟化が進んでおり、経済性小委員会として取り組まれて入るが、技術とは別の枠組み検討が必要ではないか? 技術範囲に囚われない議論があっても良い。
- * 発展的に継続して行くべきと考える。ロードマップと Actual の比較結果を示し、レビューすることも大切。
- * 技術の方向、課題に対し将来的な経営上の課題を見極め推定してゆく事も必要ではないだろうか。先端技術の必要条件が実現可能かについて経営的に成立つかあるいは成立つ事か、技術的に必要であった場合の経営的な視点からの課題が何かを明確にし、一つの技術課題に落とし込む事も必要と思う。
- * 各 WG などの発表、報告の中で専門性の高い「言葉」(特に英文字) が専門家以外にもある程度理解できる様な配慮をして報告して欲しい。
- * LCA は今後重量度が増すと思うが、取り組みが不十分と思われる。(業界共通活動としてやる価値がある。高い)
- * ITRS の日本語版の活動はやめた方が良いと思う。世界共通でオリジナルで共有していくべき時代ではないか。大きな労力を使って解釈のバラツキを大きくしてはいけない。

設問 4 (3/10)：本日のワークショップ運営全体について、ご意見をお聴かせ下さい。**[肯定的]**

- * 大変充実していた。感謝申し上げます。
- * 自分の専門ではないが関連する分野の技術動向を把握するための良い勉強の場となっている。
- * 大きな不手際もなく良かったと思う。運営メンバーの皆さんにお礼申し上げたい。
- * good
- * 大変よい!!
- * パソコン用 LAN の用意は便利で良かった。
- * スライドが見易かったです。
- * 初めて参加しましたが、大変ためになるワークショップだと思います。我々の活動にも参考になりました (NEDO)。
- * 大変良かった。
- * 長時間の割には時間配分が良かったと思う。

[要望]

- * 会場内での PC 使用を禁止して欲しい。キー操作音がうるさい。
- * 後半のタイムキーピング調整要。
- * WG10 を実装関係より前にもって来て欲しい。
- * 資料は CD-ROM 化が良いと思います。
- * 個人では専門外の分野もあるので休憩回数を少し増やしてほしい。例えば 3 件毎とか(集中力が持続しない)
- * Post CMOS と Si Device 以外への接点ももっと充実させて RM にのせてほしい。
- * 関連のある WG の説明時間をまとめる必要あり。WG の発表の内容にまとまっているもの、そうでないものの差がある。
- * 各 WG を総括して、今回のロードマップでどこが変わったのかがまとめられた資料があれば良いと思いました。
- * プレゼンの中に略語が多く使われており、その分野の専門家以外の人にとってわかりにくくなっている。用語集があるとずいぶん改善されると考える。時間が(昨日同様)厳しい。全部話そうとするのはムリがある。
- * 会場が少し寒かったように思います。
- * 昼食時間はもう少し短く(1 時間程度)しても良いと思います。その他はとくに問題なく良かったと思います。
- * 講演資料集はカラー印刷も一部含んで欲しい(理解が容易となる)。講演資料集の CD 配布も希望。
- * 資料の CD 配布が欲しい。
- * 講演資料集について、WG が違うと英語の略式表記の意味がわからないことが多い。各発表で用語集(略語リスト)をつけて頂けると理解しやすい。

[感想・意見]

- * 初めての参加であったが、他 WG 活動内容が知れて参考になりました。1回/年では活動内容で大きな進展はないのではと思われた。
- * 現状の技術を理解するのに非常に役立つので、今後も続けていただきたい。
- * 資料集と当日の内容が同一化してきており、良い方向に進んでいると思います。会場からの質問が少なかったように思います。司会者の質問もありますが、発表内容の理解を助けるような質問を予め WG 内で用意しておくことも考えてよいのでは(もちろん会場からの発言が第一優先ですが)。故障解析技術 TF は略語をていねいに解説してあり良かったと思う。
- * 講師の方によっては発音が不明瞭、内容が聞き取りにくい。
- * 発表時間を 10 分近くオーバーする WG があった。予稿集にないスライドもありしゃべりすぎだ。
- * 本日は質問も適切な数が出て、良かったと思います。足の便が多少悪いという問題があるかもしれないが、落ち着いた場所であり、次回から変更するのは惜しい気がする。
- * Q&A が全般に Poor。