

第 4 章 WG2 テスト

4-1 はじめに

2005年度は、ITRS2005全面改訂への貢献とともに、STRJ独自のDFT(Design for Test)とATE(Automatic Test Equipment)の更なる融合によるトータルテストポテンシャルソリューション(一テストコスト削減のためのチップ設計からテストまで)の探求を目指し活動した。WG2(テスト)は昨年度と同じくDFT-SWGとATE-SWGの2つのサブワーキンググループによってテストのロードマップを検討した。ITRS2005全面改訂に関しては、ITRS2003年版で日本から貢献したSoC(System-on-a-Chip)テスト技術課題見直しと、WLBI(Wafer Level Burn-In)ロードマップの新規掲載に貢献した。また、トータルテストポテンシャルソリューションに関しては、テストコストを削減するためのSiP(System-in-Package)テストの技術課題についてその技術課題の共有化を図った。以下に、ITRS2005概要とDFT-SWGとATE-SWGの独自の活動内容を報告する。

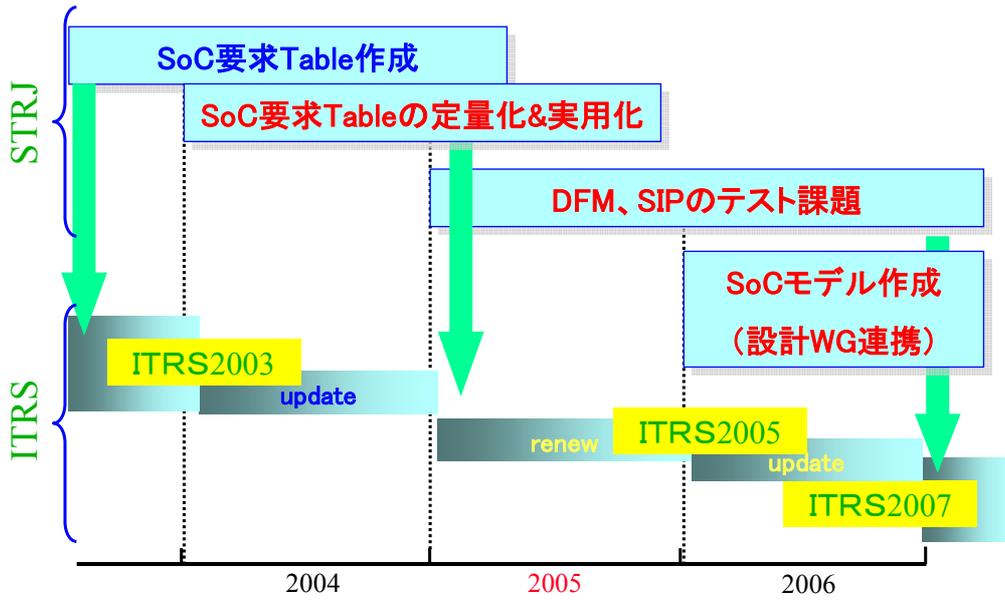
4-2 ITRS2005 概要

STRJを含めた、ITRS 参加メンバによる 2005 年版テスト関連ロードマップ(Test and Test Equipment TWG)は予定通りの日程で完了した。4月の欧州会議で骨子を固め、7月の米国会議までに各章担当が電話・メールベースでやり取りを行い、この会議ではほぼ全容をまとめた。その後、9月のフリーズまでに部分修正を行い、最終結果が12月の韓国会議で確認された。主な改訂は信頼性スクリーニングの内容更新、ロジックのATE/製品テーブル統合、テストソケットとテストボードの新規追加、RFのアナログ/MSからの独立、テストコストドライバーの拡充などである。STRJからは、4-2-1章に記載したSoCモデルの策定と、これを用いたSoCテストテーブルの定量化(DFT)、及び、4-4-2章に記載したWLBIの寄稿(ATE)などの貢献を行った。これまで、米・欧が主導し、それに日本が協働するという形であったが、7月の米国会議から韓国勢の参加も増え、より幅の広いロードマップの作成が今後の活動として期待される。

なお、ITRS2005の詳細は紙面枚数の関係でここでは省略するが、そのオリジナル版、及び、WG2メンバが分担した和訳版はSTRJホームページに掲載されている。

4-2-1 ITRS2005 への日本からの貢献

図表 4-1 にSTRJにおけるDFTサブワーキングの活動とITRSへの貢献の関係を示す。DFTサブワーキングはITRS2003にSoC要求テーブル(ITRS2003-Table24)を提案した。これはSoCにおけるDFT技術に対して、論理部、メモリ部等におけるテスト回路およびテストパターンの要求を纏めたものである。しかしながら、これらの要求は定性的に書かれたので、要求を定量化してより実用的にすべく、2004年度から2005年度にかけて検討を行い(図表 4-3)、ITRS2005のTable25に反映した。図表 4-2 にその一部を示す。BIST(Built-In Self-Test)でのテストインヴェストメント(Test Investment、従来は回路オーバーヘッドなどと呼ばれてきたが今回より積極的な意味合いを出すためこう命名した)の見積もり、あるいは微細製造プロセスでの品質確保のためのテストパターン数増加の見積もり等を行った。定量化の検討のためのSoCモデルは、ITRSのシステムドライバーのモデルにテストでの必要な項目等が記載されていないため、STRJ2003で検討されたSoCモデルを用いたが、今後はITRSのSoCモデルへフィードバックしていく必要がある。ITRS2007の改訂へ向けSTRJの設計WG(WG1)と連携し、検討していく予定である。また、DFM(Design For Manufacturability)およびSiPのテスト課題について検討し、ITRS2007へ反映するべく活動中である。

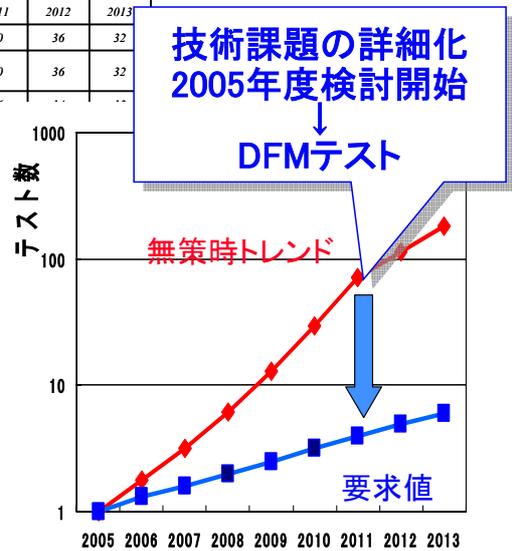


図表 4-1 STRJ(WG2-DFTSWG)活動と ITRS の関係

Table25a System on Chip Test Requirements—Near-term Years ITRS2005

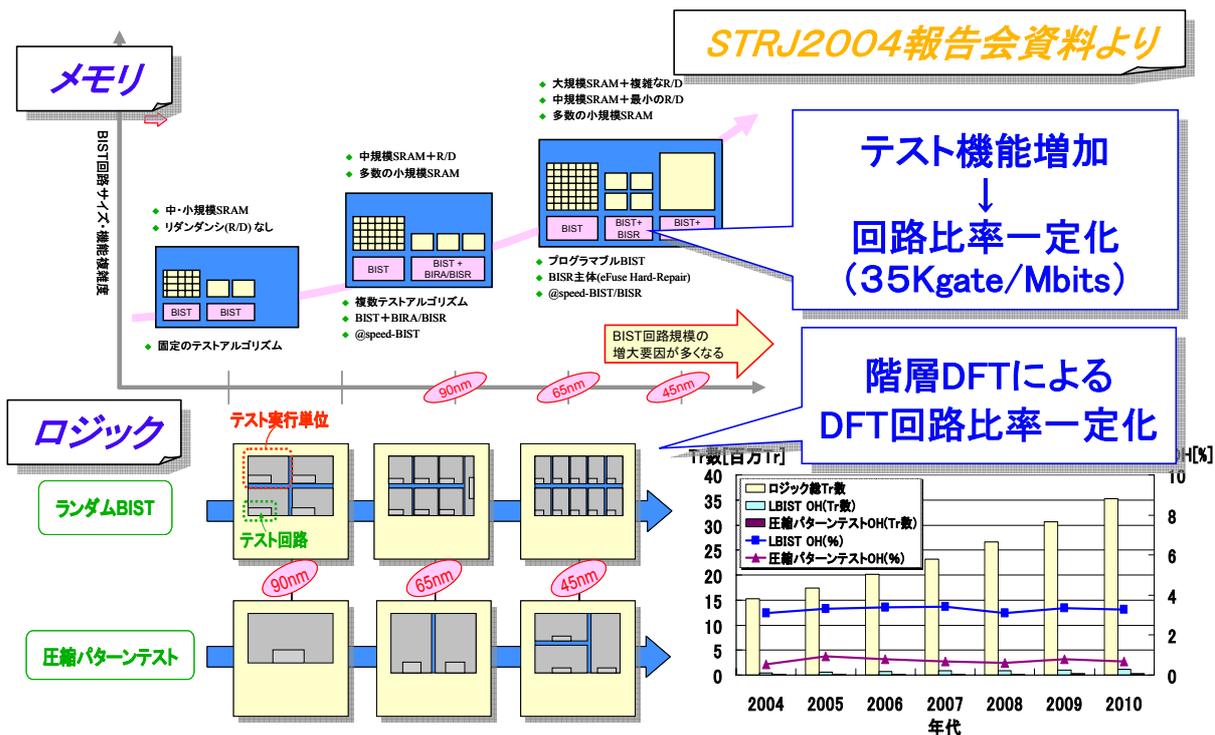
Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18
Embedded Cores: Logic – Random Pattern Logic BIST									
Area investment beyond scan (%) [2]	3.1	3.1	3.1	3.1	3.1	3.1
Embedded Cores: Logic – Compressed Deterministic Pattern Test									
Area investment beyond scan (%) [3]	1.1	1.2	1.3	1.4	1.5	1.6
Test pattern length (number of captures) [4]	1.0	1.3	1.6	2.0	2.5	3.2
Test pattern length compression ratio [5]	1.0	1.4	2.0	3.1	5.2	9.2
Test data volume compression ratio [6]	100	120	150	210	300	460
Embedded Cores: Memory									
Area investment of SRAM BIST (Kgates/Mbits)	35	35	35	35	35	35

- Area investment for BIST, Compressed test, Memory
- Test pattern length & volume



品質確保のためのディレイテスト数 (∞ コスト) 増加

図表 4-2 ITRS2005 の SoC テーブル定量化



図表 4-3 STRJ2004 での SoC テーブル定量化検討

4-3 DFT-SWG の活動

1) DFM (Design For Manufacturability)

1-1) 背景

図表 4-4 に DFM におけるテスト技術の課題を示す。半導体製造プロセスの微細化に伴い、新たな製造技術や設計手法が採用されている。一方、チップ内バリエーションの増大に伴う SoC デバイス特性の不安定化や新たな欠陥モードによる欠陥が問題となってきて、図表に示したような特性的故障となる可能性が増大している。製造プロセスの微細化による設計デバイスパラメータの出来上がり分布が広がり、設計スペック値をはみ出すパラメトリック欠陥が増大する(図表 4-5)。これらは図表 4-6 に示すように、従来の縮退故障検出のためのテストパターンやIDDQテストでは検出が困難である。また、微小なディレイを検出できるディレイテストである程度は検出可能であるが、完全な検出は困難である。そのため以下に示す新テスト技術の開発が必要である。各項目の詳細は後続の各節で述べる。

- **インフラストラクチャ IP(以下、I-IP と呼ぶ)の開発**

SoC の歩留り向上、信頼性向上のために、テスト機能や診断機能、あるいは実動作時のモニター機能、自動修復機能等をハードもしくはソフト的に開発し、SoC に搭載する必要がある。これらは資産化、流通化を促進することで、SoC 設計の生産性を向上できる。

- **At-Speed Test の開発**

ディレイテストの高精度化のため、実使用動作にできるだけ近い状態でテストすることが求められている。そのためにはテスト測定タイミングを実速度と同じ高速タイミングにすることが重要である。

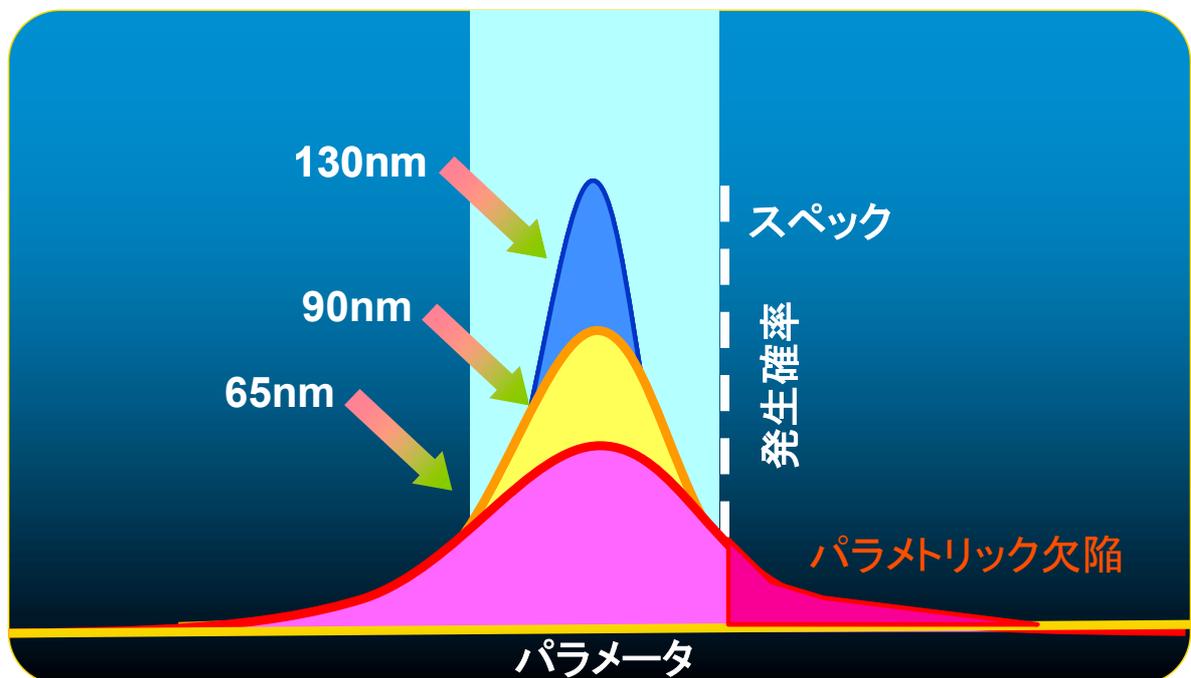
- **Statistical Test, Adaptive Test の開発**

従来の一律の基準値に対するパス/フェールを判定する Go/No-Go テストだけでは、パラメトリック欠陥を十分除去することは難しい。そのため、統計的にテスト結果を分析して良品/不良品を判定する、統計的テスト(Statistical Test)、またその結果をテストフローへフィードバックしテスト品質の向上とともにテストコ

ストの最適化を目指すアダプティブテスト(Adaptive Test)が重要である。



図表 4-4 DFM によるテストへの課題



図表 4-5 設計バラツキ増大によるパラメトリック欠陥の増大

物理現象		縮退	IDDQ	ディレイ	
従来欠陥(ショート, 断線)		○	○	△	
パラメトリック欠陥	パラメータ変動	Leff, Weff, Vt シフト	×	△ small	
		配線抵抗	×	△ small	
	配線欠陥	抵抗性欠陥	×	△ small	
		ポイド	×	△ small	
	ゲート欠陥	酸化膜ショート	△	△	△ small
		HCI	×	×	× ~ △

図表 4-6 パラメトリック欠陥に対する従来テスト手法の効果

1-2) DFM 時代に対応する新テスト設計フロー

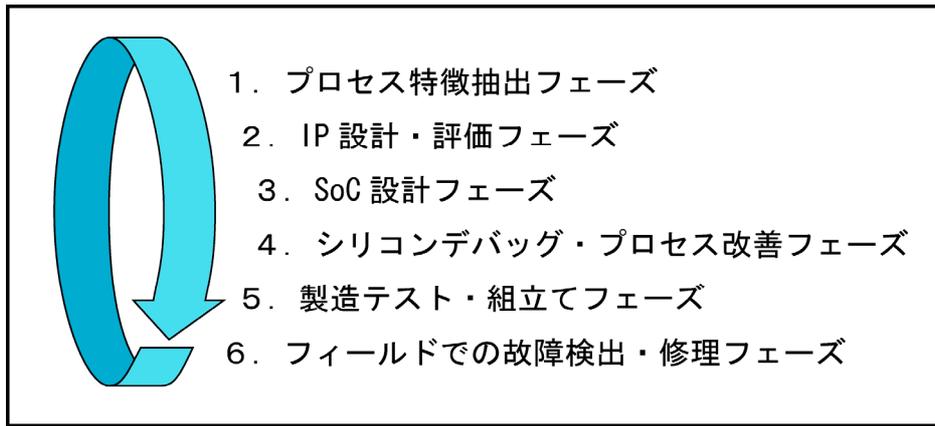
DFM に対応した新しいテスト設計では、フォールトアボイダンス(故障回避)とフォールトトレランス(故障許容)の概念をより強く意識する必要がある。フォールトアボイダンスとは、設計段階で故障が起きにくい構造を入れ込む技術で、DFY (Design for Yield) と DFR (Design for Reliability) において重要な役割を持つ。また、たとえ故障が発生してもシステムに影響がないようにするフォールトトレランス技術である、冗長救済や故障診断用 I-IP も、テスト関連の重要課題となる。そして、それらの概念に基づいた開発の各フェーズが、図表 4-7 のようにフィードバックループを形成するテスト設計フローとなることが望ましい。

プロセス特性抽出フェーズでは、DFMルールを含むデザインルールの発行が必要となる。ここでのDFMは、深いN-wellの導入や耐ソフトエラーメモリセル、耐ソフトエラーFF・ラッチの導入などである。

IP設計・評価フェーズでは、ファンドリ固有のDFMルールへの対応が必要となる。具体的には、歩留りを考慮した論理合成ツールやテスト／冗長救済回路(BIRA: Built-In Redundancy Allocation、あるいはBISR: Built-In Self Repair)の搭載などにおける対応が重要となる。

SoC設計フェーズでは、複雑なシリコンプロセスからのシールドが必要である。例えば、レイアウト修正(ダミーメタル等)や誤り修正回路などが重要となる。

シリコンデバッグ・プロセス改善フェーズでは、適切な故障診断と不良解析の枠組みが望まれる。内蔵の診断用I-IPを利用して不良データの収集をおこない、オフチップで解析をおこなうなどである。製造テスト・組立てフェーズでは、フォールトアボイダンスとフォールトトレランスの両面からのアプローチが必要である。フォールトアボイダンスでは α 線耐性のある配線の導入などがその例であり、フォールトトレランスではメモリ冗長救済や内蔵タイミングIPによるタイミング情報の収集などである。フィールドでの故障検出・修理フェーズでは、フォールトトレランスが主要な要素となる。例えば、電源投入時のメモリソフトリペアやオンライン検出・修復などである。



図表 4-7 新しいテスト設計フロー

1-3) インフラストラクチャ IP

システムティック/パラメトリック要因の歩留り損失に対応するためには、インフラストラクチャ IP (以下 I-IP) 等のオンチップリソースを利用した歩留り向上方法や信頼性向上方法が有効であり、これらを DFY や DFR に活用していく必要がある。IP 化することで、資産化、流通による開発効率向上が図れる。図表 4-8 に、I-IP を搭載した SoC のイメージを示す。I-IP は、機能 IP とは異なり SoC の通常動作には影響を与えず、SoC の製造可能性およびライフタイム間の信頼性を保証するものである。ロジック BIST (Built In Self Test)、メモリ BIST、アナログ BIST といった従来からのテスト用 IP のほかに、プロセスモニタ用の IP、タイミング測定用の IP、ノイズ測定・検出用の IP、診断用の IP、リペア用の IP などが挙げられる。例えばプロセスモニタ用の IP を用いることで、歩留り予測 (Yield Projection) により、製造欠陥のほとんどをモデル化し、高精度の結果を得られるようになる。マスク生成やシリコン化前の設計段階で歩留りの予測が可能になり、設計者が高歩留り向けの設計最適化を行うことが可能になる。



図表 4-8 I-IP を搭載した SoC のイメージ図

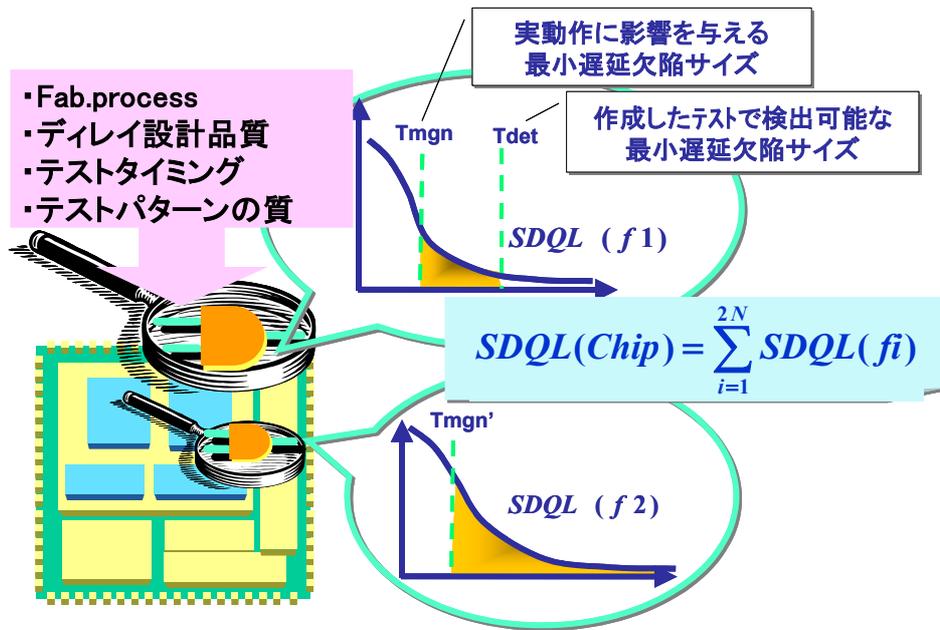
1-4) At-Speed Test

At-Speed Test では、微小遅延欠陥に対するテストが課題である。出荷試験において、微小遅延欠陥のテスト品質の評価指標がなく、そのためにテスト条件の定量的な決定が困難であることである。テスト品質指標に関しては、現在、一般的な故障モデルとして遷移遅延故障とパス遅延故障が使用されている。遷移遅延故障は回路の各ノードに立上り・立下り遅延増加不良を定義したものであり、パス遅延故障はフリップフロップ間の論理パスに遅延増加不良を定義したものであるが、いずれもテスト品質指標としては不十分である。遷移遅延故障に関しては、テストパターン生成ツールが回路の各ノードに対してテストパターンを生成できるという点で回路全体を網羅的にテストし、その網羅性の指標として検出率を算出できる。しかし、その検出率は回路全体に対して信号が変化し(論理的に伝播した)ノードの割合を示しているだけである。遅延不良のテストでは欠陥の大小やテストタイミングなどにより検出できる遅延欠陥の大きさが決まってくるので、大きな遅延欠陥を対象とした場合は良いが、微小遅延欠陥を対象とした場合、信号変化ノードの割合だけではテスト品質の指標としては不十分である。また、テストパターン生成ツールは信号変化のみを考慮しているので、短いパスを信号変化させるテストパターンを生成する傾向にあり、微小遅延欠陥を検出しにくいテストパターンを生成する。一方、パス遅延故障に関しては、最長論理パスに対してテストパターンを生成し、微小欠陥を検出するテストが可能である。しかし、回路中の論理パス数は無限大であり、全論理パスに対してテストパターンを生成することは実質不可能である。したがって、回路全体をどこまでテストしているかの網羅性の点で問題があり、テスト品質指標としては適切ではない。

電圧、テスト周期、温度条件などテスト条件決定の課題に関しては、At-Speed 動作特性から特性欠陥・設計欠陥を見極め、微小遅延欠陥を考慮して正常特性のテスト条件を決定することが困難なことにある。以下に示す様々な考慮が必要でテスト条件を容易に決定できない。

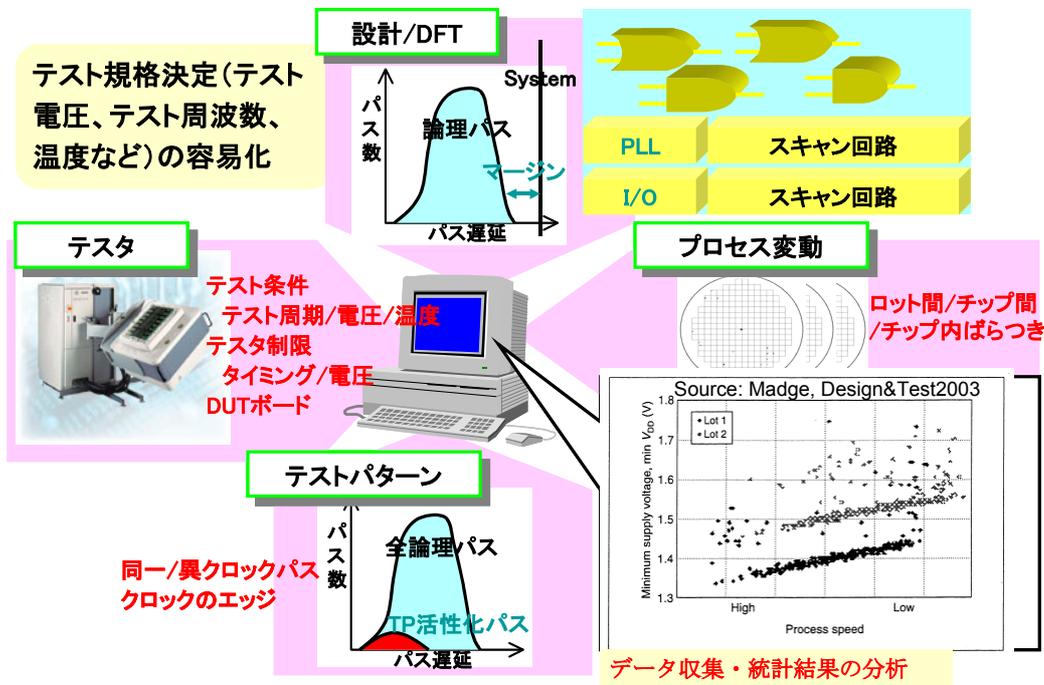
- ・ プロセス変動・装置限界などによりロット間/チップ間/チップ内で動作特性がばらつく。
- ・ 設計/DFT 手法に関する、設計マージン、テストクロックの供給方法などの仕様により、テスト条件によっては動作可能なテスト周期が制限される。
- ・ テスタにはテストタイミング、供給電圧など様々な制約があり、また、DUT (Device Under Test) ボードの設計方法によってはテストタイミングの制約がさらに厳しくなる。
- ・ テストパターンが活性化している論理パス群により、動作特性が様々である。

現在、テスト品質の評価指標に対して以下のような対応が検討されている。テスト品質指標の課題に対する対応策としては、定量的な指標を算出するために統計的ディレイ品質モデル(Statistical Delay Quality Model、以降 SDQM と呼ぶ) が提案されている(図表 4-9) [1]。SDQM は、製造プロセスで実際の欠陥に基づいて算出した回路上の各ノードの遅延欠陥分布(遅延欠陥サイズに対する欠陥発生率)、ディレイ設計品質、テストタイミング、テストパターンの質(テストパターンの活性化経路)を考慮しており、遅延欠陥サイズに対する検出可能性の分布を SDQL(Statistical Delay Quality Level)として算出する。今後は、SDQM が多くの商品に適用され、At-Speed Test に関するテスト品質の指標として一般化されることが期待される。



図表 4-9 統計的デレイ品質モデル(SDQM)

テスト条件決定の課題に対する対応策としては、テスト条件の決定を容易化するために、動作特性の要因となる各種情報を入力として、各チップのテスト結果を収集し特性欠陥・設計欠陥を分析するシステムが必要となる(図表 4-10)。分析結果から、特性変動分を考慮した正常チップの特性を決定して、微小遅延欠陥をテストするためのテスト条件の決定を支援するシステムが要求される。



図表 4-10 テスト条件決めを支援するソフトウェア

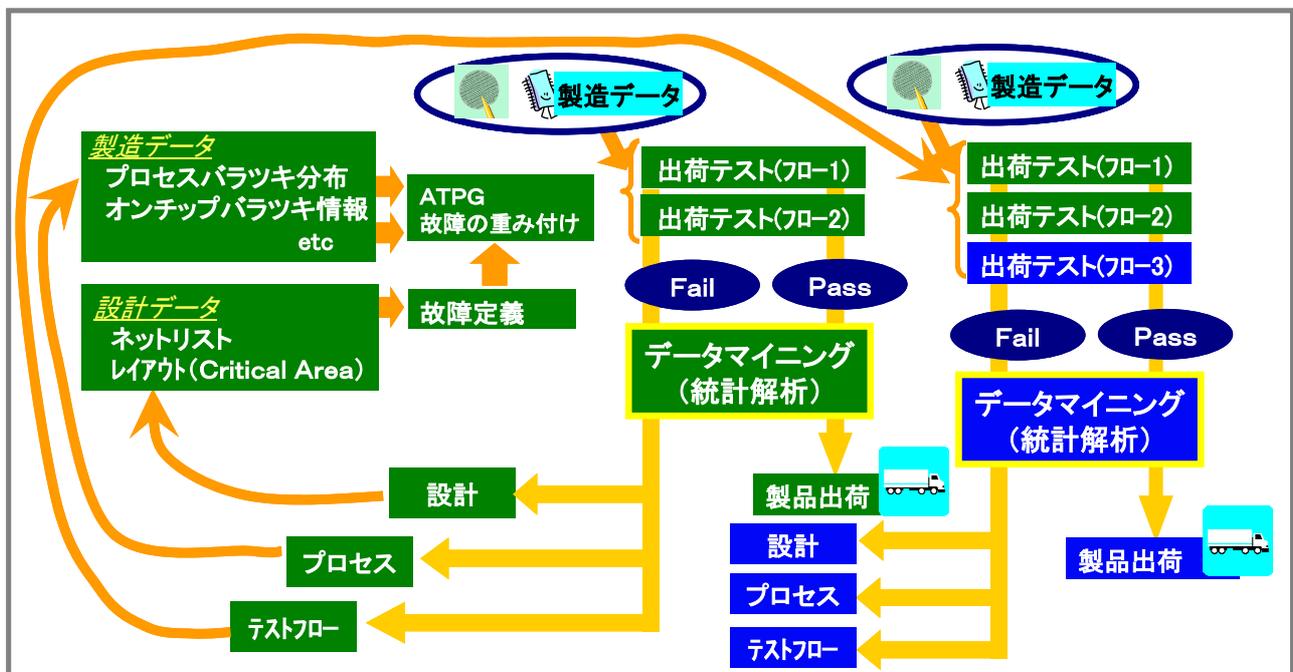
1-5) Statistical Test, Adaptive Test

テストをDFMの一環として有効に機能させるためには、設計時のデータ、製造時のデータ、量産テスト結果

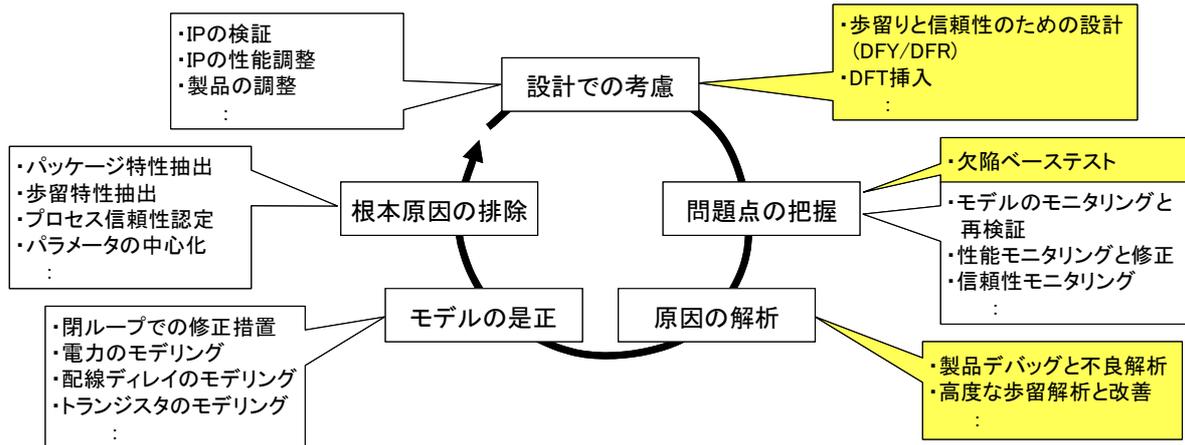
のデータなどに基づいた、統計的手法によるテストコスト・テスト品質の改善が必要である。例えば、量産テスト結果の解析をもとに自動でテストフローを変更するAdaptiveテストはその一例である。

図表4-11にAdaptiveテストフローの一例を示す。Adaptiveテストでは、製造データとテスト結果データを組み合わせることにより、そのチップに予想される欠陥にフォーカスしたテストフローの自動変更が可能になる。これはテストフローにローコストテストを導入するのに有効な方法となる。また、不良率を予測することにより、バーインの削減なども可能で、テストコスト削減効果が期待できる。テスト結果から正常チップの特性を予測し、特性変動を考慮して欠陥チップを判定する手法も提案されている[2]が、このような統計的手法の活用が、テストを製品のコスト削減・品質向上に大きく貢献させるための重要なアプローチとなる。

統計的手法を活用するための最大の課題は、量産テスト結果から必要なデータを抽出することである。このためには、テストの現場での統計的手法の利用を可能にするソフトウェアが必要である。また、統計的手法における究極の課題としては、DFMサプライチェーン(設計・製造・テスト統合化サイクル)の高度化(図表4-12)への対応がある。図表に示すように、DFT挿入、欠陥ベーステスト、不良解析などのテスト関連技術をしっかりと組み込むことにより、高度なサプライチェーンをスムーズに回すことが可能になる。



図表 4-11 Adaptive テストのフロー

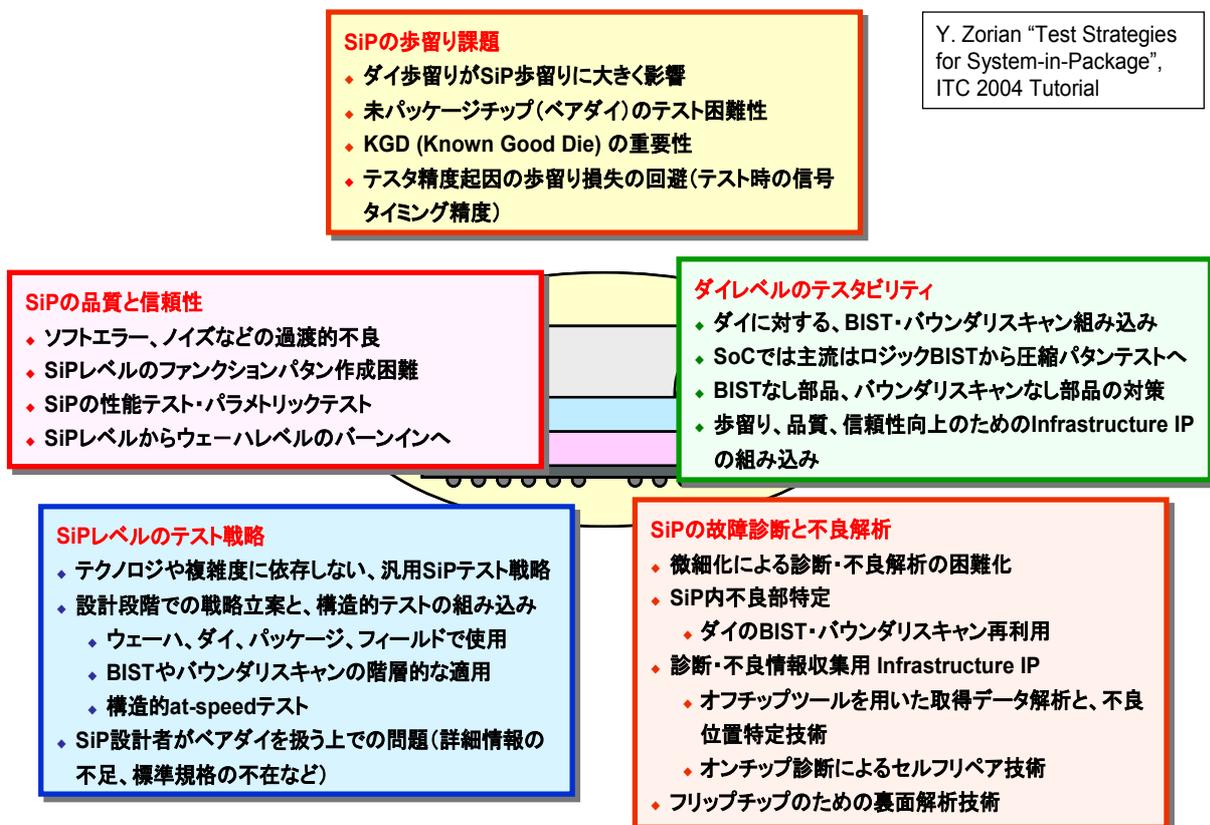


図表 4-12 DFM への設計・製造・テスト統合化サイクル

2) SiP

2-1) 背景

SiP のテストは、ベアダイをパッケージ内に搭載し、封じ後は直接各ベアにアクセスできなくなることから、単体チップと異なるテスト課題が多い。DFT サブワーキングでは SiP のテスト課題を、有識者へのヒアリング等や文献調査等を行い、図表 4-13 に示す様に纏めた。図表の各検討課題について以下に詳述する。

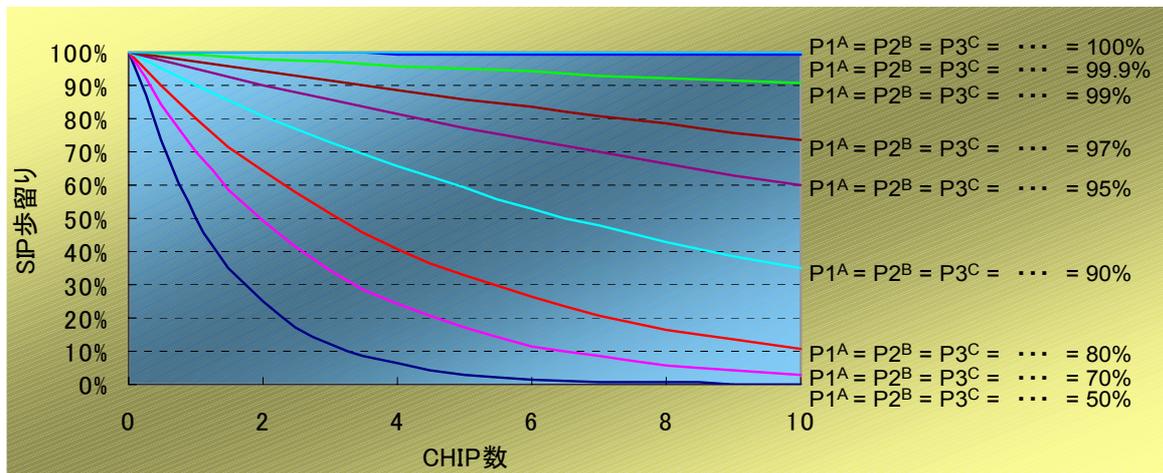


図表 4-13 SiP の課題

2-2) ベアダイテスト

SiP の歩留り要因として、ベアダイの歩留り、基盤の良品率、ダイ間接続数とその良品率、アセンブリの良品率が挙げられる。その中でもベアダイの歩留りは SiP の歩留りに大きな影響を与える(図表 4-14)。SiP の歩留り(Y_{SiP})を向上させるため、ベアダイが KGD (Known Good Die)であることが最も重要である。KGD とは、ある温度範囲で性能に関してフルにテストされ、特性の弱いダイが除かれている状態である。第 1 にシステムの動作速度及び動作温度で、第 2 に SiP アセンブリ後に、第 3 に最小限の保証動作寿命の時点において 99.99%以上機能しなければならない。しかし、現実には以下に示す多くの課題があり、SiP テストへの大きな障壁となっている。

テストでは KGD であることを保証するため、WLBI によりストレス印加を施し初期不良を低減させ、At-Speed テストによるシステム動作周波数での動作保証が必要となる。これらは、例え未パッケージチップであっても保証しなければならず、現在のテストへの大きな課題となっている。また、SiP テストで良品判定され出荷された製品の中に含まれる不良率 DPM (Defect Per Million) は SiP 歩留りと故障検出率(FC)により決定される($DPM=1-Y_{SiP}^{(1-FC)}$)。したがって、SiP のテストには不良を許容範囲に抑えるために KGD 及び高い故障検出率が必要となる。



Ps=PI=Pw=100%の場合

$$Y_{SiP} = Y_m \cdot P_s \cdot P_I \cdot Q \cdot P_w$$

- Y_{SiP} ... SiPの歩留り
- Y_m ... ベアダイの歩留り ... $Y_m = 100 \cdot (P1^A \cdot P2^B \cdot P1^C \dots)$
- $P1^A, P2^B, P3^C, \dots$: 各ベアダイの歩留り
- P_s ... 基盤の良品率
- P_w ... アセンブリの良品率
- P_I ... ダイ間接続の良品率
- Q ... ダイ間接続数

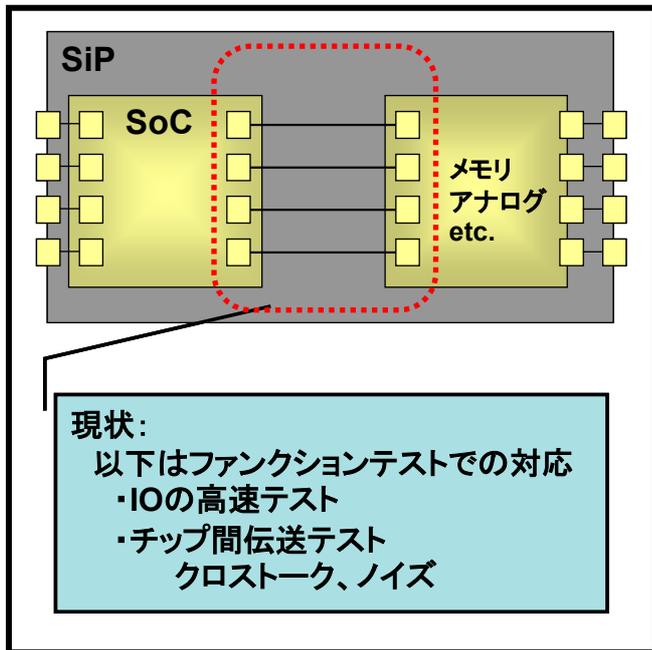
図表 4-14 ベアダイ歩留りと SiP の歩留りの関係

2-3) テストパターン作成

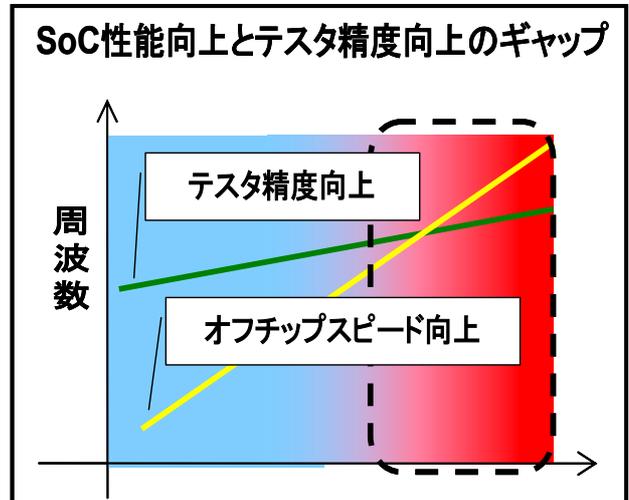
現在の SiP 出荷試験用パターンにおいて、IO の高速試験用テスト等は、ファンクションテストが使われるのが一般的であり(図表 4-15)、その作成作業には幾つかの課題がある。

第 1 の課題は、SoC 以外の LSI 素子に関するテスト関連情報が入手しにくいことである。例えば、汎用メモリのベンダー等は実施している試験項目等について公開しておらず、SiP のテストパターン作成者が不確かな情報から汎用メモリテストパターンを作成することになる。第 2 の課題は、試験周波数の観点における SoC 性能とテスト精度のギャップである。現時点では、テスト精度の方が SoC のオフチップスピードより高い。しかし、その向上度合いは、SoC のオフチップスピードの方が高く、近い将来、逆転すると考えられ(図表 4-16)、試験に必要な精度を満たせなくなる。第 3 の課題は、SiP 内部にアクセスするための端子は、SiP 外部端子に限られており、搭載されている LSI 素子を試験するために必要なアクセスが制限されてしまうことである。その対応

として、テスト用外部端子の追加を行うなど対処や、作成するテストパターンを工夫するなどの対処が必要となり、作業が複雑になる。以上のことから、SiP のテストパターン作成作業は、今後益々困難となることが予想される。

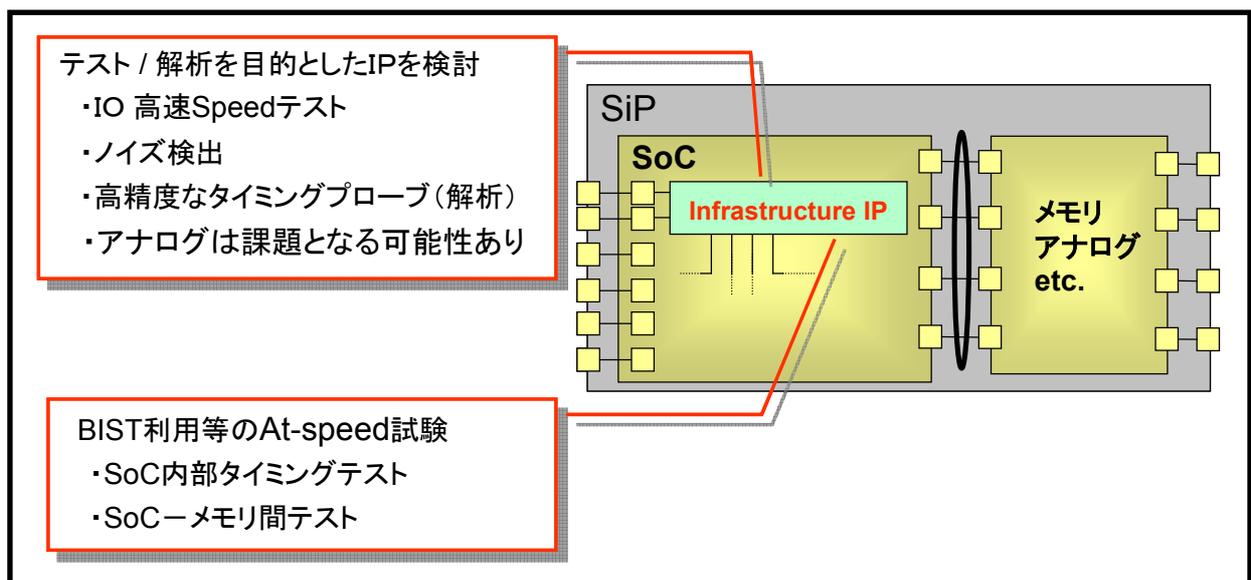


図表 4-15 SiP のテストパターン



図表 4-16 周波数の向上度合い

これらの3つの課題に対して、SoCに適用しているDFT手法の拡張により対応することが検討されている。SoC内部のDFT手法では、メモリBISTに代表されるテスト用IPの搭載が広がりつつある。SiPにおいても、SoC内部のテストや、SoC-メモリ間のAt-speedテストはBIST等により対応することが可能である。IOの高速スピードテスト、ノイズ検出、解析を目的とした高精度なタイミングプローブ、等の要求に対しては、BISTの考え方を拡張し、それぞれの要求を実現するためのI-IPをSoCに搭載して対処することが提案されている(図表4-17)。しかし、アナログ素子に対する対応が課題となる可能性があり、更なる検討が必要である。



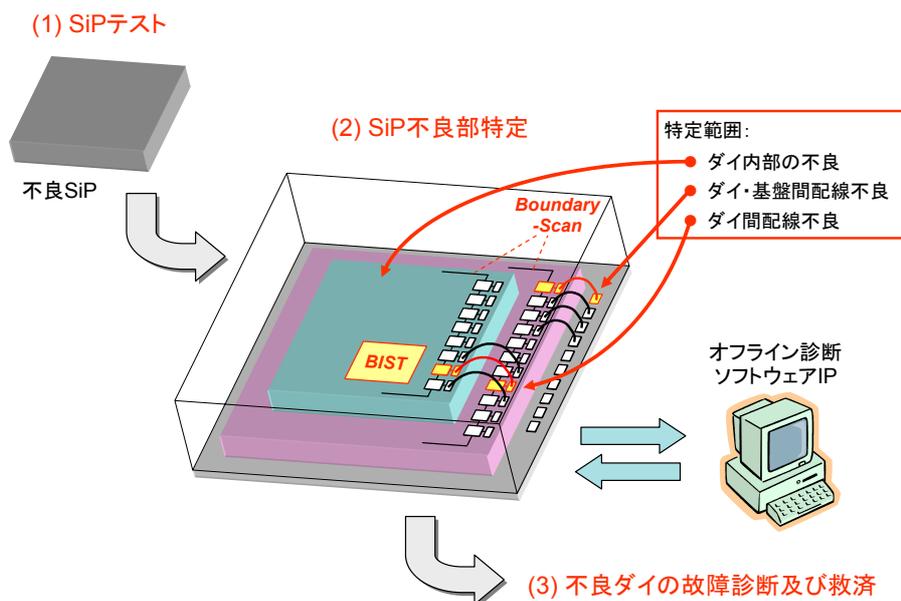
図表 4-17 テストパターン作成課題への対応例

2-4) SiP の故障診断

SiP は、SoC と同様に異種の複数デバイスから構成されていることから、故障診断技術上の課題にも類似した点は数多くある。一方 SoC とは別の困難な課題も存在し、一般的には SiP の故障診断の方が、より困難度が高いと考えられる。たとえば外部から調達した部品であっても、SoC では最終的にひとつのチップ上で機能が実現されることから、その設計過程において、何らかのテスト容易化あるいは故障診断容易化のための構造を組み込む機会は存在する場合が多い。SiP では、調達したダイにこれらの構造が組み込まれていない場合、これらダイの外側に構成された構造のみをもって、内部の解析を行わなければならないが、これは一般的に困難である。ダイの供給者がダイ内部の設計構造や、テスト容易化・故障診断構造の情報を提供しない場合もあり、このような場合には、故障箇所の特特定は実質的に不可能となる。

SiP の故障診断は、そのシステム構成の階層構造に応じて、段階的に行われる。まず、SiP の良否判定を行い、不良 SiP を選別する。次に SiP の不良部が、ダイ内にあるのか、あるいはダイ間配線やダイ・基盤間配線の不良であるのかなどを判定する。この作業は、SiP を分解しないまま行えるのが理想的で、このためダイ内に組み込まれた BIST 回路や、SoC の外部にある汎用メモリ等のテスト用 BIST、バウンダリスキャン回路などが再利用される。この判定はテスト工程上のオンラインで行う場合と、オフラインで行う場合の2通りがある。不良があるダイ内にあるものと判定された場合、さらにその内部での不良箇所の特特定を行う。このレベルの診断は、故障診断・不良救済用インフラストラクチャ IP を用いて、特定された不良箇所の救済までオンチップで行えることが理想的である。そうでない場合、一般的に故障診断は、診断 IP により収集された大量のテストデータを、オフラインの診断ソフトウェア IP を用いて行うことになる。

いずれにせよ、故障診断と不良救済のために用いられる、インフラストラクチャ IP のハードウェア・ソフトウェアの開発は重要な課題となる。これらは、テスト用の IP であるテスト容易化設計と、融合することが一般的となると考えられる。診断 IP は、ダイレベルからパッケージレベル、SiP レベル、システムボードレベルまで一貫して使用できるよう、そのインタフェースは標準化されるべきである。また、システムティックな不良に対しては、個別のダイの解析のみからでは原因が特定できないことも考えられるため、統計的テスト(Statistical Test)と連動しての診断技術開発も必要となる。



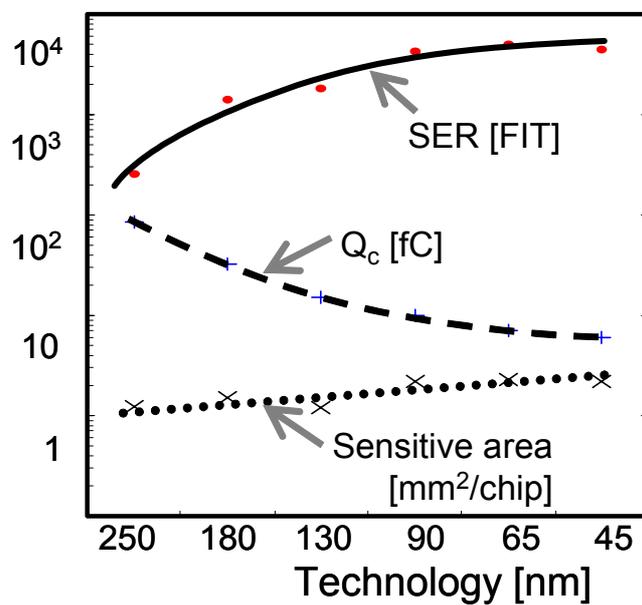
図表 4-18 SiP の故障診断

2-5) オンラインテスト

ソフトエラーはシステムの機能に影響する過渡的な摂動であり、以下を発生源とする。

- シグナルインテグリティ問題(クロストーク)
- 自然界の輻射
- 過酷な環境(空輸システムなど)
- 電圧変動や周波数シフト

SiP におけるメモリ回路では、ソフトエラーによってメモリ素子の保持している論理値が反転し故障することが以前から知られており、すでに ECC などでの対策が始まっている。一方、近年の SiP に使用されている SoC の微細化、高速化に伴い論理回路においてもソフトエラーが起こることが分かってきた。図表 4-19 は、テクノロジーによるデバイスの微細化が進むにつれ、ソフトエラーを起こす電荷量の下限を示す限界電荷量(Q_c)が下がり、ソフトエラー率(SER: Soft Error Rate)が増えていくことを示している。



STRJ WS:March5,2004 より

図表 4-19 ソフトエラー率(SER: Soft Error Rate) の発生見積

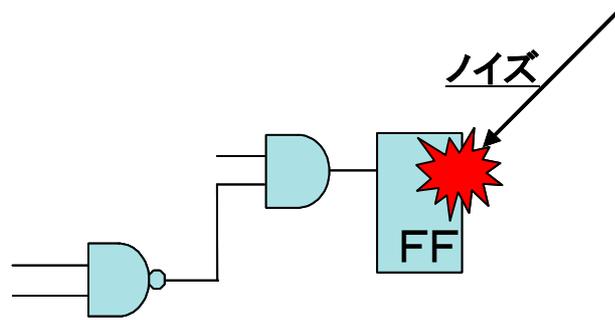
論理回路のソフトエラーには以下の 2 つの種類がある。

(1) F/F・Latch のソフトエラー (SEU: Single Error Upset) 図表 4-20

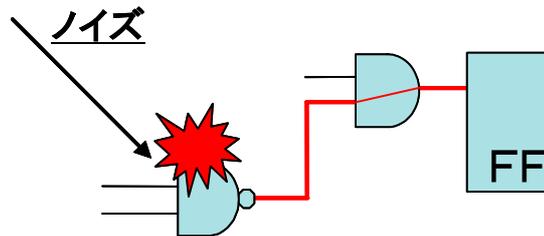
ノイズによって F/F・Latch が反転しエラーとなる。

(2) 組み合わせ回路のソフトエラー (SET: Single Error Transient) 図表 4-21

組み合わせ回路に生じたノイズによってゲートが一時的に反転、一時的に反転した信号が後段の F/F・Latch の動作時刻に到達した場合エラーとなる。

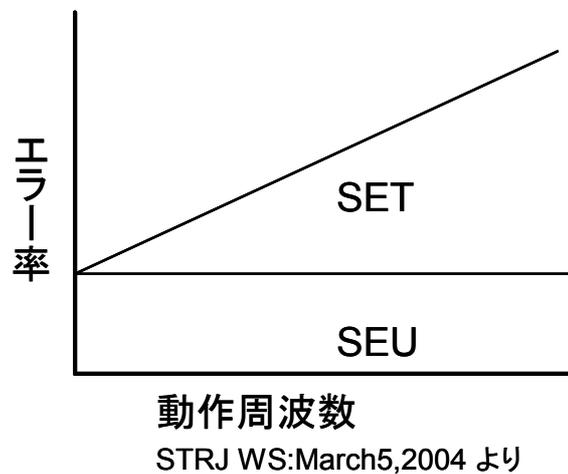


図表 4-20 F/F・Latch のソフトエラー (SEU: Single Error Upset)



図表 4-21 組み合わせ回路のソフトエラー (SET: Single Error Transient)

これら 2 つのソフトエラーは図表 4-22 に示すように動作周波数によって組み合わせ回路のソフトエラー (SET) が FF・Latch のソフトエラー (SEU) よりも増えていくことが知られている。



図表 4-22 SET と SEU の発生確率と動作周波数

しかしながらこれらの物理的な振る舞いを EDA ツールが予測するのは困難であり、オンラインでのテストと修復が必要になる。対応策としてはロバストネス IP などの I-IP を利用した自己修復技術が必要である。自己修復技術としては、

- F/F・ロジック反転防止回路: 回路で防止・修復をおこなう。
- F/F・ロジック反転検知回路: 論理でパリティ検出を行い防止・修復をおこなう。

が考えられる。

4.4 ATE-SWG の活動

4.4-1 活動の概要

WG2(テスト)の活動基本方針である「テストコスト削減のためのチップ設計からテストまで」および「ITRS2005への貢献」のもと、ATE-SWGでは下記のテーマとスケジュールを期初に設定して2005年度の活動を進めた。

2005 年度 ATE-SWG の活動テーマとスケジュール	
＜テーマ＞	課題の共有と言葉／レベル合わせを進め、 コストと品質を踏まえたロードマップ化で ITRS2005 に貢献する
4 月	ITRS 欧州会議への参加
5～7 月	2004 年度の活動を通して洗い出した検討課題の深堀とロードマップ化
7 月	ITRS 米州会議への参加
8～11 月	各ロードマップの裏付けと整理
12 月	ITRS 韓国会議への参加
12～3 月	STRJ ワークショップに向けた準備/報告書の作成

その活動結果の概要は次の通りであり、ウェーハレベル・バーンイン(WLBI)とプローブカードについて ITRS2005への貢献を果たすことができた。SiPテストとDFTテストについては今後のITRSへの貢献を視野に入れて検討を進めることができた。またデバイス・ロードマップの作成と勉強会は、ATE-SWGの議論や検討を進める上で必要になる共通のベース作りになった。これらの活動成果が、コスト低減と品質向上の両立が求められるテストへの取り組みの参考になると考える。

- ◆ ウェーハレベル・バーンイン(WLBI)
2004年度からの活動の成果として、WLBIの項目をITRS2005に新規掲載することができた。
- ◆ プローブカード
プローブカード技術の動向と課題について、日本サイドの意見をITRSに提言した。
- ◆ SiPテスト
一般的にSiPの定義は広範に渡るため、初めに今回の検討範囲とするSiPのモデルを定めた。そして技術的・経済的・要素別テスト技術の3つの観点から議論を進めて、課題の洗出しと分析を行った。
- ◆ DFTテスト
DFTに基づくテストだけではデバイス品質を確保できないとの現状認識を踏まえて、汎用テストとDFTテストを用いた2pathテストでコストメリットが得られる条件について探求した。
- ◆ デバイス・ロードマップ
テストはデバイス製品仕様の動向を把握した上で検討する必要があるとの共通認識から、ITRS2005に基づく調査や他WGからの協力も得てデバイス・ロードマップ表を纏めた。
- ◆ 勉強会
5回に渡る勉強会で述べ9名の外部講師の方々にご講演して頂いた。SiPテストやDFTテストを中心にした内容で、“課題の共有と言葉／レベル合わせ”を進めることができた。

なお2005年度はNRE(Nonrecurring Engineering)コストの削減に関する調査や検討を深めることが出来なかった。NREコスト削減の検討は、SiPテストやDFTテストの更なる検討と共にテストに於ける重要な課題

である。今後は、これらの課題に対するロードマップをITRSへの貢献を通して広く発信することを目指して活動する。

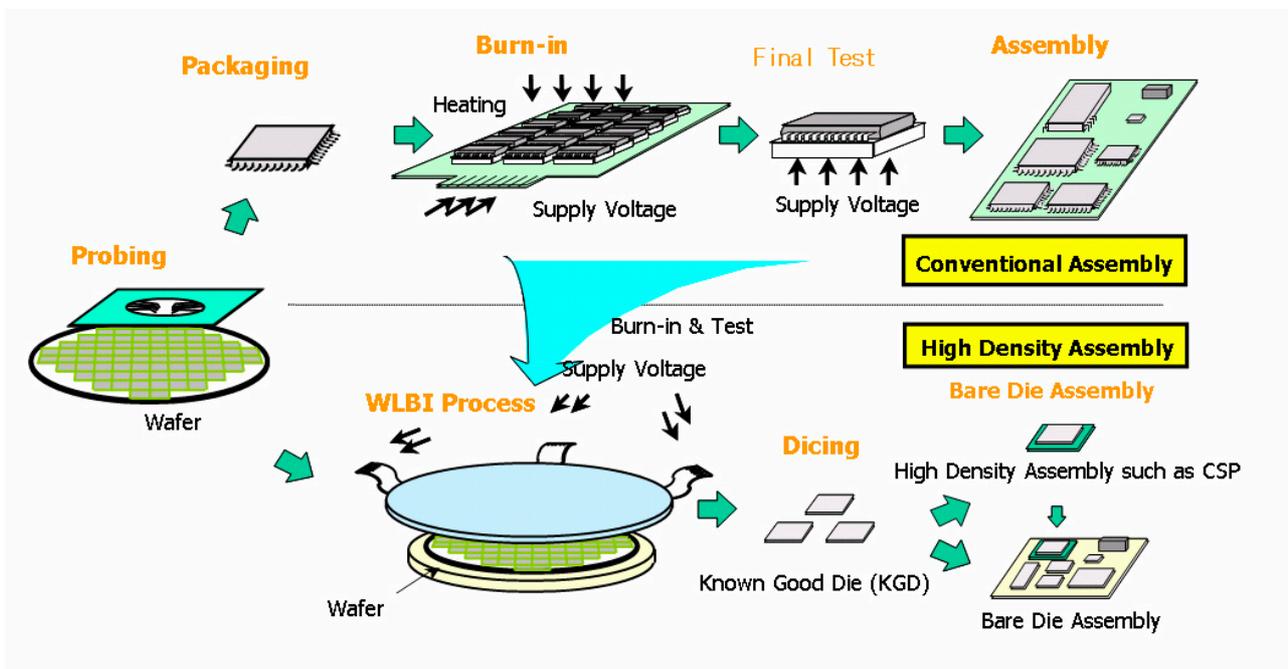
4-4-2 ウェーハレベル・バーンイン(WLBI)

WLBI技術に関しては、2003年度よりSEAJ(日本半導体製造装置協会)の半導体製造装置技術ロードマップ委員会、検査WG WLBI-SWGとの連携により検討を進めてきたが、今年度は2003年度～2004年度の活動成果のITRS2005への提案に向けてWLBIテクノロジーロードマップのアップデートと、ITRSデバイス・ロードマップとの整合性を考慮した議論を行った。

4-4-2-1 WLBI要求の背景

WLBI は技術的難易度も高く、現時点では広く普及しているとは言えない状況であるが、WLBI に対する要件は日々高まっている。初期故障率は、トランジスタのスケーリング効果およびデバイスに使用する新規プロセス技術/材料のために益々増大している。またデバイスの使用電圧の低下により、信頼性を保証するための電圧加速/電圧ストレステストの加速率が大幅に低下している。その反面、KGD はチップスケール・パッケージやマルチチップ・モジュール(MCM, SiP)に対する要件のため、顧客からの重要なニーズになっている。またサイクルタイムの短縮、およびウェーハ工程の歩留/欠陥情報の迅速なフィードバックは、半導体製造工程の早い時期にバーンインを実施することによって促進される。最終的には、パッケージ工程に先立って欠陥を含むデバイスを検出し、これを除去することにより、半導体デバイスが本質的に抱えている欠陥に起因する不良品のパッケージコストが削減される。

これらの点を考察すると、バーンイン工程が益々重要性を増しており、十分な時間のバーンインを実施することが市場品質の向上に大きく貢献していることがわかる。これを実現する上で、図表 4-23 に示すようにウェーハ全面コンタクトを行って全チップ同時にバーンインを実施することが、コスト面、TAT 面で重要な解であると考えられる。



図表 4-23 WLBI の展開

4-4-2-2 WLBI 向けのプロービング技術

WLBI を行なう上で重要な役割を持つウェーハ全面コンタクト向けのコンタクトには、Three-Parts Structure (TPS)プローブおよびマイクロポゴピン素子がある。TPS プローブは、多層配線基板・バンプ付き薄膜・異方導電ゴムシートからなり、中央の異方導電ゴム層がバンプ高さバラツキを吸収するため、均一で安定性の高いコンタクトを実現できる。最大の特徴は、加重を効率よくバンプ先端に集中させることと、バンプの材質や表面状態の制御によりAIパッド電極への2万バンプ以上のコンタクトを実現している点である。また、多層配線基板の材料としてはガラスやセラミックス等の熱膨張率が Si に近い材料が用いられ、Si ウェーハとの熱膨張差を生じないようにされている。マイクロポゴピン・コンタクトは熱膨張係数をウェーハとマッチングさせたハウジング材に、垂直型両可動プローブを配した構造となる。垂直型プローブであるため、十分なストローク量の確保が可能であり、また、各プローブが独立可動することにより隣り合うコンタクトにおいても高さばらつきを十分に吸収できる。上記以外にも、ウェーハ全面コンタクト向けのコンタクトが研究・開発されており、ウェーハ全面コンタクトの容易化が検討されている。

4-4-2-3 他の WLBI 技術についての考察 及び 技術ロードマップのアップデート

1 枚のウェーハで消費する電流は、トランジスタの短チャネル化によるオフ状態でのリーク(sub-threshold leakage)と、単位面積当たりのトランジスタ数の増加によって増加している。バーンイン時の高温も、オフ状態でのリーク電流を増加させている。したがって、バーンイン装置としては、ウェーハ当たり 1000A～数1000A の電流を供給できる能力がなければならない。また、電流制御を適切に行なうために、ウェーハ温度の制御や均一性が必要となる。最終的には、バーンイン装置は、各ウェーハに亘る異なる特性(歩留りや消費電流など)の分布をうまく調整できなければならない。

チップ面積の縮小化とパッドの狭ピッチ化は、ウェーハあたりのチップ数やパッド数を増加させ、コンタクトへの技術的困難度を増大させている。被テストピン数の増加も、ウェーハコンタクトに必要な技術的要求を増大させる。WLBI の利用を可能にするためには、SCAN、BIST、JTAG といった DFT 機能を通じてデバイス当たりの被テストピン数を削減しなければならない。

WLBI を可能とするコンタクト技術について上述した。しかし、コンタクト技術は、将来の技術トレンドを満足させるため、いくつかの取り組みに直面している。LOC、Peripheral に関しては、TPS プローブ技術の延長でパッドピッチが 70um 程度までは対応可能と考えられる。それ以下の要件に対しては、フォトリソグラフィの概念を用いた MEMS(Micro Electro Mechanical Systems)技術を使うことが検討されている。しかし、この技術は、まだ 300mm ウェーハに対するソリューションを持っていない。狭ピッチ化に対するプロービング技術が求められているが、パッドのレイアウト設計時に DFT 機能を上手く利用すること(例えば、1 つおきにパッドを飛ばせば、通常のパッドピッチに比べてプローブピッチを実効的に 2 倍にできる)で、多少救われる可能性がある。low-k 材料への多ピン低プローブ圧の適用も求められるが、これらの技術要件にチャレンジすることが新しいコンタクト技術の促進に役立つだろう。

これらの WLBI 技術について検討し、図表 4-24a,b のように WLBI 技術ロードマップのアップデートを行った。

4-4-2-4 WLBI 技術の発信 と 今後の課題

WLBI 技術は日本での開発と実用化が先行している技術であり、日本発のテーマとしてITRS技術ロードマップ2005への提案を行った。ITRS2005バーンイン技術のテーブルオーナーとも深い協働の下で議論を進め、従来のバーンイン技術ロードマップとWLBI技術ロードマップの融合を図り、バーンイン技術の主要項目としてITRS2005に掲載した。

今後は WLBI で技術確立が進んだウェーハ全面コンタクト技術を活用し、ウェーハ全面一括テストの実現に向けた課題抽出と、必要技術開発の方向性の検討を進めていきたい。

Year of Production	Near-term								
	2005	2006	2007	2008	2009	2010	2011	2012	2013
Technology Node									
D-RAM hp(nm)	80	70	65	57	50	45	40	35	32
MPU/ASIC M1 hp(nm)	85	76	67	60	54	48	42	38	34
WLBI 技術									
最大 Wafer Size(mm)	300	300	300	300	300	300	300	300	300
熱制御									
最大バーンイン温度(deg.C)	150	150	175	175	175	175	175	175	175
面内温度均一性(deg.C)	±3	±3	±3	±3	±3	±3	±3	±3	±3
ピンエレクトロニクス									
ドライバ									
ドライバ電圧精度(mV)	50	50	50	50	50	50	50	50	50
Tr/Tf(ns/V)	5	5	5	5	5	5	5	5	5
Skew(ns)	±3	±3	±3	±3	±3	±3	±3	±3	±3
コンパレータ									
コンパレータ電圧精度(mV)	50	50	50	50	50	50	50	50	50
Skew(ns)	±3	±3	±3	±3	±3	±3	±3	±3	±3
コンタクタ									
LOC (例: 汎用メモリ向け)									
最小パッドピッチ(μm)	80	80	65	65	65	65	65	65	65
最小パッドサイズ(μm)	60	60	50	50	50	50	50	50	50
最大プローブ数	70k	70k	70k	70k	70k	70k	70k	70k	70k
Peripheral および Area Array (SoC 等)									
最小パッドピッチ(μm) *1	100	100	100	80	80	80	80	80	80
最小パッドサイズ(μm)	45	40	40	35	35	35	35	30	30
最大プローブ数	125k	125k	150k						
ローエンド・マイクロコントローラ *2									
入出力周波数(MHz)	75	75	75	75	75	75	75	75	75
デバイス用電源 電圧レンジ(V)	0.7 - 6	0.7 - 6	0.7 - 6	0.7 - 6	0.7 - 6	0.5 - 6	0.5 - 6	0.5 - 6	0.5 - 6
デバイス消費電力(W / DUT)	10	10	10	10	10	20	20	20	20
最大 I/O チャンネル数	32	32	32	32	32	32	32	32	32
汎用メモリ *2									
入出力周波数(MHz)	50	50	50	50	50	50	50	50	50
デバイス用電源 電圧レンジ(V)	0.6 - 4	0.6 - 4	0.6 - 4	0.6 - 4	0.6 - 4	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4
デバイス消費電力(W / DUT)	2	2	2	2	2	2	2	2	2
最大 I/O チャンネル数	72	72	72	72	72	72	72	72	72
DFT 搭載 SoC *2									
入出力周波数(MHz)	20	20	20	20	20	20	20	20	20
デバイス用電源 電圧レンジ(V)	0.6 - 4	0.6 - 4	0.6 - 4	0.6 - 4	0.6 - 4	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4
デバイス消費電力(W / DUT)	10	10	10	10	10	20	20	20	20
DFT/BIST ピン数(ch 数/DUT)	32	32	32	32	32	32	32	32	32
ベクタメモリ容量(M vectors)	16	32	32	64	64	64	64	64	64

*1 SCAN, BIST 等の DFT を搭載することにより、パッド数、パッド配列、パッドピッチなどの仕様を緩和することが可能。

*2 WLBI は、ローエンド・マイクロコントローラ、汎用メモリ、DFT を搭載した SoC などのデバイスに適している。

図表 4-24a WLBI 技術ロードマップ (Near-term) -SEAJ/STRJ-

Year of Production	Long-term						
	2014	2015	2016	2017	2018	2019	2020
Technology Node							
D-RAM hp(nm)	28	25	22	20	18	16	14
MPU/ASIC M1 hp(nm)	30	27	24	21	19	17	15
WLBI 技術							
最大 Wafer Size(mm)	300	450	450	450	450	450	450
熱制御							
最大バーンイン温度(deg.C)	175	175	175	175	175	175	175
面内温度均一性(deg.C)	±3	±3	±3	±3	±3	±3	±3
ピンエレクトロニクス							
ドライバ							
ドライバ電圧精度(mV)	50	50	50	50	50	50	50
Tr/Tf(ns/V)	5	5	5	5	5	5	5
Skew(ns)	±3	±3	±3	±3	±3	±3	±3
コンパレータ							
コンパレータ電圧精度(mV)	50	50	50	50	50	50	50
Skew(ns)	±3	±3	±3	±3	±3	±3	±3
コンタクト							
LOC (例: 汎用メモリ向け)							
最小パッドピッチ(μm)	65	50	50	50	50	50	50
最小パッドサイズ(μm)	50	40	40	40	40	40	40
最大プローブ数	70k	140k	140k	140k	140k	140k	140k
Peripheral および Area Array (SoC 等)							
最小パッドピッチ(μm) *1	80	60	60	60	60	60	60
最小パッドサイズ(μm)	30	25	25	25	25	25	25
最大プローブ数	150k	300k	300k	300k	300k	300k	300k
ローエンド・マイクロコントローラ *2							
入出力周波数(MHz)	75	75	75	75	75	75	75
デバイス用電源 電圧レンジ(V)	0.5 - 6	0.5 - 6	0.5 - 6	0.5 - 6	0.5 - 6	0.5 - 6	0.5 - 6
デバイス消費電力(W / DUT)	20	20	20	20	20	20	20
最大 I/O チャンネル数	32	32	32	32	32	32	32
汎用メモリ *2							
入出力周波数(MHz)	50	50	50	50	50	50	50
デバイス用電源 電圧レンジ(V)	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4
デバイス消費電力(W / DUT)	2	2	2	2	2	2	2
最大 I/O チャンネル数	72	72	72	72	72	72	72
DFT 搭載 SoC *2							
入出力周波数(MHz)	20	20	20	20	20	20	20
デバイス用電源 電圧レンジ(V)	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4	0.5 - 4
デバイス消費電力(W / DUT)	20	20	20	20	20	20	20
DFT/BIST ピン数(ch 数/DUT)	32	32	32	32	32	32	32
ベクタメモリ容量(M vectors)	64	128	128	128	256	256	256

図表 4-24b WLBI 技術ロードマップ (Long-term) -SEAJ/STRJ-

4-4-3 プローブカード

本年度は ITRS の改訂年に当る事から、汎用メモリにおけるウェーハ全面コンタクトの技術動向と課題に着目し、「ITRS2005 の Table.38a」に対するアップデート提案を行った。

(1) ITRS Draft

ITRS Summer Meeting (7月の米国会議)で示されたドラフトでは図表 4-25a に示すように、2005年よりウェーハ全面コンタクトが可能とされていたが、Flash の 200mm ウェーハでは実現されているものの、300mm ウェーハや DRAM では未だ実現されていない。

(2) STRJ 提案

以下の視点から図表 4-25b に示すような提案を行った。

- ① Flash はセルサイズが小さく試験が複雑なために DFT の導入が進んでいるが、DRAM はセルサイズ大きく、面積ペナルティも大きい理由から DFT を余り多く取り入れない動向に有る。結果として DRAM の測定ピン数は大幅に削減出来ないため、テストのチャンネル数とのトレードオフで同測数に制限が生じる。したがって DRAM と Flash は同測数に大きな差が生じるため表を分けるべきである。
- ② 上述の理由から DRAM では DFT の導入が進むか、または BOST (Built Out Self Test) の導入が進むなどしない限りウェーハ全面コンタクトは可能とならないが、デバイス動向はチップサイズのモデル化など他の WG を含めて未だこの様な議論にはなっていない。
- ③ 2012 年から 450mm ウェーハの導入が検討されている。300mm ウェーハに比べてチップの数は単純面積比で 2 倍強となるので、DFT の導入が進む Flash でもウェーハ全面コンタクトは困難になると予測される。

(3) ITRS Final Copy

日本からの提案に対し、ITRS Final Copy は図表 4-25c に示すものになった。意見の一致を見ないまま終わった形となったが、「Requirement」の捉え方や考え方に差異が有るように思える。今後は、このような差異を埋めることが STRJ 活動の課題の一つである。

Year of Production	2005		2006		2007		2008		2009		2010		2011		2012		2013	
DRAM ½ Pitch (nm) (contacted)	80		70		65		57		50		45		40		36		32	
Size of Probed Area (mm ²)																		
Memory (DRAM)	100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer	
Number of Probe Points /Touchdown	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total
Memory (DRAM)	1730 - 10260	2240 - 13300	14500	18700	14500	18700	14500	18700	14500	18700	14500	18700	14500	18700	14500	18700	14500	18700

図表 4-25a 「Table.38a (Wafer Probe Technology Requirements—Near-term)」の Summer Meeting ドラフト抜粋

Year of Production	2005		2006		2007		2008		2009		2010		2011		2012		2013	
DRAM ½ Pitch (nm) (contacted)	80		70		65		57		50		45		40		36		32	
Wafer Diameter (mm)	300		300		300		300		300		300		300		450		450	
Size of Probed Area (mm ²)																		
Memory DRAM	128 to 256 DUTs		128 to 256 DUTs		128 to 256 DUTs		128 to 256 DUTs		128 to 256 DUTs		128 to 256 DUTs		256 to 512 DUTs		256 to 512 DUTs		256 to 512 DUTs	
Memory NAND-Flash	128 to 256 DUTs		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer	
Number of Probe Points /Touchdown	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total
Memory (DRAM)	1730 - 10260	2240 - 13300	14500	18700	14500	18700	14500	18700	14500	18700	14500	18700	14500	18700	14500	18700	14500	18700

図表 4-25b 「Table.38a (Wafer Probe Technology Requirements—Near-term)」に対する STRJ 提案抜粋

Year of Production	2005		2006		2007		2008		2009		2010		2011		2012		2013	
DRAM ½ Pitch (nm) (contacted)	80		70		65		57		50		45		40		36		32	
Size of Probed Area (mm ²)																		
Memory (DRAM)	50% of wafer		50% of wafer		100% of wafer													
Number of Probe Points /Touchdown	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total
Memory (DRAM)	14500	18700	14500	18700	17000	20000	17000	20000	17000	20000	17000	20000	17000	20000	20000	25000	20000	25000

図表 4-25c 「Table.38a (Wafer Probe Technology Requirements—Near-term)」の Final Copy 抜粋

4-4-4 SiP テスティング

SiP テスティングの検討は今年で3年目となった。1年目はロジック／メモリ、2年目にはアナログを追加、今年度はWG2(テスト)内のSiPチームとして活動し設計・製造から品質まで含めた広い範囲の議論と纏めを行った。なお、議論に際しては市販の図書[3]を参考とした。

SiPは1つのパッケージにシステムの一部、又は、全部を内蔵したものであり、コントローラにより処理を行なうものである。図表4-26に構造のイメージを示す。CPUとメモリ、周辺ロジックを内蔵し、高速信号の配線を短くすることでノイズの放射を減少し、負荷が軽くなることで高速動作を行い易くなると云う利点がある。外部からの信号を直接入出力するためのアナログ信号処理も含んでいる。

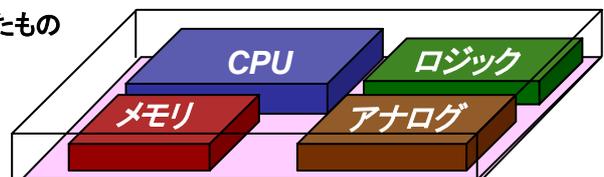
SiPと同様の目的で作成され、同じような機能を持つものにSoCがある。SoCは1つのチップに全ての機能を集積するが、SiPでは夫々の構成要素が最高の性能になるよう、異なったプロセス技術で作成されたチップで集積することが可能で、チップを部品として購入し、最高性能のICを構成することが出来る。

SiPとSoCは同じ目的で、実現手段が異なるものと考えることが出来るが、SiPは複数の部品を組合せて作成するため、個別部品でのテストと完成後のテストの両方について検討しなければならない。SiPでは外部との信号インタフェースとして光、電波、磁気等を使用した非接触接続のものもある。これ等のテストに於いてはハンドリングやコンタクトが主要な検討課題と考えられる。また、パッケージの形態についても通常のICの外形を採るもの以外に、要求に応じた様々なバリエーションが考えられる、ハンドリングがこのようなSiPのテストの主要な検討課題となる。

SiP はモジュールの1種である。モジュールの中には複数のメモリを1つのパッケージに封止した MCM (Multi Chip Module) や MCP (Multi Chip Package) がある、これ等はテストから見ると容量の大きいメモリであり SiP ではない。また、単に複数の部品を1つのパッケージに封止したものも SiP テストの対象ではない。SiP に含まれるものの範囲は広く、全てを含んだものに対してテストの検討を行なうことは現実的ではない。それ故、今年度は検討対象を次の範囲に限定し検討を行った。

2005年度検討対象のSiP

- ▶ システムの一部、または全部を1つのパッケージに内蔵したもの
- ▶ コントローラと複数のICで構成されるもの
- ▶ 電氣的に外部と接続するもの
- ▶ パッケージの外形は一般的なもの
- ▶ 複数のICや受動部品を1つのパッケージに単に封入しただけのものは含まない



図表 4-26 2005 年度検討の SiP

(1) SiP テストの課題

SiPのテストについて、技術・経済・テスト技術の夫々の面から課題を抽出した。それらを纏め、要素別に色分けを行ったものが「SiPテスト坊や」である。

SiPはゲーム機から医療用までさまざまな分野で使用され、要求される品質・信頼性についても一様ではない。テストの課題解決に当っては、品質とコストのトレードオフを考慮し、最適なソリューションを求めることが重要である。

◆技術的	Wafer テスト (KGD/KTD テスト) パッケージ・テスト (システムとしてのテスト、内蔵チップの個別テスト) 品質、信頼性、製品特性 (ノイズ、特性シフト, ...)
◆経済的	製品価格に対するテストの課題 テストとしてのリペアや調整
◆要素別のテスト技術 (RF, Analog, Memory, ...)	



図表 4-27 SiP テスト坊や

(2) SiPテストングの課題に対するポテンシャル・ソリューション提案

図表4-28は今回纏めたSiPテストングの課題に対するポテンシャル・ソリューションの提案を、製品／装置について纏めたものである。

	項目	ポテンシャル・ソリューション
SiP／チップ メーカー	製品 設計	外形形状の標準化 SiP製造の役割分担明確化 相互影響、配線の影響等を考慮した設計 コンカレント・テスト可能な製品設計、テストモード 要求性能に対応したテスト設計 冗長回路、解析技術、調整回路搭載、ICの可逆的接続技術
	チップ保証	KGD／KTDの定義(EIAJEDR-4703)とテストガイダンス
	間接コスト低減	エンジニアリングコストの最適化(少量生産対応) 製品試作費用の低減(チップ開発:シャトルサービス)
装置メーカー	テスト	多様なSiPの要求に合わせ、構成を自由に変更できるテスト SiP専用の低価格テスト(実動作試験機、最終は簡略化テスト) コンカレント・テスト、同時測定が安価に可能なテスト 小型テスト、小型テストヘッド
	ハンドラ プローバ	NREコスト削減のための共用部分の仕様標準化 低加重コンタクト技術(ソケット)、多ピン化対応 多数個同時測定

図表 4-28 SiP テストング課題に対するポテンシャル・ソリューション

(2.1) SiP／チップメーカーに対するポテンシャル・ソリューション

(a) 外形形状の標準化

主にプリント基板を使用して作られるSiPは、その外形形状の統一、標準化が進んでいないパッケージと言える。実装面積を極小化することを目的とした場合、SiPは製品毎に任意の形状となりテスト治具やICソケットや収納容器のカスタマイズが避けられない。このために短納期を特長とするSiPの優位性も、テスト治具等の開発工期で律速される可能性がある。したがって、NREコストを抑え、短納期でSiPを供給して行くためにはSiPの外形形状の標準化やラインナップ化が必要である。

一方、SiPを構成するICチップの外形仕様、ピンアサインの統一化も、SiPのNREコストの削減や、短納期開発に効果的である。特に、汎用と位置付けられるICチップ(メモリ、RF等)は標準化で大きな効果が期待できる。何故なら、SiP製造メーカーのICチップの選択幅が広がり、NREコストの削減や短納期開発への貢献のみならず、市場価格に合ったICチップの入手が可能となり、製品単価を引き下げが可能となるからである。

(b) SiP構造の役割分担の明確化

SiP製品は大きく分けると、図表4-29のように、構成ICチップの端子接続により3つに分類される。

タイプ①：独立して全端子外部に接続されている。

タイプ②：一部端子は内部接続されているが、全端子を観測できるための端子が外部に接続されており、テストモードで独立したテストが実施可能である。

タイプ③：SiPを構成するチップ間の接続は外部に接続されることも無く、テスト回路(BIST)やファンクションのテストしか行なえない。

SiP 構造		タイプ①	タイプ②	タイプ③
特徴		全端子外部接続 内部相互接続なし	全端子外部接続 内部相互接続あり	内部接続端子は 外部出力されない
技術	設計容易性	◎ 単品 IC と同等	△	× 相互影響意識
	テスト容易性	◎ 単品 IC と同等	△	×
経済	SiP コスト	× Pin 数大	△	◎ 省Pin化
	WFコスト	◎ 簡易化可能	△	× KGD化
	テストコスト	△ Full テスト	△	◎ 機能試験程度
品質 テスト	信頼性保証	◎	△	× 組立欠陥の混入
	スクリーニング性	◎	△	× 縮退故障のみ
	解析容易性	◎	△	× 故障特定困難
開発主管		SiP メーカー	SiP/チップメーカー	カスタマ

図表 4-29 SiP の分類

また一方で、要求される品質レベルは、医療・車載機器レベルの高信頼性から民生機器レベルや玩具レベルの品質まで多様である。これらの2つの側面から考察すると、タイプ①は、一般的なICと同じレベルのテストが可能であり、高信頼性を実現し易い。タイプ③は、SiP化された個々のICチップの仕様、機能を100%観測することが不可能となり、高信頼性が難しい。これらSiPの分類を基に、SiP開発の主管を何処が行なうべきか、ICチップの保証レベルは如何に有るべきかを考察してみる。

タイプ①については、ICチップ単体としての試験が行なえるため、ICチップの試験については経済的な面から見た許容不良流出を満たせば、ウェーハテストの簡易化を実現することが可能である。また、SiP化された後でもスクリーニングが実施でき、その不良検出も十分に可能である。即ち、SiP単独での製品保証の手段が確立されており、SiPメーカーが単独でテスト仕様や品質保証を行なうことができ、SiPメーカー主導での製品開発が可能となる。

タイプ②のSiPは、構成されるICチップが相互に関係し合うため、ICチップ開発段階からSiPテストを考慮した回路設計が必要となる。つまり、ICチップメーカーとSiPメーカーが相互に連携してSiPの回路構成やテスト方法を検討し、必要に応じてICチップの設計にも踏み込んだ製品開発が必要となる。

タイプ③のSiPはテストに大きな制限を受けるため、アプリケーション開発サイド(SiP購入者)に比重の多くを負っていただくこととなる。SiPメーカーは、ICチップメーカーより、KGD(Known Good Die)、KTD(Known Tested Die)の供給を受け、それを組み立てて一部のDC特性をテストするしか手段は無く、SiP状態で全ての機能は保証されていないことの認識に基づいて製品を供給することとなる。したがって、このタイプの場合は、1つに各工程での製品保証の積み重ねにより最終出荷品質が成り立ち、その出荷テストの仕様はカスタマに因るところが大きいと言える。

(c) 相互影響、配線の影響を考慮した設計

① ICチップ動作の相互作用による、デバイスの誤動作の発生

ICチップが動作する時に発生するスイッチングノイズ、クロストーク、I/Fの反射・輻射の影響を考慮したIC設計、CSP(Chip Scale Package)基板設計に対する考慮が必要である。電源インピーダンスの極小化、電源回路の最適設計、高速動作信号の分離、シールド処置、I/O間のインピーダンスマッチングがSiP回路設計面から重要である。

また、テスト技術面からもテスト治具の電源強化(同時測定時の電源、GNDの振れ)、スイッチングノイズを極小化するテストパターン最適化に考慮する必要がある。

② IC チップの動作による製品温度の上昇

SiP の 1 つの目的として、異なるプロセスにより作られた IC チップを 1 パッケージに組み込むことが挙げられる。例えば、SoC チップと大容量ドライブのアナログ IC を組合せた場合、アナログ IC の温度上昇により SoC の誤動作や特性値の変動が懸念される。このため、設計段階でのパッケージ熱容量や放熱性を考慮する必要がある。

また、このことはテスト実施時にも当てはまり、本来の試験温度を逸脱することを意味しており、テスト治具、テスト環境のコントロールの重要性が増してきたと言える。

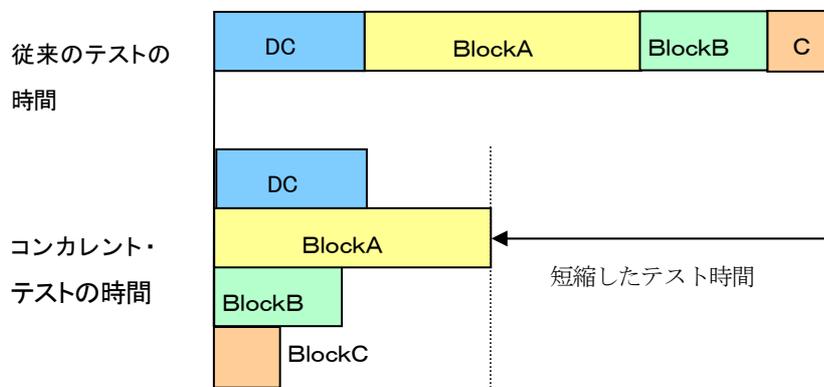
③ IC チップ積層の応力集中による特性変動

SiP の高集積性を実現するため、IC チップの積み重ねを行なう事例が多く見られる。IC チップの回路集積面に IC チップを重ね置きする場合には、通常の IC パッケージとは異なる応力の集中が発生する場合がある。ロジックなどのデジタル信号の扱いには大きな支障はないが、この応力集中がアナログや DRAM 等のセンシティブ回路エリアに発生した場合は、製品特性や仕様に致命的な影響を及ぼすことが想定される。このため、SiP のパッケージの設計においては、IC チップの搭載位置、応力シミュレーション、低応力モールド樹脂、パッシベーション構造の最適化が重要である。

このため SiP 化により特性が変動する製品のテストにおいては、SiP 状態でも特性値を観測できるスキームが必要となる。このことは、先に述べた SiP 構造への制約を与え、場合によっては構造変更をも迫る大きな課題となるだろう。

(d) コンカレント・テスト可能な製品設計、テストモード

コンカレント・テストを SiP に適用した場合、SiP 内部で複数の回路ブロックを並列に測定することで、テスト時間の削減が可能になる。



図表 4-30 コンカレント・テスト

コンカレント・テストを可能にするには、SiP に組み込まれるチップがそれぞれに独立してテストできる必要がある。SiP の場合、1 つのブロックは 1 つの IC チップと考えられるため、バウンダリスキャン・テストの手法を使用する場合もあるが、SiP 内部の IC チップが夫々にバウンダリスキャン・テストに対応している必要があるために普及はしていない。SiP 設計において、チップ間の接続にシリコンウェーハに配線された基板も一部使われている。この基板にバウンダリスキャン回路を形成する事でコンカレント・テストが可能との提案もある。

(e) 要求性能に対応したテスト設計

SiP で必要なテスト項目は、SiP 内部に組み込まれている IC チップの保証状況で大きく変わる。KGD の IC チップのみで組み立てられた SiP は、量産時に IC チップ間の接続及び外部端子への接続のみ確認できれば

出荷品質に大きな問題はない。しかし、KGD での IC チップ供給(流通)が一般的でない現状では、使用目的、要求品質からテスト項目やテスト条件等が決定されている。

IC チップメーカーが SiP を作る場合は、IC チップ状態でテスト状況が完全に掌握できることと、SiP 組立て後の不良は経済的損失が大きいため KGD に近いテストを IC チップ状態で実施するのが一般的である。この前提では、SiP 組立て後の量産テストでは実機動作確認に近いテストを行なう場合が多い。

(f) 冗長回路、解析技術、調整回路搭載、ICの可逆的接続技術開発

仮に SiP に搭載されているチップの内の 1 つだけが不良で、その他は正常だとしても、SiP 全体としては不良となり、歩留りに影響する。安価なチップが不良となっても、他の正常なチップは製品とすることができず、経済的損失は大きくなる。もし、不良チップを修復することができれば良品 SiP として再生でき、歩留り(生産性)を向上できる。このように、生産性や経済性を考えた場合、不良 SiP の冗長手段を確立することが重要となる。不良チップの修復方法としては以下の方法が考えられる。

- ① 冗長回路による不良部位の分離
- ② 調整による修復
- ③ 不良チップ交換

① 冗長回路による不良部位の分離

あらかじめチップ内に救済用の冗長回路を組み込んでおくことで、不良回路との置き換えによってチップ救済が可能となる。特にメモリでは冗長メモリセルと誤り訂正符号(Error Correction Code)技術の組み合わせにより低故障率を実現している。SiP においても搭載する各チップに冗長回路や冗長手段を組み込んでおくことが必要である。但し、チップオーバーヘッドと目標とする故障救済率とのバランスを考えた設計が必要となる。

② 調整による修復

半導体デバイスの微細化により、プロセス・バラツキや素子特性バラツキが、高速動作やアナログ回路特性に影響するようになってきた。そこでメモリやアナログ回路では周波数特性やオフセット電圧の調整により、動作の正常化を図っている。ロジック LSI においても、遺伝子的アルゴリズムを用いたアナログ回路調整技術やクロックタイミング調整技術の研究開発が行われており、一部実用化されている[4][5]。

SiP においては、正常なチップを使用することになるが、SiP 組立によるチップ間接続状態や応力などにより、チップ特性が変わる可能性がある。そのため、SiP 組立後にも各チップが調整できるようにしておく必要がある。複雑な調整方法ではそれだけ調整時間がかかり、かえってコスト高となるので、デバイス単体の調整技術の SiP への適用、特に、遺伝的アルゴリズムを用いた調整方法のような自己調整手段が適用できるかが課題となる。

③ 不良チップ交換

不良チップを良品と交換することができれば、良品 SiP として再生可能である。そのためにはチップを分離しやすい構造にする必要があるが、ワイヤーボンディングによる接続では分離しにくいので、パッケージの工夫が必要となる。一つの方法として PoP(Package on Package)化が考えられる。機能毎あるいは故障率が高いチップを PoP 化することで、SiP 組立後の分離をし易くするとともに、パッケージ・テストによる高信頼性チップを使用することが可能で、SiP 組立後の故障発生リスクを軽減できると考えられる。

ワイヤーボンディングや半田バンプのような不可逆的な接続方法の場合、チップの再利用は困難であるが、繰り返し使用可能な接続方法が確立できれば、チップの組立/分離の自由度が上がり、生産性が向上する。また、不良解析もし易くなる。ソケット/プローブカード/実装の分野では、スパイラルコンタクトや異方性導電膜など、ファインピッチ化に対応した電気接続方式が開発されてきている。今後はパッケージ分野においても、

ワイヤーボンディングに代わる新しい接続技術の開発が課題となる。

(g) KGD/KTD の定義(EIAJEDR-4703) と テストガイダンス

チップ保証を実現する前提条件として KGD と云う用語が広く使われているが、その意味するところは、その使用背景によって微妙に異なる。特に、信頼性と絡みでチップ保証と称した場合は、技術マター以外の人為的要素も入り易く、ポテンシャル・ソリューションを議論する際に、議論が発散する可能性が大きい。事実、本年度 ATE-SWG サイドから議論した SiP テストにおいても、信頼性についての技術課題と、そのポテンシャル・ソリューションの明確化には至らなかった。その原因の 1 つは、チップの信頼性に関する検討を純技術論に落とし込むことが十分に出来なかった為である。今後の活動においては、チップ保証の議論をする場合の前提条件の明確化が重要であり、その為には、KGD/KTD の定義として参考にしてきた「KGD を含むベアダイの品質保証ガイドライン」[6]を ATE-SWG の観点からレビューする。即ち、ガイドラインで制定されていることを具体化する為に何をしなければならないか。あるいは、そのガイドラインのみでチップの信頼性を議論するのに充分であるか、の原点まで立ち戻って上記ガイドラインの読み合せを行い、チップ保証の前提条件を深く共有化した上で、チップ保証する為のポテンシャル・ソリューションの探求に着手することが必要である。この共有化の過程(注)によって SiP を得る為の前提で述べられるチップ保証する為の KGD 技術(あるいは、KTD 技術)の課題が明確になり、その解決策(ポテンシャル・ソリューション)探索の第一歩になるだろう。今後の取組みの参考とする為に、2003 年度、2004 年度の活動報告で言及した SiP を構成するメモリチップとアナログ部について以下に再掲する。

① チップメモリをメモリテストで直接的にテスト

ここでのテストとは、パッケージ品と同等のテストの意味であり、その課題は、ウェーハ状態における

* 高速テスト * 初期不良品除去の為のバーニン

② アナログ部のテスト

ここでのテストとは、ウェーハ状態におけるアナログ特性の把握と要素別テスト技術(RF, Analog)の実現

注)「共有化の過程」とは、ATE 関係者が上記の課題①②のポテンシャル・ソリューションを探求する場合に議論が発散しないよう、EIAJEDR-4703 を基にした ATE サイド向けガイド版の作成をイメージしている。

(h) エンジニアリングコストの最適化(少量生産対応)

SiP のテストコストについて分析する。分析する SiP はアナログを含めた SiP であり、WG2(テスト)での議論から、メモリとロジックを主体としたものを取り上げた。その為に、メモリ・テストやロジック・テストに加えて、アナログ・テストが必要になる。更に、SiP 実装のストレスやチップの薄膜化工程のストレスの為に、アナログ特性の劣化が考えられる。そのポテンシャル・ソリューションとして修復装置(レーザ・トリミング等)などを用いた修復工程が必要になる。

図表 4-31 にそのテスト工程のフローを示す。従来方式として現状のテストを使ったテスト工程フローと、2003 年度 STRJ 報告で述べたオープン・アーキテクチャ方式と、そして、構造可変テストを一覧にした。各々の経済性を評価するために単純なコストモデルを用い各方式の経済性を評価した。その結果、何れの方式も同程度のテストコストとなることが分かった。そこで、低価格を狙う SiP テストコスト低減の一例として、アナログ JTAG を考慮した製品において構造可変テストの測定機能の簡略化(テスト回路の基板内装)を考察した。

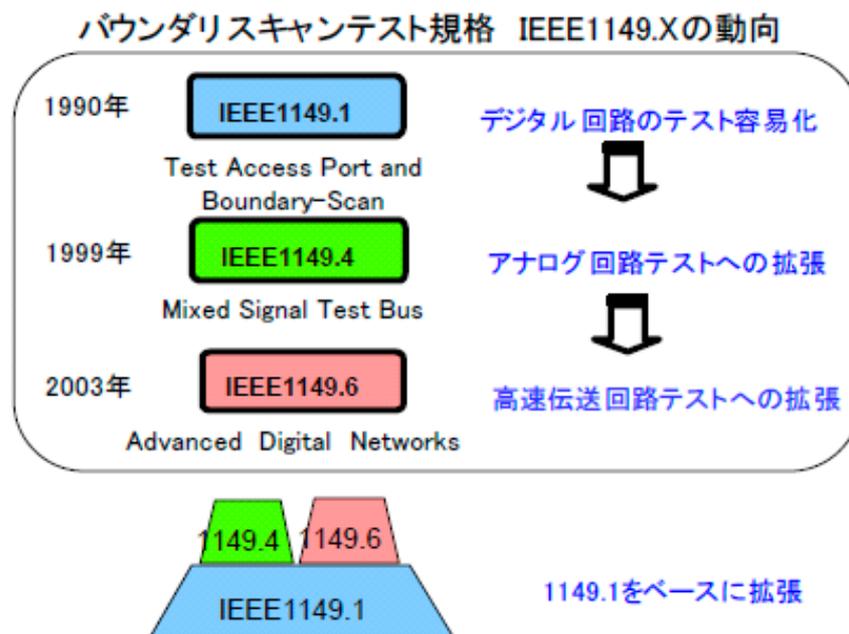
今年度のテストコスト検討を通して明確になったコスト増大の要因の 1 つは、エンジニアリングコストである。図表 4-31 に示す通り、オープン・アーキテクチャ方式、あるいは構造可変テストは、従来方式に比べて一見コスト高だが、従来方式では 4 機種 of 装置を使うためにエンジニアリングコストが割高となる。一方、オープン・アーキテクチャ方式、あるいは構造可変テストでは、使用するテスト機種が限定できるので、少量多品種生産製品である SiP 製造ではトータルコストの低減に有効である。

テスト工程 フロー	従来方式		オープン・アーキテクチャ方式		構造可変テスト		テスト回路の基板内装	
	1 ↓	メモリテスト	Test time 10s	メモリテスト	Test time 10s	構造可変 テスト	Test time 30s	構造可変 テスト
2 ↓	ロジックテスト	Test time 10s	オープン アーキテクチャテスト	Test time 20s ハード交換 60mm				
3 ↓	アナデジテスト	Test time 10s			修復	Test time 10s	修復	Test time 10s
4 ↓	修復	Test time 10s	オープン アーキテクチャテスト	Test time 5s ハード交換 60mm	構造可変 テスト	Test time 5s	構造可変 テスト	Test time 5s
5	アナデジテスト	Test time 5s						
装置 治工具	装置価格比 1.0	治工具比 1.0	装置価格比 0.86	治工具比 0.75	装置価格比 0.71	治工具比 0.5	装置価格比 0.54	治工具比 0.5
テスト コスト比	1.0		1.15		1.31		0.81	
エンジニア リングコスト	4機種、4人x1w		3機種、3人x1w		2機種、2人x1w		2機種、2人x2d	

図表 4-31 SIP のテスト工程とテスト方式

図表 4-32 に現状の JTAG 規格の現状を示す。アナログ JTAG は既に規定されているが、アナログ JTAG の回路規模やコストの関係やアナログ特性劣化の問題があり、未だアナログ・チップに搭載されていないのが現状である。

このポテンシャル・ソリューションとして、2003 年度 STRJ 報告でも述べたように、ロジック JTAG だけでなくアナログ JTAG のテスト回路もプリント基板に内装することが 1 つの方法である。

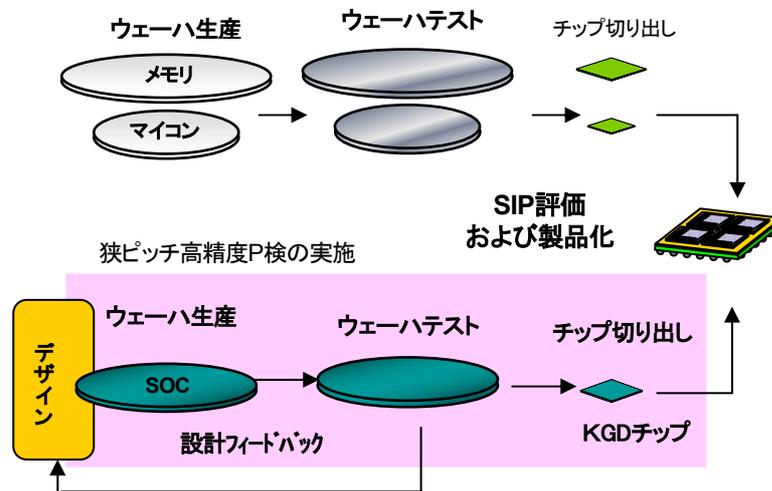


図表 4-32 JTAG 規格

(h) SiP 生産コストの低減

メモリやマイコンは標準化技術で大量生産している。ロジックやアナログは差別化技術であり、SiP 技術で組み立てて製品化する手法は生産コストを削減する 1 つの方法である。一方で、不良品も混じったチップで SiP を生産する事はその SiP の歩留りを極度に低下させるので、ベアダイの KGD チップが必要になる。このため、KGD 取得のプローブテストは避けて通れない課題である。しかし、ウェーハのプローブパッドが標準化できていないので、ウェーハテストの工程では製品毎にプローブカードを製作しなければならない。その結果、テスト開発費(テストの NRE コスト)の上昇をもたらす。

この課題に対するポテンシャル・ソリューションの 1 つとして最近では、フレキシブル基板を使ったプローブカード技術(図表 4-34)が実用化され、パッドピッチの正規化が可能になりつつある。このフレキシブル基板プローブカードはグランド面を形成できるので高周波性も向上でき、半導体ロードマップで展望されている周波数帯域に対応できる可能性がある。プローブピンのピッチは 35 μm であり、その発展形として 20 μm の可能性もある。仮に 20 μm や 40 μm の整数倍でパッドピッチが標準化できれば、プローブカードの共通化ができ、テスト開発の NRE コストの削減に繋がる。



図表 4-33 差別化技術チップの KGD 化で SiP 生産コストの削減

	フレキ基板タイプ・プローブ・カード	カンチレバータイプ・プローブ・カード
特性	高周波性 周波数帯域:7.5GHz 狭ピッチ 35 μm ピッチ対応	高周波性 周波数帯域:500MHz 狭ピッチ 50 μm ピッチ対応
概観 電磁放射		
デジタル 波形		

図表 4-34 プローブカード技術

(2.2) SiP テスト装置に対するポテンシャル・ソリューション

(a) SiP 用テスト

SiP テスティングに関する要件は多様であるが、ロジック／メモリ／アナログ／RFなどの様々なコアが同じパッケージ内に組み立てられていることから、テスト要件も特徴的なパッケージ・テストに関するものになる。パッケージ・テストにおけるポテンシャル・ソリューションは大きく分けて、下記の 2 つのトレンドがある。

① 多機能 SiP テスタ

各コアの多様なテスト要件にフレキシブルに対応できるテストシステムによるソリューション

② 簡略化テスト

DFT/BOST 等でテストに対する要件を低減し、低コストテストを利用するソリューション

①のテストトレンドは、主に品質や製品 TAT を重視する場合に求められ、②のテストトレンドは主にコストを重視する場合に求められるポテンシャル・ソリューションである。図表 4-35 に、これらの 2 つのテストトレンドにおける、SiP のコア要素とシステム要素に対するテスト・ソリューションをまとめた。実際のテスト・ソリューションは、この 2 つのテストトレンドの一方に収束していくのではなく、SiP の品種ごとに異なる多様な品質/TAT/コストの要求に対して、トレードオフを考慮して 2 つのテストトレンドを適宜に組合せることで形作られていくだろう。

SiP コア要素/ システム要素	多機能 SiP テスタ 主な目的:テスト品質の向上、TATの短縮	簡略化テスト 主な目的:テストコストの低減
ロジック	高速ロジック実速度試験(差動、小振幅対応) 多チャンネル 時間測定機能(周波数、Jitter)	ロジックBIST 対向デバイス試験 Loop Back 試験 ボードレベル実動作試験
メモリ	メモリ・テスト オプション 高速レート対応 複雑なアクセス・プロトコルへの対応	メモリBIST SiP セルフテスト(SiP 内部MCUコアによるメモリ・コアのテスト)
アナログ	アナログ・テスト オプション 高速、高分解能対応 多ポート、同時測定	アナログ BIST/BOST Loop Back 試験
RF	RFテスト オプション 多ポート、同時測定 高周波対応	RF BIST/BOST(CW RF ソースを利用) RF Functional テスト(Modulated RF ソース・レシーバーを利用)
システム全体	マルチ・ポート、マルチ・クロックによるコンカレント・テスト ユニバーサル・スロット・システム構成 高速データ処理機能	小型テスト、小型テストヘッド RPC (Reduced Pin Count)を導入した多数個取り

図表 4-35 SiP テストのポテンシャル・ソリューション

(b) SiP 用ハンドラ/ソケット

① NRE コストの削減に向けた共用部仕様の標準化

ハンドラにおいては、パッケージ形状／テスト時間／同時測定個数によって機械構造やフロアスペースが決定される。したがって、各々について SiP に対する標準を作成することが装置の共用設計を促進し、NRE コストの削減に繋がる。

まず、パッケージの供給／収容形態についてであるが、JEDEC トレイに代表されるような標準トレイ(マガジン)化がローダ／アンローダ機構の共用化に不可欠であり、それを使用できるように、パッケージ形状については一定の標準が必要となる。当然のことながら、それに伴いトレイから測定ソケットへ搬送する為の手段(ピッ

ク&プレイスやボート搬送等)についても共用化が進んでいく。

一方、テスト時間と同時測定個数については、現在のロジック系ハンドラとメモリ系ハンドラに住み分けが生じているように、短テスト時間＝少量高速搬送＝小型ハンドラ、長テスト時間＝多量中速(低速)搬送＝大型ハンドラと云った選択が成されるので、ハンドラで選別する場合のテスト内容についての吟味は充分に行なう必要がある。

テスト工程の標準化が進む中で、ハンドラが SiP のテスト工程内に登場するかについても議論を進める必要がある。

② 低加重コンタクト技術(ソケット)と多ピン化対応

SiP の積層構造は多ピン、且つ、従来のモールドパッケージより脆弱であると想定される。そのため、パッケージの搬送時はもちろん、測定時にソケットへ挿入したり押し付ける際にパッケージを内外部に問わず機械的に破損させてしまうことを避ける為に、1ピンあたりのコンタクト加重は低減しなければならない。幸いにも、ハンドラにおいてはウェーハレベル CSP などの比較的破損しやすいパッケージに対して、ソケットへの押し付け圧を自動で調整する技術が研究されており、その延長上でパッケージ全体に対する低加重コンタクトの実現は可能と考える。一方ソケットについては、低加重でテスト端子に付着する酸化膜を容易に破り、コンタクト性を保持する新技術(コンタクトの先端形状だけでも解決策になるかもしれないが)が必要になる。ハンドラ同様、SiP のテスト工程にソケットが必要であるかも議論を進めていく必要がある。

(c) SiP 用プローバ/プローブカード

SiP のテストに様々な技術的な工夫を取り込んで行く上で、プローバやテスト治工具であるプローブカードにもテスト技術を担保する機能や性能が求められる。SiP は様々なコアチップで構成されるので、ウェーハ検査と KGD/KTD との関係、すなわちウェーハレベルでの At-speed テストや Burn in テストに対するソリューションが課題となる。またウェーハレベルでテストが行われる事により、従来のパッケージ品のテストとは異なる手順でテスト工程を構築する必要も生じ、テスト関連装置に対する要件が変化する。

実装やコアチップ、テスタ、WLBI 装置などに対するテスト技術上のポテンシャル・ソリューションは其々の項を参照頂き、ここではウェーハプローバとプローブカードのポテンシャル・ソリューションについて述べる。

① ウェーハプローバ

ウェーハプローバでは同時測定個数の増加/高低温下における熱変形/多様化するプローブ先端形状の認識と位置決めへの対応などが求められ、またバックグランドされた薄ウェーハのハンドリングも要求される。さらに WLBI 装置の構成要素としてウェーハプローバが使用されるケースも考慮すると、対応すべき課題は多い。これらの様々な要件を満たすにはウェーハプローバのみにソリューションを求めるのではなく、ハンドリング対象、例えばプローブカードなら位置決めのためのプリアライメントマークを設置する、薄ウェーハなら台座に貼りそれをキャリアとして搬送するなどの例に見られるように、今後もハンドリング対象との協調開発がポテンシャル・ソリューションとなるだろう。

② プローブカード

プローブカードでは同時測定個数の増加(多ピン化やウェーハ全面コンタクトも視野に含む)/電源系の低インピーダンス化(大電力を扱える事)/狭ピッチ化/1GHz~10GHz 帯で 100~1000 ピンのデジタル I/O や 10 数ピン未満のマイクロ波 I/O を扱える高速伝送特性/高低温下における熱変形の抑制、などが課題となる。これらの要件を満たすには近年開発が活発化しているフォトリン技術や MEMS 技術を構造や製法に取り入れた新世代のプローブカード(アドバンスド・プローブカードなどと呼ばれている)がポテンシャル・ソリューションとなり得る。しかし、治具コストや TAT(Turn Around Time)に対する課題が残っているので、DFT や ATE との協調開発や NRE コストの削減などが実現に向けたポイントである。

4-4-5 DFTテスト

DFT テスタに関する検討は 2004 年度から継続で行なっている活動である。2004 年度には、DFT テスタの技術的な要件や方向性について検討を行ない「SoC 向け DFT テスタのイメージ」を作成した。これを受け、今年度は量産用 SoC 向け DFT テスタのロードマップ化を進めた。また、ITRS2003 の Table.30 <DFT-BIST Device Requirements>との整合性を考慮し、新たなロードマップを ITRS2005 に提案する事を活動の目的とした。図表 4-36 は、2004 年度に作成した、新たな DFT テスタのロードマップのイメージである。

Table-30b DFT-BIST Device Test Requirements on SoC Production

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
Number of parallel sites	4	8		32	32	32	32	Cost
Scan data volume(Giga-pin-vectors available per site)						1		Logic Density
Data capture volume (M bits-per-pin)								
Scan pin (available per site / system)								Logic Density
Scan vector								

2005年度は量産用SoC向けDFTテストに着目したATEのロードマップ化を進める



図表 4-36 量産用 SoC 向け DFT テスタのロードマップ検討

しかしながら、ITRS2005 に向けた活動の中で、ITRS としては Table.30 の見直しは行なわず、またこの Table 自体を ITRS2005 から外すと言う見解がなされた。この決定に伴い、本活動は方向展開を余儀なくされた。

DFT テスタの大きな目的は、「コストの低減」であるので、「DFT テスタの価格」、「DFT テスタでテスト可能な割合(テスト時間比)」、「生産数量」をパラメータに、DFT テスタを使用した場合のコストメリットについて検討を行なった。検討に関しては、SoC テスタで測定した際に「50 秒のテスト時間を要する製品」において、DFT テスタに置き換えられるテスト部分を DFT テスタで実施した場合、すなわち SoC テスタと DFT テスタで 2path 測定を行なう場合を想定し、前述のパラメータを振った際に投資するテスタの総コストがどのように変化するかを検証し、そこから DFT テスタのコストメリットに関する検討を行なった。

(1) 検討の前提条件

1) 投資コストでの比較

現有の設備に関しては考慮せず、ある決まった生産数量を測定する際に必要なテスタ台数を新規投資した場合を想定して投資コストを比較した。

2) SoC テスタ、及び DFT テスタの多数個測定数

昨年度、DFT テスタのイメージ作りの中で、コスト的に最適なテスタ構成として 32 個同時測定が最もメリットがあるとの結論が出た。今回の試算もこの結果を踏まえ、DFT テスタに関しては 32 個同時測定を、SoC テスタに関しては 2 個同時測定として検討を行なった

3) 投資コストの計算式

投資コストの計算には以下の計算式を用いた。

- ・投資コスト = 投資台数 × 装置コスト
- ・投資台数 = 生産数量 ÷ (SoC テスタでの処理能力 + DFT テスタでの処理能力)
- ・処理能力 = ((月間秒数 × 稼働率) ÷ (テスト時間 + インデックスタイム)) × 同時測定個数
- ・月間秒数 = 3600 秒 × 24 時間 × 25 日
- ・稼働率 = 0.85
- ・インデックス時間 = 2 秒(SoC テスタ:2 個同時測定)
= 5 秒(DFT テスタ:32 個同時測定)

4) 各装置のコスト

各装置のコストは以下を仮定して検討した。

SoC テスタ	60M¥	ハンドラ(2 個同時測定)	20M¥	テストボード	1M¥
DFT テスタ	30M¥	ハンドラ(32 個同時測定)	50M¥	立上げ費(1機種)	5M¥

(2) 試算結果

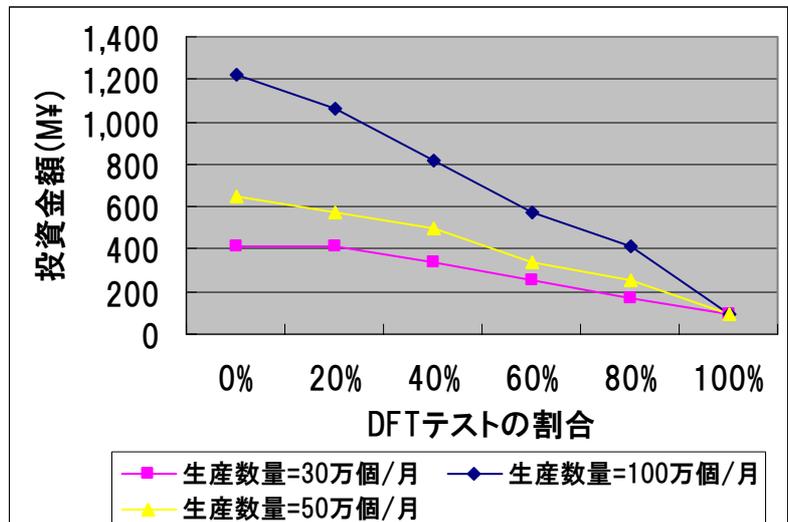
1) 生産数量の違いによる投資コストの比較

図表 4-37 は、月間の生産数量が 30 万個、50 万個、100 万個の場合の、必要投資コストを表したものである。横軸は、DFT テスタで測定可能な割合 (DFT テスタの割合) を示したものである。DFT テスタの割合が 0% とは、SoC テスタで全てのテストを行なうことを意味し、DFT テスタの割合が 100% の場合は、全てのテストを DFT テスタで行なうことを意味する。それ以外のときは、SoC テスタと DFT テスタの 2path 測定を行なうことを意味する。

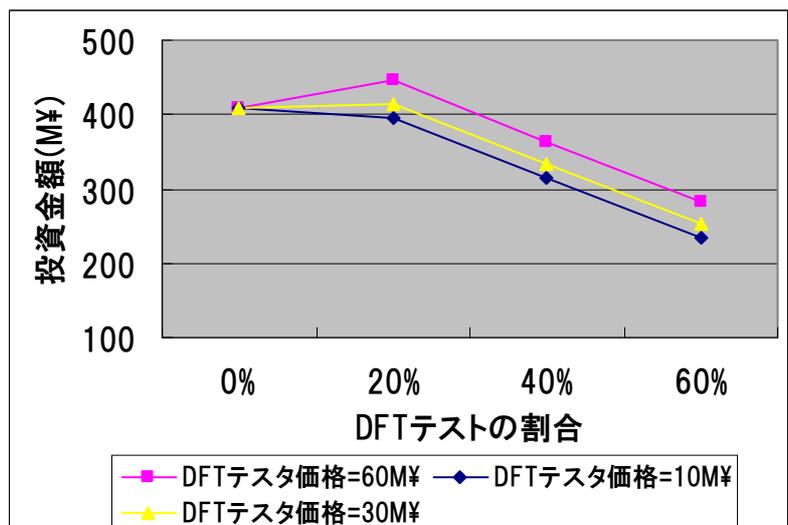
この図から分かるように、生産数量が多い製品ほど DFT テスタを使用することによる投資効果が大きいことが分かる。さらに生産数量が月産 30 万個程度の製品であれば、DFT テスタの割合が 60% 程度にならないと、その投資効果は現れてこない。

2) DFT テスタのコストの違いによる投資金額の比較

図表 4-38 は、月間の生産数量が 30 万個で、DFT テスタのコストが 1,000 万円、3,000 万円、6,000 万円の場合の必要な投資コストを表したものである。横軸は前述のグラフと同様に、DFT テスタの割合を示している。DFT テスタのコストが 6,000 万円 (SoC テスタと同コスト) の場合は、部材費などが 2 重に必要となる為に投資コストが



図表 4-37 生産数量と投資コストの関係



図表 4-38 DFT テスタのコストと投資金額の関係

増える。

(3) 検討結果

この結果を基に WG2(テスト)で検討を行った。

- 1) 生産数量が月産 100 万個を超えるのは、ゲーム機向けや情報端末など、特定用途向けの SoC に多く見られる。一方、デジタル家電向けの SoC は月産 30 万個程度であり、多くても月産 50 万個であろう。
- 2) 特定用途向けの SoC は、その種類にもよるが、設計等に時間を費やし、DFT 技術を多数盛り込み、DFT テストの割合を増やすことが可能であろう。しかしながら、デジタル家電向けの SoC などは、アナログの IP が多く入っていたり、また、顧客ごとに多少のカスタマイズを要す事などが多く、堅固な DFT 設計を行なうことは困難である。
- 3) 月産 30 万個の製品(デジタル家電製品向け SoC のメージ)の場合、DFT テストの割合は 20%程度が限界と想定すれば、DFT テスタのコストが 1,000 万円 (SoC テスタが 6,000 万円と仮定した場合)でも投資効果は殆ど表れない。

これらより、現状の DFT 設計/DFT テスタの技術では、生産数量が多く、且つ DFT 設計が行い易い『特定用途向けの SoC においては投資効果が見込めるが、デジタル家電向けの SoC においてはその効果を出すのはかなり難しい』ということが分かる。

デジタル家電製品用 SoC の場合、DFT テスタでメリットを出す為には、『アナログ IP の DFT 化と DFT テスタ(低コストテスタ)での対応』や、『DFT テスタの更なる低コスト化』が必須である。

4-4-6 デバイス・ロードマップ

テストはデバイス製品仕様のトレンドを把握した上で検討する必要があるとの共通認識から、ITRS2005 技術ロードマップに基づく調査や他 WG からの協力も得てデバイス・ロードマップ表を図表 4-39a,b,c,d の通り纏めた。対象デバイスは、汎用 DRAM/汎用コード Flash/汎用ストレージ Flash/SoC の 4 製品とした。

2005年度 STRJ-WG2

2005年度 デバイスRM調査結果 (汎用DRAM)

プロセス (nm)	2005	2006	2007	2008	2009	2010	2013	2016	2019
	80	70	65	55	50	45	32	22	16
容量 (bit)									
先端技術	8G	16G	32G	32G	64G	128G	512G	2048G	8192G
大量生産	1G	2G	4G	4G	8G	16G	64G	256G	1024G
データレート (bit/sec)									
先端技術	1.4G	1.4G	1.7G	1.7G	2G	2G	3G	3.5G	5G
大量生産	1.1G	1.1G	1.1G	1.1G	1.6G	1.6G	2.7G	2.7G	4.3G
アクセスタイム (ns)	注意: DDR等の高速DRAMではDLL内蔵のため、アクセスタイムは外部クロックに対してゼロになる								
先端技術	0	0	0	0	0	0	0	0	0
大量生産	0	0	0	0	0	0	0	0	0
ビット幅/デバイス (bit)									
先端技術	16	16	16	16	16	16	16	16	16
大量生産	16	16	16	16	16	16	16	16	16
電源電圧 (V)									
High Current	0.9-2.0	0.7-1.8	0.7-1.8	0.5-1.2	0.5-1.2	0.5-1.2	0.5-1.2	0.5-1.2	0.5-1.2
Low Current	0.9-3.3	0.7-3.3	0.7-3.3	0.5-3.3	0.5-3.3	0.5-3.3	0.5-3.3	0.5-3.3	0.5-3.3
リーク電流 (fA)	注意: トランジスタ1個あたり								
先端技術	単位長当り10pA/umが目安								
大量生産	単位長当り10pA/umが目安								
パッケージ形状	注意: 生産量の多いと考えられるパッケージ形状								
先端技術	BGA/FBGA/CSP								
大量生産	BGA/FBGA/CSP								
パッケージサイズ									
先端技術	4-21mm/side								
大量生産	4-21mm/side								
ピンピッチ (mm)									
BGA	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
FBGA/CSP	0.3	0.3	0.2	0.2	0.2	0.15	0.15	0.1	0.1

図表 4-39a 2005 年度 デバイス・ロードマップ調査結果 (汎用 DRAM)

2005年度 デバイスRM調査結果 (汎用コードFlash)

プロセス (nm)	2005	2006	2007	2008	2009	2010	2013	2016	2019
	80	70	65	55	50	45	32	22	16
容量 (bit)									
先端技術	512M	512M	1G	1G	4G	4G	-	-	-
大量生産	512M	512M	1G	1G	1G	4G	4G	-	-
読み出し特性 (ns/bit)									
大量生産	40	40	40	30	30	30	30	-	-
書き込み特性 (us/bit)									
大量生産	10	5	5	2	1	1	1	0.5	0.5
消去時間 (us/bit)	注意:コード用の消去時間はブロック単位(512kbit)時のMAX値								
大量生産	16	16	16	32	32	32	32	32	32
ビット幅/デバイス(bit)									
大量生産	32	32	32	32	32	64	64	64	64
電源電圧 (V)									
先端技術	1.5	1.5	1.5	1.2	1.2	1	1	0.8	0.8
大量生産	1.8	1.8	1.8	1.5	1.5	1.2	1.2	1	0.8
消費電流 (A)	注意:動作電源電流(定常的に流れる電流)の最大値 (複数の電源ポートがある場合は、その中での最大電流)								
先端技術	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15
大量生産	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15
リーク電流 (fA)	注意:トランジスタ1個あたり								
先端技術	単位長当り10pA/umが目安								
大量生産	単位長当り10pA/umが目安								
パッケージ形状	注意:生産量の多いと考えられるパッケージ形状								
先端技術	QFP/P-BGA/FBGA/FLGA/QFN								
大量生産	QFP/P-BGA/FBGA/FLGA/QFN								
ピンピッチ (mm)									
QFP	0.4	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3
P-BGA	1	0.8	0.8	0.8	0.8	0.65	0.65	0.65	0.65
FBGA	0.4	0.3	0.3	0.2	0.2	0.15	0.15	0.15	0.15
FLGA	0.4	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
QFN	0.4	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3
パッケージ高さ									
QFP	1.2	1.2	1.2	1	1	1	0.8	0.8	0.8
P-BGA	1.7	1.4	1.4	1.4	1.4	1.2	1	1	1
FBGA	0.8	0.8	0.8	0.65	0.65	0.65	0.65	0.65	0.5
FLGA	0.5	0.4	0.4	0.4	0.4	0.3	0.3	0.3	0.3
QFN	0.8	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
モールド厚	0.4	0.4	0.4	0.3	0.3	0.3	0.2	0.2	0.2

図表 4-39b 2005 年度 デバイス・ロードマップ調査結果 (汎用コード Flash)

2005年度 デバイスRM調査結果 (汎用ストレージFlash)

プロセス (nm)	2005	2006	2007	2008	2009	2010	2013	2016	2019
	80	70	65	55	50	45	32	22	16
容量 (bit)									
先端技術	8G	16G	32G	32G	64G	128G	512G	2048G	8192G
大量生産	1G	2G	4G	4G	8G	8G	32G	256G	512G
データレート (bit/sec)	注意: ストレージ用のデータレートは、ページ内でのシーケンシャル読み出し/書き込みの特性								
大量生産	40	40	50	50	50	55	60	60	70
消去時間 (ms/block)									
大量生産	10	10	10	10	10	10	10	10	10
ビット幅/デバイス (bit)									
大量生産	16	16	16	16	16	16	16	16	16
電源電圧 (V)									
先端技術	1.5-5.5	1.5-5.5	1.5-5.5	1.5-3.5	1.5-3.5	1.5-3.5	1.5-3.5	1.5-3.5	1.5-3.5
大量生産	1.5-5.5	1.5-5.5	1.5-5.5	1.5-3.5	1.5-3.5	1.5-3.5	1.5-3.5	1.5-3.5	1.5-3.5
消費電流 (A)	注意: 動作電源電流(定常的に流れる電流)の最大値 (複数の電源ポートがある場合は、その中での最大電流)								
先端技術	35	35	35	35	35	35	35	35	35
大量生産	35	35	35	35	35	35	35	35	35
リーク電流 (fA)	注意: トランジスタ1個あたり								
先端技術	単位長当り10pA/umが目安								
大量生産	単位長当り10pA/umが目安								
パッケージ形状	注意: 生産量の多いと考えられるパッケージ形状								
先端技術	FBGA	FBGA	FBGA	FBGA	FBGA	FBGA	FBGA	FBGA	FBGA
大量生産	TSOP/FBGA	FBGA							
ピンピッチ (mm)									
FBGA	0.4	0.3	0.3	0.2	0.2	0.15	0.15	0.15	0.15
TSOP	0.4	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3

図表 4-39c 2005 年度 デバイス・ロードマップ調査結果 (汎用ストレージ Flash)

2005年度 デバイスRM調査結果 (SoC)

プロセス (nm)	2005	2006	2007	2008	2009	2010	2013	2016	2019
	80	70	65	55	50	45	32	22	16
チップ面積 (mm ²)									
先端技術	572	572	572	572	572	572	572	572	572
大量生産	310	310	310	310	310	310	310	310	310
トランジスタ密度 (/mm ²)	注意:メモリ部を除く								
先端技術	2.2M	2.8M	3.6M	4.5M	5.7M	7.1M	14.3M	28.5M	45.3M
大量生産	2.2M	2.8M	3.6M	4.5M	5.7M	7.1M	14.3M	28.5M	45.3M
ゲート数	注意:トランジスタ密度×チップ面積/4								
先端技術	320M	400M	520M	650M	850M	1100M	2000M	4000M	6500M
大量生産	180M	220M	280M	350M	450M	600M	1200M	2200M	3500M
最大外部周波数 (Hz)	注意:3GHz以上は、SiGe混載プロセスで実現								
先端技術	6.4G	12.8G	12.8G	20G	20G	20G	20G	20G	20G
大量生産	2.5G	4.7G	4.7G	8G	8G	12.8G	12.8G	12.8G	12.8G
SCANポート数	注意:1DUTあたりのSCAN IOピン数								
先端技術	1-512	1-512	1-512	1-512	1-512	1-512	1-512	1-512	1-512
大量生産	1-512	1-512	1-512	1-512	1-512	1-512	1-512	1-512	1-512
SCANクロック周波数 (Hz)	注意:SCANクロックとして使われる最大外部周波数								
先端技術	200M	200M	200M	200M	200M	200M	200M	200M	200M
大量生産	200M	200M	200M	200M	200M	200M	200M	200M	200M
SCAN長 (word)	注意:DFT使用時								
先端技術	32G	32G	64G	64G	64G	128G	128G	128G	256G
大量生産	32G	32G	64G	64G	64G	128G	128G	128G	256G
内蔵SRAM容量 (bit)									
先端技術	32M	32M	32M	64M	64M	64M	128M	128M	256M
大量生産	32M	32M	32M	64M	64M	64M	128M	128M	256M
内蔵SRAM冗長救済率 (%)									
大量生産	80	100	100	100	100	100	100	100	100
内蔵SRAM BIST率 (%)									
大量生産	100	100	100	100	100	100	100	100	100
内蔵DRAM容量 (bit)	注意:内蔵ではなくSIPの可能性有り								
先端技術	256M	256M	512M	512M	1G	1G	2G	4G	8G
大量生産	128M	128M	256M	256M	512M	512M	1G	2G	4G
内蔵DRAM BIST率 (%)	注意:ファイナルテスト工程にて、BOSTを含む								
大量生産	100	100	100	100	100	100	100	100	100
内蔵DRAM BISR率 (%)	注意:品種数における割合、BOSTを含む								
大量生産	75	100	100	100	100	100	100	100	100
内蔵Flash容量 (bit)	注意:内蔵ではなくSIPの可能性有り								
先端技術	128M	128M	256M	256M	512M	512M	512M	1G	2G
大量生産	64M	64M	128M	128M	256M	256M	256M	512M	1G
内蔵Flash BIST率 (%)	注意:ファイナルテスト工程にて、BOSTを含む								
大量生産	100	100	100	100	100	100	100	100	100
内蔵Flash BISR率 (%)	注意:品種数における割合、BOSTを含む								
大量生産	50	100	100	100	100	100	100	100	100

図表 4-39d 2005 年度 デバイス・ロードマップ調査結果 (SoC 1/2)

プロセス (nm)	2005	2006	2007	2008	2009	2010	2013	2016	2019
	80	70	65	55	50	45	32	22	16
内蔵ROM容量 (bit)	注意: 大容量ROMはFlashに置き換えられる								
先端技術	128M	128M	128M	128M	128M	256M	512M	1G	1G
大量生産	128M	128M	128M	128M	128M	128M	256M	512M	512M
電源電圧 (V)									
Low-end Microcontroller	0.8-2.5	0.7-2.5	0.6-2.4	0.6-2.4	0.6-2.4	0.6-2.5	0.6-2.6	0.6-2.7	0.6-2.7
High-Performance Microprocessor	0.9-3.3	0.7-3.3	0.7-3.3	0.5-3.3	0.5-3.3	0.5-3.3	0.5-3.3	0.5-3.3	0.5-3.3
Low-end Microcontroller	max8.0	max8.0	max8.0	max8.0	max8.0	max5.0	max5.0	max5.0	max5.0
消費電流 (A)									
先端技術	300	300	300	300	300	350	400	450	450
大量生産	200	225	225	200	200	175	240	270	225
リーク電流 (fA)	注意: トランジスタ1個あたり (10pA/umより換算) 脚注(リーク電流)参照								
先端技術	-	142.85714	153.84615	181.81818	200	222.22222	312.5	454.54545	625
パッケージ形状	注意: 生産量の多いと考えられるパッケージ形状								
先端技術	BGA/FBGA/CSP								
大量生産	BGA/FBGA/CSP								
端子数 (全数)	注意: 1DUTあたり								
P-BGA	2400	2600	2600	2800	2800	3000	3600	4200	4200
FBGA	400	500	500	600	600	720	840	1000	1000
FCB Peripheral	700	1000	1000	1400	1400	2000	2000	2000	2000
FCB Area array	3600	4200	4200	4800	4800	5400	6400	7000	7000
SiP high-performance	1000	1200	1200	1500	1500	2000	2000	2000	2000
端子数 (電源、GND数)	注意: 1DUTあたり								
P-BGA	1200	1300	1300	1400	1400	1500	1800	2100	2100
FBGA	120	150	150	180	180	220	240	300	300
ピンピッチ (mm)									
先端技術 (BGA)	1	0.8	0.8	0.8	0.8	0.65	0.65	0.5	0.5
(FBGA/CSP)	0.3	0.3	0.2	0.2	0.2	0.15	0.15	0.1	0.1
大量生産 (BGA)	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
(FBGA/CSP)	0.3	0.3	0.2	0.2	0.2	0.15	0.15	0.1	0.1
パッドサイズ (um)	注意: プロービング回数は3回以下								
先端技術	25/50	25/50	25/50	20/40	20/40	20/40	20/35	15/25	15/25
大量生産	25/50	25/50	25/50	20/40	20/40	20/40	20/35	15/25	15/25
パッド厚み (um)									
先端技術	パッド厚みは配線層のシート抵抗に依存								
大量生産	パッド厚みは配線層のシート抵抗に依存								
スクラマーカー比率 (%)	注意: パッド面積に対する最大許容比率								
先端技術	25	25	25	20	20	20	20	20	20
大量生産	25	25	25	20	20	20	20	20	20
ウェーハ厚み (um)									
先端技術	80-775	80-775	80-775	80-775	80-775	50-1000	50-1000	50-1000	50-1000
大量生産	80-775	80-775	80-775	80-775	80-775	50-1000	50-1000	50-1000	50-1000
検査装置									
先端技術	ロジックテスタ +メモリテスタ	ロジックテスタ							
大量生産	ウェハレベル・ パーイン	ウェハレベル・ パーイン	ウェハレベル・ パーイン	ウェハレベル・ パーイン	ウェハレベル・ パーイン	ウェハレベル・ パーイン	ウェハレベル・ パーイン	ウェハレベル・ パーイン	ウェハレベル・ パーイン

<リーク電流>

単位長当りのリーク電流 (10pA/um) が一つの目安だが、全てのトランジスタが10pA/umのリークで製造される訳ではない。10pA/umのトランジスタは高しきい値を想定したものであり、低しきい値の場合では1nA/um程度にもなる。また、高しきい値トランジスタと低しきい値トランジスタの割合は製品により異なる。

図表 4-39d 2005 年度 デバイス・ロードマップ調査結果 (SoC 2/2)

4-4-7 勉強会

“課題の共有と言葉／レベル合わせ”を目的として外部講師による「勉強会」を開催した。本年度の勉強会は5回開催して、外部講師数は延べ9名であった。その概要を以下に記す。

来年度は“課題の共有と言葉／レベル合わせ”をより進めると共に、テスト経済性なども視野に入れた勉強会を展開する。

第1回 2005年4月20日(水) —— SiPの現状とその課題 ——

テーマ： SiPの現状と製品紹介

講師： (株)ルネサス・テクノロジ／赤沢 隆 氏

概要： ルネサスSiPの特徴は、豊富なIPとシステム設計からテスト設計まで一貫した設計体制により、他社と比較して製品の強みを発揮している。近年、小型化・高性能化・低コスト化を実現してきたSoCは、90nm世代において開発費の高騰やアナログ回路の縮小限界などの課題がみえ、SoCと相互補完する技術としてSiPの重要性が高まっている。今回はSiP化のメリット及びルネサスSiPの強みと事業戦略、SiP化にあたりテスト及びコスト設計を意識したSoC設計へのフィードバック、製品事例、小型化、高密度化するための実装技術などについての講演であった。

テーマ： JTAG技術とその状況

講師： 富士通(株)／亀山 修一 氏

概要： 小型電子機器に多用されるBGAやCSPの実装基板のテスト、故障解析に必須となったバウンダリSCANテストの基本技術、アナログ信号や高速IO信号を扱える最新技術、オンボードでのLSI診断やFlash書き込み技術、SiPテストへの応用などについての講演であった。

第2回 2005年5月26日(木) —— DFTテスト講演会 ——

テーマ： INOVYS 社 Ocelot]

講師： INOVYS(株)／石井 威彦 氏

概要： DFT テストでの不良解析の現状と課題 (130nm 以下の不良解析の重要性)

テーマ： TESEDA 社 V520

講師： エー・ティー・イー・サービス(株)／小林 伸至 氏

概要： DFT テスタの特徴・使用事例の他、DFM* (歩留り改善) に対する役割

* DFM (design for manufacturability)

第3回 2005年7月21日(木) —— テストコストを削減するDFT技術 ——

テーマ： 日本シノプシス社のDFT技術

講師： 日本シノプシス(株)／飯島 一彦 氏

概要： Synopsysの提供するSoC統合設計環境(Galaxy)では、QoR(Quality of Results)の最大化、TTR(Time to Results)の最小化と並んで、CoR(Cost of Results)を最小化することを狙っている。Galaxyはデザイン・プランニングからレイアウト、そしてマスクデータの作成までを一貫してサポートするが、特にDFTの分野ではコスト(ユーザーの環境において条件が種々異なる)の削減に柔軟に対応するため、BISTを始め設計制約やオーバーヘッド規模の異なる数種類のソリューションを準備している。これらは、設計フローに密接に統合されていることが大きな特徴である。特に90nm以下の最新のテクノロジーでは、At-speedでのテストの重要性が増し、そのためのパターン数の増大が大変に大きな問題となっている。Galaxyには、パターンを圧縮しこのようなコストを低減するためのソリューションが準備されている。また、故障解析工程へのインタフェースも準備されており、すでに多

くの設計・製造実績を有する。これらのソリューションの概要と、その適用実績についての講演であった。

テーマ： ロジックビジョン社の DFT 技術

講師： ロジックビジョン(株)／今野 実 氏

概要： LogicBIST 導入によるテストへの効果を次のような観点からの講演であった。

* N-detect, at-speed test によるテスト品質の向上

* silicon debug TAT の改善

* function test と関連の高い LBIST test により function pattern 削減

(- production test の早期の立上)

(- test 時間の短縮)

(- low performance tester を用いた wafer sort でも高品質のテストが可能)

* production での yield ramp-up の加速

* field return 品の解析改善

第4回 2005年9月1日(木) —— テストコスト削減のためのテスターアプリケーション ——

テーマ： FELX テストシステムによるテストコスト削減

講師： テラダイン(株)／成 郷一 氏

概要： テスト時短のために採用したユニークなアーキテクチャと、その効果についての講演であった。

テーマ： イベントテスタ(CertiMAX)によるテストコスト削減

講師： (株)アドバンテスト・テクノロジー・ソリューションズ／鳴海 直明 氏

概要： CertiMAX は、SoC 設計と完成した実チップ評価試験の間にある壁を失くし、設計データ(VCD)を使用した SoC 試験環境を可能とし、SoC 開発段階での大幅な評価期間短縮によるテストコスト削減を実現する。その概要についての講演であった。

第5回 2005年12月1日(木) —— ITC2005報告会 ——

テーマ： International Test Conference 2005 報告

講師： ソニー(株)／奥田 幸男 氏

概要： ITC 委員の立場から ITC2005 の概要についての講演であった。

4-5 おわりに (まとめと 2006 年度活動に向けて)

2005 年度の STRJ 国内活動は、「DFT と ATE の更なる融合」の結果からロードマップ活動で提示されている種々のテスト課題、例えば SiP テスト課題に対する一つのポテンシャル・ソリューションを提案するために、限られた活動時間の制約の中でのサブ WG 活動が主体でありながらも、その前提となる課題の共有化を図ることができた。

来年度 WG2 活動では、本年度の活動方針である「DFT と ATE の更なる融合」を更に継続し、ITRS2006 への貢献と共に、DFT と ATE の融合に止まらず他の WG、特にテストと密接に関わりのある設計 WG との連係を視野に入れて継続して、テストコスト削減のためのチップ設計からテストングまでのポテンシャル・ソリューションを探求していきたいと考えている。

<参考文献>

- [1] Yasuo Sato, "Invisible Delay Quality – SDQM Model Lights Up What Could Not Be Seen"
International Test Conference 2005 Page 47.
- [2] R. Madge, "New test paradigms for yield and manufacturability,"
IEEE Design and Test of Computers, Vol. 22, No. 3, 240-246, 2005.
- [3] 赤沢 隆(編著) SiP 技術のすべて—高機能・小型化実装のキーテクノロジー 工業調査会
- [4] 村上正宏、河西勇二、高橋栄一、坂無英徳、ニール・マーston、桐生昭吾、樋口哲也,
「アナログ進化型ハードウェアの研究開発」, 電子情報通信学会技術研究報告
AI2000-10, pp.1-8, 2000
- [5] 高橋栄一, 「高速LSIの消費電力半減に成功—遺伝的アルゴリズムによる製造後
クロック調整技術を開発」, 産業技術総合研究所広報誌 AIST Today, VOL3-9, pp.4-6, 2003.9
- [6] 「KGDを含むベアダイの品質保証ガイドライン」 日本電子機械工業会 1995年5月 EIAJEDR-4703