

第 5 章 WG3 FEP(フロントエンドプロセス)

5-1 はじめに

FEP(フロントエンドプロセス) WG(ワーキンググループ)は、ウェーハから拡散層のシリサイド化に至るまでの幅広いプロセスとともに、PIDS WG と共同でメモリ(スタック型 DRAM、Flash、FeRAM)も担当している。本年度も、それらの最新技術動向を把握するため、第一線の研究者からの情報収集(ヒアリング)を積極的に行った。本報告ではヒアリングを基にした技術動向調査の結果と、ITRS2005 の概要、および STRJ ワークショップで発表したゲートスタックに関する議論を報告する。

ヒアリングは 2005 年度が ITRS の大改訂の年であったため、昨年度の 14 件より件数は減ったもの FEP 分野の技術課題について 10 件行った。テーマは前年になかった新しい分野も加え、大口径ウェーハ、Metal Gate、High-k、金属汚染、加工ばらつき(LER、LWR vs. Tr 特性)、Capacitorless DRAM (SOI DRAM)、SOI を使用した LSI、ウェーハのハンドリング、および 3D-LSI 技術の開発状況、である。FEP WG はその性格上、他分野との関連も深いため、ヒアリングの情報を開示した結果、他 WG からの参加も複数のヒアリングであり、議論の活性化、他 WG の活動向上に貢献できた。

ITRS2005 に関しては、全体の見直しと PIDS と協力し Stacked DRAM と FeRAM の改訂を行った。詳細は各項目に譲るが、デバイス構造の平行ルパスに対応した形でゲートスタック技術への要求が細分化して記述されるようになったことが大きな変更点である。STRJ ワークショップではこれも踏まえゲートスタック技術の動向と課題について議論した。なお、ITRS2004 Update で今後の審議事項となっていた FeRAM の TN(テクノロジーノード)の定義についての問題提起(新規メモリはマーケットが小さいので、DRAM と同じように先行 2 社が月産 10k チップに達した時を基準に時期を決めるのは困難。よって、別の定義を考えるべきではないか。)も一応の決着がついた。

また、STRJ ワークショップで昨年我々が提議した、300mm の次のウェーハ(450mm ウェーハ)検討であるが、この 1 年間日本及び米国を中心に議論が続けられ、課題・解決策等の考察がまとめられた。その結果も紹介する。

5-2 Starting Materials

スターティングマテリアル要求値の表に関する ITRS2005 での変化は見かけ上はそれほど大きくはない。

- (1) エッジ除外領域(Edge Exclusion)が SOI の所に追加されたこと、
- (2) 450mm ウェーハの実現年が 2012 年になったこと、
- (3) 計測対象のパーティクルサイズが小さい方にシフトしていること

である。(1)は SOI の重要度および技術的検討が進んだことを意味している。(2)は、後述するように、ここ 1 年で日本を含めて議論が活発に行われたことに対応している。(3)は、SOI の場合も含めて、計測技術の堅実な進歩が背景になっている。

図表には現れていない大きな変化は、Emerging Material と 450mm ウェーハに関する検討結果がリンクファイルとして追加されたことである。US におけるヒアリングの結果、現実的な Emerging Material として、

- ・熱伝導制御材料(Si/Diamond、Si/SiC、Si/AlO_x、同位体 Si)
- ・移動度増加材料(歪 Si、Ge、歪 Ge、結晶方位の異なる Si、Carbon Nanotube)

などが挙げられている。450mm ウェーハの歴史展望や技術的/経済的な課題に関して、米国 starting materials subTWG を中心に検討された内容が White Paper として載っている。日本においても同様の検討が行われた。

450mmウェーハ技術

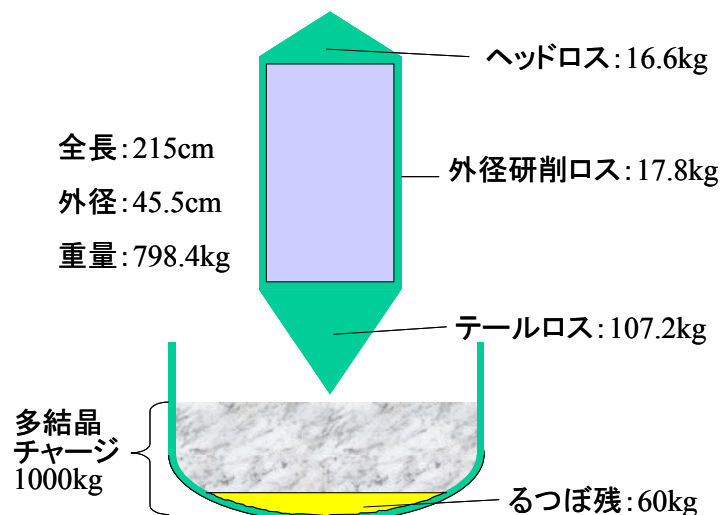
ITRS2004 版では 450mm ウェーハの導入は starting materials が 2015 年であるのに対して ORTC は 2012 年とバラバラであったが、2005 年版では、2012 年に統一された。STRJの 450mm 関連の活動としては

- ミュンヘン会議: スーパーシリコン研究所(高田氏)の研究成果として 400mm 結晶技術が実証出来たことが報告された。
- FEP(WG3)ヒアリング: 高田氏からスーパーシリコン研究所(SSi)成果について詳しいヒアリングを行った。研究目標である 400mm 結晶技術の実証に加えて、その先の可能性として 450mm 結晶も育成したことを伺った。
- 米国 starting materials subTWG は 450mm 白書として、”Advantages and Challenges Associated with the Introduction of 450mm Wafers (A position paper report submitted by the ITRS Starting Materials Sub-TWG)” を纏めた。この白書はITRS2005 年版とは別にITRSホームページで公開された。
- 次世代大口径ウェーハ検討小委員会が設けられ、その中のウェーハ・SOI検討部会で 450mm ウェーハ問題点について議論がなされ、STRJワークショップで報告し、別途報告書も発行する。2006 年春の The Electrochemical Society シリコンシンポジウムでも発表する。
- 450mm ウェーハ形状規格(メカニカルウェーハ規格)で望まれているウェーハエッジ形状の統一を念頭にウェーハエッジ形状問題点についてアクション小松氏からヒアリングを行った。

など様々な活動が行われた。以下は、これらの要約である。

450mm 結晶育成: SSiで 400mm 結晶育成の可能性が実証され、さらに、現在では炉内構造部材用とはいえ 400mm 結晶が生産されている状況であるので、450mm 結晶の“育成そのものは可能”である。“育成そのものは可能”というのは、経済性と結晶品質を無視した場合に育成できるという意味合いである。

図表 5-1 に、量産時に想定される結晶の概略を示す。1000kg の多結晶から長さ 2m 重さ 800kg の単結晶を育成する。様々な段取りを考慮すると1回の育成に 6 日掛かりそうである。



図表 5-1 450mm量産時の想定される結晶。450mm白書のモデルによる推定値なので端数が出ている。

450mm ウェーハ:450mm ウェーハへの大口径化は、前回の 300mm 大口径化に比べて格段に困難な課題とされている。FEPが列挙しているのは、

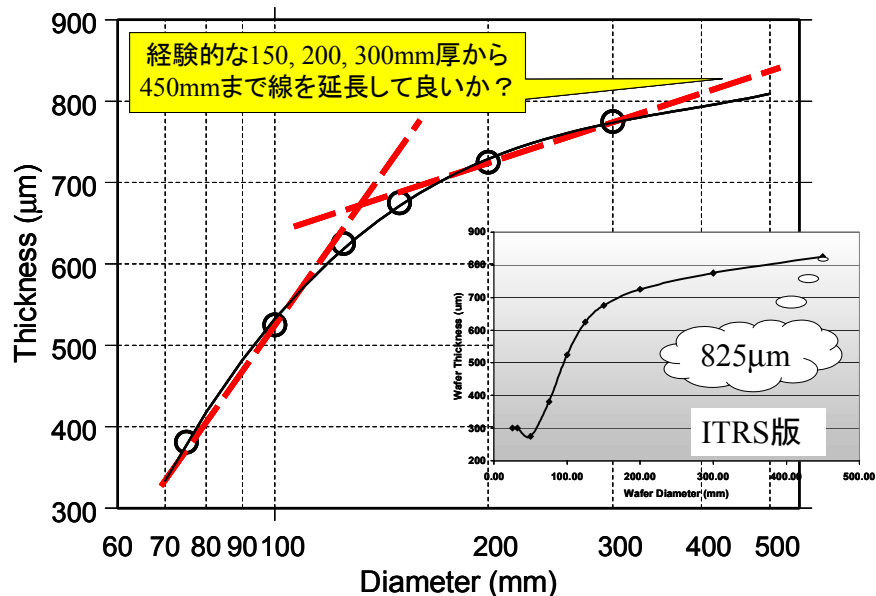
- ・技術問題:大面積ウェーハ全面で規格を満たす均一性の問題
- ・経済問題:ウェーハ、装置、評価サプライヤーなど全てが経済的に成り立つ
- ・クリティカルパス:450mm 化シナリオに対して、もう数年の遅れを生じている
- ・標準化:早く標準化すべき項目

ウェーハ規格:タイプ、厚さ、直径許容値

工場自動化:ロードロック、輸送方法

ウェーハ容器:FOSB、FOUP、ドア構造

などである。この中で、慎重にしかも早急に議論する必要があるのが、装置開発などに使われるメカニカルウェーハ規格である。特に、ウェーハ厚は最初に決めなければならない規格である。ウェーハ搬送だけでなく、装置全般に影響し、FIの450mm化シナリオでもその重要性が指摘されている。300mm大口径化時には、技術的な根拠が不明確なまま775 μm となった経緯がある。前述のITRSポジションペーパーでは過去のウェーハ厚をプロットし、経験的に外挿している。日本のウェーハ・SOI分科会でも検討した。直径のトレンドを外挿すると、450mmウェーハの厚さは800–825 μm となる(図表5-2)。一見もつもらしいが、経験的スケールに過ぎない。ウェーハ厚に依存するのが撓みである。450mmウェーハを外周4点支持したとき、300mmウェーハと同じ撓み(136 μm)にするには1744 μm 厚になる。300mmと同じ775 μm 厚では撓みが688 μm となる。後者の撓みが許容できればウェーハ厚は300mmと同じでよいことになる。



図表 5-2 ウェーハ厚のトレンド。直径に対する厚さのトレンドは小口径時と大口径時で異なる傾きにも見えるし、3次関数でフィッティングできるようにも見える。ITRS版は単にスムーズな曲線で外挿している。

5-3 表面処理

2005年度版ロードマップの表面処理関連の主な変更点は、シリコンおよび酸化膜ロス許容量が低減されたこと、および2003年度版で削除されたウォーターマークの項目が再登場したことである。その他の値は変更なし、または小幅修正に留まった。小幅修正部分では、ウェーハエッジ除外領域の変更、2012年からの450mmウェーハ導入、チップサイズの見直しにより、欠陥密度、個数等の見直しが入った。

図表 5-3 に、表面処理技術ロードマップの 2005 年度版と 2003 年度版の比較を示す。シリコンおよび酸化膜ロス許容量の設定理由は、2005 年度版ロードマップでも 2003 年度版と同じであり、高性能ロジックトランジスタの性能要求がベースとなっている。以下に、その理由を記載する。実デバイスにおけるシリコンロス量は、プラズマエッチング/アッシングからのダメージ、イオン注入およびドーパント濃度に依存することが予想されるが、ソース/ドレインのイクステンション下のシリコンが凹んでしまうと、ソース/ドレインのイクステンション抵抗を増加させ、トランジスタの駆動電流を減少させる。酸化膜ロスに関しても、酸化膜が削られると、その後のプロセスでさらにシリコンが酸化されやすくなり、結局はシリコンロスを引き起こす。さらに、酸化膜ロスでは、分離領域での堆積酸化膜の消費も懸念事項となる。以上の理由により、表面処理の中では、シリコンおよび酸化膜ロスが項目化されているが、現時点ではこれらの許容量に対する正確なモデルがないというのが実情である。このため 2003 年度版では、デバイスメーカーのコメントを基に、シリコンおよび酸化膜ロスの許容値を、洗浄ステップ毎に 90nm 世代では 1.0 Å、65nm 世代では 0.5 Å、それ以降の世代では 0.4 Å の一定値になったが、今回の見直しにより、45nm 世代では 0.3 Å に、32nm 世代では 0.2 Å に変更された。この変更に関しても、デバイスメーカーからのコメントが基になっているが、前述したようにロス量に関する正確なモデルがなく、モデル化の構築が今後の重要な課題となっている。

ウォーターマーク基準に関しては、2003年度版では、清浄表面のウォーターマークを許容できないという普遍的な共通認識があるため、この要求に関してはもはや表面処理の表では項目化しないという理由で、ウォーターマークの項目が削除された。しかし、2005年度版では、理由は前回と変わらないが、ウォーターマークは許容できないため、やはり表の中で項目として明記することになった。

		Near-term										Long-term					
	<i>Year of Production</i>	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
Was	Silicon loss (Å) per cleaning step	08	07	05	04	04	04	04	04	04	04	04	04	04	04		
Is	Silicon loss (Å) per cleaning step	08	07	05	04	04	03	03	03	02	02	02	02	02	02	02	02
Was	Oxide loss (Å) per cleaning step	08	07	05	04	04	04	04	04	04	04	04	04	04	04		
Is	Oxide loss (Å) per cleaning step	08	07	05	04	04	03	03	03	02	02	02	02	02	02	02	02
Is	Allowable watermarks	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

図表 5-3 表面処理技術ロードマップの 2005 年度版と 2003 年度版の比較

5-4 High-k ゲート絶縁膜

High-k ゲート絶縁膜の必要性和ロードマップ

CMOS デバイスのゲート絶縁膜は、将来のスケーリングに対して最も困難な課題の一つになってきた。ゲート絶縁膜の(電氣的)薄膜化は微細化と性能向上を実現するためには不可欠な要素であるからである。しかし

ながら、要求される SiO₂ 換算膜厚(EOT)は 1nm を下回る極薄膜領域であり、従来の SiON ゲート絶縁膜では直接トンネルリーク電流やポリシリコンゲートからのボロン突き抜けを抑制できないため、物理膜厚は厚いが EOT は薄膜化が可能な高誘電率(High-k)ゲート絶縁膜が必要となってくる。

High-performance logic (HP)、low operating power (LOP)、および low standby power (LSTP) デバイスのそれぞれに対して、許容できるゲートリーク電流($J_{g,limit}$)、およびシミュレーションから求めた SiON 膜のリーク電流($J_{g,sim}$)が ITRS2005 の PIDS の章には詳しく述べられている。ここでそれを引用すると、HP では、2008 年に $J_{g,sim}$ が $J_{g,limit}$ を越えると予想される。同じく、LOP では 2009 年に、LSTP では 2007 年に $J_{g,sim}$ が $J_{g,limit}$ を越えると予想される。

このような議論に基づいて、ITRS2005 では High ゲート絶縁膜の実用化時期が見直された。ITRS2003 および 2004 Update では、High-k ゲート絶縁膜の実用化時期が low power 向けには 2006 年、MPU 向けには 2007 年としていたものが、ITRS2005 では共に 2008 年導入と 1 年延期された形で改訂された(図表 5-4)。

Year	ITRS2003	ITRS2005
2004	Enhanced mobility	Enhanced mobility
2005		
2006	High-k for Low Power	
2007	High-k for MPU Metal Gate	
2008	FD-SOI	High-k for Low Power High-k for MPU Metal Gate FD-SOI

図表 5-4 High-k ゲート絶縁膜およびメタルゲートに対する ITRS2005 の変更点

High-k ゲート絶縁膜の実用化時期が先送りされた理由として下記の 2 点が挙げられる。一点目は、enhanced mobility (歪 Si) 技術が既に 2004 年に実用化されていることで、これにより EOT の薄膜化トレンドを緩めても目標の CMOS 性能が得られると判断されるからである。二点目は、low power デバイスの性能指標が遅延時間ではなく動作時や待機時の消費電力を重要視するようになってきたことが挙げられる。これによって、low power デバイスの速度性能(CV/I)の増加率が 17%/年から 14%/年に緩和され、やはり EOT の薄膜化トレンドが緩まることになった。さらに、後述するように、High-k ゲート絶縁膜は最近の学会発表等ではかなり有望な結果が得られつつあるが、信頼性やトランジスタの V_{th} 制御なども含め完全に SiO₂ や SiON に置き換わる High-k ゲート絶縁膜技術を開発するにはもう少し時間がかかると言う認識も背景にあると思われる。

図表 5-5 から 5-7 にはゲートスタック技術に関する技術要求(EOT、リーク電流、ゲート電極仕事関数)をまとめて示す。ITRS2005 の変更点の一つとして、デバイス構造の平行ルパスに対応した形でゲートスタック技術への要求が細分化して記述されるようになり、その結果、表も複雑化している。

Bulk MPU/ASIC																	
Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	
DRAM 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	28	25	22	20	18	16	14	
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13	11	10	9	8	7	6	6	
V _{dd} : Power supply voltage (V)	1.1	1.1	1.1	1	1	1	1	0.9	0.9	0.9	0.8	0.8	0.7	0.7	0.7	0.7	
Equivalent physical oxide thickness for bulk MPU/ASIC T _{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	1.2	1.1	1.1	0.5													
Equivalent physical oxide thickness for bulk MPU/ASIC T _{ox} (nm) for 3E20-doped poly-Si [A, A1, A2]	1.3	1.2	1.2	0.71	0.54	0.41											
Equivalent physical oxide thickness for bulk MPU/ASIC T _{ox} (nm) for metal gate [A, A1, A2]				0.9	0.75	0.65	0.5	0.5									
Gate dielectric leakage at 100°C (A/cm ²) bulk high-performance [B, B1, B2]	1.8E+02	5.4E+02	8.0E+02	9.1E+02	1.1E+03	1.6E+03	2.0E+03	2.4E+03									
Metal gate work function for bulk MPU/ASIC E _{cv} - φ _m (eV) [C]				<0.2	<0.2	<0.2	<0.2	<0.2									
FDSOI MPU/ASIC																	
Equivalent physical oxide thickness for FDSOI MPU/ASIC T _{ox} (nm) for metal gate				0.9	0.8	0.7	0.6	0.5	0.5	0.5	0.5						
Gate dielectric leakage at 100°C (A/cm ²) FDSOI high-performance [B, B1, B2]				7.7E+02	9.5E+02	1.2E+03	1.4E+03	2.1E+03	2.2E+03	3.3E+03	3.7E+03						
Metal gate work function for FDSOI MPU/ASIC φ _m - E _v (eV) NMOS/PMOS				±0.15	±0.15	±0.15	±0.15	±0.15	±0.15	±0.15	±0.15	±0.15					
Multigate MPU/ASIC																	
Equivalent physical oxide thickness for multi-gate MPU/ASIC T _{ox} (nm) for metal gate [A, A1, A2]								0.8	0.7	0.6	0.6	0.6	0.5	0.5	0.5	0.5	
Gate dielectric leakage at 100°C (nA/μm) multi-gate high-performance [B, B1, B2]								6.3E+02	7.9E+02	8.5E+02	1.0E+03	1.1E+03	1.2E+03	1.4E+03	1.6E+03	1.8E+03	2.2E+03
Metal gate work function for multi-gate MPU/ASIC [S]								midga P	midga P	midga P	midga P	midga P	midga P	midga P	midga P	midga P	midga P

図表 5-5 ゲートスタック技術のロードマップ(HP トランジスタ)

Bulk LOP																	
Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	
DRAM 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	28	25	22	20	18	16	14	
Physical gate length low operating power (LOP) (nm)	45	37	32	28	25	23	20	18	16	14	13	11	10	9	8	7	
V _{dd} : Power supply voltage (V)	0.9	0.9	0.8	0.8	0.8	0.7	0.7	0.7	0.6	0.6	0.6	0.5	0.5	0.5	0.5	0.5	
Equivalent physical oxide thickness for bulk low operating power T _{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	1.4	1.3	1.2	0.8	0.7	0.6	0.6	0.6									
Equivalent physical oxide thickness for bulk low operating power T _{ox} (nm) for metal gate [A, A1, A2]				1.1	1	0.9	0.9	0.9									
Gate dielectric leakage at 100°C for bulk (A/cm ²) LOP [B, B1, B2]	3.3E+01	4.1E+01	7.8E+01	8.9E+01	1.0E+02	1.1E+02	4.5E+02	6.9E+02									
Metal gate work function for bulk low operating power E _{cv} - φ _m (eV) [S]				<0.2	<0.2	<0.2	<0.2	<0.2									
FDSOI/Multigate LOP																	
Equivalent physical oxide thickness for FDSOI low operating power T _{ox} (nm) for metal gate [A, A1, A2]								0.9	0.9	0.8	0.8	0.8	0.7				
Gate dielectric leakage at 100°C for FDSOI (A/cm ²) LOP [B, B1, B2]								2.0E+02	2.8E+02	3.1E+02	3.6E+02	3.8E+02	1.1E+03				
Metal gate work function for FDSOI and multi-gate LOP [S]								midga P	midga P	midga P	midga P	midga P	midga P	midga P	midga P	midga P	
Equivalent physical oxide thickness for multi-gate low operating power T _{ox} (nm) for metal gate [A, A1, A2]								0.9	0.9	0.8	0.8	0.8	0.7	0.7	0.7	0.7	
Gate dielectric leakage at 100°C for multi-gate (A/cm ²) LOP [B, B1, B2]								1.3E+02	1.9E+02	2.2E+02	3.6E+02	3.8E+02	9.1E+02	1.0E+03	1.1E+03	1.3E+03	1.4E+03

図表 5-6 ゲートスタック技術のロードマップ(LOP トランジスタ)

Bulk LSTP																
Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
DRAM 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	28	25	22	20	18	16	14
Physical gate length low standby power (LSTP) (nm)	65	53	45	37	32	28	25	23	20	18	16	14	13	11	10	9
V _{dd} : Power supply voltage (V)	1.2	1.2	1.2	1.1	1.1	1.1	1	1	1	1	1	1	1	1	1	1
Equivalent physical oxide thickness for bulk low standby power T _{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	2.1	2	1.9	1.2	1.1	1	1	0.9	0.8							
Equivalent physical oxide thickness for bulk low standby power T _{ox} (nm) for metal gate [A, A1, A2]				1.6	1.5	1.4	1.4	1.3	1.2							
Gate dielectric leakage at 100°C for bulk (A/cm ²) LSTP [B, B1, B2]	1.5E-02	1.9E-02	2.2E-02	2.7E-02	3.1E-02	3.6E-02	4.8E-02	7.3E-02	1.1E-01							
Metal gate work function for bulk LSTP E _{cv} - φ _m (eV) [S]				<0.2	<0.2	<0.2	<0.2	<0.2	<0.2							
FDSOI/Multigate LSTP																
Equivalent physical oxide thickness for FDSOI low standby power T _{ox} (nm) for metal gate [A, A1, A2]								1.3	1.2	1.1	1.1	1.1	1	1	0.9	0.9
Gate dielectric leakage at 100°C for FDSOI (A/cm ²) LSTP [B, B1, B2]								4.5E-02	5.0E-02	5.6E-02	6.3E-02	7.1E-02	7.7E-02	8.3E-02	9.1E-02	1.0E-01
Metal gate work function for FDSOI and multi-gate LSTP φ _m - E _v (eV)								±0.1	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1
Equivalent physical oxide thickness for multi-gate low standby power T _{ox} (nm) for metal gate [A, A1, A2]								1.2	1.1	1	0.9	0.8	0.8	0.8	0.8	0.8
Gate dielectric leakage at 100°C for multi-gate (A/cm ²) LSTP [B, B1, B2]								4.5E-02	5.0E-02	6.0E-02	6.5E-02	7.5E-02	8.0E-02	8.6E-02	1.0E-01	1.3E-01

図表 5-7 ゲートスタック技術のロードマップ(LSTP トランジスタ)

High-k ゲートスタックへの要求性能と開発動向および課題

High-k ゲートスタックは、ゲートリーク電流を下げられることに加えて、SiO₂ や SiON に匹敵する性能や信頼性を満たす必要がある。最近では SiON 系ゲート絶縁膜の薄膜化開発も精力的に進んでいるため、High-k ゲート絶縁膜も従来より EOT の薄い領域で性能を満たす必要があり、その開発も益々厳しくなっている。

性能要求項目の例を挙げれば、1) EOT ≤ 1.0nm の膜厚でゲートリーク電流が SiO₂ に較べて 3~4 桁低い、2) 比誘電率 > 10 (長期的には > 20)、3) SiO₂ に匹敵するキャリア移動度、4) トランジスタのしきい値 V_{th} を 0V 近くまで制御できること、5) SiO₂ と同等の低ばらつき、6) 特性の安定性・再現性、7) 10 年程度を保証できる長期信頼性、などである。さらに、Poly-Si をゲート電極に使う場合には、1000°C 以上の耐熱性とドーパントの突抜けを抑制することが必要になる。High-k 膜あるいは High-k スタックの物性としては、界面準位が SiO₂ と同等に低いことや膜中欠陥が少ないことなどが挙げられる。

上記の要求の多くを満たす High-k 材料として、最近では Hf 系酸化物に集約されてきた。Hf 系酸化物として検討の対象になっているのは主に HfO₂、HfON、HfSiO、HfSiON である。この中でも、ここ 2-3 年の学会発表の件数では HfO₂ と HfSiON の発表が 80% 以上を占め、ほぼこの 2 つの材料に絞られてきたと言える。HfSiON 膜は膜中に窒素を導入することにより 1000°C 以上の耐熱性が得られ、従来の CMOS プロセスとの適合性が非常に良好であることが最大の利点である。HfO₂ は HfSiON に比べ誘電率が高いことが大きなメリットで、この結果、膜厚スケールに有利となる。一方で、HfON 膜は膜中に Hf-N の金属性結合を含むことが懸念されている。また、HfSiO では成膜直後はアモルファス状態であるが、熱処理により HfO₂ と SiO₂ に相分離するため、リーク電流やばらつきなどの特性安定面で十分でないことが問題視されている。

上記 HfO₂、HfSiON の電気的特性では、EOT < 0.9nm の Poly-Si ゲートスタックでリーク電流も SiO₂ に比べ十分に低いデータも発表され、当面の EOT 薄膜化要求に対しては十分な性能が得られている。また、キャリア移動度に関しても SiO₂ の 90% 程度の値が報告されている¹。キャリア移動度は High-k ゲート絶縁膜中の欠陥や界面準位などの膜質を総合的に表す指標であり、界面も含め High-k ゲート絶縁膜の質はかなり上がって来ていることを示している。移動度に関しては「もはや障害は無い」との意見も出るほどである²。長期信頼性の良好なデータも報告されつつある。

Hf 系 High-k ゲート絶縁膜の最大の課題は、Poly-Si ゲートトランジスタの V_{th} が SiO₂ 系ゲート絶縁膜ほど下げられないという点である。特に PMOS の |V_{th}| が 0.6V 以上と高い。この現象はいわゆる「Fermi level pinning」と呼ばれるものである。Fermi level pinning のメカニズムに関しては Poly-Si/HfO₂ 界面の Si-Hf 結合に起因するものとして 2003 年の VLSI シンポジウムで最初に報告された³。また、High-k 膜中の酸素空孔とそれに伴う電荷移動というモデルも提案されている⁴。Poly-Si ゲート/Hf 系 High-k ゲート絶縁膜を用いたトランジスタの V_{th} 低減に関しては、SiN キャップ、カウンターチャネルドープ、あるいはフッ素イオン注入などの手法が提案されている。しかしながら、それらの効果はまだ十分でなく、更なる検討が必要である。また、上記メカニズムに基づいた Fermi level pinning 現象の本質的な解決手法は今のところ提案されていないと考えられる。従って、現状では Poly-Si/Hf 系ゲート絶縁膜構造は微細ゲート長のトランジスタへの適用に制限があり、ゲート長が比較的長く EOT も厚く V_{th} も高目の LSTP 用途に留まっている。

中長期的な課題としては、Hf 系 High-k 材料のスケラビリティを挙げておきたい。Hf 系 High-k ゲート絶縁膜は、High-k 膜そのものに加えシリコン基板との界面層としての SiO(N)膜の 2 層膜から構成されている。移動度などの電気的特性を良好に保つために界面 SiO(N)膜を設けることが必須となっているからである。現状の

¹ S. Inumiya et. al., A thermally-stable sub-0.9nm EOT TaSix/HfSiON gate stack with high electron mobility for gate-first fabrication of hp45 LOP devices, IEDM Tech. Dig. p.27 (2005).

² R. Jammy, Front end of line manufacturing technology, IEDM short course (2005).

³ C. Hobbs et. al., Fermi Level Pinning at the PolySi/Metal Oxide Interface, Symposium on VLSI Technology, p.9 (2003).

⁴ K. Shiraishi et. al., Physics in Fermi Level Pinning at the PolySi/Hf-based High-k Oxide Interface, Symposium on VLSI Technology, p.108 (2004).

界面膜の膜厚はおよそ 0.5-0.7nm 程度であり、1nm 以下の EOT に占める割合は大きく、更なる EOT のスケールリングには障害になることが予想される。Hf 系材料よりもさらに高い誘電率を有する High-k 膜としてⅢ族や希土類(Rare earth:RE)酸化物やこれらを含む三元系酸化物の検討がなされている。しかし、単に誘電率の大きさを求めるだけでは不十分で、シリコン基板との界面特性を良好に維持しつつ如何に EOT を低減できるのかを検討していくことが強く求められている。

5-5 メタルゲート

メタルゲートの必要性和ロードマップ

ゲート電極材料に関しても将来のスケールリングに関して大きいチャレンジがある。従来の Poly-Si ゲートに対してはゲート空乏化を抑制していく必要があり、Poly-Si 中のドーピング濃度を上昇させていかなければならないことが ITRS2005 でも引き続き要求されている。しかしながら、高濃度に不純物がドーピングされた Poly-Si 電極の活性化処理はゲート絶縁膜やシリコン基板への不純物侵入(突き抜け)の観点から十分な注意が必要となる。この点からボロンドープの SiGe ゲートの導入も検討されている。

上記のような工夫を加えながら Poly-Si あるいは SiGe ゲート電極を引き続き使用していくことは重要であるが、ゲート空乏化や不純物侵入(突き抜け)を完全に抑制する手段として、メタルゲート電極の採用が望まれる。さらに、メタルゲートでは High-k ゲート絶縁膜との組み合わせにおける Fermi level pinning を抑制できるとの期待も大きい。

ITRS2005 における大きな変更点の一つにメタルゲートの実用化時期の変更と仕事関数の要求値が表に加わったことが挙げられる。メタルゲートの実用化時期は、ITRS2003 および 2004Update では 2007 年であったが ITRS2005 では 2008 年に先送りされた(図表 5-4)。仕事関数の要求値は図表 5-5 から 5-7 の表にも記載されている通り、デバイス種類(HP、LOP、LSTP)毎、さらにデバイス構造(バルク、FD-SOI、Multi-gate)毎に新たに規定されている。具体的には下記の通りである。

バルク: NMOS、PMOS ともシリコンのバンド端から 0.2eV 以内

FD-SOI: $E_i \pm 0.15\text{eV}$ (HP)、Midgap(LOP)、 $E_i \pm 0.1\text{eV}$ (LSTP)

Multi-gate: Midgap(HP)、Midgap(LOP)、 $E_i \pm 0.1\text{eV}$ (LSTP)

(それぞれ、正の符号は NMOS、負の符号は PMOS の要求値を示す。)

これら値はシミュレーションにより各年代ごとに PIDS から示されたトランジスタ性能要求値を満たす最適仕事関数を求め、それを世代毎に値が変わらないように調整したものである。(世代に関わらず一定の仕事関数としたのは、出来るだけメタルゲート材料を変更したくないという配慮で行ったものである。従って、ITRS2005 に挙げられた数値は 0.1eV 程度の幅のある数値と考えられる。)バルクデバイスにおいては、いわゆるバンドエッジメタルが必要であり、NMOS/PMOS それぞれシリコンの伝導帯/価電子帯の端から 0.2eV 以内と規定された。FD-SOI と Multi-gate トランジスタに関してはシリコンのバンドギャップのほぼ中央付近の値となる。ここで、Midgap と示した場合には NMOS と PMOS に対して同じゲート材料が使えることを示しているが、 $E_i \pm 0.1\text{eV}$ や $E_i \pm 0.15\text{eV}$ とは NMOS と PMOS で最適値が異なるので 2 種類のゲート電極材料(いわゆるデュアルメタルゲート)が必要であることを示していることに注意が必要である。

メタルゲートへの性能要求と開発動向および課題

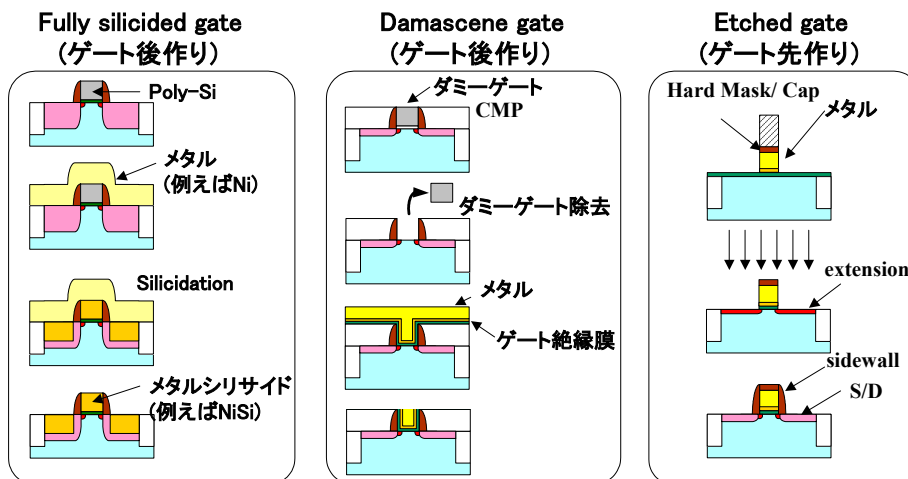
メタルゲート技術への技術要求は、ゲートスタックのインテグレーション方式、ゲート材料、および使用するデバイスなどで異なり、状況は複雑である。

図表 5-8 には代表的な 3 つのインテグレーション方式の概要を示す。フルシリサイド(Fully silicided gate:

FUSI)は、従来の Poly-Si ゲートプロセスとの適合性が良く各所で最も検討されている方式である。シリサイド材料としては NiSi の検討が最も多い。メタルゲート形成後の高温活性化熱処理が無いことも FUSI を使いやすくさせる大きな要因であろう。High-k ゲート絶縁膜を FUSI に適用した場合には、Poly-Si ゲートと同様に Fermi level pinning が生じることが知られており、その対策が急務である。その対策の一つとして、ニッケルシリサイドのニッケルとシリコンの組成比を変え、ニッケルリッチなシリサイドにすることで Fermi level pinning を抑制可能なことが分かってきている。しかし、その仕事関数制御範囲はまだ十分とは言い難く、バンドエッジ付近の仕事関数を持つ方式は分かっていない。今後のメタルゲート実用化を考えた際には FUSI の仕事関数制御技術が急速に進展することが必須であり、これが実現されないと 2008 年実用化が危ぶまれる。

FUSI 以外の方式ではダマシゲートやエッチドゲートと呼ばれる方式があり、バルクデバイスへの応用を考えると NMOS と PMOS で異なるゲート電極を用いるデュアルメタル CMOS となる。この場合の電極候補材料としては種々の金属材料が考えられ、初期評価の段階ではシリコンのバンドエッジに相当する仕事関数が得られている⁵。しかしながら、実際の CMOS 製造プロセスへの適合性(汚染、反応性、耐熱性)を考えると、純金属として使えるものは少なく(Ru, Ta, W, Re などの報告があるが)、メタルナイトライド(TiN, TaN, HfN など)、メタルシリサイド(TaSi, HfSi, TaSiN など)やメタルカーバイド(TaC)などの化合物系が提案されている。また、2 種類のメタルゲート材料を NMOS と PMOS で作り分ける手法の開発も必要となる。さらに、前述したようにデバイス構造(バルク、FD-SOI、Multi-gate)毎に仕事関数の要求値が異なるため、バルク向けにはシリコンのバンドエッジ付近の材料、FD-SOI や Multi-gate 向けにはシリコンのバンドギャップ中央付近で仕事関数可変の材料に集約させていく必要があると考えられる。

このようにデュアルメタルゲート向けの材料に関しては精力的な研究が進められてはいるものの、まだ材料の絞込みやインテグレーション方式の絞込みが十分とは言い難く、今後もプロセス構築とデバイス性能の両方を考慮しながら更なる開発の進展が必要である。



図表 5-8 メタルゲートのインテグレーション方式の概要

⁵ V. Misra et al., Dual metal gate selection issues, Topical research conference on reliability, (2003)

5-6 ドーピング

5-6-1 ドーパントの注入技術とアニール技術

ドーピング技術は MOSFET のスケーリング則に従い、浅く、低抵抗な拡散層を形成することを目的として進歩してきた。近年から現時点に至るまで、イオン注入と RTA との組み合わせがその基本的な形成手法となっている。

ドーパントの注入技術に関しては、MOSFET の拡散層を精度よく形成するという目的のために、ドーパント量の精密制御が可能である点でイオン注入に代わる方法は見当たらない。実際、ドーピングの将来技術としてプラズマドーピングが有力候補となってからは長い間、注入量、注入深さの制御が困難であることからなかなか実用化されてこなかった。このような状況に対し、ガスクラスタドーピング（インフュージョンドーピング）が新たに有力な候補技術として目されるようになってきた。ガスクラスタドーピング技術は、弱く結合させた原子あるいは分子を帯電させ、通常のイオン注入と同様に加速することで、基板への注入を行う技術である。B で浅く注入可能なドーピング方法としては、 BF_3 を用いる方法が古くから実用化され、また最近では $\text{B}_{10}\text{H}_{14}$ や $\text{B}_{18}\text{H}_{22}$ などを用いる方法も提案されているが、これらに比較してガスクラスタイオン注入技術では質量数がさらに数百倍以上となるため、表面付近のみに高濃度の拡散層形成が可能となる。

一方アニール技術に関しては、RTA 技術に加えて最高温度での温度保持を行わないスパイクアニールが広く適用され、さらにミリ秒アニール技術としてフラッシュアニール、レーザーアニールの検討が進められており、一部実用化もされている。フラッシュアニール、レーザーアニールはいずれも浅く、高濃度の活性化を可能にするため、いずれも極短時間の高温プロセスとなっており、その結果として昇温、降温の精密制御が実用上の重要な課題となる。また加熱を基板表面側から行うため、パターンによる温度ばらつきが発生する。そのため表面に熱を吸収する層を設けるなどの対策が必要であり、これらも今後の検討課題となっている。

さらに先の世代の技術としては、高温短時間化を推し進めたプロセスとしてマイクロ秒アニール技術が、また逆に低温長時間プロセスとして固相成長技術が候補となっている。ITRS2003 ではマイクロ秒アニールの開発完了時期として 2013 年が想定されていたが、ITRS2005 では、2007 年に大きく前倒された。一方固相成長技術は 2007 年から 2008 年に後ろ倒しとなった。ミリ秒アニールの一つであるレーザーアニール技術の実用化検討によって、並行してマイクロ秒アニール技術の検討も進んだことが前倒しの理由であろう。固相成長技術は、イオン注入によって形成されたアモルファス層を結晶化するのに必要十分な、 600°C 程度での熱処理を行なうことによる方法であり、非常に容易なプロセスでドーパントを高活性化することができる。しかしながら接合リークの要因となる点欠陥起因の除去が困難であり、その対策が確立できていない現時点では実用化には遠いと考えるを得ない。また活性化できるドーパント濃度も $1\text{E}21\text{cm}^{-3}$ 以上にするのは極めて困難であり、この点でも高温プロセスであるマイクロ秒アニール技術は優位に立つ。このような技術上の違いが、それぞれの技術の前倒し、後ろ倒しの要因となっている。

一方現実には、上記いずれにも該当しない拡散層の形成方法として、チャンネル領域にストレスを発生されることを目的として、ソースドレイン領域に in-situ ボロンドープト SiGe 層を埋め込む方法が用いられている。このプロセスによれば、急峻かつ高濃度で、活性化率も高い理想的なドーパントプロファイルを実現することができる。現時点、この方法は Deep Junction のみに適用されているだけであり、extension への適用にはインテグレーション上の工夫等さまざまな課題の克服が必要である。ITRS2005 では、将来技術の項目の一つとして in-situ doped junctions の項目が新設され、2007 年に Elevated junction の実用が想定されている。高移動度化を可能とするとともに、接合リークの低減、シリサイドーションのための犠牲層形成までを同時に実現できることから、有力な将来技術の一つであることは疑う余地はない。

ITRS2005 では High-k 絶縁膜の導入時期が 2008 年に後ろ倒されたが、デバイスの性能の向上を犠牲にす

ることなくこの後ろ倒しが可能となった一つの要因は、extension に対する要求値が大きく前倒したことにある。例えば 2007 年の Drain Extension (x_j) として示されている値は、ITRS2003 では 13.8nm であったのに対し、ITRS2005 では 7.5nm となっている。ITRS2003 まではゲート長が短くなるに従い、ゲート絶縁膜も薄くすることが可能であるとの見通しから、 x_j については(物理ゲート長 $\times 0.55$)が要求値とされてきた。しかしながら ITRS2005 では、CET (Capacitance Equivalent Thickness)のスケールリングがゲート長に追いつけなくなった分、 x_j のスケールリングがアグレッシブなものとなっている。

ドーピングのためのさまざまな新規技術は、このようにアグレッシブな接合形成技術の進歩を助けるものである。ただし実際にドーピング技術の実用化を考えるにおいては、実験的に得られる値を実際のデバイスで得ることが極めて困難である。これは、実際のデバイスにおける活性化のための熱工程の制約、あるいは拡散層形成後の熱工程による不活性化等により、実験的に実現される拡散層のプロファイル、シート抵抗を実デバイス上で得ることができないことによる。接合形成に関する学会等での発表の多くは、パターンのない基板上での実験によるものである。浅く、高濃度の拡散層を形成するためのプロセスの構築において、特に新規ドーピング技術の導入を考える場合には、実際のデバイス作成に必要な境界条件をよく把握した上で、実験的に得られた結果からの乖離があることを十分に念頭に置く必要がある。

5-6-2 ドーピング技術におけるシミュレーション

ドーピング技術において、素子の微細化に伴うばらつきを抑止がますます重要な課題として挙げられる。ばらつきの要因としては、ドーパントを連続体ではなく離散体として取り扱わねばならないことによるもの、ゲートのパターンのエッジ荒れ、いわゆる LER (Line Edge Roughness)等に代表される加工形状のばらつきによるもの、およびその結果としてドーパントのプロファイルにも横方向拡散長などにばらつきがあることを考慮する必要があることによるものがある。ゲート長が長ければ、不純物を離散的に扱う必要もなく、LER も問題にはならず、また不純物の揺らぎも MOSFET の特性に影響を与えることはない。

図表 5-9、5-10 に、プロセス揺らぎがない場合でも生ずる閾値電圧のばらつきを、ドーパント分布の一例と合わせて示した。プロセス揺らぎがない場合でもドーパントが本質的に離散的なため、標準偏差が 28mV もの値となっている⁶。

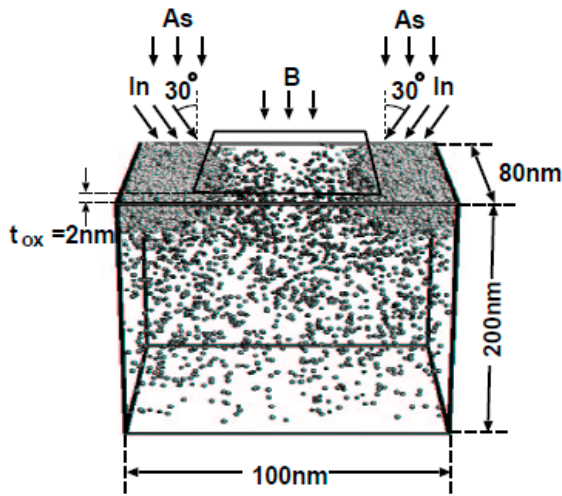
さらに現実には揺らぎを完全に抑えることなどできない以上、素子動作上抑止すべき揺らぎがどこにあるかを把握することが、プロセス構築のために重要となる。そのためのツールとして、揺らぎを仮想的に再現することのできるシミュレーションが有力な手法であり、その結果をベースとして、プロセス改善の方向性を決定していくことが可能となる。図表 5-11、5-12 に、実際に得られている結果を基にした LER を取り込んで、ゲート長とアニール手法を変えたときに、閾値のばらつきがどのように変化するかをシミュレーションした結果を示した⁷。ゲート長が短いほど、また活性化手法としてスパイクアニールに代えてフラッシュランプアニールを用いることで閾値のばらつきが大きくなっていることがわかる。これらは、ゲート長が短くなることで、ゲート長に及ぼす LER の影響が無視できなくなること、またさらに、活性化手法としてほとんど全く拡散の起こらないミリ秒アニールを用いた結果として、従来であれば熱工程でプロファイルが平均化されたのに対し、LER の影響がそのまま反映された横方向に揺らぎのあるプロファイルのまま MOSFET が作成されてしまうことによる。

これらの結果は、浅く、低抵抗で急峻なプロファイルを形成するというドーピング技術がこれまで目指してきた方向に加えて、素子特性上のばらつきを適切に抑止することのできるプロセスの探索が必要であることを端

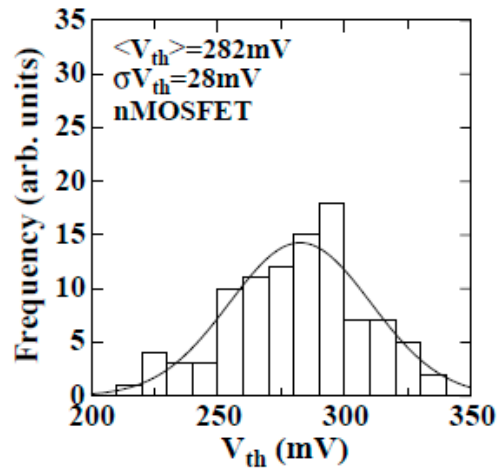
⁶ M. Hane and T. Ikezawa, Proc. International Workshop on Junction Technology, p.75, 2002.

⁷ M. Hane, T. Ikezawa, and T. Ezaki, "Coupled Atomistic 3D Process/Device Simulation Considering both Line-Edge-Roughness and Random-Discrete-Dopant Effects", Proc. SISPAD 2003, pp. 99-101, (2003)

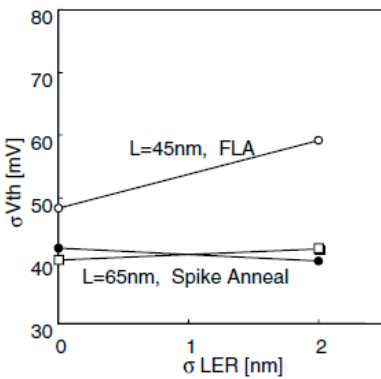
的に示した結果であり、今後ますますドーピング技術の開発におけるシミュレーションの有効性が増していくものと予想される。



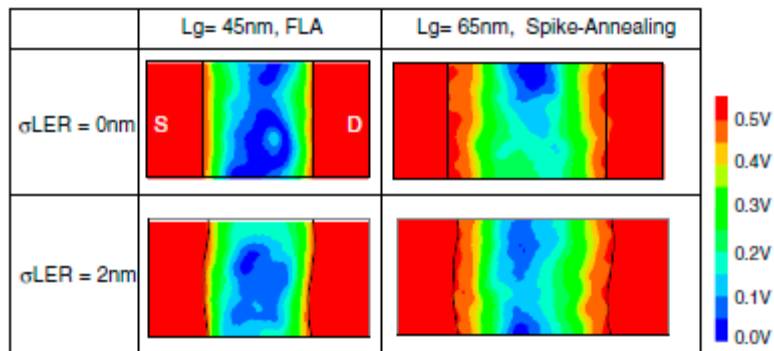
図表 5-9 1050°Cのスパイク
アニール後のドーパント分布の例



図表 5-10 図表 5-9 に記載の構造
での閾値電圧のばらつき



図表 5-11 熱処理手法の違い
による閾値ばらつきの LER 依存性



図表 5-12 熱処理手法と LER の違いによる
チャンネル領域のポテンシャルの分布の依存性

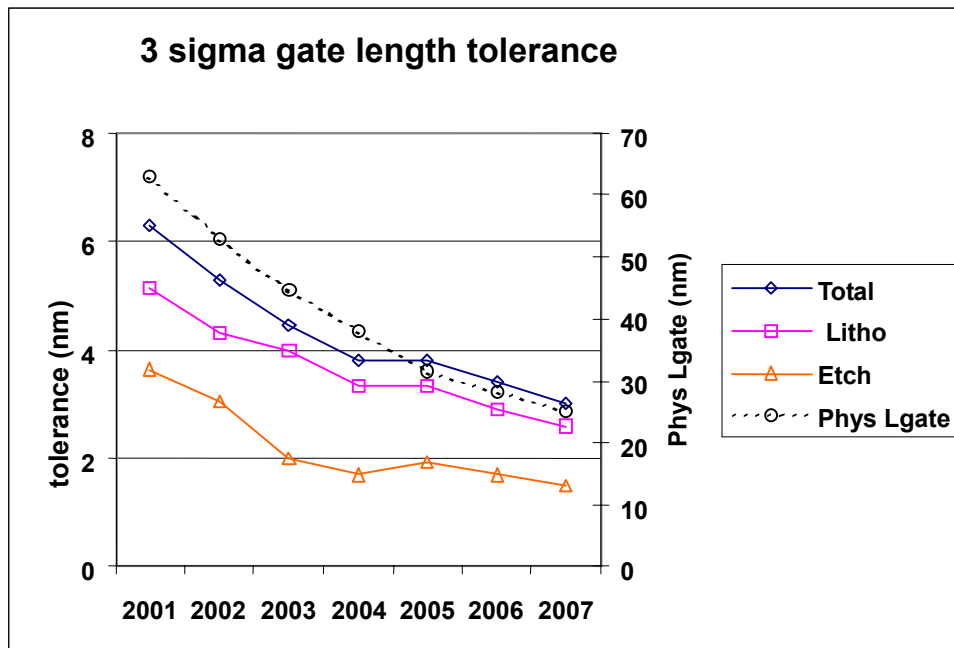
5-7 Etch

ITRS2003 から継続した議論がなされてきたゲート CD 制御の課題は、2004 年に Chip Size and Technology Node Study Group(CSTNSG)により行われた各メーカーへの調査結果に基づき、2005 年度版では見直しが行われた。前回の ITRS2003 では線幅の 10%の制御を必要とするままであったが、これに対して調査結果は、10%(3 σ)の制御は困難であるという調査結果であった。また、現実のデバイス生産が 10%を多少越えるバラツキであっても成り立っている実状も踏まえて、米国の FEP、PIDS、Lithography、Design の各 WG が中心となって検討を重ねた結果、ITRS2005 においてゲート CD 制御は線幅の 12%(3 σ)とすることに決定した。

バラツキの決定に先立ち、同様に懸案であった線幅制御の配分(リソグラフィ 80%:エッチング 20%)に関し

でも議論が行われ、改定がなされている。ITRS2003 で改定した配分を再度適正化するためであるが、背景には 90nm ノードのデバイス製造において、レジスト寸法は ITRS の掲げる寸法よりも大きなサイズで行われているという実状がある。最終のゲート CD 値は変更することなく、レジスト寸法を現実に即して幾分大きめの値に修正を加えることにより、リソグラフィ 75%:エッチング 25%とすることに決定した。CD 制御を 12%(3 σ)とする改訂と総合すると、リソグラフィ、エッチングのいずれも ITRS2003 よりも緩和された数値となっている。これらの修正を図表 5-13 にまとめた。

CD 制御の議論を煩雑にしているもうひとつの課題である、前述のパターンのエッジ荒れ、いわゆる LER (Line Edge Roughness)と LWR (Line Width Roughness)は、ますます重要性が高まる一方、慎重な議論が必要である内容でもあるため、ITRS2005 では重要性を強調した記述に留まっている。FEP WG では 2004 年度に計測の観点から LER/LWR を議論したが、今年度は LER/LWR が素子特性に及ぼす影響について調査・議論を行っている。従来、トランジスタ特性のバラツキを左右するのがゲート CD であったが、微細化に伴い LER/LWR が無視できないと指摘する報告が増加しており、ロードマップとしての定量化の加速が必要である。しかしながら、トランジスタ特性に影響する LER/LWR を決定するのはゲートエッジの形状ではなく、最終的に形成された拡散層の形状である。これに影響するパラメータは、ゲートの加工形状はもとより、ゲート poly-Si のグレイン配向、イオン注入の角度やエネルギー、熱拡散処理の方法など多様なプロセス因子を考慮する必要があることが判明した。今後、LER/LWR の取り扱い方から検討を開始して、議論を深めて行く必要がある。



図表 5-13 ゲート CD バラツキ制御の変遷

5-8 DRAM

歴史的に、DRAM が 3 年ごとに 4 倍の容量を達成したのは以下の理由による。

1. 最小加工寸法の縮小(2 倍)
2. チップサイズの拡大(約 1.4 倍)
3. セルエリアファクタとセル効率(全メモリセルエリア/チップサイズ)の改善(約 1.4 倍)

しかしながら、チップサイズの拡大は経済的な理由により困難になっており、セルファクターの改善もレイアウトの物理的な限界が近づいていることにより鈍化している。

図表 5-14 は 2005 年度版における、DRAM スタック型キャパシタ技術の解決策候補を示したものである。2003 年

度版と比較して、高誘電率材料として 65nm 世代までに HfO_2 、45nm 世代までに TiO_2 が新たな候補材料として加わった。それ以降については現在も技術開発が精力的に続けられているが、キャパシタ絶縁膜の材料選択は継続的な課題となっている。90nm ノード以降においては、酸化に対する耐性の向上、および、望ましい微細構造の形成を目的として Pt、Ru、TiN、 RuO_2 、 IrO_2 のような金属や金属窒化物/酸化物がストレージノードの下部電極とした MIM 構造が必要となる。

図表 5-15 に DRAM スタック型キャパシタ技術ロードマップの 2005 年度版と 2003 年度版(及び 2004 年度アップデート版)の比較を示す。セルサイズファクター a は 65nm ノードの終わりまで 8 を維持し、2003-4 年当時に予想されたよりもゆっくりとスケールアップされる。また、65nm ノード以降において前記 a ファクターは 6 のままであると予想されている。 a ファクター、比誘電率、高誘電率材料等の見積りは PIDS WG が中心となって実施した製造メーカー各社へのアンケート調査結果及び R&D の現状から予測したものである。

近年従来型 DRAM においては、容量を維持しながらセルシュリンクを続けることが困難になりつつある。また、セルの微細化に伴う寄生抵抗の増大や CMOS 工程後に追加されるキャパシタ工程によりコスト上昇とトランジスタ性能劣化を招き、標準 CMOS ライブラリが使えないという問題があった。今後微細 MOS で導入が有望視されている SOI 基板を用いて、CMOS プロセスのみで作製可能なシュリンクの容易な FBC (Floating Body Cell) など、新構造 Cell 技術開発がどこまで進むかについても注目される。

	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
DRAM M1 ½-pitch (nm)			65			45			32			22			16	
Top Electrode	Metal: Ti, TiN, W, Pt, Ru, RuO_2 , IrO_2 , ...															
Capacitor Dielectric Material	Al_2O_3 , HfO_2 , Ta_2O_5			Ta_2O_5 , TiO_2			Ultra high κ ; new materials, strontium -based, perovskites									
Bottom Electrode	Metal: Ti, TiN, W, Pt, Ru, RuO_2 , IrO_2 , others															

図表 5-14 2005 年度版における、DRAM スタック型キャパシタ技術の解決策候補

Year of Production	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20
Cell size factor a																	
2003/2004 ITRS	8.0	7.5	7	7	6	6	6	6	6	6	6	6	6	5	5		
2005 ITRS		8	8	8	6	6	6	6	6	6	6	6	6	6	6	6	6
Dielectric constant																	
2005 ITRS	22	40	50	50	50	50	50	60	60	60	80	80	80	100	100	100	100
Capacitor dielectric material - potential solutions																	
2003/2004 ITRS	ALO/TAO		ALO/TAO/others						new material								
2005 ITRS		Al_2O_3 , HfO_2 , Ta_2O_5		Ta_2O_5 , TiO_2			ultra-high-k, new materials, strontium-based, perovskites										

図表 5-15 DRAM スタック型キャパシタ技術ロードマップの 2005 年度版と 2003 年度版 (及び 2004 年度アップデート版)の比較

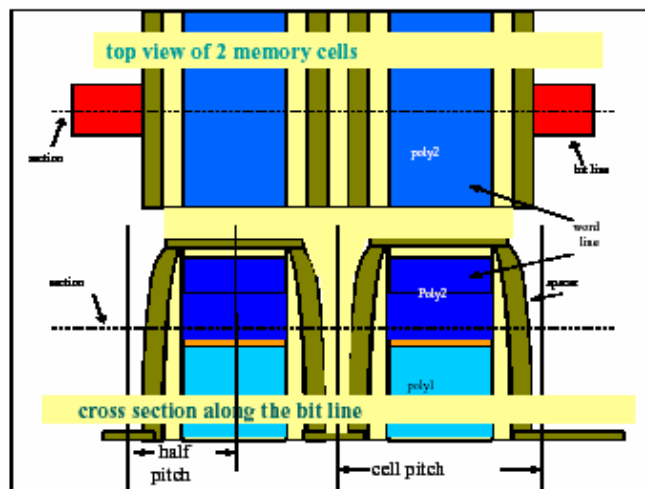
5-9 FLASH

NAND フラッシュメモリは、新たな用途を次々と開拓し爆発的な成長を続けている。米調査会社アイサプライは 2006 年のメモリー市場を 531 億ドル(DRAM:239 億ドル、NAND:153 億ドル、NOR:88 億ドル)と予測している。また DRAM が前年比約 5%のマイナス成長であるのに対して、NAND は 41%増、NOR は 12%増とプラス成長となる見込みである。さらに将来的にも NAND は微細化を加速し、小型 HDD 代替に向け大容量化に突き進むであろう。2005 年度版では、製品出荷実績や技術発表をもとに 2003 年度版と比較して大幅に改定されている。特に過去においてフラッシュメモリは、CMOS や DRAM の技術世代に対して遅れる傾向にあったが、もはやその遅れはなく、むしろ微細化を推進できるルールについてはよりアグレッシブである(図表 5-16)。

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
Flash technology generation NOR/NAND - F (nm) [A]	80/70	70/65	65/55	57/50	50/45	45/40	40/35	35/32	32/28

図表 5-16 各デバイス(DRAM/MPU/FLASH)における代表値のロードマップ比較

FLASH のロードマップは、ITRS2001 年版で初めて作成され、2003 年度版で技術世代を明確に定義した。NAND、NOR それぞれの独自性や構成の違いにより、技術世代の定義、言い換えれば最小加工寸法の意味が両者で必ずしも同じではないからである。NAND フラッシュでは最適な加工寸法の定義は、メモリーセルのハーフピッチである。図表 5-17 の例に示すように、ビットラインに対して平行にメモリーセルの断面を見たとき、2 層目のポリシリコン(ワードライン)のハーフピッチである。

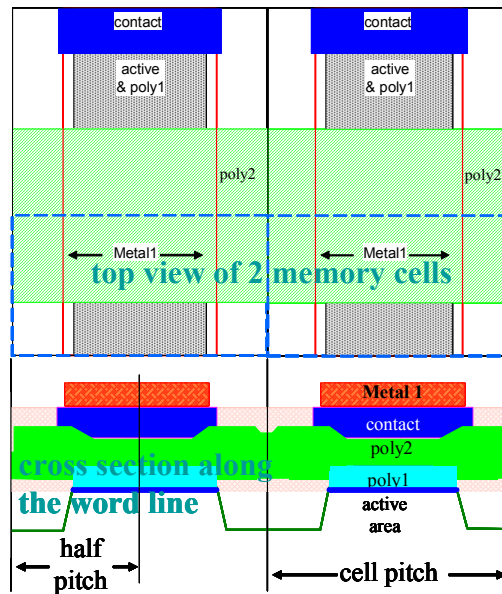


図表 5-17 NAND フラッシュメモリの最小加工寸法

一方 NOR フラッシュでは、最小加工寸法の定義は各生産者間で用いているセル構造が異なるため簡単ではない。図表 5-18 の例で示すように、NOR フラッシュでは以下のような最小加工寸法の定義が用いられる。

- 2 層目ポリシリコン(ワードライン)と平行に断面を見たときのメモリーセルのハーフピッチ
- ワードラインに沿った方向に見たときの 1 層目ポリシリコンの間隔

- 最小のコンタクトホールサイズ

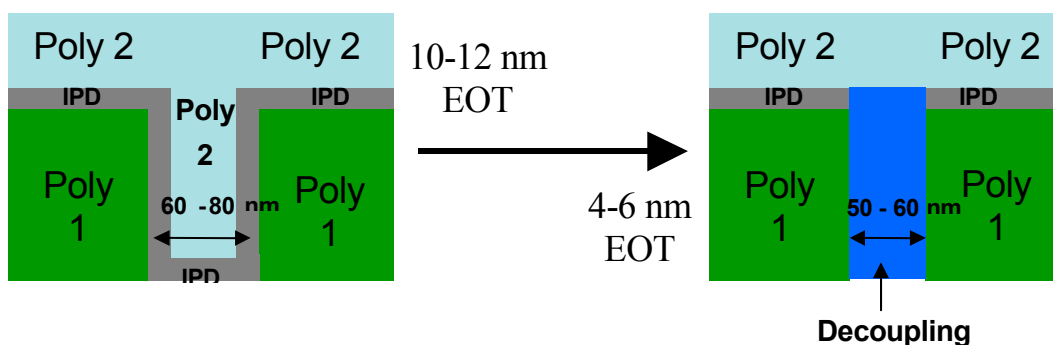


図表 5-18 NOR フラッシュメモリの最小加工寸法

NANDとNORフラッシュメモリの最重要課題は、セル領域の縮小に伴い、メモリーセルを形成する上でキーとなる2つの絶縁膜であるトンネル絶縁膜とPoly-Poly間絶縁膜の膜厚を薄膜化することである。

トンネル酸化膜は、データ保持特性や要求される書き込み/消去回数を保証するために十分に厚くしなければならないが、書き込み/消去特性向上のために薄膜化しなければならない。また Poly-Poly 間絶縁膜の膜厚はデータ保持特性を保証するために十分に厚くしなければならないが、一定のカップリング比率を保証するために薄膜化しなければならない。これらのトレードオフの課題がスケージングを困難にしている。

特にカップリング比率 αg (浮遊ゲート容量に対する制御ゲート容量/ソース、ドレイン、基板容量に対する総フローティング容量)は、NANDとNORフラッシュの両方で45~40nm技術世代から重大な問題として顕在化する。二つの隣り合った浮遊ゲート(Poly1)間スペースが小さくなると、現状の技術では、制御ゲート(Poly2)がPoly1の縦側壁を覆うことができなくなる。Poly1とPoly1の縦側壁にあるPoly2との電気的カップリングの不足は結果として αg の劣化となり、代償としてPoly-Poly間絶縁膜厚の薄膜化要求がさらに強くなる。この状況を図表5-19に示す。



図表 5-19 45nm 世代におけるフラッシュメモリの Poly-Poly 間絶縁膜厚

現在の Poly-Poly 間絶縁膜の技術は、主に熱処理と CVD で形成する酸化窒化膜を基にしており、積極的な EOT 減少はデータ保持特性を許容できないため、恐らく不可能と思われる。したがってこの段階で High-k 材料の導入が必要であろう。代わりに制御ゲートに対して、高いカップリング比率を維持する新しい浮遊ゲート構造やポリシリコンとは異なる電荷保持材料が潜在的な解決策となる。この観点から 45~40nm 技術世代は、従来手法とメモリーセル構造の変革による新しい解決策の両面で転機になるであろう。

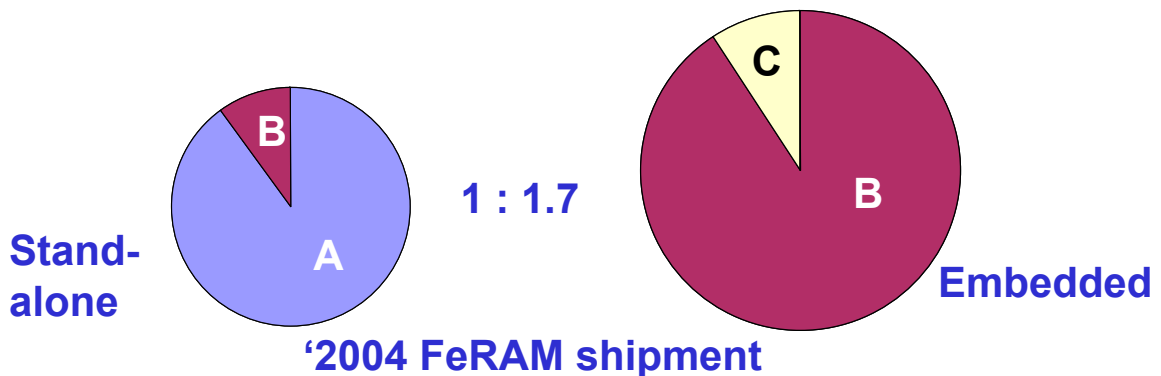
5-10 FeRAM

FeRAM の表は、2001 年版は製品出荷または製品出荷表明にほぼ沿ったロードマップであったが、2003 年版および 2004 年アップデート版では学会発表を含めた技術発表に沿ったものとなった。2003 年度版が技術発表による傾向をロードマップとしたのは以下の理由が挙げられる。

1. ユーザー限定による出荷であるため、製品の詳細情報がつかみにくい。
2. 市場にあわせて低容量にシュリンクしており、そのまま表にすると技術ロードマップとして不自然。
3. 技術的には製品レベルであるが市場をにらんで出荷を見送っている場合が多い。
4. 2003 年版に、製品出荷をまだ行っていない MRAM が技術発表を元に表を掲載。MRAM との整合性を考えた。

しかし、2003 年版ロードマップでは 2004 年に 64Mb が demonstration sample として挙げられているのに対し、実際に出荷された製品は 1Mb であり、乖離が著しいことがわかった。そこでミュンヘン会議において STRJ 側からこの問題を是正すべく修正案として、DRAM と同じ基準の「先行 2 社月産 1 万個」案、ITRS2003 年 FeRAM と同じ基準の「Demonstration sample」案、「先行 1 社月産 1 万個」案を提示した。その結果、PIDS との cross cut で DRAM と同じ基準の「先行 2 社月産 1 万個」にする案が受け入れられた。

一方、図表 5-20 に示すように市場規模では確かに混載品の方が単体品より大きいですが、開発においては単体品の方が先行しているのでこれを指標とすべきと主張した。



図表 5-20 2004 年の FeRAM 出荷比率 (面積は売り上げを反映。A、B、C はメーカーを示す。)

しかし、「市場でマイナーな単体品を指標にするのはおかしい」、「DRAM、FLASH、SRAM の replacement としてとらえるのは間違っている」との意見も出た。ITRS の読者が DRAM、FLASH と同様に FeRAM の Table を見てしまうことを避けるべきとの考えである。そこで、「混載品、単体品にかかわらず FeRAM の最初の製品のタイミングを TN とする (先行 2 社月産 1 万個)」ことに決まった。FeRAM の表の数値は STRJ PIDS が FeRAM メーカーからのアンケート結果に基づいたものである。その他 ITRS2005 における主な変更点として、強誘電体材料からくる電荷量の上限 $30 \mu C/cm^2$ に達した時点、すなわち 2010 年に 3D 化が必要と判断した。以上の議論に基づき、改訂された FeRAM Table の抜粋を図表 5-21 に示す。

ITRS2006 Update に向けての課題としては、STRJ PIDS と FEP の量産ベース FeRAM の継続的調査が挙げ

られる。

また当然のことながら、先行 2 社月産1万個という基準は他のメモリにも適用されるべきであるが、MRAM や 2005 年度版に組み入れられた PCM(phase change memory)には適用されていない。基準をどう扱うかは 2006 年にかけての課題となる。

Year of Production	2005	2006	2007	2008	2009	2010	2011
Feature size (μm) [A]	0.13	0.11	0.1	0.09	0.08	0.065	0.057
Cell area factor: a [D]	34	34	30	30	30	24	24
Capacitor active area (μm^2) [G]	0.32	0.23	0.158	0.128	0.101	0.076	0.069
Cap active area/footprint ratio [H]	1	1	1	1	1	1.55	1.85
Capacitor structure [J]	stack	stack	stack	stack	stack	3D	3D
Minimum switching charge density ($\mu\text{C}/\text{cm}^2$) at V_{op} [M]	11.4	14.2	19	22	26	30	30

図表 5-21 ITRS2005 FeRAM Table の抜粋

5-11 まとめ

STRJ FEP WG の 2005 年度活動を STRJ ワークショップでの報告とヒアリングから得られた技術動向を中心にまとめた。本年度のワークショップでは、ITRS2005 の主な変更点とゲートスタック関係の技術動向を重点的に報告した。

ITRS2005 は、デバイス構造の平行パスに対応した形でゲートスタック技術への要求が細分化して記述されるようになったこと、CD 制御の緩和とリソグラフィ/エッチング間配分の見直し、および FeRAM の TN の定義変更(「混載品、単体品にかかわらず」先行 2 社月産 1 万個)等が主な変更点である。ゲートスタックは着実な進展が見られ、High-k の課題だった低移動度も問題のないレベルに達している。しかしながら、ITRS2005 で提示されたメタルゲートと High-k の 2008 年同時導入は容易ではない。

ITRS2006 Update ではこの導入時期の再検討、実態調査に基づいた DRAM のキャパシタ絶縁膜材料の見直し等が課題である。

付記

日本担当の DRAM はスタック型キャパシタなのでトレンチ型キャパシタ(ヨーロッパ担当)には触れなかったが、ITRS2005 本文ではトレンチ型キャパシタが必要とされる容量が従来の 35fF から 28fF に変更になっている。これは、ITRS2004 Update まではスタックは必要最小値、トレンチは典型的な値となっていたのを必要最小値に統一したためである。ITRS2005 の改定で米国、ヨーロッパの委員と議論している際、スタック型キャパシタの必要値 25fF との違いが話題になり、記載を見直すとスタック型では最小値となっているのに対し、トレンチ型ではそうっておらず、基準が異なっていたのが明らかになった。ヨーロッパの委員によると容量は経験的に典型的な値の 20%程度ばらつくことから、最小値として 7fF を減じて 28fF と修正された。

謝辞

最後になりましたが、お忙しい中ヒアリングで講師を務めて下さった先生方のお名前を記して感謝の意を表します。ありがとうございました。

(ヒアリング順)

大口径ウェーハ

Metal Gate

High-k

金属汚染

LER、LWR vs. Tr 特性

LER、LWR vs. Tr 特性

Capacitorless DRAM (SOI DRAM)

SOIを使用した LSI

ウェーハのハンドリング

3D-LSI 技術の開発状況

高田清司氏 (元 SSi)

奈良安雄氏 (Selete)

丹羽正昭氏 (松下)

滝山真功氏 (Siltronic)

羽根正巳氏 (NEC)

福留秀暢氏 (富士通研)

浜本毅司氏 (東芝)

井田次郎氏 (沖電気)

小松省二氏 (アクティオン)

元吉真氏 (ザイキューブ)