

第 6 章 WG4 配線

6-1 はじめに

6-1-1 配線技術の現状

LSI 配線は、スケーリングによる配線間隔と断面積の縮小化に伴い、(1) 配線遅延の増加、(2) Electron Migration (EM)信頼性の劣化、(3) 消費電力の増加、(4) シグナルインテグリティーなどの問題が顕在化している。その対策として 180nm 世代から Cu 配線、130nm 世代から低誘電率(Low-k)絶縁材料が導入され、継続的なスケーリングによる性能向上とコスト低減のシナリオが延命されてきた。しかし、45nm 世代以降は、

- (a) バリメタル厚のスケーリング、Cu の電子散乱による比抵抗上昇
- (b) Low-k 膜のプロセス起因の変質・吸湿、機械的強度低下に伴うインテグレーションや信頼性問題
- (c) Cu の EM 限界、微細ビアの Stress Migration (SM)問題

といったプロセス・材料物性の限界や、技術障壁の増大が顕在化し、その問題解決にむけた技術ロードマップの検討が急務となっている。

6-1-2 WG4(配線 WG)の活動概要

配線 WG4 では、2003 年度で掲げた「論理的根拠に基づいた、合理的かつ現実的な配線技術ロードマップ」という基本方針のもと、継続的な微細化ロードマップの見直しと、微細化に伴う本質的な限界の予測、それを乗り越えるための候補技術の検討を行っている。2005 年度は、ITRS2005 の作成にかかわる活動として、以下の通り、配線ピッチ、層構成、微細 Cu の抵抗率、誘電率(k 値)、配線電流密度(Jmax)の見直しを行った。

- (1) 配線ピッチと多層構成：各社の国際会議発表トレンドに従い、M1 (第1メタル)ピッチのスケーリングを、2005～2009 年:0.75 倍/2 年、2010 年以降:0.7 倍/3 年に変更した。また、多層構成(M1, Intermediate, Global)の見直しを行い、従来の MPU 階層構造とは別に ASIC の階層構造を追加した。
- (2) 電子散乱効果による配線抵抗率の増加モデル：配線の幅と厚さに依存した抵抗率変化を説明できるモデルを採用し、技術要求テーブルの数値を変更した。
- (3) 誘電率(k 値)：□の狭ピッチ化加速に伴う、k値の見直しを行った。
- (4) 配線電流密度(Jmax)：配線断面積、配線間容量の変更に伴う再計算を行った。

上記活動に際して参加した国際技術会議は、以下の通り。

- ・ 2005 年 3 月 サンフランシスコ ITRS/TWG (バイエリア会議)
- ・ 2005 年 4 月 ミュンヘン/ITRS Spring Meeting
- ・ 2005 年 6 月 サンフランシスコ/ITRS TWG (IITC 会議)
- ・ 2005 年 7 月 サンフランシスコ/ITRS Summer Meeting
- ・ 2005 年 12 月 ソウル/ITRS Winter Meeting

STRJ 独自の活動として、2010 年以降の Red Brick Wall (RBW) に対する候補技術の検討を行っている。2005 年度は、2004 年度に引き続き、Cu/Low-k 配線のスケーリング限界を探る目的で、機械的強度解析を行った。また、Airギャップ配線、Carbon Nano Tube (CNT)配線、光配線の調査を行い、Cu/Low-k 代替技術としての可能性を検討した。

6-2 ITRS2005-Interconnect 見直し

6-2-1 配線ピッチと多層配線構成の見直し

昨年度までのロードマップでは各配線層のピッチについては全く議論されなかったが、各デバイスメーカーが使用しているいわゆる商用ノード(Commercial node)上の配線ピッチとの乖離が益々大きくなってきていることから、今年度は Metal1(M1)配線、Intermediate(IM)配線、Global 配線ピッチの見直しを行った。

図表 6-1 は、主要学会で発表された論文の中から、130nm 商用ノードから 45nm 商用ノードにかけての各配線層のピッチトレンドを調査した結果を示している。これまで M1 配線は 2 年で 75%の微細化を、IM 配線は 2 年で 70%の微細化を行ってきており、明らかに ITRS よりも微細化のスピードが速い。また、Global 配線は長距離配線の RC 遅延時間の低減化のために既に 130nm ノードから最小 2um ピッチの逆スケーリングを行っている。これは ITRS2003 81a 及び 81b 記載の Global/IM 配線ピッチ比率よりも大きい。さらに、これまでの ITRS では Semi-global 配線は定義されていないが、実際の ASIC 製品などではグリッド設計の観点から IM 配線の 2 倍ピッチ配線として 130nm ノードから使用されている。

Node	Company	M1	Min. IM	Semi-global	Min.Global	Global/IM ratio	Reference
130 (2001)	IBM	320	400	-	-	-	L.K.Han, <i>VLSI2000</i> , p.2
	Toshiba	320	400	800	2000	5	H.Yoshimura, <i>VLSI2000</i> , p.144
	Fujitsu	360	400	600	1600	4	Y.Takao, <i>IEDM2000</i> , p.559
	TSMC	340	410	-	900	2.2	K.K.Young, <i>IEDM2000</i> , p.563
	Intel	320	400	-	800	2	T.Schml, <i>VLSI2001</i> , p.101
90 (2003)	Toshiba	240	300	600	2000	6.7	K.Miyashita, <i>VLSI2001</i> , p.11
	Motorola	240	360	540	840	2.3	S.Parihar, <i>IEDM2001</i> , p.249
	Mitsubishi	240	280	560	1400	5	K.Tomita, <i>VLSI2002</i> , p.14
	TSMC	240	-	-	-	-	S.M.Jang, <i>VLSI2002</i> , p.18
	Inf./IBM/UMC	240	-	-	-	-	T.Scafbauer, <i>VLSI2002</i> , p.62
	NEC	240	280	560	-	-	K.Fukasaku, <i>VLSI2002</i> , p.64
	Fujitsu	260	280	560	840	3	S.Nakai, <i>VLSI2002</i> , p.66
Intel	220	320	400-720	1080	3.4	C.-H.Jan, <i>IITC2003</i> , p.15	
65 (2005)	Toshiba	180	200	400	2000	10	M.Kanda, <i>VLSI2003</i> , p.13.
	NEC	180	200	400	1600	8	Y.Nakahara, <i>IEDM2003</i> , p.282
	Fujitsu	180	200	400	800-1600	4-8	S.Nakai, <i>IEDM2003</i> , p.285
	Intel	210	210	330-480	1080	5	P.Bai, <i>IEDM2004</i> , p.657
45 (2007)	Fujitsu	130	140	280	-	-	I.Sugiura, <i>IITC2005</i> , p.15
	Toshiba	130	140	280	2000	15	N.Matsunaga, <i>IITC2005</i> , p.6

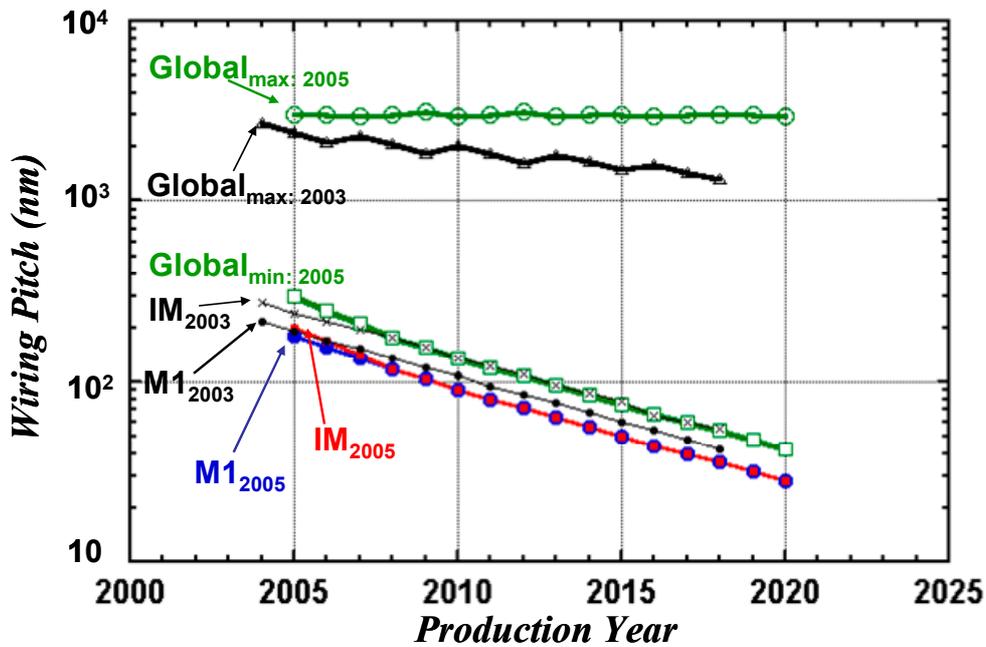
75%/2years M1 × 1.1-1.2 IM × 2.0 IM × 2.0-4.0~ 2005.6.5 Interconnect TWG Meeting
70%/2years 70%/2years Max.2um

図表 6-1 130nm から 45nm 商用ノードにおける学会発表ベースの各配線ピッチトレンド

そこで、今年度は、ITRS と、実際にデバイスメーカーが使用している商用ノード上の配線ピッチとの乖離をなくすために、すべての配線層についてピッチ見直しを行った。図表 6-2 には、ITRS2003 と比較した形で M1 配線、IM 配線、Global 配線におけるピッチの見直しトレンドを示した。

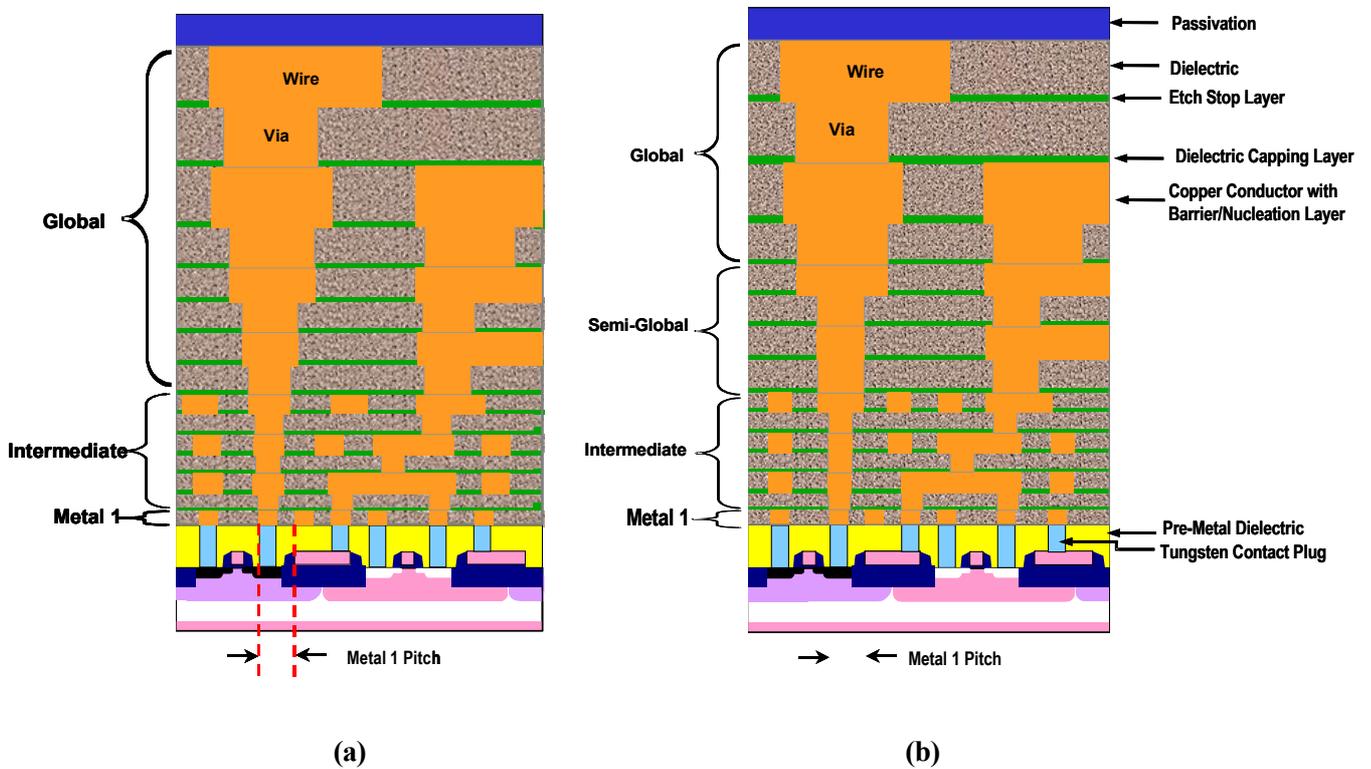
まず M1 及び IM 配線については、2009 年まで 2 年サイクルでそれぞれ 75%縮小、70%縮小とすることにより商用ノードトレンドに合わせた。しかし、2010 年以降もこの微細化ペースのままピッチ縮小を続けていくと、DRAM や Flash メモリの配線ピッチを追い抜くことになり非現実的であると判断し、2010 年以降は 3 年で 70%縮小とした。

また、Global 配線については、最小線幅が世代とともに IM 配線の 1.5 倍ピッチで縮小されるこれまでの ITRS における MPUトレンドを踏襲して IM 配線ピッチの見直しに合わせて計算し直した結果を Table80a 及び 80b に記載した他、現状の ITRS には明確には存在しない Semi-global 配線層を ASIC 製品のために新たに追加して、そのピッチを IM 配線の 2 倍として Table80a 及び 80b に記載した。



図表 6-2 各配線におけるピッチトレンドの見直し結果 (ITRS2003 年度版との比較)

一方、多層配線断面構造図については、これまで MPU 向けに一種類の断面構造図しか存在しなかったが、今年度は ASIC 向けに Semi-global 配線層を新設したことから、図表 6-3 に示したように、従来の Semi-global 配線層を持たない MPU 対応の構造図とともに Semi-global 配線層を持った ASIC 対応の構造図の 2 種類を用意した。

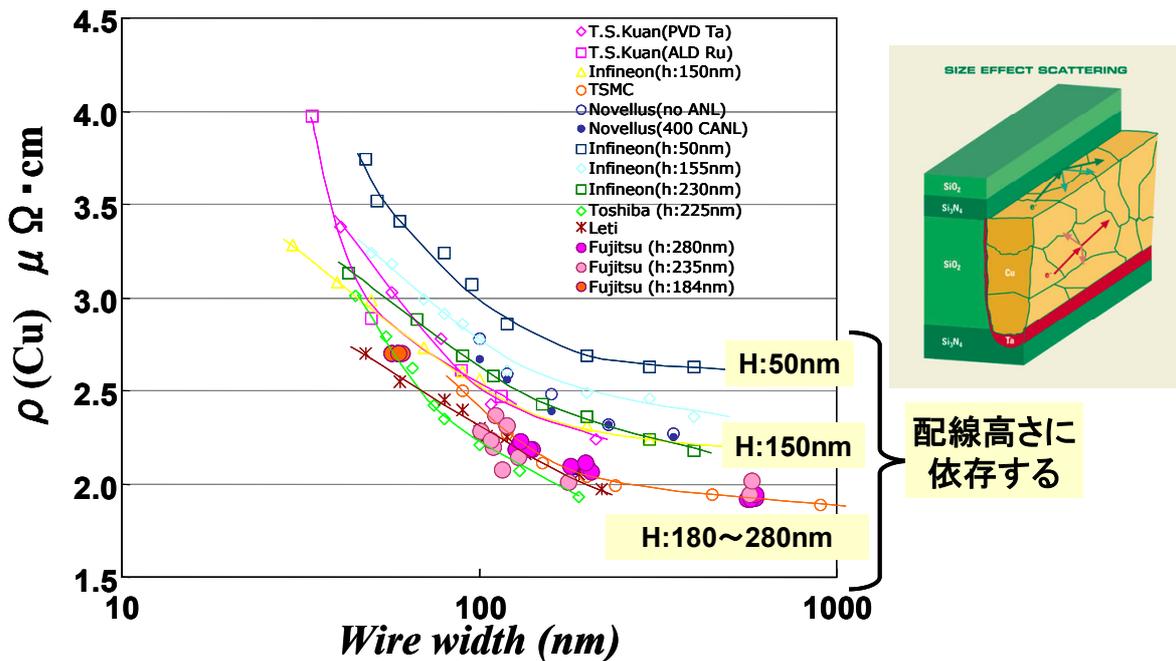


図表 6-3 MPU(a)及び ASIC(b)の多層配線断面構造図

6-2-2 Cu 比抵抗上昇モデルの高精度化と要求値見直し

Cu 配線幅が Cu 中の電子の平均自由行程の約 3 倍程度まで微細化されてくると、ダマシシ配線溝加工面を介したバリアメタル/Cu 界面や Cu 拡散防止膜/Cu 界面、結晶粒界での電子の非弾性散乱によって電気抵抗の上昇が観測されることが知られており、昨年度の活動では、これまでに報告されている比抵抗の配線幅依存性についての実測データの中で最も低い比抵抗に適合するフィッティング・パラメータ(p 値と r 値)を採用した比抵抗上昇モデルを用いて比抵抗上昇を計算した結果を ITRS Table81a 及び 81b に掲載した。

しかし、図表 6-4 に示したように、比抵抗上昇は配線幅依存性を持つだけでなく、配線膜厚の薄膜化によっても顕著な抵抗上昇が観測されることから、今年度は配線膜厚(モデル上はアスペクト比)依存性も考慮したモデルの高精度化を行い、再計算を行った結果を Table80a 及 80b に記載した。



図表 6-4 配線比抵抗の配線幅依存性(配線膜厚をパラメータとして)

モデル式^[1]は以下のように表現できる。

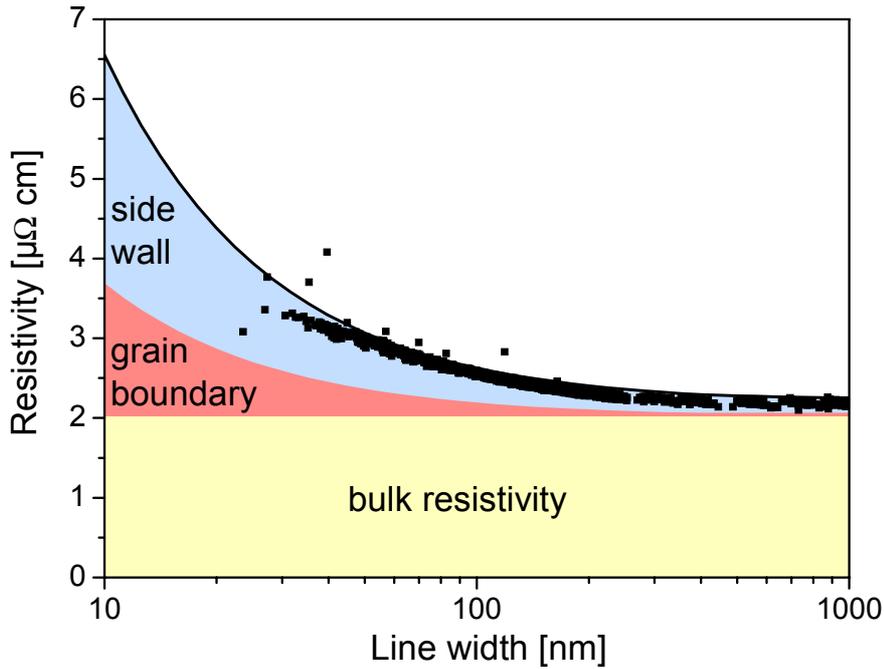
$$\rho(W) = \rho_0 \left\{ \frac{1}{3} \left[\frac{1}{3} - \frac{\alpha}{2} + \alpha^2 - \alpha^3 \ln\left(1 + \frac{1}{\alpha}\right) \right] + \frac{3}{8} C(1-p) \frac{1+AR}{AR} \frac{\lambda}{w} \right\}$$

$$\alpha = \frac{\lambda}{d} \frac{R}{1-R}$$

ここで、 ρ_0 はフォノン散乱と膜中の不純物、空孔、転位によって決まる配線寸法に依存しない抵抗成分、 λ は電子ガス理論から決まる電子の平均自由行程、 W は配線幅(cm)、 R は結晶粒界での電子の反射確率、 p は界面で弾性衝突する電子の割合、 C は形状パラメータ(=1.2@直方体)、 AR は配線のアスペクト比、そして d は粒界間の平均距離(= W と近似)である。

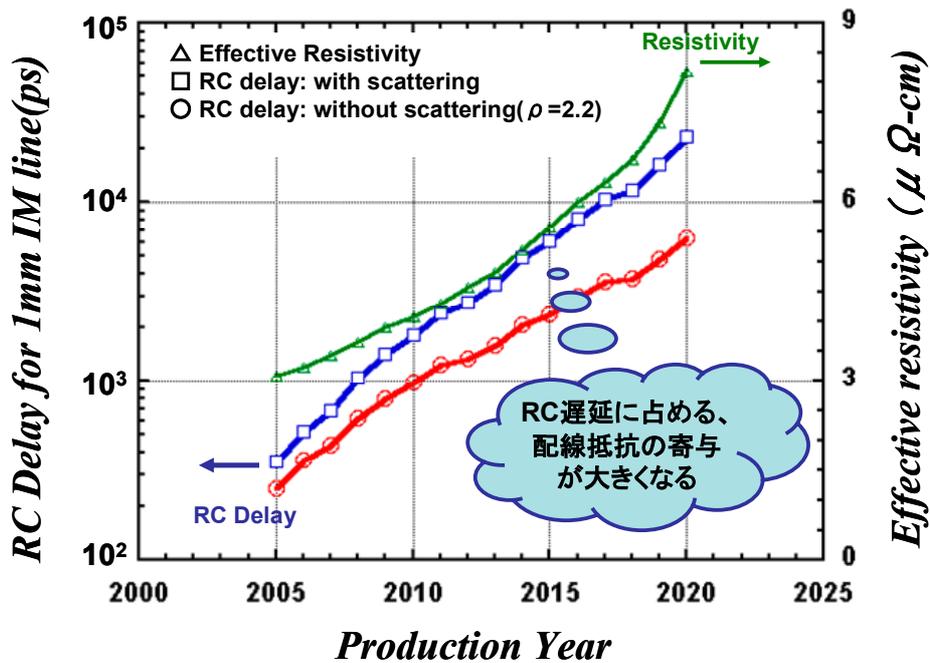
図表 6-5 は、上記モデル式を、ある配線膜厚下で実測した比抵抗の配線幅依存性データにフィッティングした結果、 $\rho_0=1.8\mu\Omega\text{cm}$ 、 $\lambda=4.0\times 10^{-6}\text{cm}$ 、 $R=0.19$ 、 $p=0.33$ のパラメータを用いることによって両者は良い一致をすることを確認したため、 W と AR を ITRS Table80a 及び 80b から抜粋して、これらのフィッティング・パラメータ

と合わせて比抵抗上昇の計算を行った。



図表 6-5 Cu 配線の比抵抗上昇を示す実測データとモデルフィッティング

さらに、各配線層についてバリアメタル膜厚トレンドを基に実効抵抗 (ρ_{eff}) を再計算するとともに、配線長 1mm 当たりの RC 遅延時間 (psec) についても計算し直した。図表 6-6 には、IM 配線における ρ_{eff} 及び RC 遅延時間トレンドを示す。電子散乱効果を考慮しない場合に比べて世代と共に RC 遅延時間の増大が顕著になってくることがわかる。最適リピータの挿入や 45 度配線アーキテクチャの採用、配線長規程などの設計上の施策が必要となるであろう。

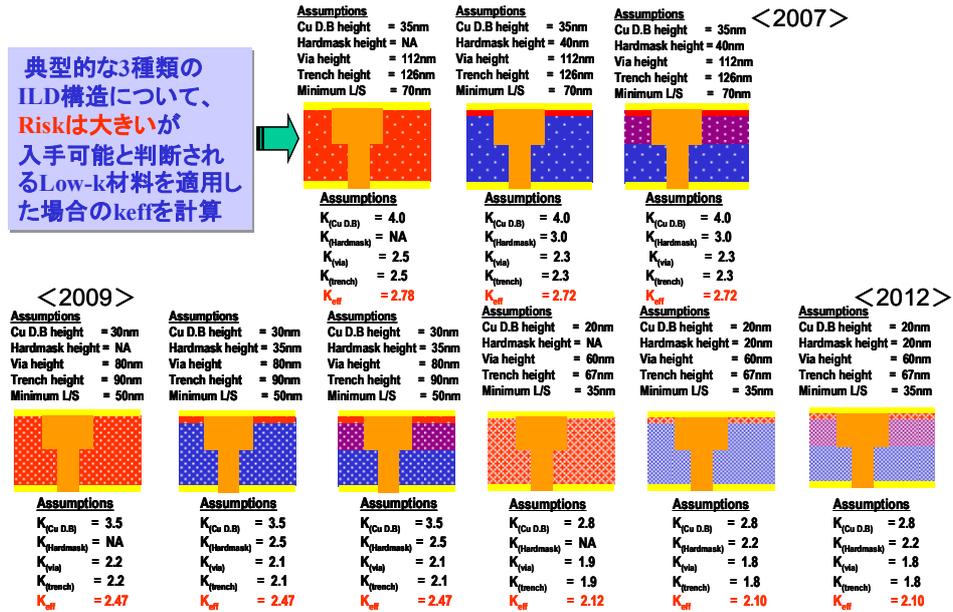


図表 6-6 IM 配線の配線実効比抵抗と RC 遅延時間の推移

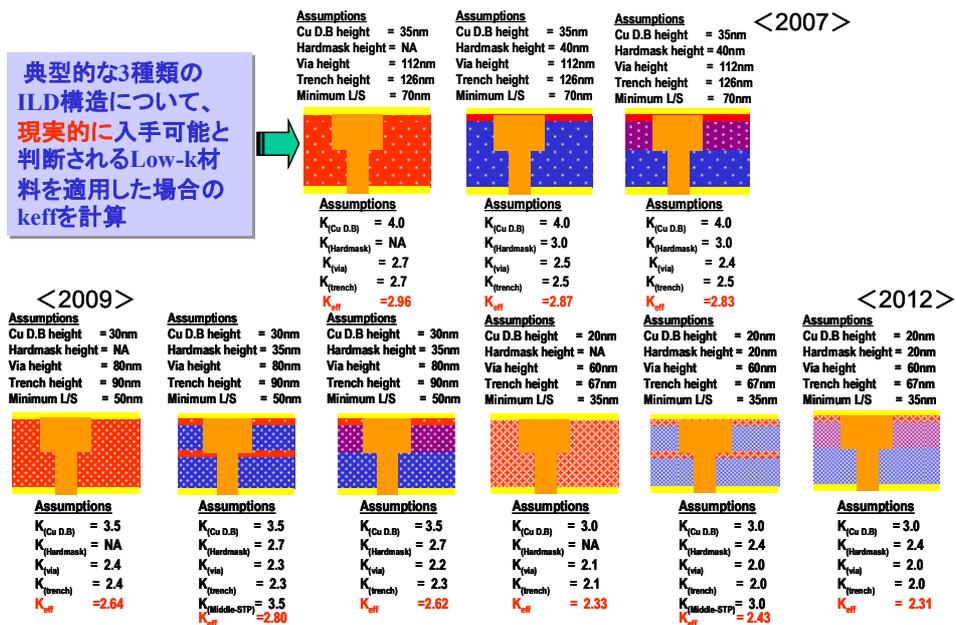
6-2-3 比誘電率(k 値)の要求値見直し

2005 年度版における Low-k ロードマップ改訂のポイントは、ITRS2003 年度版から採用している典型的な 3 種類の絶縁膜構造を構成する配線間及び Via 層間 Low-k 材料や Cu 拡散防止膜、CMP 保護膜などの k 値及び膜厚を Aggressive Case と Realistic Case に分けて検討し、その結果を Low-k Table に反映させたことである。

図表 6-7 及び図表 6-8 は、それぞれ Aggressive Case 及び Realistic Case における 2007 年～2012 年にかけての k_{eff} 計算結果と、これに用いた各種絶縁膜材料の k 値、膜厚、寸法を示したものである。配線は IM 配線を想定し、配線ピッチは今回の見直し値を用いた。絶縁膜構造は 2003 年度版と同じく Homogeneous 構造 (CMP 保護層なし)、Homogeneous 構造 (CMP 保護層あり)、Hybrid 構造とした。



図表 6-7 Aggressive Case における典型的な 3 種類の絶縁膜構造の k_{eff} 計算結果



図表 6-8 Realistic Case における典型的な 3 種類の絶縁膜構造の k_{eff} 計算結果

Aggressive Case では、リスクは大きいが入手可能と判断される Low-k 材料の k 値を採用し、Realistic Case では、現実的に入手可能と判断される Low-k 材料の k 値を採用して keff 値の計算を行った。これらの計算の結果得られた keff 値は、2009 年までは 2 年毎に 3 種類×2 Case=6 種類、2010 年以降は 3 年前に 3 種類×2 Case=6 種類となるが、図表 6-9 に抜粋した Table 80a 及び 80b 記載の keff 値範囲には、Realistic Case の最大 keff 値と Aggressive Case の最小 keff 値を Range 表示するとともに、最小 k 値については、Realistic Case の最小 k 値を採用した。結果的には、2004 年度版と比較して大きな k 値及び keff 値の変更はなかったといえる。

Table 81a and b MPU Interconnect Technology Requirements									
Near-term									
Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	35	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	67	58	50	45	40	35	32
Interlevel metal insulator – effective dielectric constant (κ)[4]	Was 3.1-3.6	3.1-3.6	2.7-3.0	2.7-3.0	2.7-3.0	2.3-2.6	2.3-2.6	2.3-2.6	2.0-2.4
	Is 3.1 - 3.4	3.1 - 3.4	2.7 - 3.0	2.7 - 3.0	2.5 - 2.8	2.5 - 2.8	2.5 - 2.8	2.1 - 2.4	2.1 - 2.4
Interlevel metal insulator (minimum expected) – bulk dielectric constant (κ)	Was <2.7	<2.7	<2.4	<2.4	<2.4	<2.1	<2.1	<2.1	<1.9
	Is ≤ 2.7	≤ 2.7	≤ 2.4	≤ 2.4	≤ 2.2	≤ 2.2	≤ 2.2	≤ 2.0	≤ 2.0

Table 81a and b MPU Interconnect Technology Requirements								
Long-term								
Year of Production	2014	2015	2016	2017	2018	2019	2020	
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	
Interlevel metal insulator – effective dielectric constant (κ)[4]	Was 2.0-2.4	2.0-2.4	<2.0	<2.0	<2.0			
	Is 2.1 - 2.4	1.9 - 2.2	1.9 - 2.2	1.9 - 2.2	1.6-1.9	1.6-1.9	1.6-1.9	
Interlevel metal insulator (minimum expected) – bulk dielectric constant (κ)	Was <1.9	<1.9	<1.7	<1.7	<1.7			
	Is ≤ 2.0	≤ 1.8	≤ 1.8	≤ 1.8	≤ 1.6	≤ 1.6	≤ 1.6	

図表 6-9 keff 範囲及び最小 k 値の計算結果(2004 年度版との比較)

6-2-4 配線最大電流密度 J_{max} の改定

ITRS2005 年版では、配線ピッチのスケールリングが見直されたことから、それに伴い配線断面積、配線間容量が変わるため、電流密度を再計算した。ただし、 J_{max} の計算方法は、ITRS2003 年版および 2004 年アップデート版と同じである。 J_{max} の具体的計算方法は、昨年の STRJ 報告書に記載したものと同一であるが、再度ここに記載する。

図表 6-10 に用いた計算モデルを示す。Fan out(N)=3 の単純な Inverter 回路に接続された信号線に流れる平均電流密度(J_{max})を、ITRS 2005 記載の Table 4c, d、Table 40a, b、Table 80a, b のパラメータを用いて計算した。モデルに使用した前提条件は以下の通りである。

- (1) 最小のトランジスタ幅 (W_{min})として、NMOS=(ASIC の Half-pitch)×4、PMOS=(NMOS のゲート幅)×2 を仮定
- (2) モデル回路のトランジスタ幅(W_g)は、 $W_g = W_{min} \times 8$ を仮定し、このゲート容量(C_g)の算出には、2005 年版 ITRS の記載値 (Table 40a, b) を使用
- (3) 信号線は最小 Pitch で置かれた最小線幅の Intermediate 配線が使われるとして、その配線長(L)は、 $L = \text{配線ピッチ} \times 200$ と仮定
- (4) 配線容量(C_i)の算出は、2005 年版 ITRS の Table 80a, b の値 (K_{eff} を含む)を使用。
- (5) 周波数(f)の値は、2005 年版 ITRS の Table.4c, d の値を使用。

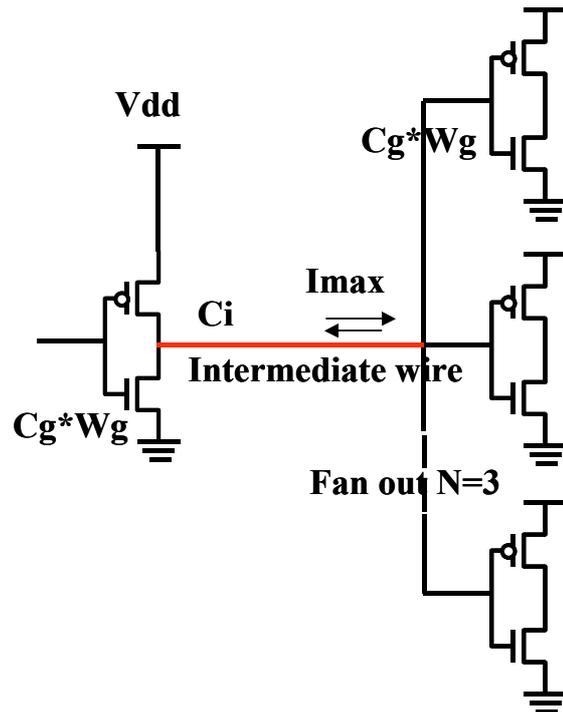
これらの前提条件の下で信号線に流れる平均電流値(I_{max})および電流密度(J_{max})を以下の式によって算出した。

$$I_{max} = f \cdot (C_g \cdot W_g \cdot N + C_i) \cdot V_{dd}$$

$$J_{max} = I_{max} / (W \cdot H)$$

ここで、 f : 周波数、 N : Fan out、

V_{dd} : 電源電圧、 W : 配線幅、 H : 配線厚である。



図表 6-10 配線最大電流密度の計算モデル

上述のモデルに基づいて J_{max} を計算した結果、及び ITRS2004 アップデートとの比較を、図表 6-11、図表 6-12 にそれぞれ示す。周波数の増加と配線断面積の縮小を反映して、毎年電流密度が上昇する傾向に変化はないが、ピッチの縮小レートが変更されたことを反映して、電流密度の上昇レートが増加している。

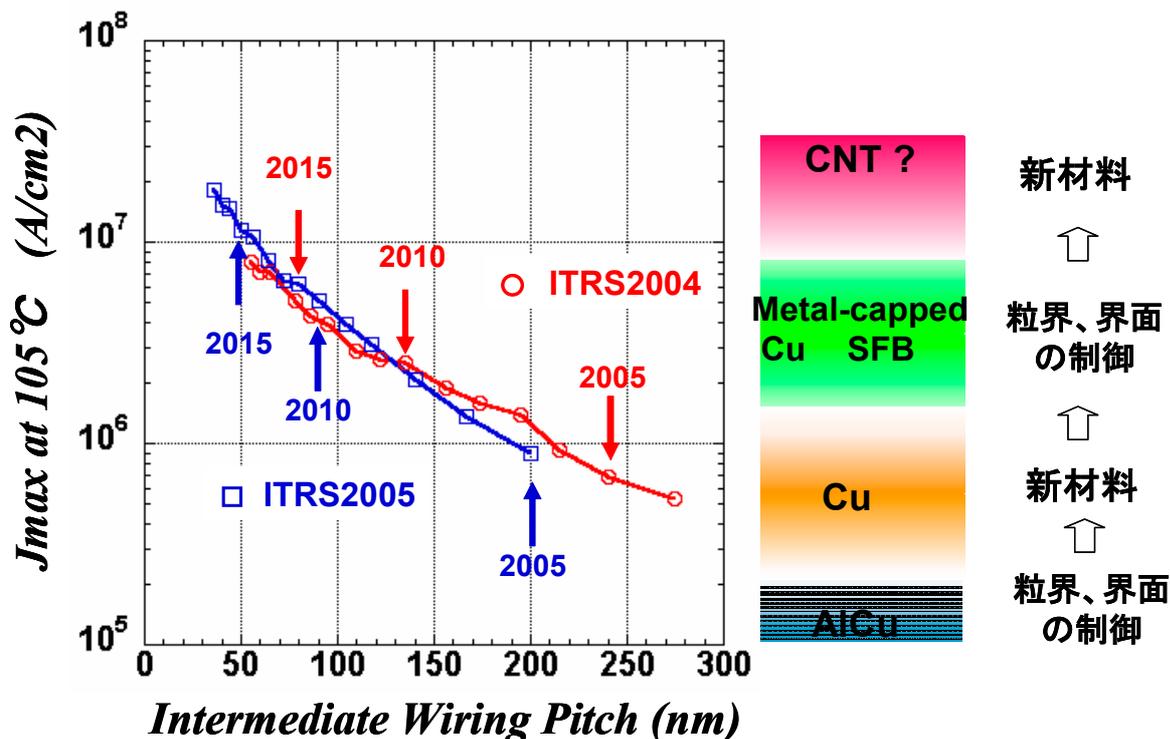
一方、ITRS2005 年版ではまだ反映されていないが、消費電力と発熱を抑制する観点から、アーキテクチャーの工夫により、周波数の増加を抑制しようとする動きもあり、今後の電流密度の動向を予測する上での検討課題である。

解決策の候補技術に関して、図表 6-12 に示しているように、Cu 配線によって AlCu 配線の 1 桁程度まで、電流密度を高くできると考えられるが、 $\sim 2 \times 10^6 \text{ A/cm}^2$ を超える電流密度では、Cu 配線を上回る EM 耐性の配線が必要になる。Cu 合金によって、Cu の数 10 倍程度の EM 寿命が得られることが報告されていることから^[2]、電流密度では、5 倍程度以上の向上が期待される。またメタルキャップ^[3]などの界面制御によって、100 倍以上の EM 寿命が得られることも報告されており、10 倍程度以上の電流密度向上が期待される。これらの技術は、実用化に向けた開発が続けられている段階である。さらに、その先の EM 改善方法として、カーボンナノチューブ(CNT)^[4]が EM 耐性の高い材料として期待されているが、成膜プロセスなど要素プロセスの検討が必要な段階にある。

Year		2005	2006	2007	2008	2009	2010	2011	2012	2013
MPU/ASIC 1/2pitch (Uncontacted Poly)		80	70	65	57	50	45	40	35	32
Nominal power supply voltage(Vdd) (V)	Table 40a,b	1.1	1.1	1.1	1	1	1	1	0.9	0.9
×1 Gate Width(um)*		0.96	0.84	0.78	0.684	0.6	0.54	0.48	0.42	0.384
×8 Gate width = Wg (um)		7.680	6.720	6.240	5.472	4.800	4.320	3.840	3.360	3.072
Physical gate length (um)	Table 40a,b	0.032	0.028	0.025	0.022	0.020	0.018	0.016	0.014	0.013
Total gate capacitance for calc. τ (fF)	Table 40a,b	0.813	0.765	0.699	0.804	0.755	0.735	0.650	0.629	0.628
Cg · Wg (fF)		6.244	5.141	4.362	4.399	3.624	3.175	2.496	2.113	1.929
On -chip local clock(MHz)***	Table 4c,d	5204	6783	9285	10972	12369	15079	17658	20065	22980
Fan out : N		3.000	3.000	3.000	3.000	3.000	3.000	3.000	3.000	3.000
Effective dielectric constant(average)	Table 80a,b	3.25	3.25	2.85	2.85	2.65	2.65	2.65	2.25	2.25
Intermediate wiring 1/2 pitch(nm)	Table 80a,b	100	83.5	70	58.5	50	45	40	35	32
Intermediate wiring A/R	Table 80a,b	1.7	1.7	1.8	1.8	1.8	1.8	1.8	1.9	1.9
Intermediate via A/R	Table 80a,b	1.5	1.6	1.6	1.6	1.6	1.6	1.6	1.7	1.7
Intermediate wiring hight (nm)		170	141.95	126	105.3	90	81	72	66.5	60.8
Via depth (nm)		150	133.6	112	93.6	80	72	64	59.5	54.4
Wiring C(k=1)by Sakurai model (fF/um)		0.05937	0.05907	0.06109	0.06109	0.06109	0.06109	0.06109	0.0629	0.0629
Wiring C(@K) (fF/um)		0.19296	0.19198	0.1741	0.1741	0.16188	0.16188	0.16188	0.14152	0.14152
Wire length :Pitch*200(um)		40.000	33.400	28.000	23.400	20.000	18.000	16.000	14.000	12.800
Total Wire Cap(fF)		7.718	6.412	4.875	4.074	3.238	2.914	2.590	1.981	1.811
Total Cap(fF)		26.450	21.835	17.960	17.272	14.110	12.439	10.078	8.322	7.599
Average I _{max} (nA)		151410	162914	183434	189512	174521	187574	177958	150275	157164
Average J _{max} -Wire(MA/cm ²)		0.891	1.374	2.080	3.076	3.878	5.146	6.179	6.456	8.078

Year		2014	2015	2016	2017	2018	2019	2020
MPU/ASIC 1/2pitch (Uncontacted Poly)		28.5	25	22	20	18	16	14
Nominal power supply voltage(Vdd) (V)	Table 40a,b	0.9	0.8	0.8	0.7	0.7	0.7	0.7
×1 Gate Width(um)*		0.342	0.3	0.264	0.24	0.216	0.192	0.168
×8 Gate width = Wg (um)		2.736	2.400	2.112	1.920	1.728	1.536	1.344
Physical gate length (um)	Table 40a,b	0.011	0.010	0.009	0.008	0.007	0.006	0.005
Total gate capacitance for calc. τ (fF)	Table 40a,b	0.559	0.525	0.525	0.487	0.448	0.410	0.362
Cg · Wg (fF)		1.529	1.260	1.109	0.935	0.774	0.630	0.487
On -chip local clock(MHz)***	Table 4c,d	28356	33403	39683	45535	53207	62443	73122
Fan out : N		3.000	3.000	3.000	3.000	3.000	3.000	3.000
Effective dielectric constant(average)	Table 80a,b	2.25	2.05	2.05	2.05	1.75	1.75	1.75
Intermediate wiring 1/2 pitch(nm)	Table 80a,b	28	25	22	20	18	16	14
Intermediate wiring A/R	Table 80a,b	1.9	1.9	2	2	2	2	2
Intermediate via A/R	Table 80a,b	1.7	1.7	1.8	1.8	1.8	1.8	1.8
Intermediate wiring hight (nm)		53.2	47.5	44	40	36	32	28
Via depth (nm)		47.6	42.5	39.6	36	32.4	28.8	25.2
Wiring C(k=1)by Sakurai model (fF/um)		0.0629	0.0629	0.06479	0.06479	0.06479	0.06479	0.06479
Wiring C(@K) (fF/um)		0.14152	0.12894	0.13282	0.13282	0.11339	0.11339	0.11339
Wire length :Pitch*200(um)		11.200	10.000	8.800	8.000	7.200	6.400	5.600
Total Wire Cap(fF)		1.585	1.289	1.169	1.063	0.816	0.726	0.635
Total Cap(fF)		6.173	5.069	4.495	3.868	3.139	2.615	2.095
Average I _{max} (nA)		157544	135466	142708	123281	116905	114300	107210
Average J _{max} -Wire(MA/cm ²)		10.576	11.408	14.743	15.410	18.041	22.324	27.350

図表 6-11



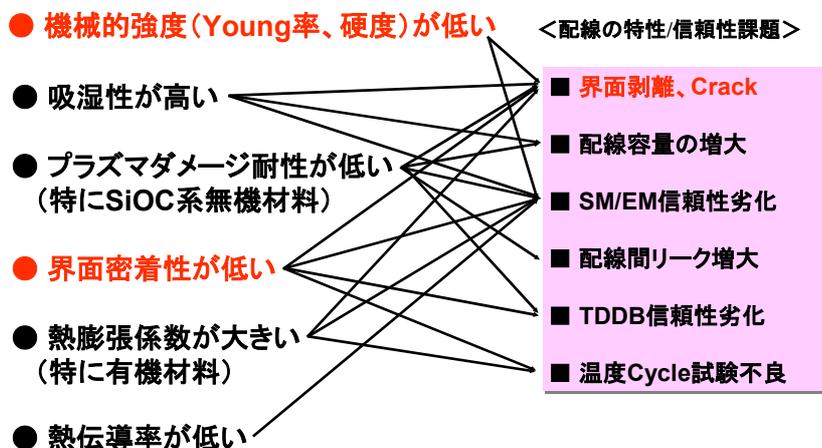
図表 6-12 最大電流密度の動向 (ITRS2005 と 2004 の比較)

6-3 Cu/Low-k 配線の機械的強度解析^[5-7]

6-3-1 背景と目的

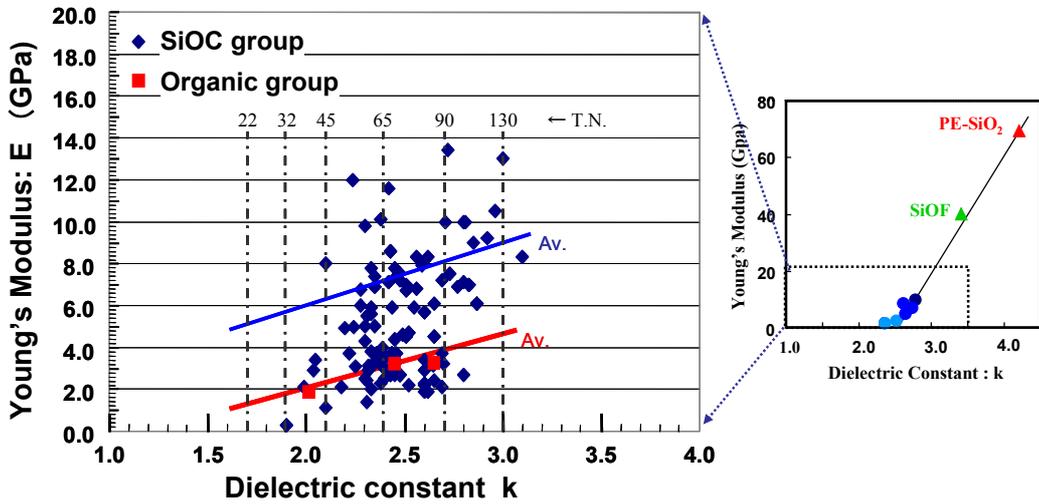
Low-k 材料物性と配線特性上には図表 6-13 に示す課題がある。Low-k 材料は機械的強度 (ヤング率や硬度) が低く、吸湿性が高く、プラズマダメージ耐性が低く (特に SiOC 系無機材料)、界面密着性が低く、熱膨張係数が大きく (特に有機材料)、熱伝導率が低い。そのために生じる不具合としては界面剥離や Crack・配線容量の増大・SM/EM 信頼性劣化・配線間リーク増大・TDDB 信頼性劣化・温度 Cycle 試験不良などが考えられる。それぞれの関連を矢印で示した。

特に機械的強度と界面密着性は界面剥離や Crack の主因となっており解析の必要性が増していた。



図表 6-13 Low-k 材料物性と配線特性上の課題

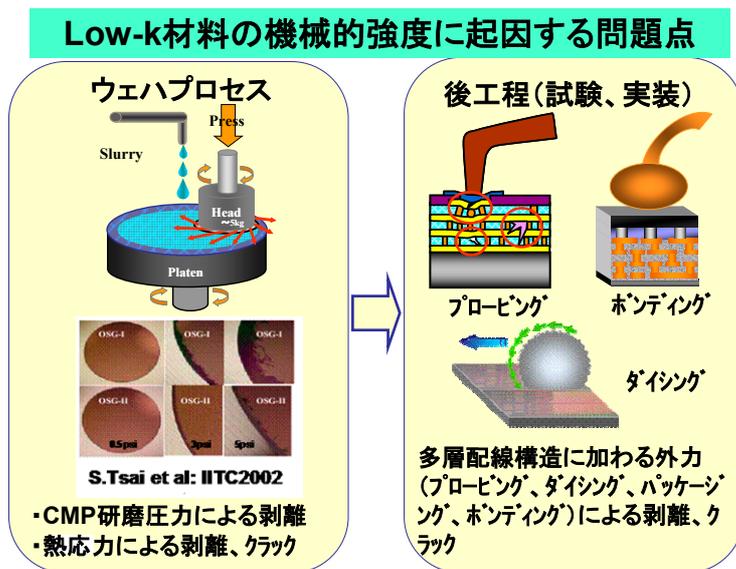
図表 6-14 は Low-k 材料の機械的強度について公知の文献から調査したものである。無機系と有機系に分けて整理し、平均値を実線で示した。SiO₂ 膜では 60 GPa 以上あったヤング率が Low-k 材料では 10 GPa 以下となっており、k 値と共に機械的強度は低下していることがわかる。ここで注目すべきことは Low-k ヤング率が、SiO₂ の 1/10 以下になっているということであり、これは「同じ力を加えると、10 倍以上変形する」ということである。



図表 6-14 Low-k 材料の機械的強度

その Low-k 材料の機械的強度に起因する問題点は、図表 6-15 に示すようにウエーハプロセスでは、CMP 研磨圧力による剥離と熱応力による剥離やクラックであり、後工程(試験、実装)では多層配線構造に加わる外力(プロービング、ダイシング、パッケージング、ボンディング)による剥離やクラックである。

さらに問題なのは Low-k 材料を含んだ多層配線の、機械強度設計の指針が無いことであり、ここに STRJ-WG4 が指針を示すべく活動を開始した意味がある。



図表 6-15 Low-k 材料の機械的強度に起因する問題点

機械的強度解析の背景と目的をまとめると次のようになる。

【背景】

- ITRS2003 で、具体的な Cu/Lowk 構造を想定して k および keff の要求値を提示した。
- Low-k 材では、k 値の低減とともに低下する材料の機械的強度が、Cu/Low-k 構造の機械的強度や、CMP などの製造プロセスにどの程度影響するのか？また、keff 以外の要求指標(ヤング率、硬度、密着性など)の必要性を WG4 内で議論、2004 年度は応力解析を実施した
- 2005 年度は破壊力学を応用し歪エネルギー解析を実施した

【目的】

- Low-k 化に伴う機械的強度低下が、CMP 中の Cu/Low-k 構造へ与える影響を定量的に求める。
 - 低圧 CMP 開発、Low-k 材料の物性仕様、密着強度指標
 - 後工程で許容できる外力の仕様

6-3-2 解析の方法

構造解析の方法は 2004 年度と同様に FEM による解析手法を採用した。

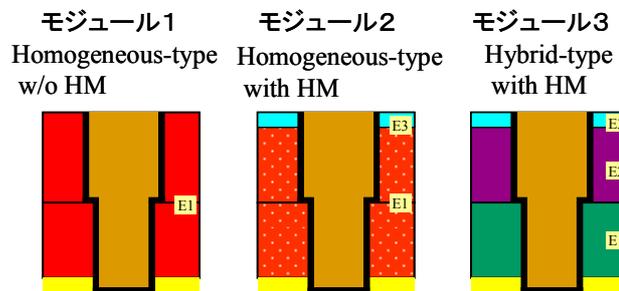
(1) 解析モデル

解析モデルを図表 6-16 に示す。

モジュール 1 は HM(ハードマスク)無しで、配線部と Via 部の Low-k 材が同じものとする。

モジュール 2 は HM(ハードマスク)有りで、配線部と Via 部の Low-k 材が同じものとする。

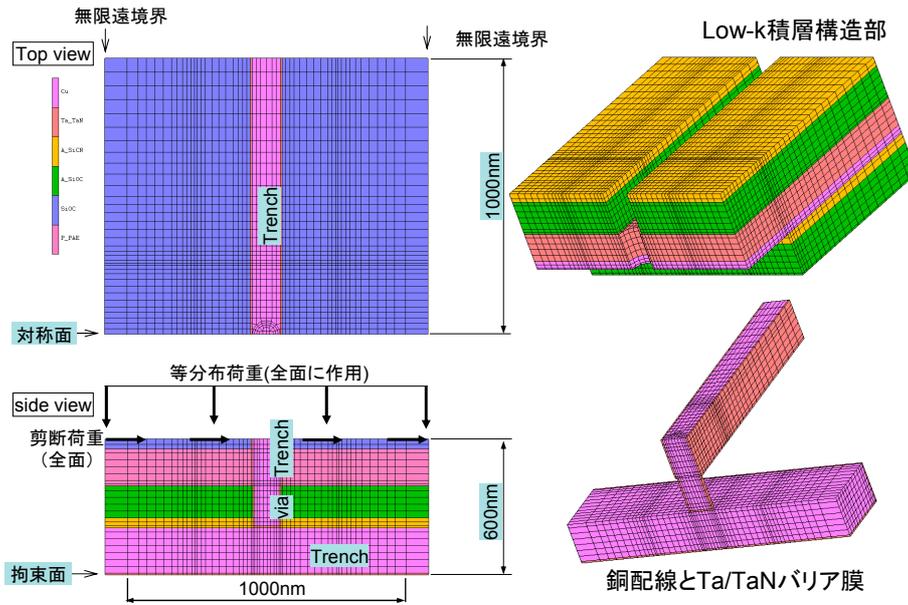
モジュール 3 は HM(ハードマスク)有りで、配線部と Via 部の Low-k 材が異なるものとする。



図表 6-16 解析モデル

(2) 解析メッシュと荷重条件

銅配線側と Low-k 材料側の解析メッシュ例を図表 6-17 に示す。ダマシンモジュールの上面図・断面図・Low-k のみを抜き出した図・配線部のみ抜き出した図が示されている。デュアルダマシン法によって形成された配線構造に対して CMP による平坦化プロセス中に発生する応力と歪エネルギーを、将来的な絶縁材料の機械的特性と、配線の寸法、構造を仮定して、有限要素法によって解析した。解析モデルは、配線(最小幅)と via に加えて、最大幅の配線を下層に模擬した 1 層半に相当する 3 次元モデルとする。via 部の中心を対称軸とし、解析モデルの最下層は拘束されているものとした。解析メッシュの両端には無限遠方向を模擬する半無限要素を用いた。CMP 時に作用する負荷荷重として、解析モデルの上面全体に 3.45kPa (0.5 psi)の垂直荷重と摩擦係数 0.43 の剪断応力を均等に作用させた。



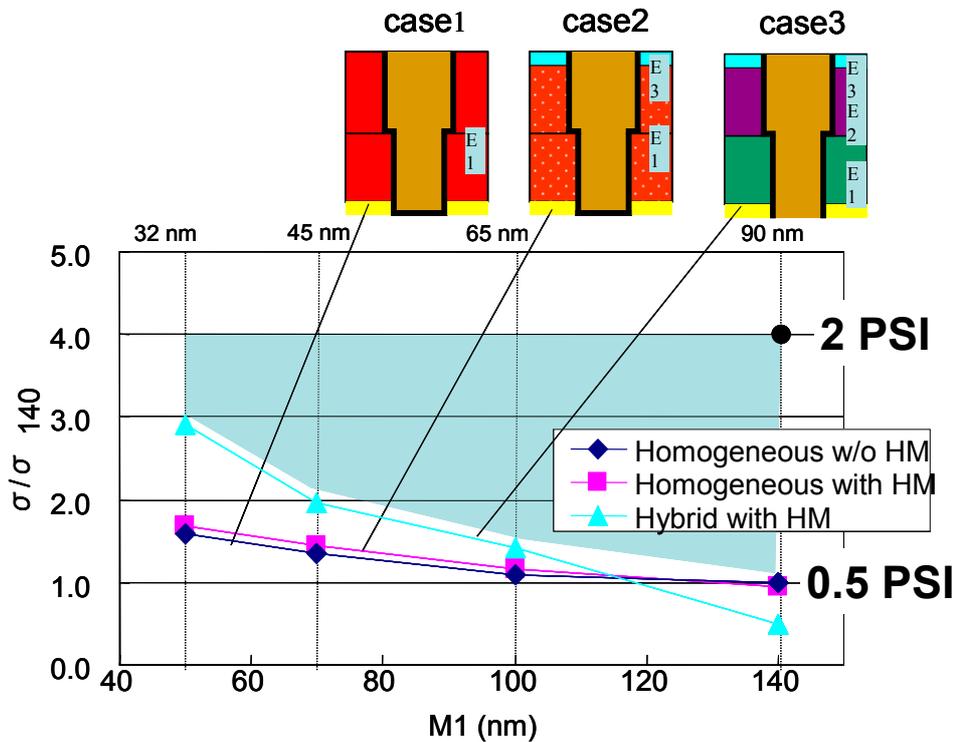
図表 6-17 FEM 解析メッシュの例

6-3-3 解析の結果

(1) 2004 年度成果:Cu 配線内応力の Low-k 構造依存

先ず 2004 年度の FEM 解析結果を下図に示す。ここでの結論は

- ・ 微細化と共に (M1 の寸法と共に) ダマシ構造内部の応力は上昇する。
- ・ 研磨圧力は 0.5 psi で解析したが、研磨圧力が 2 psi の場合には、ほぼこれに 1 次比例である。



図表 6-18 銅配線内の応力解析結果例

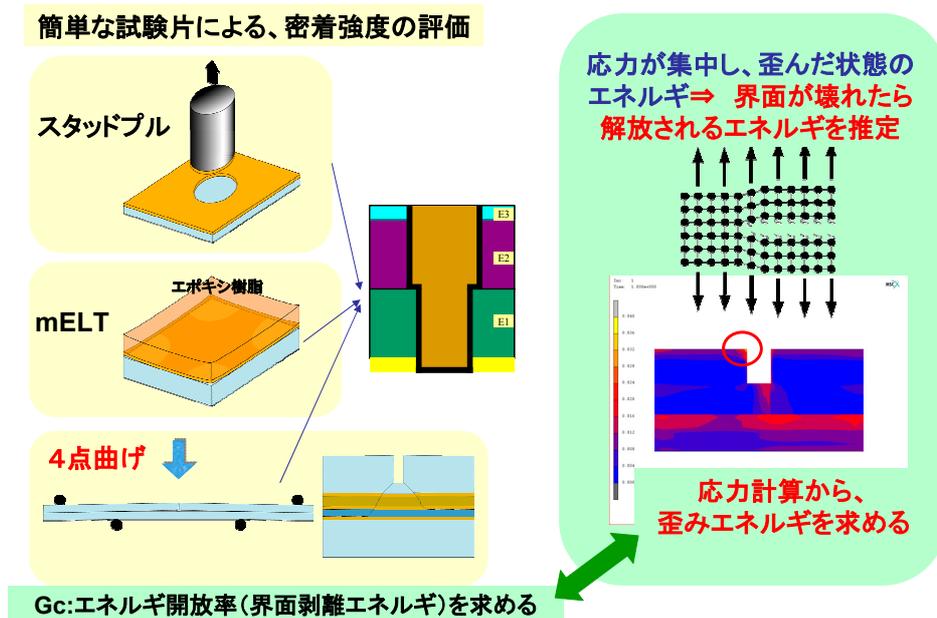
(2) 強度解析(2005 年度)の進め方

2005 年度は破壊力学を応用した歪エネルギー解析を実施した。図表 6-19 に示すように、半導体で採用されている Low-k 材料の密着強度の評価は簡単な試験片によるスタッドプル方式、m-ELT 方式、4 点曲げ方式が採用されているが、実際の破壊過程(剥がれなど)はこの評価ほど簡単ではない。実際の破壊力学では G_c :エネルギー開放率(界面剥離エネルギー)を用いている。そこで本解析でも 4 点曲げによる実験結果と FEM による応力解析から、この G_c :エネルギー開放率を推定するという方法を用いた。

その界面の壊れやすさを、どう予測するか? 本解析手法を以下に示す。

- ・ ステップ 1:エネルギー開放率 G (実験結果)と歪みエネルギー密度 W (計算結果)の関係から、換算係数を求める。
- ・ ステップ 2:配線構造・寸法と誘電率 κ を仮定して、誘電率 κ とヤング率 E の相関関係から、将来の材料の E を求める。
- ・ ステップ 3:ヤング率 E から、界面の臨界エネルギー開放率 G_c を推定する。
- ・ ステップ 4:推定したヤング率を使って、CMP 中に配線構造に作用する歪みエネルギー密度 W を求める。
- ・ ステップ 5:評価点の歪みエネルギー密度 W に換算係数を掛けて求めた、エネルギー開放率 G と、臨界エネルギー密度の推定値 G_c との関係を整理する。

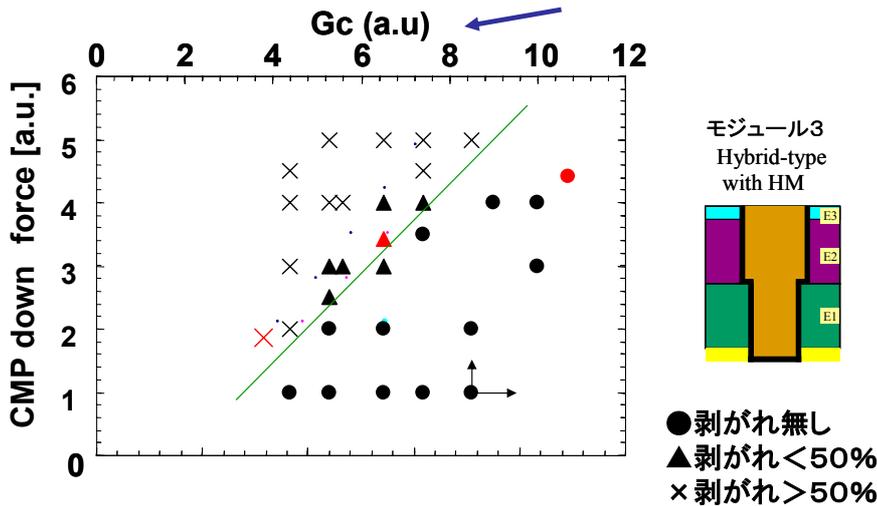
なお、今回の解析は実験と解析はモジュール 3 のみで実施した。



図表 6-19 強度解析の手法説明

(3) Step1: 実験結果と解析との対応関係の導出

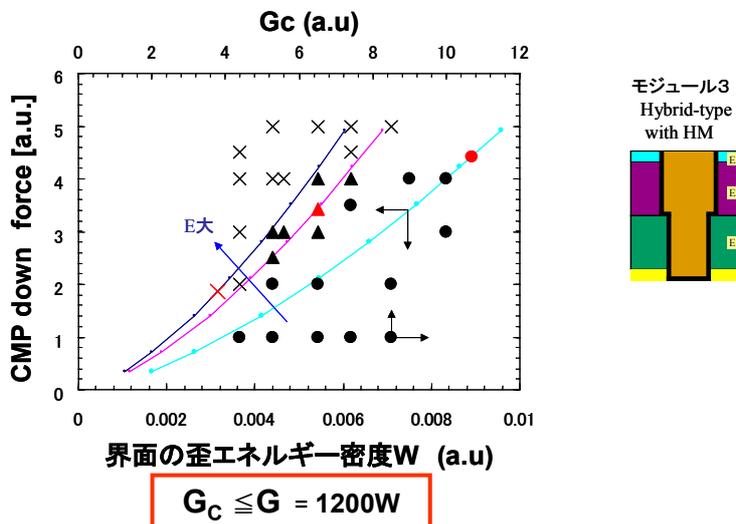
モジュール 3 構造でまず簡単な試験片で G_c を測定しておき、実際のウエーハで種々の研磨圧力で研磨した際の剥がれ状況と G_c の関係を求めた。



同一のLow-k材料で、異なる界面処理を施し、
Gcを変えたときのCMP剥離状態をプロット

図表 6-20 Gc 対 CMP 荷重に対する剥がれ実験結果

次に実験結果と解析との対応から Gc を求める。まず CMP down force とエネルギー密度 W の関係は FEM 応力解析から求める。そして、剥離発生の境界線と上記関係が一致するよう、横軸をスケールリングすることにより Gc と W の関係が下図のように求めることができると仮定した。本仮定は本解析で初めて実施したものであり、破壊力学的に証明されたものではないことを追記しておく。実際、このような解析は現在までに発表された論文は無く、本方法の検証も含めて今後世界的に研究が進むことを期待する。

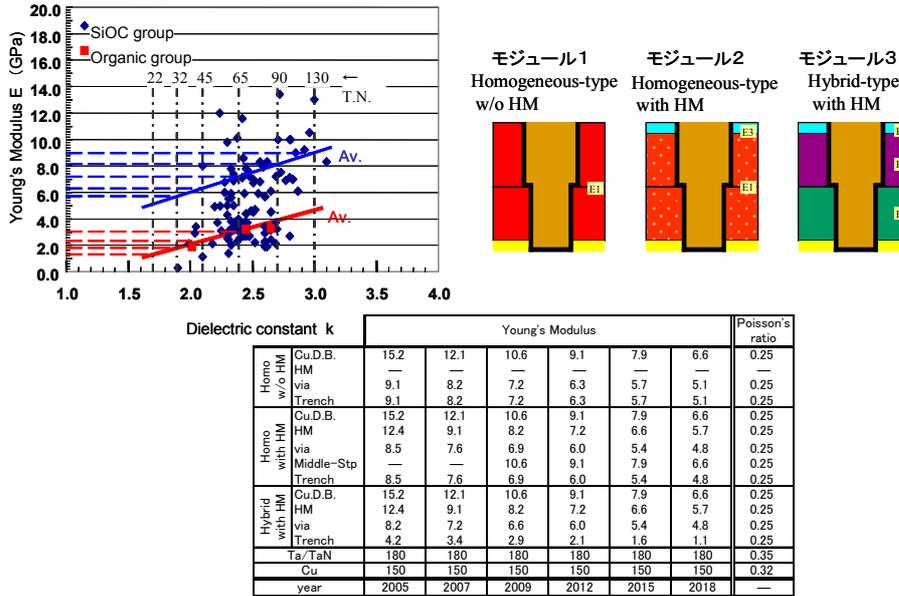


図表 6-21 実験結果と解析との対応

参考) 冒頭に述べたように WG4 の活動方針は「論理的根拠に基づいた、合理的かつ現実的な配線技術ロードマップを目指す」ものである。そこでここに記載する内容は出来るだけ公知の論文などに基づくものを採用している。論文など公知データが無いものに関しては、今回のように WG4 委員で論議した内容を指針として記載し世に問うことにより、大学・メーカなどで研究が進むことを期待するものである。

(4) Step2: ヤング率(目標値)の算出

先ず、ヤング率に関しては公知データから図表 6-22 に示すように平均値を求めた。



図表 6-22 ヤング率の算出

次に解析に用いるヤング率(目標値)は下図に示す 3 ケースを解析した。

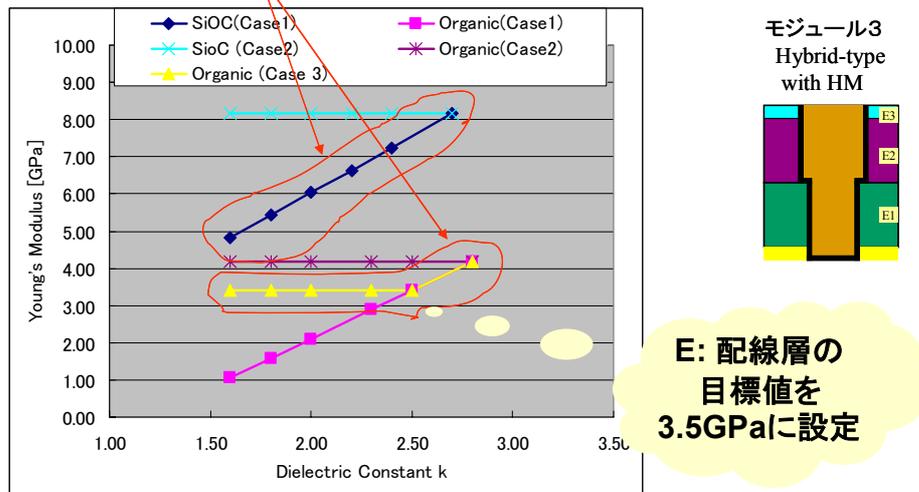
Case1: 直線的に低下する強度上は最悪のケース

Case2: SiOC 系、Organic 系ともに 80nm ノードと同じ特性とし、強度上は一番望ましい理想ケース

Case3: Organic 系(トレンチ部)のみ 65nm 以降は同じとし、強度上現実的なケースとして提案した。

これらの値を用いてモジュール 3 構造に関して解析を実施した。

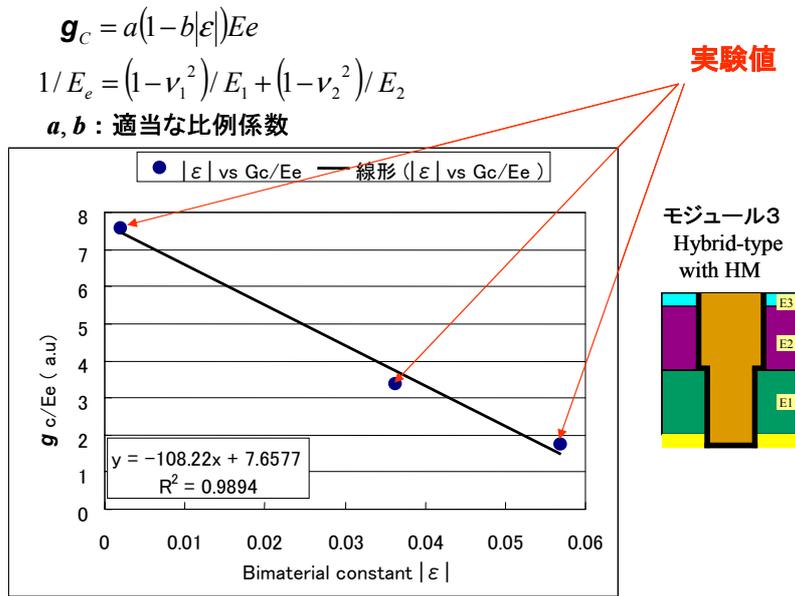
- Case1: 直線的に低下(最悪ケース)
- Case2: SiOC, Organicとも80nmノードと同じ特性(理想ケース)
- Case3: Organic(トレンチ部)のみ65nm以降は同じ(現実的ケース)



図表 6-23 ヤング率の算出

(5) Step 3: 将来材料特性値—Gc の予測式

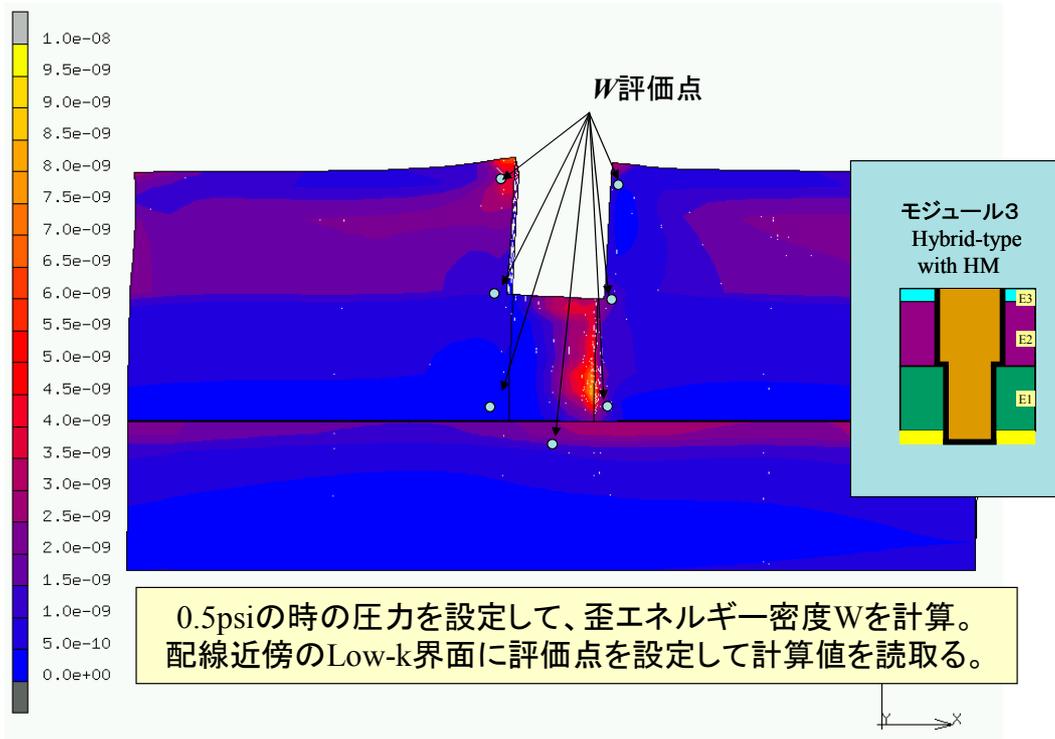
界面の臨界エネルギー開放率 Gc は、図表 6-24 に示すように 2 種類の材料の物性値で規定される。モジュール 3 構造に対応する試験片で 3 点実験値を求め、下記の関係式を得た。



図表 6-24 将来材料特性値—Gc の予測式

(6) エネルギー密度 W の分布の算出

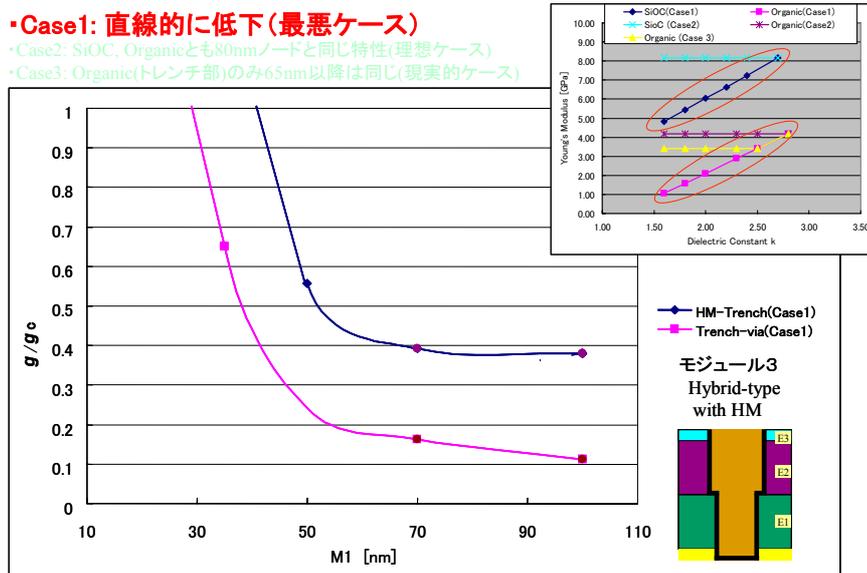
下図に FEM 解析結果の例を示す。0.5psi の時の圧力を設定して、歪エネルギー密度 W を計算し、配線近傍の Low-k 界面に評価点を設定して計算値を求めた。



図表 6-25 エネルギー密度Wの分布解析結果

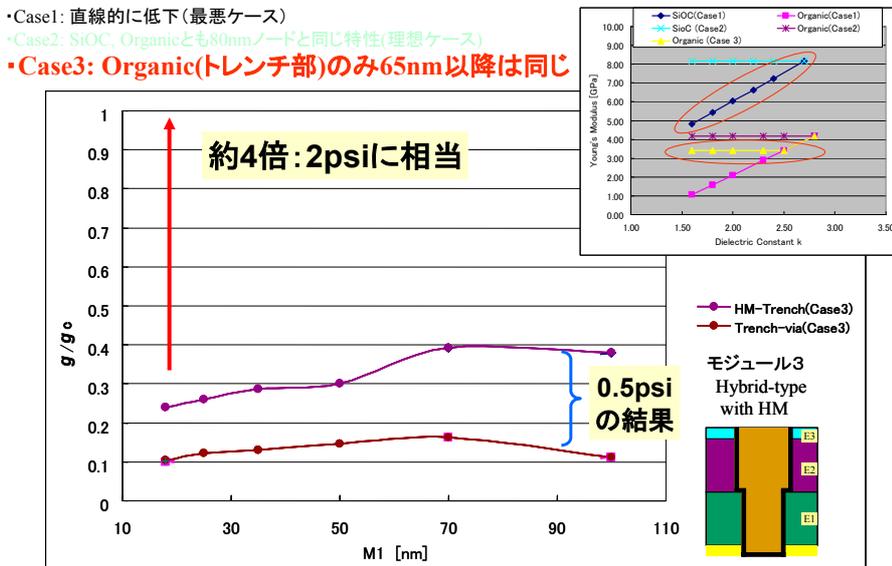
(7) 計算結果ー Hybrid 構造ーヤング率推移による比較

先ずは Case1 として、直線的に低下する強度上は最悪のケースの解析結果を示す。図表 6-26 に示すように、M1 寸法が 50nm 以下で急激に破壊エネルギーが上昇している。



図表 6-26 Case1 解析結果

次に Case3 として Organic 系(トレンチ部)のみ 65nm 以降は同じとし、強度上現実的なケースの解析結果を示す。下図に示すように 50nm 以下になっても破壊強度はほとんど同じ値を示し、十分な安全領域にあることが示されている。研磨圧力が 2 psi にしても破壊には至らないという推定も可能である。

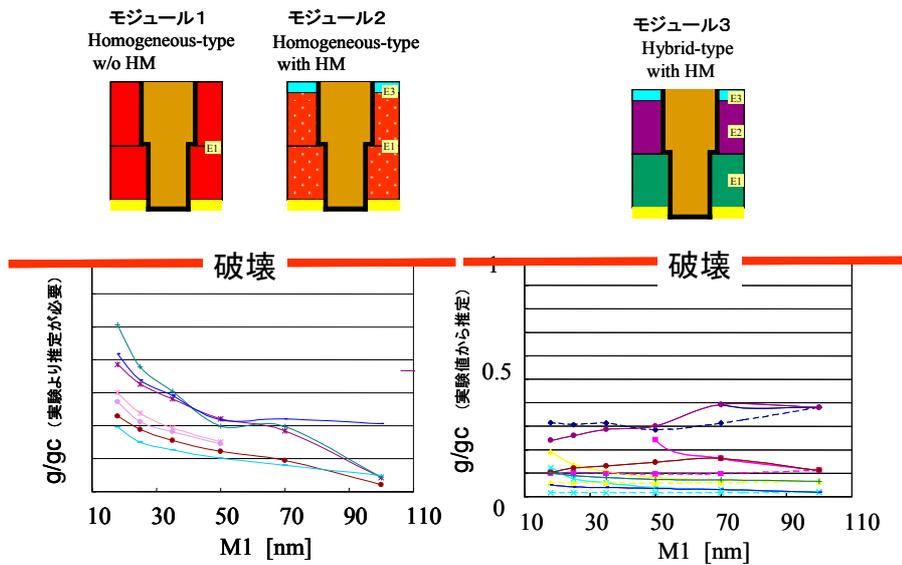


図表 6-27 Case1 解析結果

(8) Step 5. 計算結果のまとめ

図表 6-28 に解析の結果をまとめて示す。モジュール 3 は上述の通り。モジュール 1 と 2 に関しては構造体の実験を実施していないので、参考として解析結果のみを示した。実際には今後同様の実験データを用いた

解析が必要である。



図表 6-28 計算結果のまとめ

6-3-4 解析の考察と今後の課題

- (1) 典型的な Low-k 絶縁膜構造において、破壊力学に基いた歪エネルギー計算によって世代毎の破壊(剥がれ)耐性に関する解析を行った。
- (2) パッケージや研磨工程では、全体応力を低減することは歪エネルギーそのものを小さくできるので重要である。が、絶縁膜強度の維持と、外部応力の低減をバランスさせて CoC を考慮して決定すれば良い。
- (3) 材料のヤング率は 3.5GPa 以上が望ましく、かつ隣接する異種材料とのヤング率を整合させることが重要である。
- (4) STRJ で想定しているヤング率の目標値を採用すれば、例えば 2 psi 以下の研磨圧力で、破壊(剥がれ)を防止できる可能性がある。

以上は Hybrid 絶縁膜構造についての実験値を用いた解析の1例に過ぎないので、実際にはさらなる詳細な解析が必要だが、STRJ としてダマシン構造に関する指針は示せたと考える。

6-4 Emerging 配線技術: Beyond Cu/Low-k

2004 年度に引き続き、Cu/Low-k 配線のスケーリング限界と代替技術の検討を行った。(1)微細化、薄膜化が進む下層 Cu 配線、(2)Low-k 化が進む層間絶縁材料、(3)厚膜化する上層 Cu 配線の Emerging 配線技術について、以下に示す。

(1)下層 Cu 配線

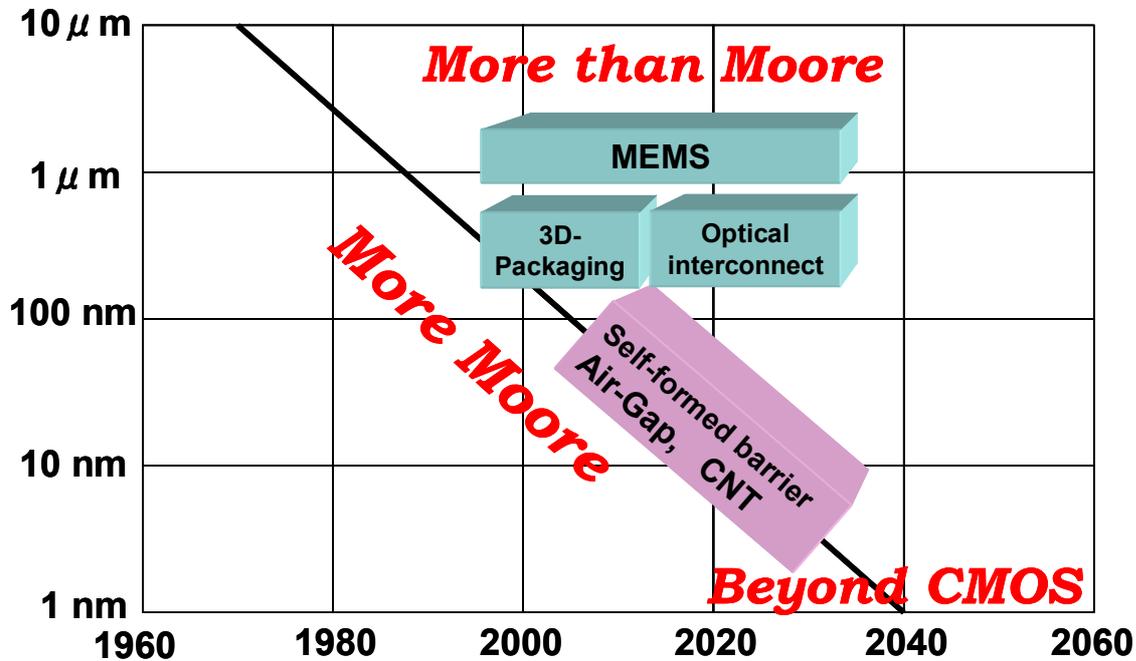
薄膜化が進むバリアメタルの成膜がますます難しくなり、配線 Cu そのものの抵抗率上昇が顕著になるため、Cu 配線の高抵抗化と、EM/SM 信頼性の低下がスケーリング限界の主要因と予想される。代替バリアメタル技術として、CuX 合金 Seed を利用した自己形成(Self Formed) Barrier 技術^[8]が有望であり、代替配線材料として CNT を用いた微細 Via / 配線技術^[4]が注目されている。

(2) Low-k 絶縁材料

Low-k($k < 2$)材料の機械強度の低下や、ダマシン加工プロセスの難易度が増すことから、現実的な Air-Gap 技術^[9](Pore 後作り、積極的な Void 形成、位置ずれ補正、構造補強 etc)が見直されている。

(3) 上層(Global) Cu 配線

RC 遅延の増大を抑制するため逆スケーリングが進み、配線層数/コストが増大する。また、損失/ノイズ対策によるコスト増大と設計自由度の低下、Clock 分配の困難度が増して消費電力の増加を引き起こす。3次元実装技術(Chip On Chip、Chip 貼り付け)や、光配線技術(Si 光源 / 変調器 / 導波路/ 検出器)の実用化を急ぐ必要がある。最後に、更なる微細化(More Moore)を進めるための配線技術と、微細化に依存しない(More than Moore)配線技術の検討結果を図表 6-29 に示す。



図表 6-29 Beyond Cu/Low-k 技術 (More Moore and More than Moore)

6-5 まとめ

ITRS2005 作成に関わる活動として、①配線ピッチ(M1)の見直し、②電子散乱効果による配線抵抗率上昇:要求値の見直し、③ 誘電率(k 値)の要求値を見直し、④ 配線電流密度(Jmax)の見直しを行った。STRJ-WG4 の 2005 年度活動としては、Low-k 材の機械的強度の低下問題: CMP に対する強度解析と、2010 以降の RBW に対する Potential Solution の検討を行った。

【参考文献】

- [1] W.Steinhogel et al., J. Appl. Phys. 97, 023706 (2005).
- [2] T. Tonegawa et al., Proc. IITC2003, p. 216.
- [3] C.-K. Hu et al., Appl. Phys. Lett, 81, 1782 (2002).
- [4] M. Nihei et al, Proc. IITC 2004, p.251.
- [5] 望月宣宏、柴田英毅、辻村学、檜山浩國: 日本機械学会関東支部2005 講演論文集、2005年3月(2005)p.271.
- [6] 望月宣宏、柴田英毅、辻村学、檜山浩國: 日本機械学会関東支部2006 講演論文集、2006年3月(2006)論文投稿中 p.51.
- [7] 福田 明, 望月 宣宏, 檜山 浩國, 小寺 雅子, 辻村 学: 精密工学会学術講演会講演論文集, Vol. 2004A (2004) p.483.
- [8] T. Usui et al., Proc. IITC2005, p.246, J. Koike et al., Proc. of AMC Asian session, 2005, p.124.
- [9] J. Noguchi et al., Proc. IITC 2003, p. 63 (2003).