

第7章 WG5 リソグラフィ

7-1 はじめに

2005 年度の WG5 (リソグラフィ WG) の主な活動は、国際活動として国際半導体ロードマップ ITRS の改訂に合わせ技術世代に対応した解決策候補 (Potential Solutions) の議論と絞込みを行ない、各種テーブルのアップデートを行なったことである。図表 7-1 に ITRS におけるリソ関連項目の変遷を示す。ITRS2005 年版ではハーフピッチの定義が変更され、DRAM、MPU/ASIC では M1 (第一配線層) で定義され、新たに付け加えられた Flash では un-contacted Poly 層のハーフピッチで定義されることとなった。技術世代のタイミングとしては DRAM は 2004 Update 版から変更は無く、Flash は DRAM に 1 年先行、MPU/ASIC は M1 のハーフピッチとしてはやや前倒しとなった。全体として以前のようなロードマップの大きな前倒しはないが、それを実現する技術的な裏付けがまだ十分ではなく、さらなる技術開発が必要な状況である。

国内活動としては解決策候補のうち ML2、インプリント技術について動向調査をおこなった。

Year	(nm)	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
SIA 1994 Edition	Generation	180			130			100			70			50							
	MPU Half Pitch	230			160			115			80			55							
	Gate Length	140			100			70			50			30							
SIA 1997 Edition	DRAM Half Pitch	150		130			100			70			50				35				
	MPU Half Pitch	180		160			115			80			55				40				
	Gate Length	120		100			70			50			30				25				
ITRS 1999 Edition	DRAM Half Pitch			130			100			70			50			35					
	MPU Half Pitch			160			115			80			55			40					
	Gate Length			85-90			65			45			30-32			20-22					
ITRS 2000 Edition	DRAM Half Pitch	130	115	100	90	80	70	65	60	50	45	40	37	33	30						
	MPU/SoC Half Pitch	150	130	115	100	90		70			50			35							
	Gate Length	80	70	60	55	50		40			28			20							
ITRS2001 ITRS2002 Edition	DRAM Half Pitch	130	115	100	90	80	70	65	60	50	45	40	35	32	30	25	22				
	MPU/SoC Half Pitch	150	130	107	90	80	70	65	60	50	45	40	35	32	30	25	22				
	SoC Gate resist	130	107	90	75	65	53	45	40	35	32	30	25	22	20	18	16				
	SoC Gate Length	90	75	65	53	45	37	32	30	25	22	20	18	16	15	13	11				
	MPU Gate resist	90	75	65	53	45	40	35	32	30	25	22	20	18	16	15	13				
	MPU Gate Length	65	53	45	37	32	28	25	22	20	18	16	15	13	11	10	9				
ITRS2003 Edition ITRS2004 Update	Technology Node				hp90			hp65			hp45			hp32			hp22				
	DRAM Half Pitch			100	90	80	70	65	57	50	45	40	35	32	28	25	22	20	18		
	MPU/ASIC Metal 1 HP			120	107	95	85	76	67	60	54	48	42	38	34	30	27	24	21		
	MPU 1/2 Pitch (Uncontacted gate)			107	90	80	70	65	57	50	45	40	35	32	28	25	22	20	18		
	MPU Gate in resist			65	53	45	40	35	32	28	25	22	20	18	16	15	13	11	10		
	MPU Gate Length			45	37	32	28	25	22	20	18	16	14	13	11	10	9	8	7		
	ASIC 1/2 Pitch (Uncontacted gate)			107	90	80	70	65	57	50	45	40	35	32	28	25	22	20	18		
	ASIC/LP gate resist			90	75	65	53	45	40	36	32	28	27	22	20	19	16	14	13		
ASIC/LP gate length			65	53	45	37	32	28	25	22	20	19	16	14	14	11	10	9			
ITRS2005 Edition	DRAM Half Pitch					80	70	65	57	50	45	40	35	32	28	25	22	20	18	16	14
	Flash 1/2 pitch					76	64	57	51	45	40	36	32	28	25	23	20	18	16	14	13
	MPU/ASIC Metal 1 HP					90	78	68	59	52	45	40	36	32	28	25	23	20	18	16	14
	MPU gate in resist length					54	48	42	38	34	30	27	24	21	19	17	15	13	12	11	9
					32	28	25	23	20	18	16	14	13	11	10	9	8	7	6	6	

図表 7-1 ITRS ロードマップの変遷

7-2 ITRS2005 の主な改訂内容

ITRS2005 年版では DRAM ハーフピッチのタイミングは従来どおりであるが、Flash のハーフピッチが DRAM に 1 年先行する形で新たに追加された。2005 年版での主な改訂内容は以下のとおりである

- 解決策候補の見直し

リソグラフィのロードマップの中で最も注目される解決策候補の見直しを 2004 年度に引き続き行なった。選定の基準は以下であり、2004 年度に定められたものである。

➤ 全てのインフラ(マスク、露光ツール、レジスト等) が相当するノードに対し準備されていること。

- ◇ α -Tool 及びそのインフラが3 年前に準備されること。
- ◇ β -Tool 及びそのインフラが2 年前に準備されること。
- ◇ 量産装置及びそのインフラが量産開始の1 年前に準備できる見通しであること。
- 少なくとも二つ以上のリージョンのIC メーカーが生産に使用することを計画していること
- N+3 以降のノードではこの限りではない。
- 解決策候補として記載されるのは、最先端のクリティカル層に対応するテクノロジーであること。
- 対応する露光ツールが世界で100 台以上使われる見通しであること。

以上の定義は多量生産をターゲットにしたものであることから、多品種少量生産に対する解決策候補が必要との意見もあったが具体的な議論には至っていない。解決策候補については 7-4、7-5、7-6 節にてその変遷と技術内容を含め報告する。

● 困難な課題(Difficult Challenges)の全面的な見直し

2005 年版では解決策候補の絞込みが進んだ。これに対応し困難な課題も大幅に見直された。7-8 節で一覧を示す。

● CD コントロール(Critical Dimension Control)に関する許容値、エッチバイアス等の変更

MPU/ASIC におけるゲートの CD コントロール(バラツキ)は大きな問題である。2004 年 Update 版まではゲート CD の 10%とされてきたが、4nm(3 σ)以下の CD コントロールは依然解が見えず、2005 年版では±12%に緩和された。また、ゲート加工におけるエッチバイアス(トリミング量)はデバイスメーカーへの調査結果から実態として大きな値であることがわかり、現実的な値としてゲートのレジスト寸法は物理ゲート長の 1.6818 倍になった。また、コンタクトホールに対し新たに 10%のエッチバイアスが導入された。

● 重ね合わせ精度(Overlay)の変更

これまで重ね合わせ精度として DRAM ハーフピッチの 35%が採用されてきたが、特にメモリではより高い精度が要求されるため、DRAM(Flash)ハーフピッチの 20%とすることとなった。

Year of Production	2005	2007	2010	2013	2016	2019
DRAM 1/2 Pitch (nm) (contacted)	80	65	45	32	22	16
Flash 1/2 Pitch (nm) (Un-contacted Poly)	76	57	40	28	20	14
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	90	68	45	32	23	16
MPU gate length in resist (nm)	54	42	30	21	15	11
MPU Physical Gate Length (nm)	32	25	18	13	9	7
Contact diameter in resist (nm)	111	84	56	39	28	20
Contact diameter after etch (nm)	101	77	51	36	25	18
Gate CD control (3 sigma) (nm)	3.3	2.6	1.9	1.3	0.9	0.7
Overlay [A]	15	11	8.0	5.7	4.0	2.8
Mask CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary mask [H]	3.8	2.6	1.3	1.0	0.7	0.5
Low Frequency Line Width Roughness: (nm, 3 sigma) <8% of CD *****	4.2	3.4	2.4	1.7	1.2	0.8

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



図表 7-2 リソグラフィ技術への要求

● リソグラフィテーブルの改訂

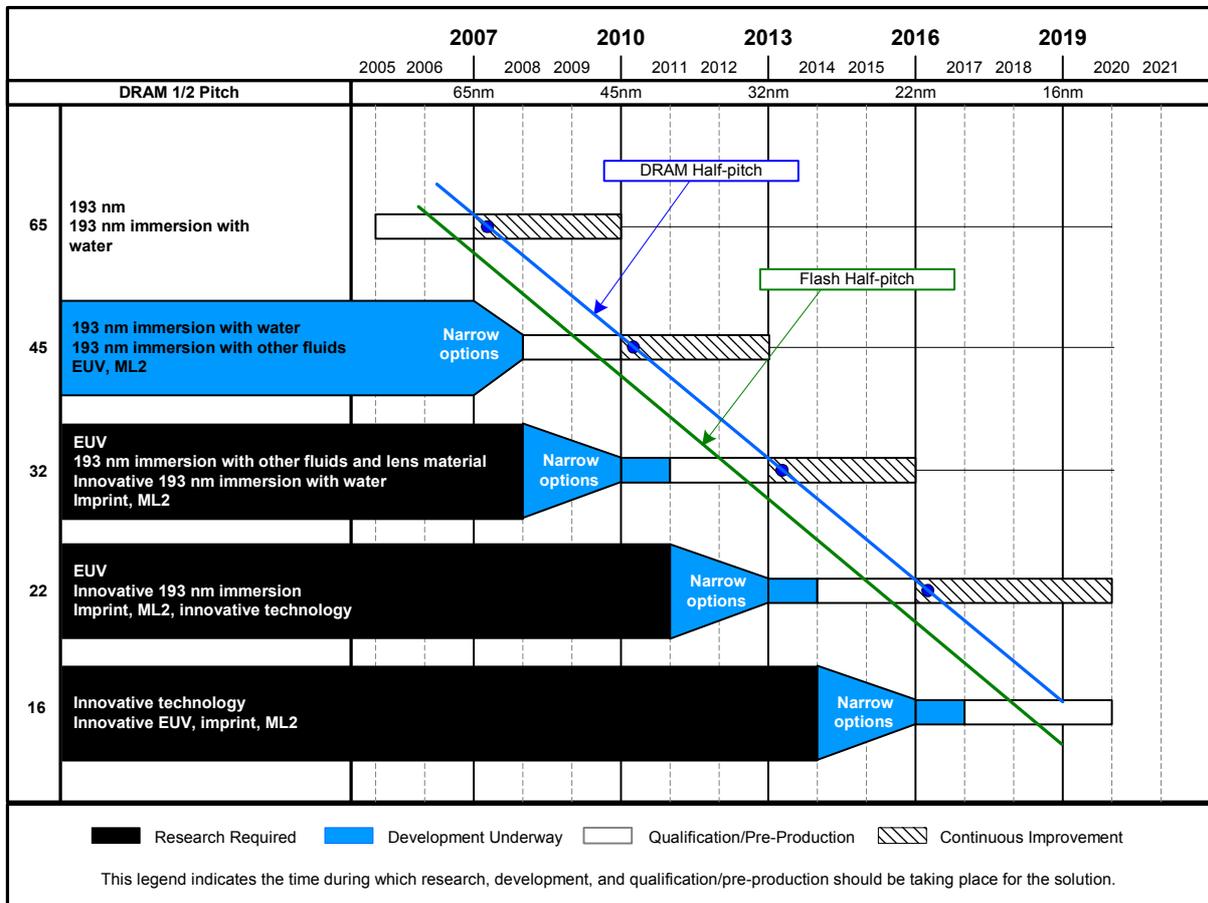
上記の内容を含むリソ技術への要求テーブルの他、マスク、レジストテーブルの値／色の見直しを行なった。またインプリントのテンプレート(マスク)テーブルが追加された。

7-3 リソグラフィ技術への要求

2005年版でのリソ技術への要求においてはゲートCDコントロール、ゲートレジスト線幅、重ね合わせ精度の値が改訂された(図表 7-2)。ゲート CD コントロールでは、10%から 12%への精度緩和に伴い、リソの取り分として 80nm 世代で 2.9nm(ITRS2004)から 3.3nm(ITRS2005)となったが依然オレンジであり危機的な状況から脱することはできていない。マスクの要求精度についても同様である。重ね合わせ精度は 7-2 節で述べたように基準が改定されたことに伴い 80nm 世代で 28nm(ITRS2004)から 15nm(ITRS2005)となり、大きな課題として急浮上した。

7-4 ITRS2005 におけるリソグラフィ解決策候補(Potential Solutions)

2005 年版の解決策候補を図表 7-3 に示す。2005 年版では 2004 年 update 版で示された ArF Dry から ArF 液浸、EUVL へとという流れがより一層明確となった。ArF 液浸技術の 1 年間の開発進捗より、液浸液(Fluid)やレンズ硝材などの材料を変えることで ArF 液浸技術を延命できるとの期待が高くなったためである。ArF 液浸は純水もしくは他の液浸液を用いたもので 45nm ハーフピッチの第一、第二候補であり、レンズ硝材も含めた変更で 32nm ハーフピッチの第二候補となっている。また何らかの新規技術を導入した ArF 液浸も期待され 22nm ハーフピッチの第二候補となっている。EUVL は 45nm ハーフピッチでは第三候補であるが、32nm/22nm ハ

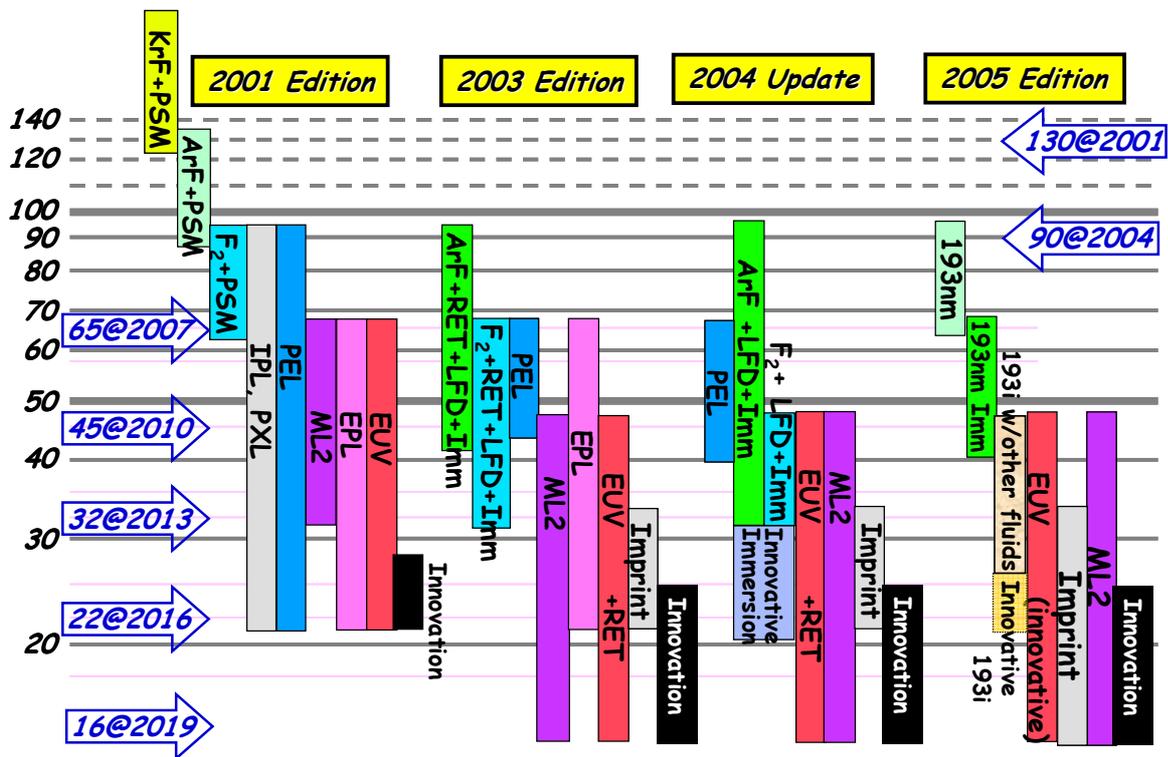


図表 7-3 2005 年版における解決策候補

ーフピッチでは第一候補であり、これら世代への期待が高い。インプリントは 32nm ハーフピッチ以降の技術として捉えられている。ML2は45nmハーフピッチから候補にあがるが、量産性の点でメインストリームの技術としての見込みはたっており、本来は多品種少量生産として捕らえるべきであろう。解像性、マスクレスの点で期待され候補となっている。

図表 7-4 に 2001 年版以降の解決策候補の変遷を示す。2001 年版では数多くの解決策候補が挙げられていたが年毎に絞り込まれ、さらに ArF 液浸の延命が期待されていることがわかる。この 4 年間で ArF 液浸の登場により F2(液浸を含む)、EPL、PEL など多くの技術が消えた。一方で 22nm ハーフピッチ以降に対し innovative technology として新しい技術の登場が必要との認識がある。

以下、7-5 節では主な解決策候補について概説すると共に、7-6 節では 2005 年版では解決策候補から削除されたが、日本発の技術であった PEL、EPL について技術状況をまとめる。



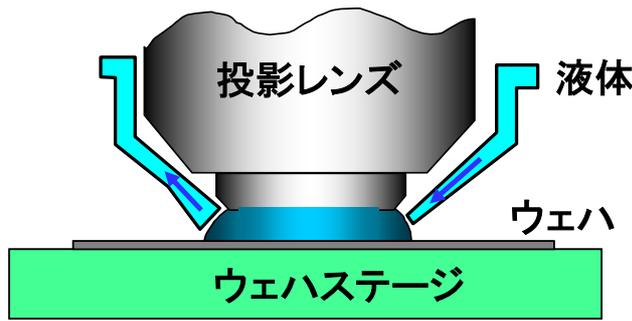
図表 7-4 解決策候補の変遷

(2004 Update では EPL は脚注に記述されている)

7-5 主なリソグラフィ解決策候補

7-5-1 ArF 液浸露光技術

液浸露光技術とは投影レンズとウェハの間に従来の空気ではなく液体を充填し露光するものである(図表 7-5)。マスクからの回折光は微細パターンになるほど空間に広がるため、投影光学系でその回折光を取り込む必要がある。液体を投影レンズとウェハの間に充填することで図表 7-6 に示すように、従来法(Dry)では達成できなかった $NA > 1$ に相当する回折光を取り込むことが可能となり解像性能を向上できる。ArF 液浸露光は 2002 年頃より注目され、これまで Dry 用レンズを改造し液体として純水を用いた $NA < 1$ の ArF 液浸露光装置が ASML 社より供給されていたが、2006 年年初に(株)ニコンより世界で初めての $NA = 1.07$ の投影レンズを搭載する ArF 液浸機が出荷された。図表 7-7 にその装置で露光した 47nm ライン&スペースパターンを示す。ArF 液浸露光の量産適用に向けた課題のうち、特に大きな課題とされていた液浸起因による欠陥については 2006



$$\text{開口数 NA} = n \sin \theta$$

n : 液体の屈折率

$$\begin{aligned} \text{解像力 } R &= k_1 \lambda / \text{NA} \\ &= k_1 \lambda / (n \sin \theta) \\ &= k_1 (\lambda/n) / \sin \theta \end{aligned}$$

解像力の向上

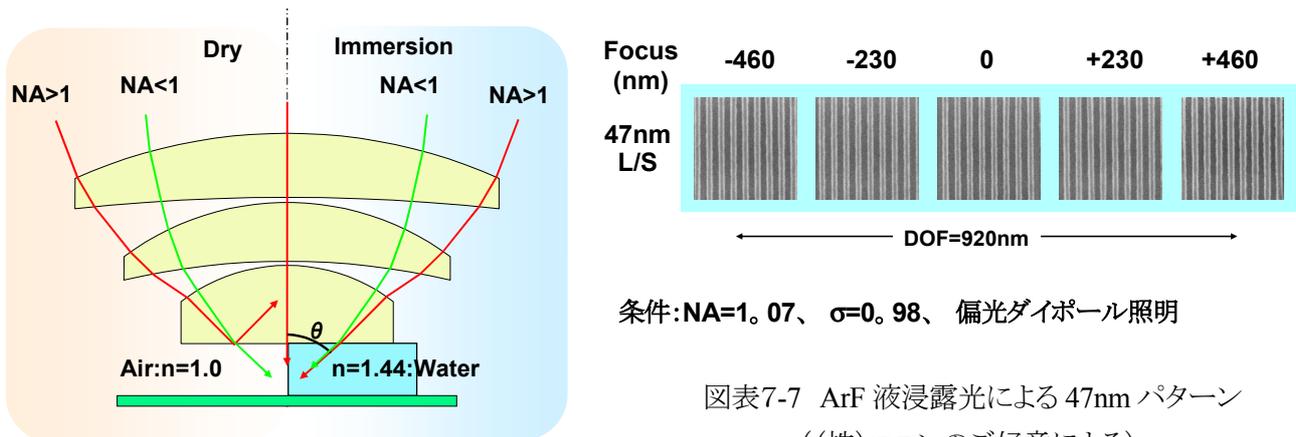
$$\begin{aligned} \text{焦点深度 DOF} &= k_2 (\lambda/n) / 2 (1 - \cos \theta) \\ &\sim k_2 (\lambda/n) / \sin^2 \theta \\ &= k_2 \frac{n \lambda}{\text{NA}^2} \end{aligned}$$

焦点深度の向上

図表 7-5 液浸露光装置の概略

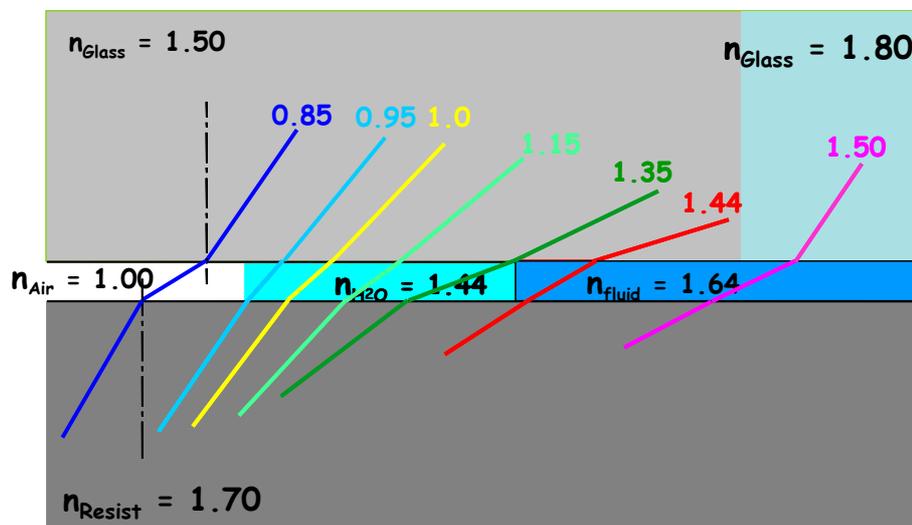
年 2 月に開催された学会(SPIE Microlithography)にて大きく改善されたことが報告され実用化に向け前進した。重ね合せ精度も Dry 法と同程度が得られていることが報告されている。

ArF 液浸露光の解像力を向上するためには従来と同様に NA を大きくすることが必要である。Dry 法では投影レンズと空気との界面が最大 NA を制限していたが、純水を用いた液浸においても限界はある。より大きな NA を実現するためには図表 7-8 に示すように、投影レンズのガラスー液体ーレジストの二つの界面で全反射が起こさないことが条件となり、より大きな屈折率を持つ材料が必要である。NA は三つの材料(ガラス、液体、レジスト)の最も小さな屈折率で制限されるため、それぞれについて高屈折率材料の探索、開発が行なわれて



図表7-7 ArF 液浸露光による 47nm パターン
((株)ニコンのご好意による)

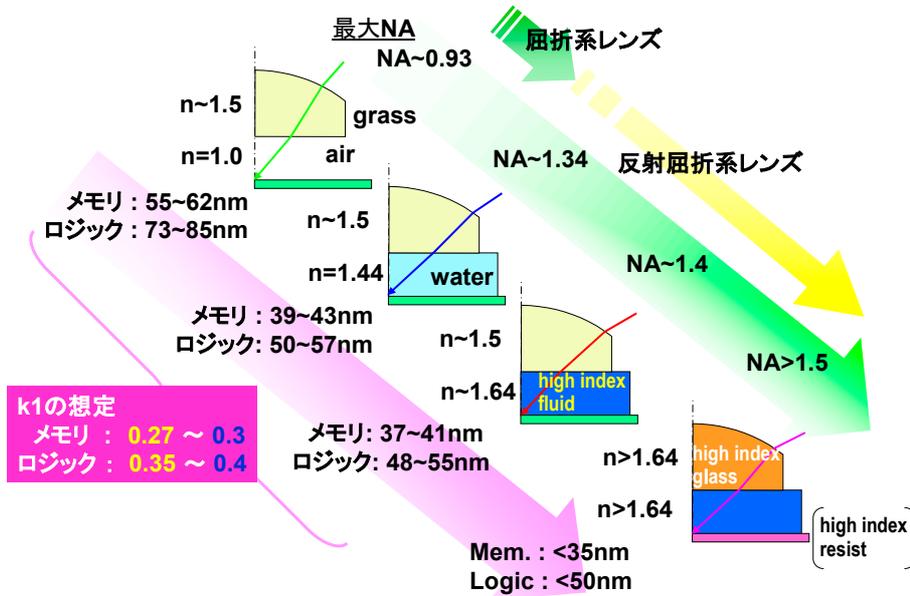
図表 7-6 従来法と液浸の違い



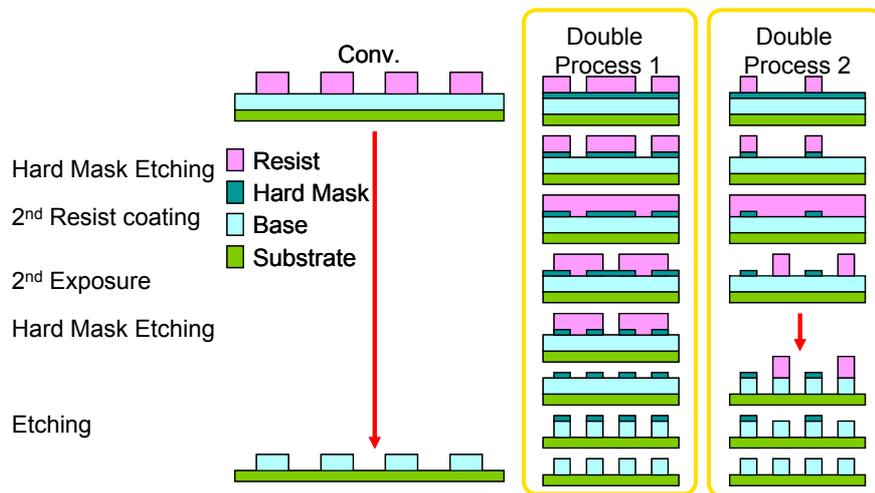
図表7-8 高屈折材料による高 NA 化

いる。

ArF 液浸露光での解像力は高屈折率材料を如何に用いるかによって決まる。図表 7-9 に材料の組合せにより期待される NA と適用デバイス世代の概略を示す。ガラス材料として蛍石 ($n=1.5$) を仮定すると、液体として純水を用いた場合には最大 NA として 1.34 程度、高屈折率液体を用いても 1.4 程度となり、メモリでは 45nm ハーフピッチが可能であるが、ロジックでは解像力が不足する。それ以上の世代には高屈折率ガラスを用いることが不可欠になる。また NA が 1.1 を超えると従来の屈折系レンズを作ることは困難であり、反射ミラーと屈折レンズを組合せた反射屈折系レンズとなすため、新たな課題が起こる可能性もある。



図表7-9 ArF 液浸の期待される NA と適用デバイスルール



図表7-10 ダブルパターニング法

高屈折材料の開発は主に液体とガラス材料で行なわれている。液体ではすでに屈折率が 1.65 の材料が発表されており、ArF 光での吸収も小さく再生利用可能との報告がある。ガラス材料に関してはセラミックスピネル ($MgAl_2O_4$)、LuAl-Garnet ($Lu_3Al_2(SiO_4)_3$)、ゲルマネート Garnet 等が屈折率 1.8-2 程度の材料候補として探索されている。しかし透過率、複屈折率、大口径化等の大きな課題があり、実用化への道は険しいと考えられる。

一方で ArF 液浸を延命するための工夫も提案されている。図表 7-10 に示すようにマスクを 2 枚用いピッチを分割することによって実効的に解像力を得ようとする方法であり、光学的な物理限界である $k1=0.25$ を実効的に超えることが可能である。しかしながら現在のレジスト材料で単純に 2 回露光しても解像できないため、図に示したように露光

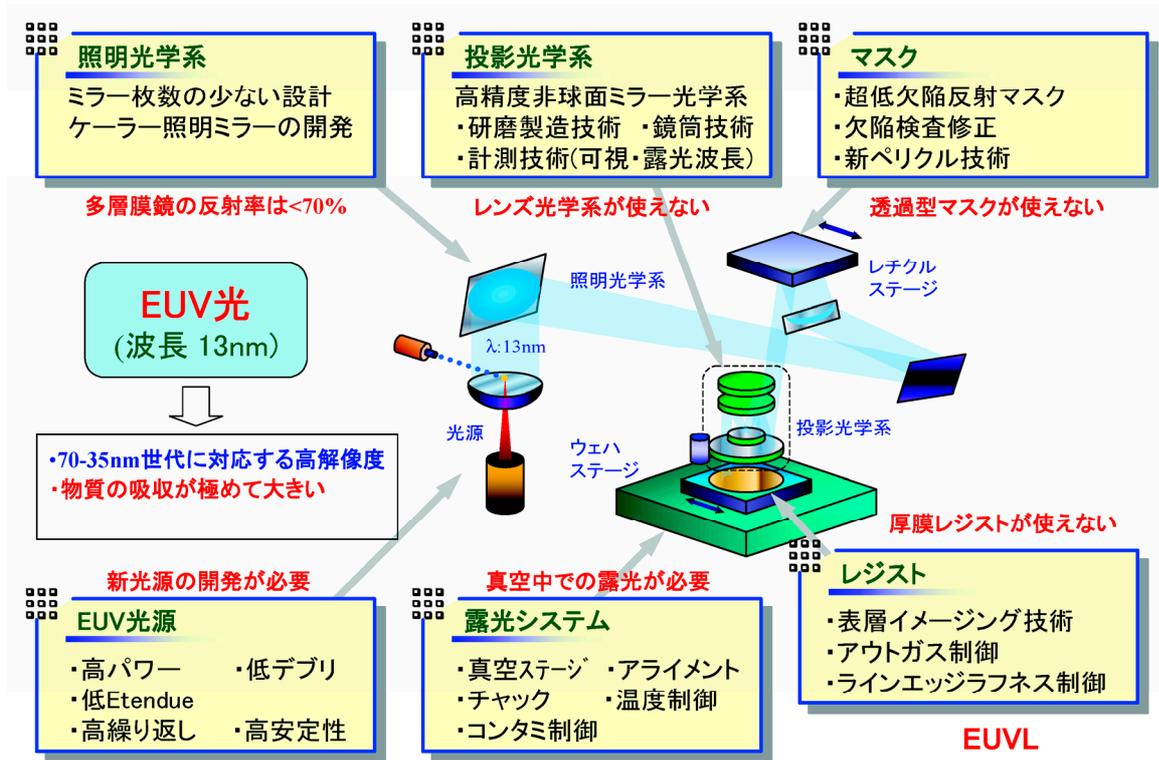
／エッチングを二回繰り返す必要がある。

この方法ではプロセス工程が長くなること、

露光機の実効的なスループットが低下することからコストの増大を招く。しかし従来の比較的安価な露光技術が使えることから、次世代露光技術のコストに対し優位となる可能性もある。コストについては 2006 年の国際活動のなかで検討される予定である。

7-5-2 EUV 露光技術

EUV リソグラフィ技術は、従来の光リソグラフィ技術と同様の縮小投影型の露光技術であり、波長が 13.5nm という短波長であるため、大幅な解像度の向上が期待できる。さらに現在の光リソグラフィ技術で大きな課題である光近接効果が、大幅に軽減され、またマスクの寸法誤差のパターン寸法への影響も小さくなる等多くの利点が期待できる。しかし、EUVリソグラフィ技術は、図表 7-11 に示すように、光源から装置、マスク、レジストまで、露光システム全体に渡って様々な新しい技術開発を必要とする。このため、開発コストが膨大であり、個別の企業での開発が難しく、世界的にもコンソーシアムでの開発が不可欠となっている。



図表 7-11 EUV 露光システムと技術課題

EUV 技術の本格的開発は、1997 年より米国の EUVLLC で開発が進められ、ETSと呼ばれる露光装置の開発が行なわれた。しかし、当時は 90nm 技術以降への適用を目的としていたため、NA が 0.1 と小さく、解像度も 65nm 程度であった。この研究は、米国の国立研究所である LLNL、SNL、LBNL が、共同で研究する組織 VNL で行われた。EUVLLC が 2002 年に終了後も、VNL は存続し、EUVL 技術の研究が引き継がれた。資金的には ISMT が VNL を支えている。また ISMT は、NY 州の Albany 市に ISMT-N を設立し、NY 州のナノテク研究構想の一環として、EUVL 用の多層膜マスク基板とレジスト評価の研究を 2003 年から開始している。

これに対し、ヨーロッパでは、MEDEA+や More Moore PJ 内に EUVL のテーマを設け、多くの国が参加する形で研究を進めている。一方、我が国では、ASET が EUVLLC の研究に呼応して 1998 年から研究を開始し、2002 年には、EUVA を組織し、光源と露光装置の研究を進めている。さらに文部科学省のリーディング PJ として、大阪大学を中心に、光源の候補の一つであるレーザープラズマ光源の研究を進めている。また MIRAI-PJ のリソグラフィ関連の研究として、EUVL 用多層膜マスクの欠陥検査手法の研究を行っている。さらに 2006 年度からは、Selete で hp45nm 技術および hp32nm 技術への EUVL の適用を目的として、マスク技術に関する NEDO の委託研究及び EUV リソグラフィ技術に関する民間側の自主研究を計画している。これらの研究をまとめると図表 7-12 のようになる。

地域	機関名称	研究期間	主な研究テーマ
米国	EUVLLC/VNL	1997-2002	EUV 基本技術と ETS の開発
	VNL	2003-2007	MET の評価と光源信頼性
	ISMT-N	2003-2007	多層膜基板開発とレジスト評価
ヨーロッパ	EUCLIDES	1998-2000	EUV 露光装置の基本技術検討
	MEDEA+	2001-2006	EUV 要素技術と α 機の開発
	More Moore	2004-2007	22nm 技術対応 EUVL 技術の開発
日本	ASET(委託研究)	1998-2001	EUV 基本技術の開発
	ASET(継続研究)	2002-2006	マスクとレジスト技術の開発
	EUVA	2002-2007	光源と露光装置技術の開発
	MIRAI	2001-2007	多層膜基板欠陥検出技術の開発
	Selete(委託研究)	2006-2010	EUV マスクの技術開発
	Selete(自主研究)	2006-2010	EUV リソグラフィ技術の開発

図表 7-12 各種研究機関と研究内容

具体的な研究状況を次に紹介する。従来、EUV リソグラフィの最大の技術開発課題は、光源の出力向上であった。EUV リソグラフィを LSI の量産技術とするには、従来の光リソグラフィ並みのスループットが要求され、露光装置コストが上昇することを見込んで考えれば、さらに高いスループットが要求される。このスループットの目安として、Intel が提案した仕様では、300mm ウェハ 100 枚/時間以上とされている。これを実現するために必要な光源出力は、Nikon・Canon 及び ASML の共通仕様では、少なくとも 115W であるとされている。このため、この目標に向かって、各研究機関、光源メーカーにより、研究が進められている。しかし、最近の光源の出力向上には、目覚しいものがあり、ここ数年で 10 倍以上の出力向上が、特に放電光源において実現されている。しかし、昨年の EUVL シンポジウムでは、レジスト感度への懸念からさらに高い光源出力の要求が ASML から出された。要求出力を 180W にしようというものである。

一昨年は光源出力の向上が目覚しく、光源出力への懸念が薄らいだが、昨年は、上述したように、レジスト感度に対する懸念が広がり、光源出力への要求も大きくなった。これは、従来目標としていたレジスト感度:5mJ/cm²の達成が危ういと見た ASML が、レジスト感度の見通しを 10mJ/cm²とし、光源出力への要求値を従来の 115W から 180W に引き上げたことによる。未だ露光装置 3 社の共通要求光源出力と言う形ではないものの、欧米では、この光源出力 180W という値が既に、一人歩き始めている。

第5回 EUVL シンポジウムで議論された最重要技術課題”(Critical Issues)では、図表 7-13 に示すように、レジストの解像度、感度、LER の課題が Top1 にランクされたことである。一方、昨年最大の課題とされたマスクの欠陥の低減は、ISMT-N での多層膜欠陥低減、欠陥発生原因の究明が進展したことや、HOYA 等のマスク基板サプライヤにおける欠陥低減の努力により、欠陥数が大幅に低減したこともあり、No.3 に後退した。一方、光源出力は、レジスト感度への懸念から光源出力への要求値を上げようと言う動きから、再び No.4 の課題として取り上げられた。

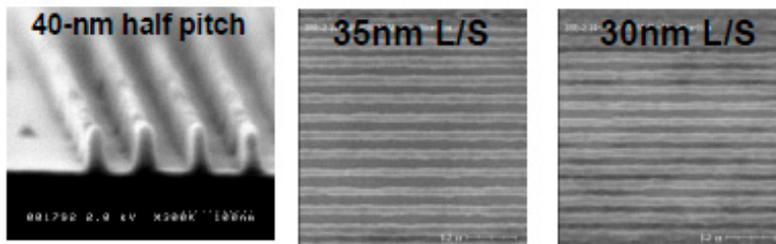
この“最重要技術課題”の議論の中で、技術的な課題と共に、ビジネス的な課題として、技術開発のタイミングとコストの問題も取り上げられた。しかし、この“最重要技術課題”はあくまでも技術的な課題を議論すべきとの意見が主流となり、脚注として、タイミングやコストに関しても重要な問題として付記することとなった。

<ul style="list-style-type: none"> 1、 Resist resolution、 sensitivity and LER 2、 Lifetime of source components and collector 3、 Availability of defect free masks 4、 Source Power <p>Remaining Critical Issues</p> <ul style="list-style-type: none"> * Reticle protection during storage、 handling and use * Projection and illuminator optics quality and lifetime <p>*** <u>Significant concern</u>: Timing and cost / business case for EUVL development.</p>
--

図表7-13 Critical Issues for Commercial Introduction of EUVL in 2009

2005年は、当初 α 機が年末にも研究機関に導入されると言う期待があったが、現実には α 機の導入は約半年遅れることとなった。しかし、2004年から2005年にかけて、実験用露光装置がいくつか稼動し始め、やっと本格的なレジスト材料の評価と開発が始まった年でもあった。このレジスト材料の評価結果がいくつか報告されたことから、レジスト感度に対する懸念が顕在化したという訳である。しかし、未だ材料開発の端緒にいたばかりであり、今後の研究開発の推移を見守るべきであろう。

感度と解像度、LERの両立と言う意味ではまだ十分ではないが、レジスト評価が進んでおり、30-40nm L/Sレベルの解像例が数多く報告されるようになった。図表7-14にその例を示す。



図表7-14 実験用EUV露光装置HiNA (ASET)を用いたパターン加工例

しかし、2005年時点で稼動しているEUV露光装置は、ASET(日本)のHiNAとLBNL、ISMT、Intel(全て米国)のMETの4台しかない。いずれもNAが0.3で数百ミクロン角という微小な露光面積を持つ、実験用の装置である。これらの装置で、レジスト材料の開発が進められているのが現状である。

2005年中には間に合わなかったが、2月のSPIEでASMLから α 機の最初の露光結果が報告されたことは注目に値する。この装置はフルフィールドの露光面積を持つ、露光装置である。実際の露光は2006年になってから開始され、SPIEの直前までに40nmのL/Sパターン、35nmのSemi Denseパターン、60nmのコンタクトパターンまで解像した結果を示した。このような装置の開発により、EUVL技術の開発が一段と進むことを期待したい。

7-5-3 ML2 技術

ML2 技術は価格が高騰しているマスクを用いないこと、電子線を用いた場合高い解像力を得られること、マルチビームを用いることでスループットの向上も期待できることから解決策候補として関心を持たれている。しかしながら、現在開発が進められているML2技術では毎時2-10枚程度のスループットであり、高いスループットが要求されるメインストリームの露光技術になることは難しい。多品種少量生産に向けたロードマップ、ビジネスモデルが必要と考えられる。そのため 2005 年度の国内活動として ML2 の一種である EB 直描技術の利用

状況を調査した。

国内ではいくつかのデバイスメーカーが EB 直描を商品開発、デバイス開発に用いている。商品開発では 130nm-180nm の ASIC 等のロジック LSI の ES 品に適用しており、一部 90nm への適用も図られている。商品開発では光露光のパターン形状をトレースすること、配線層への適用が各社共通している。デバイス開発への適用は意見が分かれており、EB 直描への取り組み、ビジネスモデルには差があると思われる。描画時間は数時間/200mm ウェハと非常にスループットが低くアプリケーションを制限しており、スループット改善への要求が各社共通して高いことがわかった。

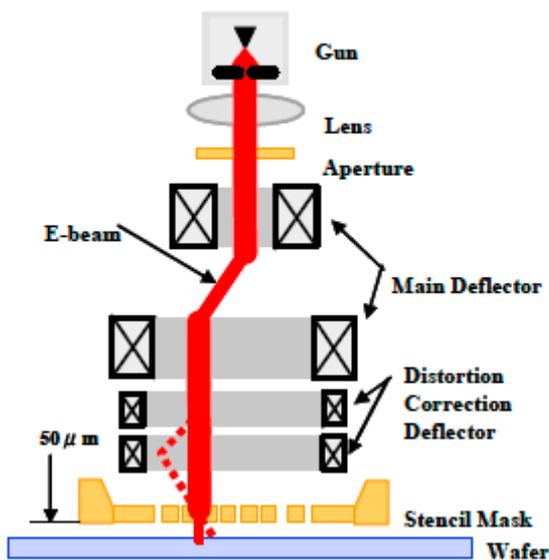
7-5-4 インプリント技術

インプリント技術は 10nm レベルの解像度が期待され欧米を中心に関心が高い。LSI 以外では LCD の偏光マスク等で実用化されつつあるが、LSI への適用を考えた場合には、×1 テンプレート(マスク) に起因する精度、重ね合せ精度、欠陥制御(含検査)、スループットなどの課題がある。特に縮小系でないため PXL や PEL と同様にマスク精度を達成することが困難ではないかとの意見がある。現状のレベルは S-FIL プロセスにて 30-50nm L&S、35nm コンタクトの形成、テンプレートを圧縮シアライメントすることで 25nm の重ね合せ精度が報告されている。スループットは 8 枚/時@200mm ウェハ程度である。装置構造が露光装置に比べ簡単であり装置コスト面で有利になる可能性もあり、今後の開発が期待される。

7-6 ITRS2005 にて削除された解決策候補の状況

7-6-1 PEL

EBの持つ高解像力と高生産性を両立すべく開発が進められてきた露光方式にPELがある。PEL装置は図表7-15に示すように単純で等倍X線露光装置に似た等倍の露光方式である。特徴として電子ビームの低加速(2kV)化による近接効果レス、マスクパターンの単純化、電子ビームの低加速化によるレジストの高感度化を利用している。更に副偏向器による倍率・パターン位置歪み補正(マスク、ウェハ)を可能とすることによりX線リソグラフィで問題となったマスクの歪みが補正可能となっている。また、近接転写方式による空間電荷効果がないことも特徴としている。



図表 7-15 PEL露光装置の概略

65nmノード用の量産露光機を用いて、デバイス適用への実証評価が行われてきた。また、等倍マスクが要求されるため常にマスクが話題となるが、マスク技術としてSiメンブレンマスクのプロセス開発や欠陥検査機の開発が完了し、FIB/FEB欠陥修正機の実用にも見通しが立ちつつあった。特に、従来困難とされていた20mm□以上の大領域薄膜メンブレンマスクも、マスクメーカーの多大な努力によって実現の見通しが立ち、実用まであと一息の状態であった。しかし、量産に向けた高スループット化検討の過程で、高ビーム電流による転写精度の劣化が顕在化し、「装置の見直しのため、量産機が65nmノードのタイミングに間に合わなくなった」との装置メーカーのアナウンスを受けて、解決策候補から外す事になった。

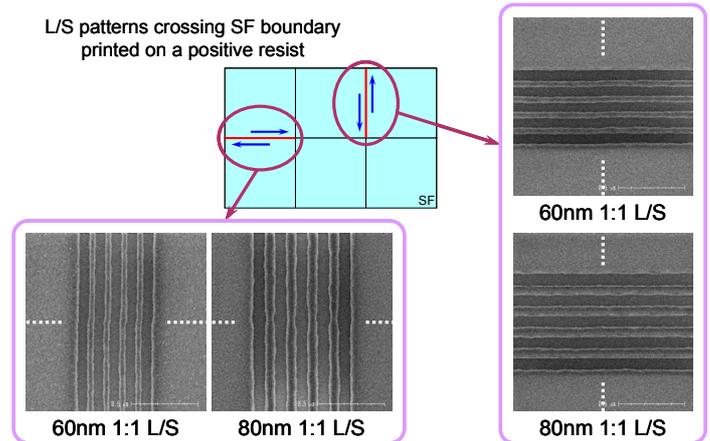
7-6-2 EPL(Electron Beam Projection Lithography)

hp45、及びそれ以降の少～中量生産における有力な NGL(Next Generation Lithography)技術の一つとして、

唯一開発評価を進めてきた Selete は、ホール専用の M&M(Mix&Match)に適用範囲を限れば、EPL 技術は hp45以降のリソツールとして実現可能な技術であると判断した。一方、世界的に ArF 液浸と EUVL (極紫外光露光技術: Extreme Ultra Violet Lithography) 開発にリソースが集中されている状況下で EPL 開発にさらにリソースを割く余力が、デバイスメーカー、装置メーカー共になく、量産リソツールを目指した開発の継続は断念せざるを得ないとの結論を下した。

EB ステッパーの最終的な性能を図表 7-16 に示す。解像性については、L&S で 55 nm (面積密度の小さい疎 L&S では 40 nm)、ホール層で 40 nm という結果が得られた。また、装置精度については、サブフィールド (以下 SF と略) 接続精度: $3\sigma = 13$ nm、重ね合せ精度(M&M): $3\sigma = 21$ nm という値が得られた。図表 7-17 は SF 接続の様子を示している。60 nm L&S がきれいに接続されていることがわかる。

	Performance
Resolution	55 nm @ L&S(1:1) 40 nm @ ISO 40 nm @ Dense hole
CD uniformity	5 nm (3σ)
SF stitching accuracy	13 nm (3σ)
Overlay accuracy (Mix and Match)	21 nm (3σ)
Through put	4.3 wph



図表 7-16 EB ステッパーの性能

図表 7-17 SF 接続の様子を示す SEM 写真

図表 7-18 に重ね合せ精度をバジェット解析した結果を示す。ショット内の重ね合せ精度は 15 nm と着実な性能向上が見られた。SF の非線形歪補正、ビーム偏向位置の安定性、ビーム振動が残された課題である。2005 年の ITRS テーブルの見直しで、重ね合せ精度が DRAM ハーフピッチの 20% に変更されたため、さらに改善が必要である。

Wafer global	非再現	14 nm	11 nm
	ウェハアライメント		6 nm
	Chip位置のばらつき	15 nm	6.5 nm
再現	6 nm		
Chip配置(下地)	6 nm		
ビーム位置の不安定性	7 nm		
サブフィールド歪み	8 nm		
Local (Intra-chip)	メインフィールド歪み	21 nm	6 nm
	レチクルアライメント精度		
	露光フィールド歪み		
Total (3 sigma)			

図表 7-18 重ね合せ精度のバジェット解析

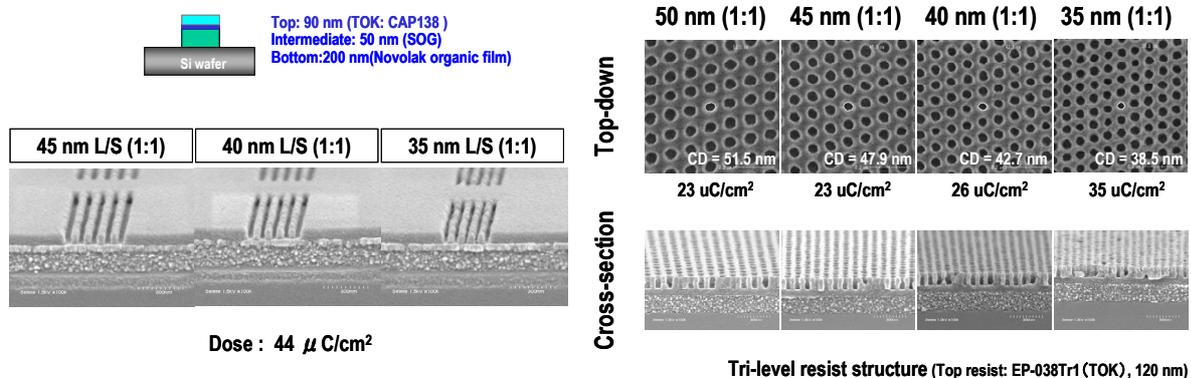
現状の EPL 用ステンシルマスクの性能を図表 7-19 に示す。SF 位置精度(グローバル IP)については、レチ

クル歪補正を行うことを前提とした3次補正後の残渣でみると 8.6 nm、また SF 内の IP 精度(ローカル IP)については、SF 歪を一括して線形補正できるため 1 次補正後の残渣として 6.3 nm という値が得られている。マスク CD 均一性、マスク CD リニアリティについても、10.8 nm、8.9 nm とますますの精度である。またマスク欠陥については、15 nm 以上の欠陥検出感度で 640SF を検査した結果をマスク全体(8000SF)の欠陥数に換算すると、100個以内という結果が得られた。量産機用の大 SF(4 mm)マスクについても問題なく作製できることが確認され、精度についても良い結果が得られている。また、DLC を膜材料に用いた連続膜マスクについても膜厚を 40 nm に薄膜化したマスク作製に成功している。膜厚を薄くできたことで、色収差に影響する透過電子のエネルギー分布が広がらず、ステンシルマスクと同等の解像性が得られることを確認した。以上のようにマスクに係る問題はほとんど解決されている。

	ITRS @hp45	Current status	Comment
Sub-field placement error (Global IP)	8 nm	8.2 nm	After 3 rd order correction
Image placement error in sub-field (Local IP)	8 nm	6.5 nm	After 1 st order correction
CD uniformity	6.5 nm	10.8 nm	Hole pattern with a 50 nm dia. 8.0 nm @ 60 nm hole
CD linearity	7 nm	9.9 nm	Hole pattern ranging from 50nm to 80nm
Defect counts on reticle	Required sensitivity is more than 35 nm.	75 / reticle	Estimated from inspection result of 640 SFs, which have 3E8 holes, with a sensitivity of more than 15nm.
4mm SF reticle		Manufacturable	Required for EB3 to improve throughput
Ultra-thin-membrane reticle		Available	DLC

図表 7-19 EPL用ステンシルマスクの性能

レジストについては感度がスループット計算のベースとしている目標値の $5\mu\text{C}/\text{cm}^2$ に到達していない。ライン系の薄膜レジストの感度は $15\mu\text{C}/\text{cm}^2$ 、ホール系の単層レジストは $9\mu\text{C}/\text{cm}^2$ である。レジスト開発が残された大きな課題である。しかし、解像性については大幅に進捗し、図表 7-20 に示すように 35 nm の L&S パターンと微細ホールパターンが解像できている。hp45以降では、ラインパターンの形成において、レジスト倒れが深刻な問題になるため多層レジストプロセスが必須であり、100 nm 厚以下の高解像薄膜レジストの開発が重要なポイントである。



図表 7-20 薄膜レジストによる微細パターン

7-7 マスクについて

マスクはリソグラフィ技術を支える重要なインフラであり、その重要性は微細化と共に高まっている。技術的な課題の解決と共に高騰するマスクコストをいかに抑えるかという課題が重みを増している。本節ではマスクに対する要求と「困難な課題」、マスクコスト低減について述べる。

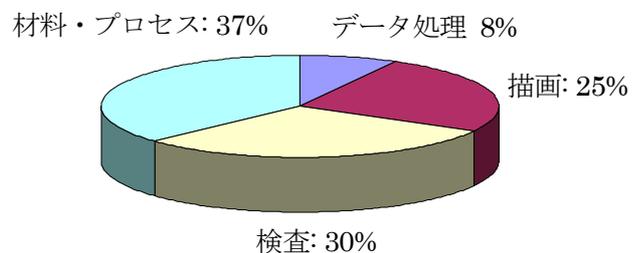
ITRS 2005 年版と ITRS 2004 年 Update 版を「困難な課題」で比較すると若干の違いが見られる。32nm までの困難な課題 (ITRS 2004 年 Update 版では 50nm までの困難な課題) では、装置インフラの項目に、従来からあった描画装置、欠陥検査装置、欠陥修正装置に加えて、計測装置と洗浄装置が追加されている。また、マスクにおける偏光効果とマスクトポグラフィが結像におよぼす影響が新たに上げられている。成長性欠陥と Haze の除去も課題に付け加えられている。さらに、<45nm のハーフピッチのための ArF 用マスクについて、マスク倍率の決定と小フィールドになったときの接続方法の開発が上げられている。これらは、液浸を含む高 NA 化による ArF リソグラフィの延命、パターン微細化にともなう高精度マスクパターン形成の困難度増加、近年クローズアップされてきた成長性欠陥などの問題を反映したものである。

マスクテーブルを見ると、精度面で大きな変化が見られる。ITRS 2004 年 Update 版では、2007 年 (hp65) において、寸法均一性 (孤立ライン、MPU ゲート、バイナリーマスク): 2.2nm (3σ)、寸法直線性: 9.9nm (3σ)、位置精度: 14nm であった。ところが、ITRS 2005 年版では、2007 年 (DRAM 1/2 ピッチ: 65nm、MPU/ASIC Metal 1: 68nm) に対して、寸法均一性 (孤立ライン、MPU ゲート、バイナリーマスクまたはハーフトーンマスク): 2.6nm (3σ)、寸法直線性: 10nm (3σ)、位置精度: 7nm となっている。寸法均一性は、ウェハ上パターンの寸法均一性要求値の緩和と、リソグラフィとエッチングの取り分の変更によって、結果的に若干緩和された。ところが、位置精度に関しては半分の値という厳しい値に改訂された。これは、リソグラフィの重ね合わせ精度を厳しくしたことの影響である。このことはマスク描画装置の開発に、精度面での大きな課題を課すものである。最近では、二重露光または二重プロセスを採用してさらに ArF リソグラフィを延命しようという意見もあるが、これら手法では単純露光より厳しい重ね合わせが要求されるので、課題はますます重くなる。

「困難な課題」では、ITRS 2005 年版でも ITRS 2004 年 Update 版でも、「採算に合う RET 対応光マスク」という項目がある。光リソグラフィの延命により、マスク上のパターンは微細化と限界近くの条件で露光を行う低 k1 リソグラフィのための複雑な OPC の影響で、その数と形状の複雑度を増している。また、これらはデータ量の増加も招いている。このパターン数と複雑度の増加は、データ処理時間、描画時間、検査時間の増大を招き、マスク製造コストの上昇を引き起こしている。図表 7-21 はマスク製造コストの内訳の一例である。近年では材料およびプロセスのコストの割合が大きくなっていることを考慮して、平成 16 年度の本報告書にある同様のグラフから予想したものである。単純にパターン数が世代毎に 2 倍になるとして、これだけを考慮しても、マスク製造コストは次世代では 1.6 倍、次々世代では 2.9 倍になる計算になる。

このマスクの製造コスト問題に関しては、いくつかの取り組みが考えられている。一つは処理性能を向上することである。EB 描画について言えば、現在使われている可変成形方式では描画速度の向上には限度があり、何らかの並列描画手段を採用することが検討されている。マスク欠陥検査についても処理能力の向上が検討されている。マスク欠陥検査においては、微細化にともなう検出感度の向上と複雑化するパターンへの対応も課題である。データ処理に関してはデータ容量の膨大化を回避するための対策が検討されている。別の

取り組みは、マスクのデータ処理、描画、検査に何らかの合理的な対策を盛り込んで効率化を図る動きである。これは、設計意図またはレイアウト解析結果に基づいてパターンの重要度を設定し、それに基づいて OPC 処理、マスク描画、マスク検査を合理化し、効率を向上しようという考えである。



図表 7-21 マスク製造コストの内訳

光マスクのテーブルから分かるように、今後のマスクは精度面で赤い壁に立ち向かわなくてはならない上に、製造コストの上昇抑制という重要な課題にも立ち向かう必要がある。

7-8 困難な課題

2005 年版では解決策候補が絞り込まれ、ArF 液浸、EUVL を中心に困難な課題が改訂された。以下にその一覧を示す。

2013 年 \geq 32 nm 1/2 pitch までの困難な課題	課題の要約
補助パターンを含む光リソグラフィ用マスクと光以後のマスク製作	マスクの線幅精度、位置精度と欠陥制御
	補助パターンに対応可能なマスク製造装置(描画装置、検査装置、計測装置、洗浄装置、欠陥修正装置)。
	マスク構造と寸法起因による偏光効果の理解と最適化、及び現象を補正するマスク構造の最適化
	進行性のマスク欠陥と曇りの克服
	ArF で 45nm 以下を露光する時のマスク倍率の決定と、露光領域が狭められる可能性に対するつなぎ露光技術の開発
	無欠陥 1 倍テンプレートの開発
コストコントロールと投資回収	装置価格と生産性を現在と同等以上に維持する
	採算に合う RET 対応光マスクと光以降のリソグラフィ用マスク及びデータ量の削減
	十分に長い寿命のリソグラフィ技術
	複数のリソグラフィを同時に開発できる開発体制
	少量生産における投資回収
	450mm ウェハ用ステージ、重ね合わせシステム、塗布装置の開発。
プロセス制御	ゲート寸法ばらつきを 4 nm 3 σ 以下に制御するプロセス
	11nm 以下の総合重ね精度を達成するための新規あるいは改良されたアライメント技術と重ね合わせ技術
	LER と測長時の寸法変化の制御、及び欠陥 50nm 以下の達成
	レジストシミュレーションモデルの精度向上
	偏光効果の存在下での OPC 精度と OPC の検証
	露光装置のフレア制御と補正、特に EUV で課題
	リソグラフィを容易にする設計と生産を考慮した設計
液浸リソグラフィ	液浸環境下での泡と残滓を含む欠陥の制御
	液浸液或いはトップコートに対するレジスト化学の互換性とトップコートの開発
	LER と SEM 測長時の寸法変化の制御、及び欠陥 50nm 以下の達成
	高屈折率レジスト($n>1.8$)
	粘度・吸収・液体際使用の要求を満たす高屈折率液体($n>1.65$)
	レンズ設計からの吸収と複屈折の要求を満たす高屈折率レンズ材料($n>1.65$)
EUV リソグラフィ	検出感度 30nm 以下の欠陥検査とプランクのリペアで達成される低欠陥マスクブランク
	高輝度、高効率、長寿命のコレクターミラー光学系と光源構成部品を持つ EUV 光源、出力 115W 以上(中間集光点)
	LWR が 3nm 3 σ 以下で感度 10 mJ/cm ² 以下、40-nm 1/2 ピッチを解像するレジスト
	形状エラー 0.10nm rms 以下で固有フレア 10%以下の EYV 光学系の達成
	5 年以上のレンズ寿命が達成できる不純物制御
	ペリクル無しでマスクを欠陥から守る
	光リソグラフィとの混用

図表 7-22 困難な課題 (2013 年 \geq 32 nm 1/2 pitch)

2013 年 $\geq 32\text{ nm } 1/2\text{ pitch}$ 以降の 困難な課題	課題の要約
マスク製作	無欠陥等倍インプリント用マスクと転写欠陥の無い EUV 用無欠陥マスク
	マスク製造装置のインフラ整備(描画装置、検査装置、計測装置、洗浄、修正装置等)、特に等倍マスク用
	マスクプロセス制御方法と歩留まり向上
	ペリクル無しに EUV マスクとインプリントテンプレートをゴミ欠陥から守る方法
	EUV 用位相シフトマスク
計測と欠陥検査	LWR 計測 $0.8\text{ nm } 3\sigma$ が可能な 6 nm までの分解能と精度を持つ線幅計測
	$2.8\text{ nm } 3\sigma$ 以下の重ね合わせ精度計測
	特に ML2 で要求される、パターン付きウェハ上で 30 nm 以下の欠陥計測
	ML2 で描画されたパターンの設計データ比較検査
コストコントロールと投資回収	装置価格と生産性を現在と同等以上に維持
	採算に合う光と光以降のリソグラフィ用マスク
	十分なライフタイムを持ち業界の投資回収を満足するリソグラフィ技術と少量生産における投資回収
ゲート線幅制御の向上とプロセス制御	LWR を適正に保持してゲート線幅ばらつき $<1.3\text{ nm}$ (3 sigma) を達成できるプロセスの開発
	リソグラフィの種類に関わらず $2.8\text{ nm } 3\sigma$ の重ね合わせ精度を達成できるアライメント手法の開発。特にインプリント用の開発
	Low k1 光リソグラフィ用プロセス制御と設計
レジスト材料	PFAS 互換性を持つレジスト及び反射防止膜材料
	化学増幅レジストの酸拡散長が 32 nm ハーフピッチ以下でレジスト感度に限界をもたらす
	線幅制御と LWR を向上する新規材料

 図表 7-23 困難な課題 (2013 年 $< 32\text{ nm } 1/2\text{ pitch}$)

7-9 クロスカット活動

ITRS2005年版の作成に向けて、Yield EnhancementとのクロスカットミーティングでYEからの要望に対応するために、YE でまとめている Contamination Control テーブルのリソツールに必要なパージガス、CR 環境の要求仕様をまとめた。内容は、CR 環境、パージガスのドライエア、N₂、He、液浸の際の水に対する不純物や温度の要求などである。想定したリソツールは 193nm(ArF)ドライ、193nm(ArF)液浸、EUV であり long term でのこれら以外の候補技術は入っていない。リソツールメーカーは日本に 2 社、オランダに 1 社あるために、原案を日本の 2 社で作成し、オランダの 1 社で照査、修正要請を反映させた。サンフランシスコ会議での原案の検討と議論を経て摺り合わせを行った。YE のグループと扱っている単位が異なるなどの制限があったが、それぞれの利便性ある単位で情報を持ち寄り、必要に応じて変換し ITRES2005 年版に反映させた。また ESH グループとは EUV 露光装置の場合にエネルギー変換効率が大幅に低減し消費電力が非常に大きくなる可能性がある点を議論し、見積を確認した。Metrology グループとは、依然としてある CD コントロールの困難性とその計測精度、また LER、LWR の計測方法に関する日本からの提案をベースにした議論を行い標準化の活動へつなげた。

7-10 まとめ

この一年間で ArF 液浸が本命となり、さらに高屈折率材料で延命、その後 EUVL へという流れがはっきりと認識され、解決策候補が絞り込まれた。しかしながら技術的な困難さが緩和されたわけではなく、技術のタイミングが今後課題として上がってくるであろう。解決策候補が絞り込まれたことにより開発リソースが集中され、開発がより進むことを期待したい。リソグラフィ技術は微細パターンの形成、CD コントロールといった技術的課題だけでなくマスクも含めたリソコストの抑制が大きな課題となっており、ロードマップ活動においても両面から検討を重ねる必要がある。