

第 8 章 WG6 PIDS(デバイス)

8-1 はじめに

2005 年度における WG6 (PIDS, Process Integration, Devices and Structures)の主な活動は、テクノロジー開発状況の調査を通しての 2005 年版 ITRS 作成であった。特に WG6 は各種ロジック用トランジスタ(図表 8-1-1)、DRAM、Flash-NOR、FeRAM のロードマップ作成において、他極(米国、欧州、台湾、韓国)の PIDS との議論を通して積極的に参画した。

2005 年版 ITRS のロジック用トランジスタロードマップの大きな変更点は、トランジスタ構造をパラレルパスにしたことである。パラレルパスとは複数のトランジスタ構造が併存するロードマップを言う。2004 年版 ITRS では従来のプレーナバルク構造から FD-SOI (Fully Depleted Silicon On Insulator) 構造、次にダブルゲート構造に移るシナリオであったが、2005 年版ではプレーナバルク構造が他の構造と併存するロードマップとした。今後、複数の構造が併存する可能性が高く、各社の判断で使い分けがなされることを想定している。

2004 年度におけるロジック用トランジスタの現状調査を踏まえて、待機時低消費電力トランジスタ(LSTP, Low Standby Power)のロードマップを WG6 独自に見直し、各極へ提案して大筋で認められた。大きな変更点は、1) LSTP の特徴を強く出すため、リーク電流を絞ったロードマップとしたこと、2) その代償として、年率の性能(CV_{dd}/I_{on} , C はトランジスタの容量、 V_{dd} は電源電圧、 I_{on} はオン電流)向上率を、これまでの 17%/年から 14%/年に下げたこと。この向上率は学会発表や各社からのアナウンスを元にしてしている。

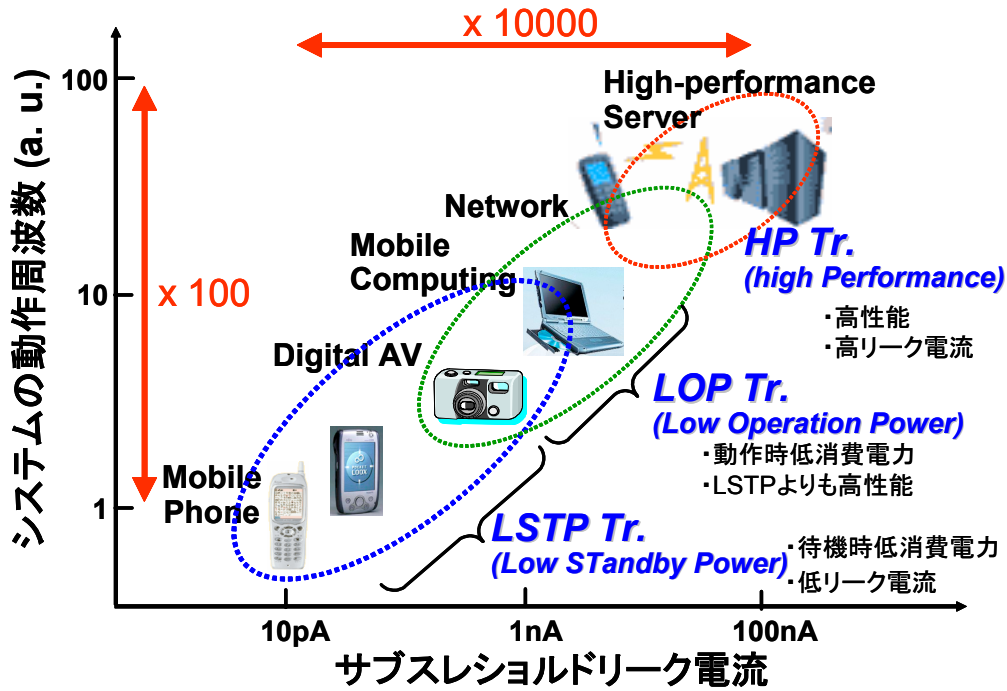
DRAM のロードマップは WG6 が中心となってこれまで作成してきた。この体制は 2005 年版作成においても同様であった。世界の主な DRAM チップメーカーに対して 2004 年度に行ったアンケート結果を踏まえて 2005 年版ロードマップを作成した。

Flash-NAND のロードマップは、各社からのアナウンスや学会での発表を元に作成した結果、最小ピッチが DRAM のそれを下回り、初めて微細化のドライバーとなったことが特徴である。

FeRAM のロードマップの特長は、従来の学会発表値ベースのロードマップから、市場に出ている製品ベースのロードマップに変更したことである。この結果、直近の要求仕様は緩和された値となっている。

2005 年度も従来とおり ERD (Emerging Research Devices、新探究デバイス)は WG6 のサブワーキンググループとして活動した。一方、2005 年版 ITRS で初めて ERD は独立した章となった。これは、他極では ERD は PIDS とは独立のワーキンググループとして活動しているためである。また、2003 年版まで章の約半分を占めていたノンクラシカル CMOS が PIDS に移り、ERD の章からはずされた。

Wireless/RF 関連デバイスについては、2005 年版では、技術的な要求を判り易くするために、従来のアプリケーションを主体とした分類から、デバイスを主体とした分類に変えた。



図表 8-1 ロジック用トランジスタの分類

8-2 ロジック用トランジスタ

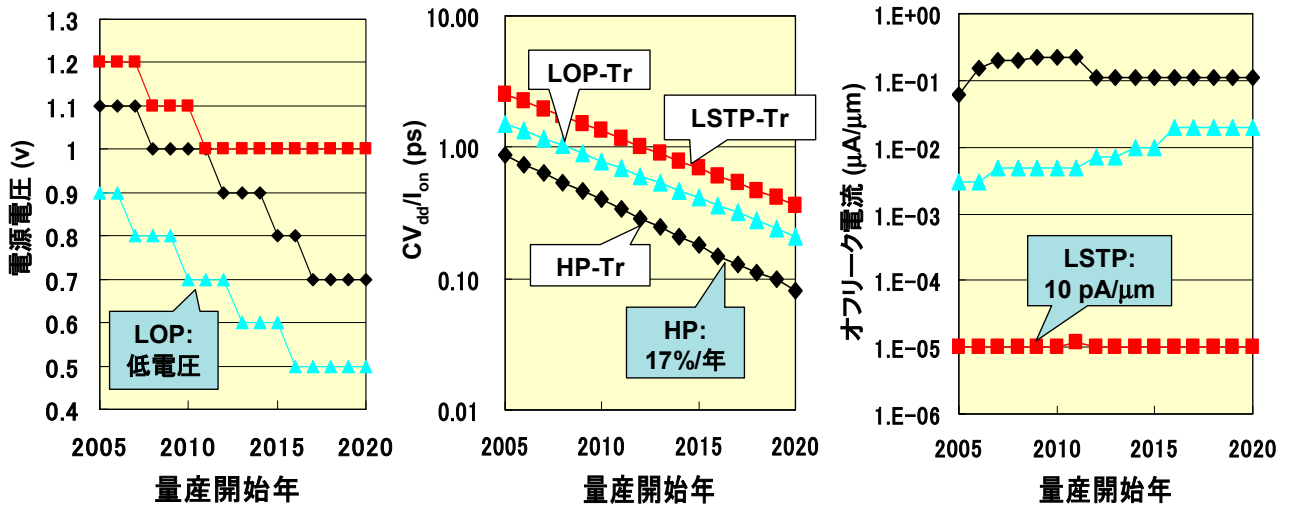
ロジック用トランジスタロードマップには HP (High Performance) トランジスタ、LOP (Low Operation Power) トランジスタ、そして前述した LSTP トランジスタがある。それらのロードマップ作成における重要な性能指標を図表 8-2 に示す。HP トランジスタは速度性能重視のためゲート遅延 (CV_{dd}/I_{on})、LOP トランジスタは動作時の低消費電力化を重視するため CV_{dd}^2 、LSTP トランジスタは待機時の低消費電力化を重視するため、オフリーク電流 (I_{off}) が、それぞれ重要性能指標となっている。これらの指標に注目して、トランジスタのコンパクトモデルを使用して、各種トランジスタパラメータのロードマップを作成した。コンパクトモデルで考慮されている主なモデルも図表 8-2 に示した。図表 8-3 に重要性能指標のロードマップを示す。3 種類の特徴を活かしたロードマップとなっていることがわかる。

トランジスタタイプ	HP-Tr	LOP-Tr	LSTP-Tr
重要性能指標	CV_{dd}/I_{on} (速度性能)	CV_{dd}^2 (動作時電力)	I_{off} (待機時電力)

トランジスタの基本パラメータ ・ オン電流 (I_{on})、オフリーク電流 (I_{off})
 ・ 電源電圧 (V_{dd})、ゲート容量 (C)

トランジスタのオン電流、 I_{on}			
移動度 ・縦方向電界 ・フォノン散乱 ・ラフネス散乱 ・ピエゾ効果	しきい値 ・オフリーク電流 ・短チャネル効果 ・チャネル濃度 ・ゲート酸化膜厚 ・サブスレシールド係数	ゲート酸化膜厚 ・EOT ・ゲート電極空乏化 ・反転層厚	飽和速度 寄生抵抗

図表 8-2 各種ロジックトランジスタの重要性能指標



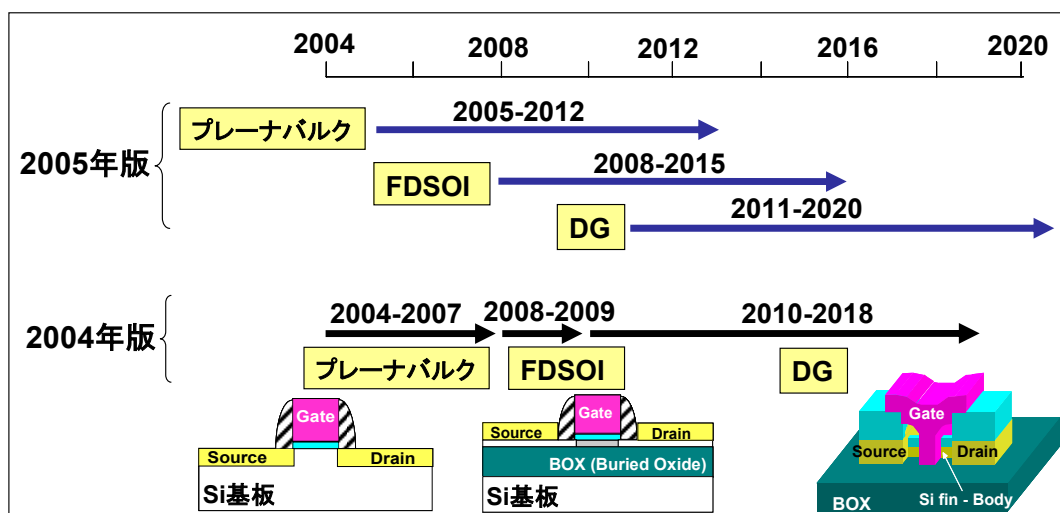
図表 8-3 重要性能指標のロードマップ

8-2-1 HPトランジスタ

HPトランジスタは、その重要性能指標が速度性能であるため、ゲート遅延(CV_{dd}/I_{on})の高速化をベースにしてロードマップを作成した。この方針はこれまでと変わっていない。2005年版の特徴と2004年度版からの主な変更点は以下の通りである。

- CV_{dd}/I_{on} の年率の改善率も17%/年で変更していない。
- 2008年からパラレルパスのシナリオを導入。
- 従来構造であるプレーナバルク構造をできるだけ引っ張るロードマップ。
- プレーナバルク構造で引っ張る代償として、オフリーク電流増大とゲート絶縁膜厚のスケールングをアグレッシブに。
- High-kゲート絶縁膜とメタルゲート電極の導入を、開発状況を踏まえて1年後退させ、2008年からに。

2005年版の特徴であるパラレルパスのロードマップを図表8-4に、2005年版ロードマップの重要パラメータを図表8-5に示す。



図表 8-4 HPトランジスタのパラレルパス

量産開始年		2005	2006	2007	2008	2009	2010	2011	2012
電氣的なゲート 絶縁膜厚、 T_{inv} (nm)	Was	1.8	1.7	1.3	1.2	1.2	1.1	1.1	1.1
	Is(PB)	1.93	1.84	1.84	1.19	1.03	0.92	0.75	0.75
	Is(FD)				1.3	1.2	1.1	1.0	0.9
	Is(DG)							1.2	1.1
オフリーク電流、 I_{off} ($\mu A/\mu m$)	Was	0.05	0.05	0.07	0.07	0.07	0.1	0.1	0.1
	Is(PB)	0.06	0.15	0.2	0.2	0.22	0.28	0.32	0.34
	Is(FD)				0.17	0.19	0.22	0.22	0.29
	Is(DG)	loff増大						0.1	0.11
オン電流、 I_{on} ($\mu A/\mu m$)	Was	1090	1170	1510	1530	1590	1900		1790
	Is(PB)	1020	1130	1200	1570	1810	2050	2490	2300
	Is(FD)				1486	1625	1815	2015	2037
	Is(DG)							1899	1932

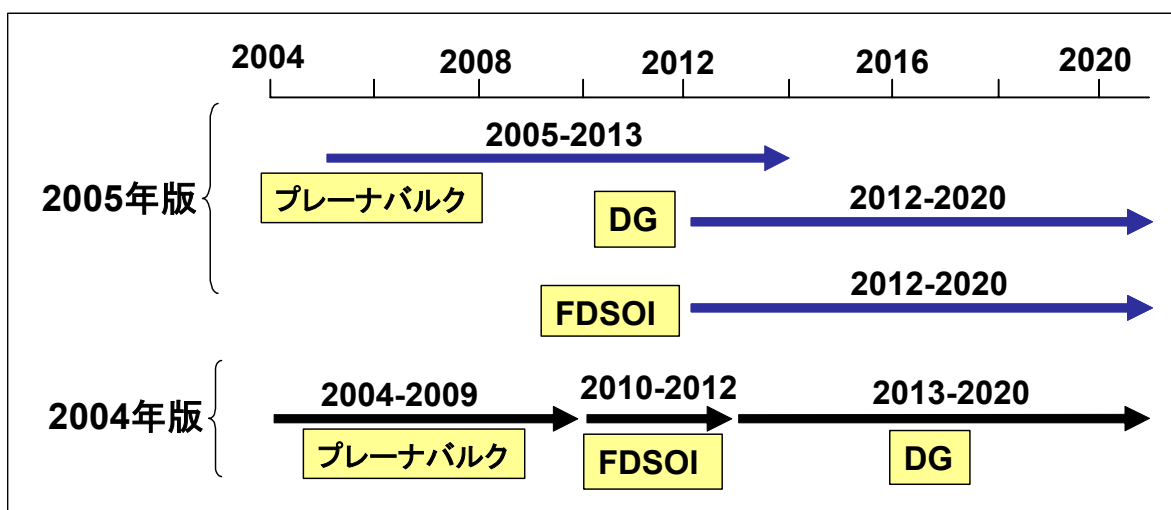
図表 8-5 HPトランジスタの技術要求の特徴

8-2-2 LOPトランジスタ

LOP トランジスタは電源電圧を他のトランジスタよりも低く設定して、動作時の低消費電力化を特徴とする。速度性能とオフリーク電流は、HPとLSTPの中間的な値である(図表 8-3 参照)。2005年版の特徴と2004年度版からの主な変更点は以下の通りである。

- ・ 2011年からパラレルパスのロードマップ
- ・ 2012年末までプレーナバルク構造を引っ張る
- ・ プレーナバルク構造の代償として、性能向上率を従来の17%/年から14%/年に

2005年版の特徴であるパラレルパスのロードマップを図表 8-6に、2005年版ロードマップの重要パラメータを図表 8-7に示す。



図表 8-6 LOPトランジスタのパラレルパス

量産開始年		2005	2006	2007	2008	2009	2010	2011
電源電圧、 V_{dd} (V)	Was	0.9	0.9	0.8	0.8	0.8	0.7	0.7
	Is (PB)	0.9	0.9	0.8	0.8	0.8	0.7	0.7
オフリーク電流、 I_{off} ($\mu A/\mu m$)	Was	0.003	0.003	0.005	0.005	0.005	0.007	0.007
	Is (PB)	0.003	0.003	0.005	0.005	0.005	0.005	0.018
オン電流、 I_{on} ($\mu A/\mu m$)	Was	580	610	570	730	770	770	830
	Is (PB)	589	607	573	712	775	749	749

図表 8-7 LOPトランジスタの技術要求の特徴

8-2-3 LSTPトランジスタ

LSTPトランジスタは、2004年度版まではHPトランジスタと同様に年率17%のゲート遅延(CV_{dd}/I_{on})改善を目標としてきた。一方2005年度版では、LSTPの CV_{dd}/I_{on} 改善向上率を業界標準値の年率14%に下げ、低スタンバイリークという特徴を維持可能な現実的なロードマップとなっている(図表8-8)。

2004年度版からの主な変更点は以下の通りである。

- ・ LSTPの特徴であるスタンバイ時のソース・ドレイン間オフリーク電流値は、2010年まで10pA/ μm を維持する。
- ・ ゲート長の微細化スピードは、HPトランジスタの3年遅れから4年遅れに変更する。
- ・ EOT薄膜化スピードの鈍化に伴って、High-kゲート絶縁膜導入時期を2年後倒しする。
- ・ メタルゲート導入時期はHigh-kゲート絶縁膜と同じタイミングとする。
- ・ ゲートリーク電流密度 J_g はソース・ドレイン間リーク電流値と同じ値になるように設定する。
- ・ 移動度向上技術を2005年から導入する。

ゲート長微細化スピードの鈍化により、スタンバイリーク電流構成要素のひとつであるGIDL(Gate Induced Drain Leakage)を抑制可能なジャンクションの設計が容易になる。High-kゲート絶縁膜は、Fermi level pinning effectによるpFETのしきい値電圧の大幅上昇という問題があり、2004年度版に設定されていた2006年からの導入が困難な状況にあった。そこで2005年度版では、メタルゲートとの併用により仕事関数制御を行って適度なしきい値電圧を得ることを前提に、2008年からHigh-kゲート絶縁膜が導入されるように変更された。またオン電流の向上のため、HPトランジスタでは既に実用化されている移動度向上技術をLSTPトランジスタでも2005年より導入する。これらの結果、2006~2007年はRed Brickから開放され、従来のSiONゲート絶縁膜が延命された形で改善向上率14%の目標が達成可能となる。今後2008年に向けて、メタルゲート/High-k絶縁膜の開発に注力することが期待される。

量産開始年		2005	2006	2007	2008	2009	2010	2011	2012
ゲート長 (nm)	Was	53	45	37	32	28	25	23	20
	Is	65	53	45	37	32	28	25	22
ゲート絶縁膜厚 (nm)	Was	2.1	1.9	1.6	1.5	1.4	1.3	1.3	1.2
	Is	2.1	2.0	1.9	1.6	1.5	1.4	1.4	1.3
反転時の電氣的ゲート絶縁膜厚 (nm)	Was	2.8	2.6	2.3	1.9	1.8	1.7	1.7	1.6
	Is	2.73	2.63	2.53	1.93	1.82	1.71	1.72	1.61
オフリーク電流 (A/μm)	Was	15p	20p	25p	30p	40p	60p	60p	60p
	Is	10p	10p	10p	10p	10p	10p	12p	16p
NMOS飽和電流 (μA/μm)	Was	470	510	510	670	700	760	750	790
	Is	497	500	519	573	612	666	580	625
電源電圧 (V)	Was	1.2	1.2	1.1	1.1	1.1	1.0	1.0	1.0
	Is	1.2	1.2	1.2	1.1	1.1	1.1	1.0	1.0

ゲート長微細化
1年後倒し

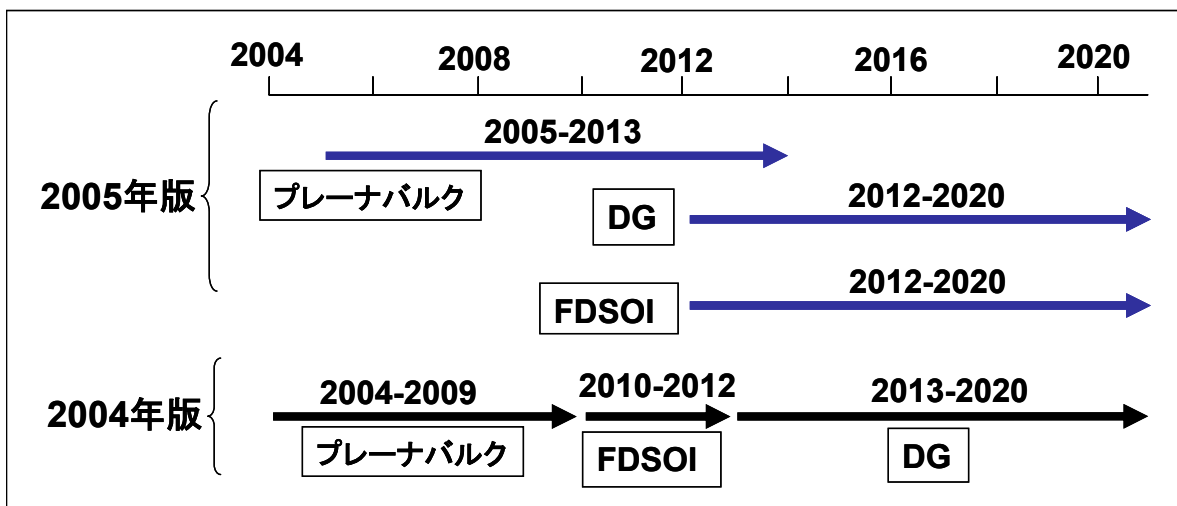
High-k導入
2年後倒し

メタルゲート導入

10pA/μmを維持

図表 8-8 LSTPトランジスタの技術要求の特徴

2004年版では、2010年から従来のプレーナバルク構造からFD-SOIへの移行が示されていた。2005年版では、2013年まではコスト面からプレーナバルク構造を延命するシナリオとなっている。2012年以降はHPトランジスタ同様パラレルパスが引かれており、FD-SOIもしくは、DG (Double Gate)への移行が示唆されている(図表 8-9)。

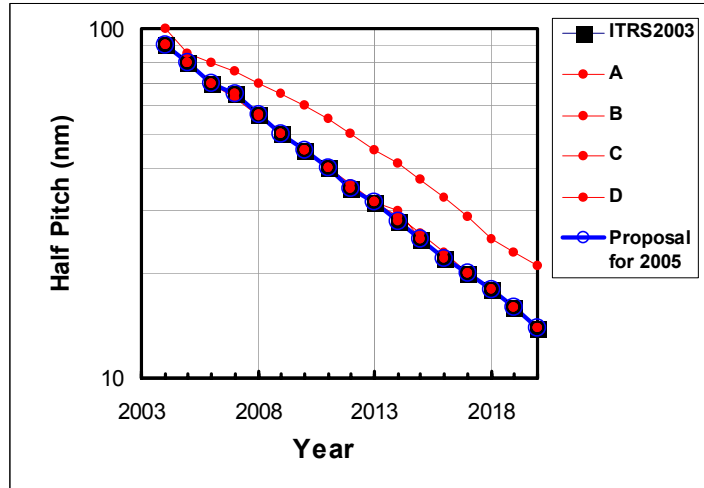


図表 8-9 LSTPトランジスタのパラレルパス

8-3 DRAM

2005 年度は、2004 年度に行ったアンケート結果の纏め及び 2005 年版の改定内容の確認を行った。以下、DRAM の PIDS の章で扱われる項目の中の重要な DRAM セルのハーフピッチ (HP)、セルエリアファクター、キャパシタの酸化膜換算膜厚についてのポイントを示す。

DRAM ハーフピッチの 2005 年版の提案を図表 8-10 に示す。2005 年にハーフピッチ 80nm の量産のアナウンスをしている会社があることから、想定通りの量産開始となっていることが確認されている。今後も、年率およそ 0.9 倍のスケールアップが前提となっている。微細化にはこれまで以上にスキャナーの投資コストの増大は避けられず、微細化はこれまで以上に、コストの視点が重要課題となる。

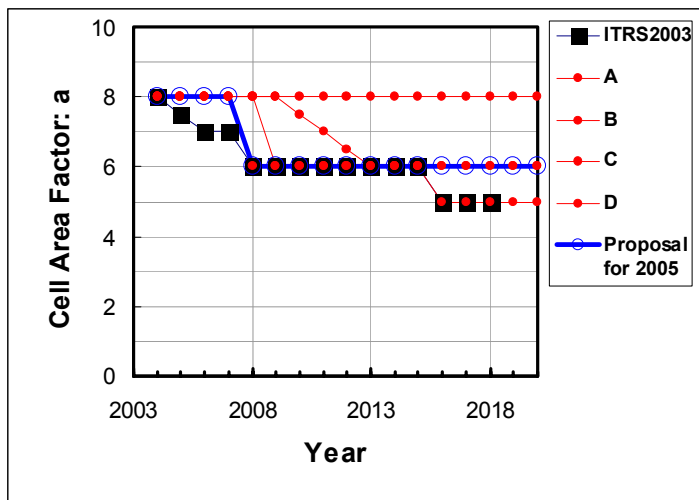


DRAMHalf pitc

	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
ITRS2003	80	70	65	57	50	45	40	35	32	28	25	22	20	18		
Proposal for 2005	80	70	65	57	50	45	40	35	32	28	25	22	20	18	16	14

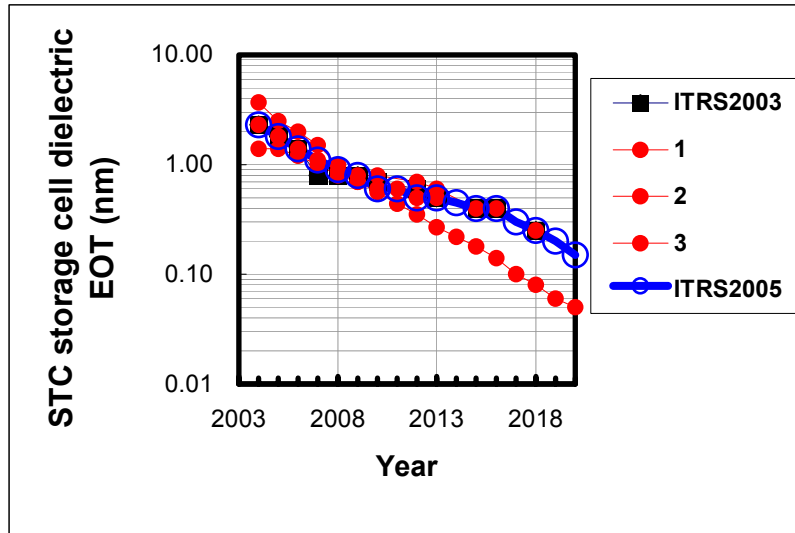
図表 8-10 DRAM ハーフピッチ

セルエリアファクターの“6”は、2008 年から(2 社以上の会社で使用)となっている。セルエリアファクターの“6”化では、セル効率が劣化するものの、ハーフピッチを小さくすること無しに、チップサイズを小さくすることができることから、チップコスト削減の大きな技術アイテムとの認識で、展開が加速される傾向が見られる。



図表 8-11 セルエリアファクター

スタックキャパシタのセル容量のターゲット値は、スケーリングが進んでもこれまでと同じ 25fF 以上となっている。そのため、継続的に膜厚のスケーリングが必要である。ショートタームのレンジでも、1nm 以下の EOT を有するキャパシタ絶縁膜が必要とされ、絶縁膜材料としては、 Ta_2O_5 や、 Al_2O_3/HfO_2 よりも更に高い誘電率が要求される。セルの微細化にともない、高誘電率化と同時に、物理膜の縮小が必要で、また、同時に物理的強度の確保等、非常に厳しい技術課題があり、微細化の歩みは遅くなる傾向にある。



図表 8-12 STC キャパシタ絶縁膜

DRAM のスケーリングは、チップコストの削減が大きな目的となっている。チップコストは、チップサイズに大きく依存することから、HP の微細化によりセルサイズを小さくすることが必要となる。また、チップを小さくするためには、セルエリアファクターを小さくすること大きなファクターである。セルエリアファクターの $8F^2$ から $6F^2$ への移行は、リソの延命策の視点から、2005 年版の 2008 年より前倒しされる方向である。 $4F^2$ についても、今時点では、具体的なアイデアは無くロードマップの中での具体的な記述は無いが、今後の検討課題である。

8-4 Non-Volatile Memory

8-4-1 NAND-Flash

NAND-Flash の主な動向を以下にまとめた。

- 1) 三星と東芝が～73nm ルールの NAND を 2005 年に量産開始した。2004 年のロードマップでは 2005 年は 80nm、2006 年に 70nm と予測したが、実際は 1 年近く前倒しとなった。
- 2) 三星の 60nm 近傍の ES が 2006 年 1Q との発表あり。
- 3) 三星の 9/12 付けの新聞記事で 2006 年に 50nm ノードの開発終了を言及。(朝鮮日報)。三星、50nm、16Gb のフラッシュメモリー開発 (社長談)。しかし、従来の例から言って 50nm は実際には $+\alpha$ が加算されると思われる。2005 年版ロードマップでは量産までの立ち上げ時間を考慮し、2007 年に 55nm ノードと予想した。

2005 年版ロードマップは、世の中の動向を参考にし、且つ過去の傾向を鑑み作成する。ロードマップ作成法は以下のとおり。

1) ハーフピッチは 2005 年版ロードマップでは 1 年程度前倒した。これは NAND-Flash の開発スピードが加速されている結果を反映したものである。但し、ハーフピッチ以外の課題(トンネル酸化膜厚、Interpoly 厚)は従来通り。

例;70nm ルールに於いてもトンネル酸化膜厚、Interpoly 厚は 2004 年版ロードマップの予測の範囲内に入っている。又技術的にも絶縁膜厚の薄膜化は data 保持の観点から困難である。さらに絶縁膜の薄膜化を加速せずとも未だ微細化は可能である。

2) セルサイズは 2004 年版 ロードマップでは、2006 年まで $5.5F^2$ 、2007 年より $4.5F^2$ となっていた。しかし、セルサイズの定義がセルアレイ内のコンタクト部及び選択トランジスタ部の面積を含まない、Net のセルトランジスタ部のみとすると、 $4F^2$ が正しい数値であった。そこで今回実態に合った数値に変更。

		2005	2006	2007	2008	2009	2010
Was	DRAM half pitch (nm)	80	70	65	57	50	45
Is	DRAM half pitch (nm)	80	70	65	57	50	45
Was	Flash technology node(nm)	80	70	65	55	50	50
Is	Flash technology node	76	64	57	51	45	40
Was	Max # of bit/cell	4	4	4	4	4	8
Is(MLC)	Max # of bit/cell	2	2	2	2	2	4

		2011	2012	2013	2014	2015
Was	DRAM half pitch (nm)	40	35	32	28	25
Is	DRAM half pitch (nm)	40	35	32	28	25
Was	Flash technology node		39	35		28
Is	Flash technology node	36	32	28	25	23
Was	Max # of bit/cell	8	8	8	8	8
Is(SLC/MLC)	NAND cell size	4	4	4	8	8

図表 8-13 NAND-Flash ロードマップ

8-4-2 SONOS/NROM

SONOS/NROM は、不揮発性を実現するために電荷を窒化中のトラップへ(から)転送することによってデータの読み書きを行う。SONOS の文字が示す様に、メモリのトランジスタの断面(上平面)は、ポリシリコンゲートとブロッキング酸化膜、シリコン窒化膜、トンネル酸化膜、そして、Si 基板表面のチャンネルから成り立っている。SONOS は電荷がソースとドレインの接合近傍の局在化され位置に蓄えられるという NROM の概念の出現で、新しい局面に入りつつある確立されている成熟技術である。

SONOS は新しい技術のように思われがちであるが、主に IC カード用途向けに 20 年近く商品化されている。近年 NROM タイプのより高集積な SONOS の出現によりプログラム格納やデータ格納のようなアプリケーションにも適用できるようになった。

ITRS では SONOS の中で技術、ビジネスともに中心になりつつある NROM を取り上げロードマップを作成している。SONOS/NROM セルはソース・ドレイン拡散層上の窒化膜中の 2 箇所電荷を蓄える。これにより 1 つのセルに別々のビットが存在する。さらにそれぞれの電荷は複数のレベル(MLC)にすることもあり得る。従って ITRS でも 2005 年から 2bit/cell が前提、かつ論文レベルでは MLC が盛んに議論されているので、2010 年からは 4bit/cell となっている。

SONOS.NROM の微細化の最も大きな阻害要因はセルに印加される高電圧とそれに伴いゲート長の縮小

が困難であることである。SONOS/NROM はホットキャリア効果により発生した電子をドレイン近傍のシリコン窒化膜にトラップすることにより書込みを行う。従ってドレイン電圧をスケールングに伴って低下させることが困難である。またゲート絶縁膜(シリコン酸化膜/シリコン窒化膜/シリコン酸化膜)も同様にゲート電圧を下げるのが困難であるため、薄膜化が困難である。ロードマップではゲート長は 2005 年から 2020 年までの間に年率わずか 2%しか縮小されていない。

セルの物理サイズから計算された F 値は微細化により若干大きくなっているものの、2010 年からの MLC の導入により 1 ビット当りのセル面積は年率 24%縮小していることがわかる。

SONOS/NROM の書込み/消去サイクルは浮遊ゲート型よりも高性能である。浮遊ゲート型フラッシュメモリの書込み/消去特性は蓄積された電子が書込み/消去サイクルによって劣化した酸化膜から抜けることにより決まるが、SONOS/NROM の場合はシリコン窒化膜に蓄積された電子をホール注入により消去する。この際電子とホールの分布が一致しておれば書込み/消去サイクルの劣化は非常に小さい。これらのことから 2005 年における SONOS/NROM の書込み/消去サイクルを 1.00E+7 とした。

<i>SONOS/NROM technology – F (nm) [34]</i>	100	90	70	65	55	50	45	40	35
<i>SONOS/NROM cell size – area factor a in multiples of F² [35]</i>	5.5	5.5	6	6	6	6	6	6	6.5
<i>SONOS/NROM typical cell size (μm²) [36]</i>	0.055	0.045	0.029	0.025	0.018	0.015	0.012	0.01	0.008
<i>SONOS/NROM maximum number of bits per cell (physical 2-bit/cell) x MLC [37]</i>	2	2	2	2	2	4	4	4	4
<i>SONOS/NROM area per bit (μm²) [38]</i>	0.028	0.022	0.015	0.013	0.009	0.0038	0.003	0.0024	0.002
<i>SONOS L_g-stack (physical – μm) [39]</i>	0.17	0.17	0.16	0.16	0.16	0.16	0.16	0.16	0.15
<i>SONOS/NROM tunnel oxide thickness (nm) [42]</i>	4.5	4	3.5	3.5	3.5	3.5	3.5	3.5	3
<i>SONOS/NROM nitride dielectric thickness (nm) [43]</i>	5	4.5	4	4	4	4	4	4	4
<i>SONOS/NROM blocking (top) oxide or dielectric thickness (nm) [44]</i>	4.5	4.5	4	6	6	6	6	6	6
<i>SONOS/NROM endurance (erase/write cycles) [45]</i>	1.00E+07	1.00E+07	1.00E+07	1.00E+07	1.00E+07	1.00E+08	1.00E+08	1.00E+08	1.00E+08

図表 8-14 SONOS/NROM の ITRS ロードマップ (抜粋、短期)

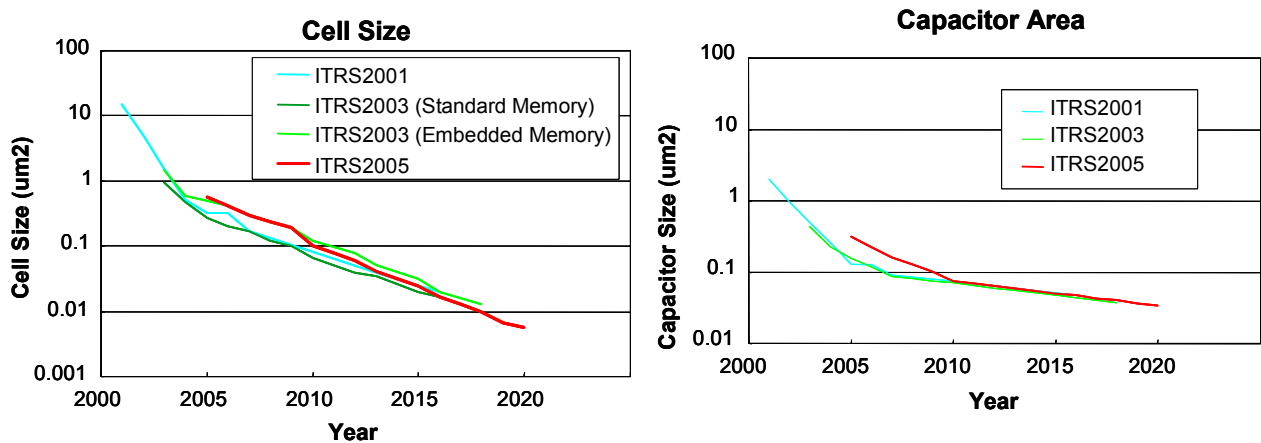
8-4-3 FeRAM

2001 年版より登場した FeRAM の表は、2003 年版でアップデートされた際に、スタンダードメモリとエンベデッドメモリを区別した。スタンダードメモリが高集積化で先行し、エンベデッドメモリが後を追いかけるという予想であった。しかし、実状はエンベデッドメモリが製品の中心で、スタンダードメモリはエンベデッドメモリの切り出しに過ぎず、セルは同様のものである。そこで、2005 年度版ではスタンダードメモリとエンベデッドメモリの区別

をなくし一本化した。また、製品がエンベデッド中心であることより、メモリ容量の記述はあまり意味を成さないため削除した。

また、大きな変更として製品出荷確認が難しいことより、2003 年版は学会発表などの数字を参考に表を作成した。しかし議論の末、ITRS のロードマップとしては製品出荷時期を期すべきということになり、2005 年版では製品出荷を前提とした表作成を行った。

キャパシタサイズの縮小は、加工技術とスイッチング電荷量確保の観点から 2003 年版の縮小化予想の実現は難しいと考えられる。そこで、キャパシタ面積のロードマップを後倒しにした。また、2003 年版まではスイッチング電荷量の最大値(今後達成するであろう値)を $40\mu\text{C}/\text{cm}^2$ (信頼性試験後)としていたが、強誘電体薄膜の残留分極値が 2003 年の予想より大きくなっていないことより $30\mu\text{C}/\text{cm}^2$ と変更した。BiFeO₃系など巨大残留分極材料の発表も多くなっているが、信頼性、温度特性など未確認項目が多いため今回のロードマップには反映しなかった。これらの変更の結果、3D キャパシタの導入時期は 2003 年版では 2006 年であったが、2005 年版では 2009 年に後倒しとなった。電荷量の最大値の引き下げよりキャパシタ面積のロードマップを後倒しにした効果のほうが大きかった。セルサイズとキャパシタサイズの推移を図表 8-15 に示す。



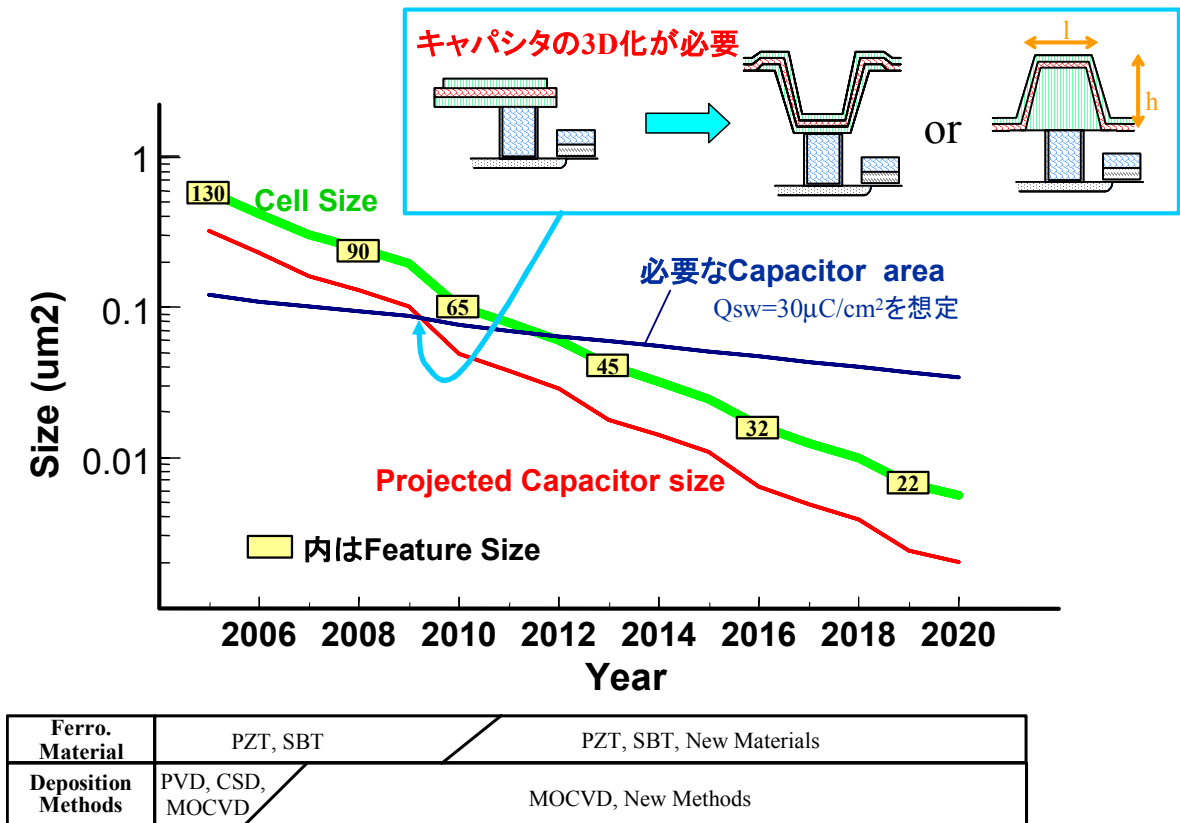
図表 8-15 セルサイズとキャパシタサイズの推移

また、Feature Size は前倒しとした。これは、アプリケーションの中心がエンベデッドであるため、ターゲットアプリのデザインルールに合わせる必要があるためである。キャパシタサイズは強誘電体の加工精度に依存するため影響はなく、セルサイズもキャパシタサイズに大きく依存するためさほど影響を受けない。

図表 8-16 に FeRAM スケーリングのシナリオを示す。大きな技術的ブレークスルーはキャパシタの 3D 化であり、前述のように 2009 年に必要となると予想している。ただし、最大電荷量が $30\mu\text{C}/\text{cm}^2$ で頭打ちになった場合を想定しており、材料開発が進むことにより、キャパシタ 3D 化の導入はさらに後倒しになる可能性はある。また、3D 化に伴い側壁に強誘電体を安定の形成できる成膜法が必要となる。キャパシタ間のスペースを考えると薄膜化が実現できないと 3D 化によるセル面積縮小は達成できない。また、動作電圧低減という観点からも強誘電体膜の薄膜化は必要となってくる。リークを抑えながら結晶粒を制御して薄膜化できる成膜法が望まれるが、現在のところ MOCVD が最有力である。MOCVD の量産への適用も本格化してきており、安定性、量産性は確保できてきているが、薄膜化に関してはこれからも大きな課題のひとつになるであろう。

最後に、FeRAM の技術ロードマップは今後、前倒しも後倒しも可能であると考えられる。それは、市場の大きさに左右すると思われ、大きな市場が形成できればリソースがつき込まれロードマップは加速すると予想され

る。そのためにはキラーアプリケーションが必要であろう。低消費電力動作の不揮発性メモリという特徴を活かしたキラーアプリが登場し、FeRAM のロードマップを加速していくよう期待している。



図表 8-16 FeRAM スケーリングのシナリオ

8-4-4 MRAM

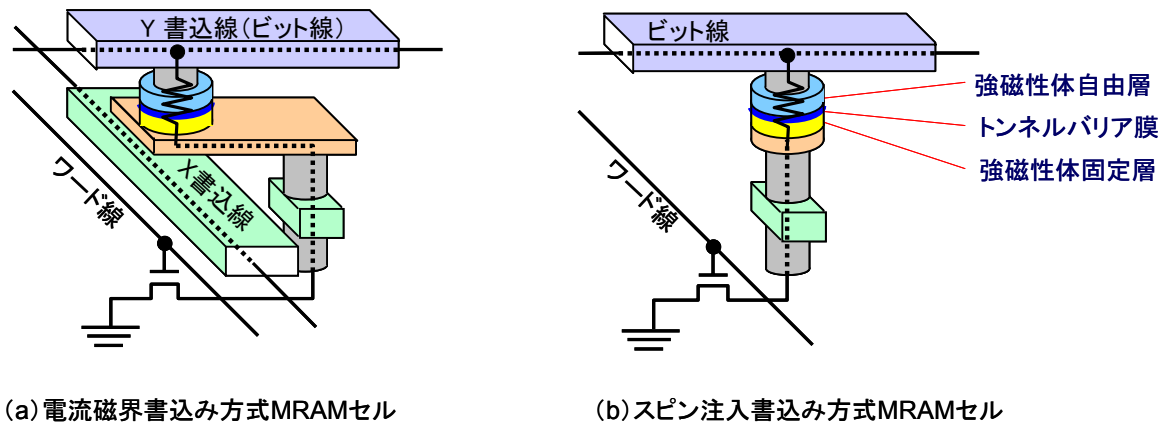
2年前の ITRS2003 年版において不揮発性メモリの一つとして MRAM(Magnetic RAM)のロードマップが初めて示され、早期の製品化が期待されてきた。2004 年には 180nmCMOS 製造技術世代を用いた 4Mbit MRAM がサンプル出荷されたが、2005 年中の製品化は実現しなかった。図表 8-17 に示した MRAM ロードマップ(2005 年版と 2004 年版を比較して示した)では、MRAM の設計に用いられる寸法 F は ITRS2004 年版に比べて 2 年先送りになった。初年の 2005 年では 180nm となったものの、MRAM の研究開発は継続して活発におこなわれてきた。学会発表では 130nmCMOS 技術世代を用いた 16Mbit MRAM チップ開発も 2 つの共同研究開発連合から相次いで発表された[1][2]。また、90nmCMOS 技術世代を用いた 0.29μm²セル技術の報告[3]など、急速な MRAM 素子の微細化技術も進展している。直近 5 年間の MRAM ロードマップは 2003 年版に比べるとやや先送りにはなったものの、2010 年には MPU/ASIC 金属配線ピッチと同じ 45nm の設計寸法の MRAM が実現できると期待されている。このロードマップでは MRAM はロジック混載の用途を主に考えられており、2010 年以降は 3 年毎の MPU/ASIC の世代交代時期に合わせて MRAM の設計寸法 F が 70%に縮小されると考えられている。設計寸法 F の他に、2004 年版から大幅に変更されたパラメータは、スイッチング磁界(switching field)と MR 比(magneto-resistance ratio)である。

Year of Production		2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
DRAM 1/2 Pitch (nm)	ITRS 2004	80	70	65	57	50	45	40	35	32	28	25	22	20	18	-	-
	ITRS 2005														16	14	
MPU/ASIC Metal1(M1) 1/2 Pitch (nm)	ITRS 2004	95	85	76	67	60	54	48	42	38	34	30	27	24	21	-	-
	ITRS 2005	90	78	68	59	52	45	40	36	32	28	25	22	20	18	16	14
MRAM technology F (nm)	ITRS 2004	90	90	65	55	50	45	40	35	32	28	25	22	20	18	-	-
	ITRS 2005	180	90	90	65	65	45	45	45	32	32	32	22	22	22	16	16
MRAM cell size area factor a in multiples of F ₂	ITRS 2004	24.7	22.2	22.2	22.2	22.2	22.2	22.2	22.2	22.2	22.2	22.2	22.2	22.2	22.2	-	-
	ITRS 2005	25	23	20	22	19	20	18	18	19	17	17	18	16	16	17	16
MRAM typical cell size (μm ²)	ITRS 2004	0.2	0.18	0.09	0.07	0.06	0.045	0.036	0.027	0.023	0.017	0.014	0.01	0.009	0.007	-	-
	ITRS 2005	0.81	0.19	0.16	0.09	0.08	0.041	0.036	0.036	0.019	0.017	0.017	0.009	0.008	0.008	0.004	0.004
MRAM switching field (Oe)	ITRS 2004	80	70	90	100	110	120	120	120	120	120	120	120	120	120	-	-
	ITRS 2005	35	35	35	35	35	35	35	35	35	35	35	35	35	35	35	35
MRAM write energy (pJ/bit)	ITRS 2004	70	70	50	45	40	35	33	30	25	24	23	20	19	18	-	-
	ITRS 2005	150	100	70	35	35	25	25	25	20	20	20	20	20	20	20	20
MRAM active area per cell (μm ²)	ITRS 2004	0.11	0.1	0.05	0.04	0.03	0.03	0.025	0.02	0.01	0.01	0.01	0.01	0.01	0.01	-	-
	ITRS 2005	0.11	0.05	0.05	0.025	0.025	0.013	0.013	0.013	0.009	0.009	0.009	0.007	0.007	0.007	0.005	0.005
MRAM resistance-area product (Kohm-μm ²)	ITRS 2004	2	1.7	1.5	1.3	1.2	1.1	1	0.95	0.8	0.75	0.7	0.6	0.6	0.55	-	-
	ITRS 2005	4	2	2	1.1	1	0.8	0.8	0.8	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6
MRAM magnetoresistance ratio (%)	ITRS 2004	50	50	60	60	60	60	65	65	70	70	70	70	70	70	-	-
	ITRS 2005	40	70	70	70	70	70	70	70	70	70	70	70	70	70	70	70
MRAM nonvolatile data retention (year)	ITRS 2004	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	-	-
	ITRS 2005															>10	>10
MRAM write endurance (read/write cycles)	ITRS 2004	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	-	-
	ITRS 2005	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16
MRAM endurance - tunnel junction reliability (year at	ITRS 2004	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	-	-
	ITRS 2005															>10	>10

図表 8-17 MRAM ロードマップ (2004 年版と 2005 年版の比較)

MR 比は、MRAM の基本素子である MTJ(Magnetic Tunnel Junction:2 層の強磁性体層がトンネルバリア膜を挟んだ構造)が低抵抗状態から高抵抗状態へ変化したときの抵抗の増加率である。これまでトンネルバリア膜として酸化アルミニウム(AIOx)が用いられてきた。バリア膜に AIOx を用いた MTJ の MR 比は、低電流条件においても 40-50%程度(実際の MRAM 読出し条件では 20-30%)であり、大容量 MRAM における読出し動作における回路動作マージンが不足するという課題があった。2004 年版では MR 比を 60%以上とするには研究開発がさらに必要であるとの判断であった。その後、トンネルバリア膜として酸化マグネシウム(MgO)を用いることで MR 比が 200%を超えるという報告が 2004 年にあり、2005 年には MgO バリア膜を用いた MRAM の動作も確認された[4]。MgO バリア膜が導入されることが前提となり、2005 年版ロードマップでは 2006 年以降の MR 比は 70%という値が設定され、量産適用が可能(白地黒文字)と判断された。70%の MR 比が達成できると、読出しにおける回路動作マージンが拡大し、10nsec 以下の高速動作が期待される[4]。

スイッチング磁界は、MTJ を構成する強磁性体自由層の磁化の反転に必要な磁界である。通常の電流磁界書き込み方式では、図表 8-18 に示すように直行する 2 本の書き込み配線に電流を流すことで磁界を発生させて両配線の交点にある MTJ 素子の強磁性体自由層の磁化反転をおこなう。この電流磁界書き込み方式では、MTJ 素子の面積を単純に縮小すると、スイッチング磁界は原理的に増加する。2004 年版では 2003 年の 50 Oe 起点として 2010 年まで徐々に大きくなって 120 Oe を最大となるロードマップが設定されていた。スイッチング磁界を増加させるには、書き込み電流を増加させる必要がある。しかし、書き込み電流が 10mA を超えると MRAM セルアレイ以外の周辺回路面積の増大、消費電力の増大、配線信頼性の低下といった課題が生じる。書き込み配線の周囲 3 面を磁性体薄膜で被服した配線構造によって電流磁界変換効率を約 2 倍に増加することができる[5]。この磁性体被服配線構造を用いても書き込み電流を 5~10mA 以下に抑えるためには、スイッチング磁界を 35 Oe 以上にしないことが必要と判断された。しかし、設計寸法の縮小した場合にこの値を保持することは益々困難となり、2008 年の設計寸法 45nm 以降の技術世代では、スイッチング磁界を 35 Oe 一定とするための解決策が見つかっていない(赤地白文字)。



(a) 電流磁界書き込み方式MRAMセル

(b) スピン注入書き込み方式MRAMセル

図表 8-18 MRAM セル構造

スピン注入磁化反転は、スピンの向きがそろった電子を MTJ に流すことによって強磁性体自由層の磁化反転をおこなうことである。この現象を MRAM に適用することができると、MTJ の面積に比例して書き込み電流が低減でき、MRAM 書き込み電流のスケールアップが可能となる。スピン注入磁化反転の理論は 1996 年に発表され、1998 年には実験的にも確かめられていた。電流磁界書き込み方式の課題を解決する方法として、近年スピン注入 MRAM の研究が活発におこなわれてきた。2005 年の IEDM に MgO バリア膜と CoFeB 強磁性体層で構成された MTJ を用いて 4Kbit MRAM 試験チップが試作され、2nsec の書き込み動作が確認された[5]。0.2 μm^2 程度の MTJ サイズを用いた場合の書き込み電流は、0.2~0.4mA であった。2005 年版の MRAM ロードマップは電流磁界書き込み方式を前提としたものである。今後、スピン注入方式を用いることを考慮した MRAM ロードマップが示されると思われる。

参考文献

- [1] J. Debrosse, et al., *Symp. on VLSI Circuits Digest of Technical Papers*, p. 454, 2004.
- [2] Y. Iwata, et al., *ISSCC Digest of Technical Papers*, p. 138, 2006.
- [3] M. Durlam, et al., *Symp. on VLSI Technology Digest of Technical Papers*, p. 186, 2005.
- [4] J. M. Slaughter, et al., *IEDM Technical Digest*, p. 893, 2005.
- [5] M. Durlam, et al., *Symp. on VLSI Circuits Digest of Technical Papers*, p. 158, 2002.
- [6] M. Hosomi, et al., *IEDM Technical Digest*, p. 473, 2005.

8-4-5 PCRAM

PCRAM は日米を中心に世界各社で研究開発がなされているが、現段階ではサンプル出荷レベルであり具体的な製品はないと思われる。PCRAM はカルゴゲナイド・ガラス(もっとも一般に使用されている化合物は $\text{Ge}_2\text{Sb}_2\text{Te}_5$ または GST である。)の非結晶及び結晶状態の抵抗力の違いを利用して、ロジック“1”及び“0”を蓄える。最上層電極、カルゴゲナイド・フェーズ・チェンジレイヤー、及び最下層電極で構成されている。書き込み/消去チェンジフェーズは2つの動作で構成させている:(A)リセット;カルゴゲナイド・ガラスが短い電気パルスによって、すぐに溶ける。そして高抵抗で無定形固体に再凝固する。(B)セット;より低い振幅、しかしより長いパルス(10ns-100ns)が無定形フェーズをアニールして、低抵抗結晶状態にする。PCRAM にとって主たる課題は、フェーズチェンジ要素をリセットするのに高電流が必要である事と、比較的長いセット時間である。フェーズ

チェンジ物質の量が時間、スケーリングと共に急速に減るので、これらの課題は微細化によって解決しやすくなるであろう。

PCRAM のセルは 1 トランジスタと 1 素子で構成されており、セルファクター F 値は DRAM とほぼ同等の 12-6 である。アクセストランジスタとして nMOS と BJT (バイポーラ) の 2 種類が提案されており、BJT のほうが単位面積当たりの電流が大きいので面積的には有利である。セルのトランジスタと抵抗素子の両方がスケーリング容易であるため F 値は微細化と共に減少しており、将来的に大きな競争力を持つ可能性がある。

また書込みパルスの変更により抵抗値が連続的に制御できるので原理的には多値が可能である。ロードマップでは 2007 年から 2bit/cell、2010 年から 4bit/cell としている。セルの物理サイズは NAND フラッシュ等と比較して大きいものの、この多値技術により 1 ビット当りのセル面積は非常に小さいことがわかる。

PCRAM technology F (nm) [58]	90	70	65	57	50	45	40	35	32
PCRAM cell size area factor a in multiples of F^2 (BJT access device) [59]	7.2	7.0	6.4	5.6	5.8	5.8	5.8	6.1	5.8
PCRAM cell size area factor a in multiples of F^2 (nMOSFET access device) [60]	17.0	14.9	12.8	11.8	11.6	11.0	10.5	10.1	9.5
PCRAM typical cell size (μm^2) (BJT access device) [61]	0.059	0.034	0.027	0.018	0.015	0.012	0.0092	0.0074	0.0059
PCRAM typical cell size (μm^2) (nMOSFET access device) [62]	0.14	0.073	0.054	0.038	0.029	0.022	0.017	0.012	0.0097
PCRAM number of bits per cell (MLC) [63]	1	1	2	2	2	4	4	4	4
PCRAM typical cell area per bit size (μm^2) (BJT access device) [64]	0.059	0.034	0.014	0.009	0.008	0.003	0.0023	0.0018	0.0015
PCRAM typical cell area per bit size (μm^2) (nMOSFET access device) [65]	0.14	0.073	0.027	0.019	0.015	0.006	0.004	0.003	0.0025
PCRAM storage element CD (nm) [66]	32	25	23	21	18	16	14	13	12
PCRAM phase change volume (nm^3) [67]	17,157	8,181	6,371	4,849	3,054	2,145	1,437	1,150	905
PCRAM reset current (μA) [68]	270	191	170	150	121	102	85	77	68
PCRAM set resistance (Kohm) [69]	2.5	3.4	3.7	4.3	5.0	5.7	6.5	7.6	8.5
PCRAM BJT current density (A/cm^2) [70]	4.3E+6	5.0E+6	5.1E+6	5.9E+6	6.2E+6	6.5E+6	6.8E+6	8.0E+6	8.5E+6
PCRAM nMOSFET current density for reset ($\mu\text{A}/\mu\text{m}$) [72]	643	689	802	896	842	853	849	924	987
PCRAM nMOSFET device width (μm) [73]	0.42	0.28	0.21	0.17	0.14	0.12	0.10	0.083	0.069

図表 8-19 PCRAM のロードマップ (抜粋、短期)

8-5 ERD (Emerging Research Devices)

8-5-1 ERD の重要性とスコープ

MOSFET の微細化が急速に進みスケージングの限界が近づく中、従来にない全く新しいデバイス技術、材料、アーキテクチャの導入の必要性がますます高まっている。これに応えるため、ITRS では 2001 年版より PIDS の章の中に Emerging Research Device (ERD) の章を設け、将来のデバイス技術に対するガイドラインを示してきた。ERD の章は ITRS が改訂される度に重要性を増している。2005 年版の ERD の章は、2003 年版と比べ下記の点で大きく異なっている。

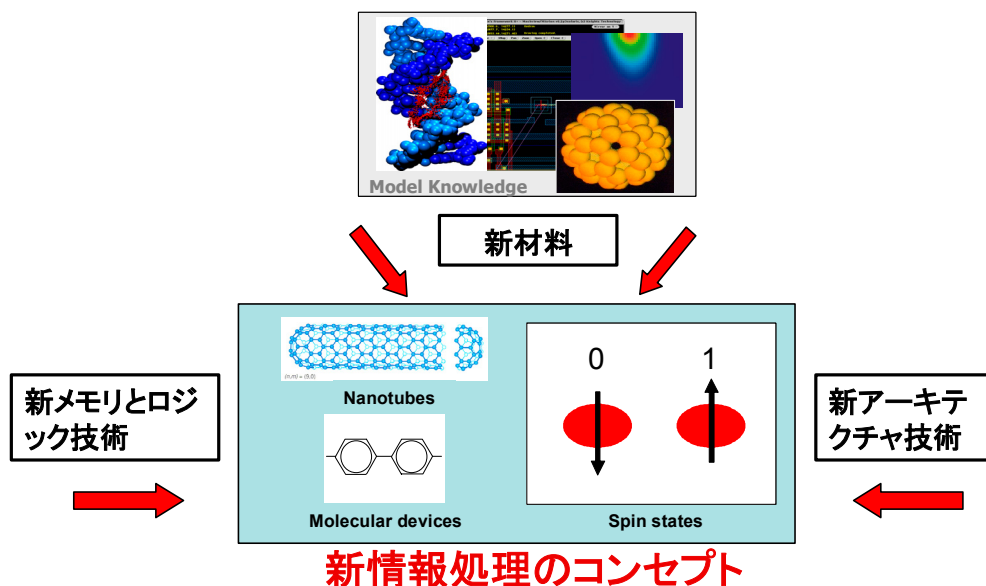
- (i) ERD の章が PIDS から完全に独立し、単独の章となった。
- (ii) 2003 年版まで章の約半分を占めていたノンクラシカル CMOS が PIDS に移り、ERD の章からはずされた。
- (iii) 材料の重要性が増しているため、2004 年 Update から Emerging Research Materials (ERM) のセクションが新設され、2005 年版でさらに増強された。

特に(ii)のノンクラシカル CMOS がはずされたことにより、ERD の章の性格は大きく変わった。2003 年版までノンクラシカル CMOS と呼ばれていたひずみ Si による移動度向上策や FinFET 等のマルチゲート MOSFET は、PIDS の章でスケージングと性能向上を維持するために必須の技術とみなされ、もはや Emerging な技術ではないという認識が広まったことになる。これは、ERD の章が CMOS を超えるいわゆる”beyond CMOS”を目指すための章に変わったことを意味する。

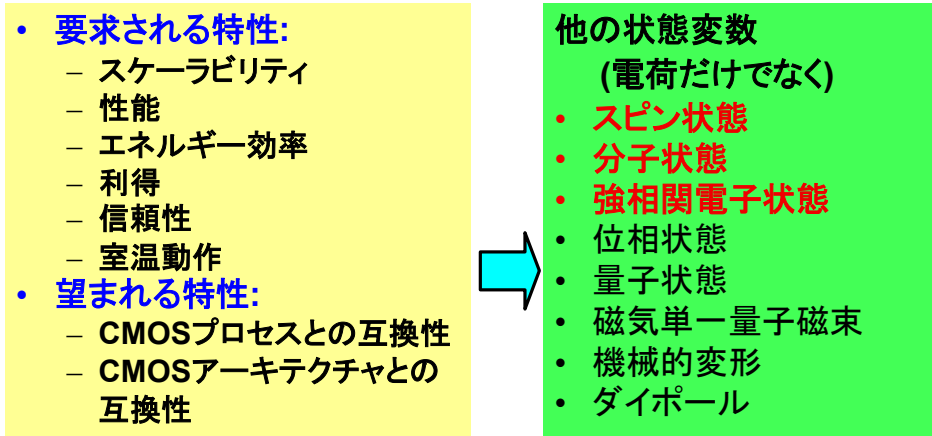
8-5-2 ERD のスコープ

図表 8-20 に ERD のスコープを模式的に示す。ERD の考え方は、新しい情報処理のコンセプトを、(1) 新メモリ、(2) 新ロジック、(3) 新アーキテクチャ、および(4) 新材料、で発現させようとするものである(ちなみに 2003 年度版のコンセプト図では、新材料の代わりにノンクラシカル CMOS の図が描かれていた)。

図表 8-21 は、ERD に求められる特性と機能をまとめたものである。これまで CMOS 等の電子デバイスでは主に電荷の移動により情報処理を行ってきたが、CMOS を超えるデバイスでは、電荷だけでなくスピン状態、分子状態、強相関電子状態、位相状態等を積極的に用いることが重要であるとされている。CMOS との互換性も必要な特性の一つに挙げられてはいるが、章全体が「CMOS の延長」の議論よりも「Beyond CMOS」を指向していることがわかる。



図表 8-21 ERD のスコープ



図表 8-22 ERD に求められる特性, 機能と状態変数

8-5-3 新メモリと新ロジック技術

ここでは, 特に重要なメモリとロジック技術の技術候補について述べる. 図表 8-23 にエマージングメモリの技術候補を示す. これらの新メモリの特性や研究動向が詳細に記述されている. 2005 年版では, 新たに強誘電体 FET メモリとポリマーメモリがこの表に加わった. 一方, 単電子メモリ, 浮遊ボディ DRAM, PRAM が表から外れた. このうち浮遊ボディ DRAM と PRAM は, 技術の進歩が著しく実用化が近いと表から外れたものである.

一方, ロジックデバイスの技術候補を図表 8-24 に示す. 2005 年版から新たに加わったのは強磁性ロジック, 表から外れたのは RSFQ (単一量子磁束) と E-QCA (電子量子セルラオートマタ) である.

	ナノフローティングゲートメモリ	トンネル障壁メモリ	強誘電体 FET メモリ	抵抗変化メモリ	ポリマーメモリ	分子メモリ
記憶メカニズム	浮遊ゲートの電荷	浮遊ゲートの電荷	強誘電体ゲート絶縁膜の残留分極	複合機構	不明	不明
セル構成	1T	1T	1T	1T1R or 1R	1T1R or 1R	1T1R or 1R

図表 8-23 メモリの技術候補

デバイス							
	FET [B]	1D 構造	共鳴トンネルデバイス	SET	分子	強磁性ロジック	スピントラジスタ
種類	Si CMOS	CNT FET NW FET NW ヘテロ構造 クロスバーナノ構造	RTD-FET RTT	SET	クロスバーラッチ 分子トランジスタ 分子 QCA	ドメインウォール M: QCA	スピントラジスタ

図表 8-24 ロジックデバイスの技術候補

8-5-4 技術候補の評価

メモリ技術とロジック技術に関して、各技術候補の評価を行った結果を図表 8-25 と図表 8-26 にそれぞれ示す。これは、スケーラビリティ、性能等の評価項目を設定し、各技術候補の特性を 3 点満点で評価した結果である。ERD ワーキンググループに属するメンバーが各項目について点数を付けた。表に記された数字はその平均点である。さらに、それぞれの項目の点を合計し、その合計得点で各候補の色分けを行っている。白は現状の CMOS を中心とする技術より優れているもの、緑は現状の CMOS 程度、黄色はそれ以下、赤は CMOS に遠く特性が及ばないことを示している。

図表 8-25 のメモリの技術候補は、ナノ浮遊ゲートメモリ、トンネル障壁メモリ、強誘電体 FET メモリ、抵抗変化メモリ、ポリマーメモリ、分子メモリである。評価項目は、スケーラビリティ、性能、エネルギー効率、On/Off 比、信頼性、動作温度、CMOS 技術との互換性、CMOS アーキテクチャとの互換性である。ナノ浮遊ゲートメモリとトンネル障壁メモリが「白」を獲得しており、実用化が近いことを示している。また、強誘電体 FET メモリと抵抗変化メモリが「緑」を獲得している。即ち、メモリに関しては新しい技術が次々に現れつつあり、それらの技術水準が極めて高いことを示している。

図表 8-26 のロジックデバイスの評価の結果は極めて興味深い。技術候補は、カーボンナノチューブ等の 1D 構造、共鳴トンネルデバイス、SET(単電子トランジスタ)、分子デバイス、強磁性デバイス、スピントランジスタである。かろうじて 1D 構造が「緑」の評価を獲得しているが、それ以外はすべて「赤」である。「緑」を獲得したカーボンナノチューブ FET やナノワイヤ FET を含む 1D 構造は、動作原理が CMOS に近いことから CMOS の延長技術と捉えることが可能である。即ち、この評価結果は CMOS に代わるロジックデバイス候補が皆無に近いことを示していると言える。

メモリデバイスの候補	スケーラビリティ	性能	エネルギー効率	OFF/ON 比	信頼性	動作温度	CMOS 技術との互換性	CMOS アーキテクチャとの互換性
ナノ浮遊ゲートメモリ	2.5	2.5	2.5	2.5	2.2	2.7	2.7	3.0
トンネル障壁メモリ	2.2	2.3	2.3	2.3	2.4	2.8	2.8	3.0
強誘電体 FET メモリ	1.9	2.3	2.5	2.2	2.0	3.0	2.6	3.0
抵抗変化メモリ	2.5	2.5	2.0	2.2	1.9	2.8	2.6	2.8
ポリマーメモリ	2.1	1.5	2.3	2.2	1.6	2.9	2.3	2.5
分子メモリ	2.3	1.5	2.4	1.6	1.4	2.6	1.9	2.3

図表 8-25 新メモリの評価結果

ロジックデバイスの候補	スケーラビリティ	性能	エネルギー効率	利得	信頼性	室温動作	CMOS 技術との互換性	CMOS アーキテクチャとの互換性
1D 構造(CNT & NW)	2.4	2.5	2.3	2.3	2.1	2.8	2.3	2.8
共鳴トンネルデバイス	1.5	2.2	2.1	1.7	1.7	2.5	2.0	2.0
SET	1.9	1.5	2.6	1.4	1.2	1.9	2.1	2.1
分子デバイス	1.6	1.8	2.2	1.5	1.6	2.3	1.7	1.8
強磁性デバイス	1.4	1.3	1.9	1.5	2.0	2.5	1.7	1.7
スピントランジスタ	2.2	1.3	2.4	1.2	1.2	2.4	1.5	1.7

図表 8-26 新ロジックデバイスの評価結果

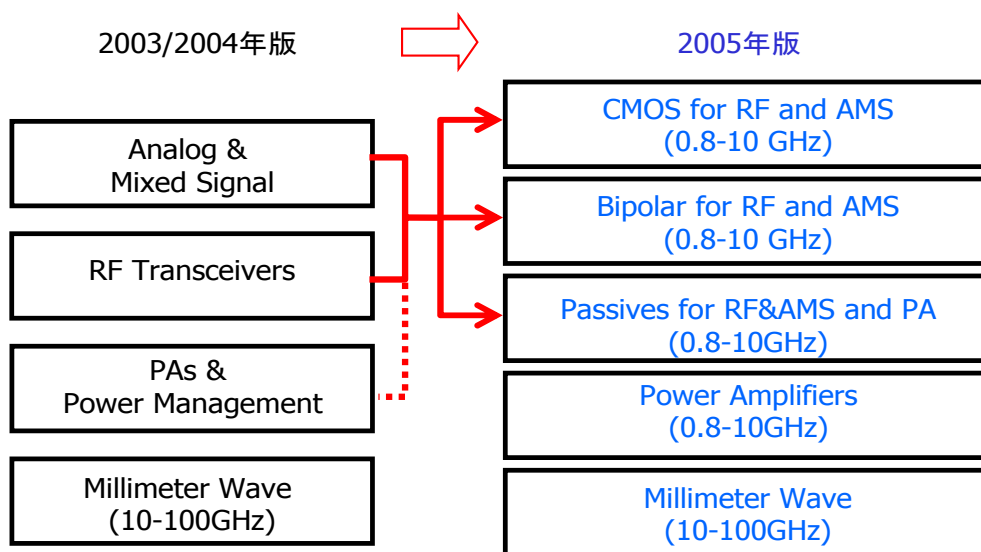
8-5-5 まとめ

ERD の章は 2005 年版から”Beyond CMOS”に向けて大きく舵をきった。ところが新ロジックデバイスの評価結果は、CMOS に代わるデバイスがほとんどないという結果をもたらすことになった。MOSFET のスケールング限界が近いとされる中、”Beyond CMOS”の研究や議論を開始することはもちろん非常に重要である。しかし、”Beyond CMOS”で CMOS が完全に置き換えられる前に、従来の CMOS プラットフォームに新たな技術が融合するという別の展開があるものと考えられる。すなわち、将来の情報処理デバイスの研究動向をおおまかに分類すると、(1) 従来の CMOS の延長、(2) 従来の CMOS に新たな技術や機能が融合、(3) Beyond CMOS に分けられると思われる。ITRS の ERD 以外の章は(1)を、ERD は(3)を議論するが、その中間に位置する(2)の議論が ITRS には欠けていると思われる。

2006 年 3 月には日本にも ERD-WG が STRJ の下に WG12 として発足した。将来の情報処理デバイスの研究開発に向けて上記(1)(2)(3)をバランス良く議論し、世界に向けて新しいデバイス技術の流れを発信していく予定である。

8-6 Wireless/RF 関連デバイス

2005 年版のロードマップ作成にあたり、高周波および AMS 技術(Radio Frequency and analog/mixed-signal technologies for wireless communication)では、サブワーキンググループの再編が行われた。これに伴い、ロードマップのテーブルも、2004 年版から見直しが掛けられている。ここでは、2005 年版の作成ポイントについてまとめる。2005 年版では、技術的な要求を判り易くするために、従来のアプリケーションを主体とした分類から、図表 8-27 に示すように、デバイスを主体とした分類に変えている。但し、テーブルは従来ロードマップとの連続性を保つよう配慮しつつ組み直している。2005 年版のもう一つの特長は、CMOS、Bipolar、受動素子、パワーアンプ、ミリ波の項に加え、Signal isolation を項目として併記する構成になっている点にある。数値化した予測はできず、テーブル策定には至らなかったが、技術的な重要性和問題意識を、強く指摘するようになっている。Signal isolation は、ロードマップの次回のメジャー改訂において、高周波および AMS 技術の注目ポイントになるものと考えられる。



図表 8-27 高周波及び AMS 技術のワーキンググループ編成

CMOS については、2004 年版の改訂で、参照デバイスを PIDS の LOP デバイスから LSTP デバイスにするよう修正が行われた。但し、AMS 分野の CMOS デバイスは PIDS より一世代遅れ、また、RF トランシーバでは 1 年遅れと、付記に異なる記載がなされていた。2005 年版では、RF トランシーバと AMS の CMOS は一つにまとめられ、PIDS より 1 年遅れとするテーブルを策定した。この PIDS のタイムスケジュールに近づけた設定は、いわゆる‘65nm ノード’で、ベースバンドチップの製品化が、他のアプリケーションに先行したことを考えると、妥当な位置付けとみることができる(図表 8-28、8-29 参照)。また、CMOS のロードマップで、PIDS は LSTP デバイスの‘パラレルパス’を提示している。しかし、高周波および AMS 技術においては、パラレルパスは考えず、バルクプレーナのテーブルのみを引用する形になっている。DG 等の新しいデバイス構造の導入については、RF 素子との集積化が課題となることを指摘するに留めている。

バイポーラデバイスのロードマップテーブルは、2004 年版の AMS 及び Transceiver の項から抜き出し、変更を加えたものになっている(図表 8-27 参照)。超高速バイポーラ、ワイヤレス向けに typical なバイポーラ、高耐圧バイポーラ(2004 年版では PA に記載)の 3 種類につきテーブルを策定し、FT、Fmax、CE 耐圧(BVCEO)を記載している。また、CMOS と異なりバイポーラでは電源電圧の重要性が低いため、記載が削除されている。製造コストについても、デバイス技術だけでは決まらない要因が多いため、テーブルには記載していない。さらに、2004 年版で提示したように、バイポーラは主にトランシーバ向けに使われ、AMS 向けは全て CMOS がカバーしてゆく予測となっている。

受動素子については、従来、求められるスペックが応用分野に強く依存していることから、分野毎のテーブルのなかに記載されていた。2005 年版では、受動素子のサブワーキンググループを作り、一つのテーブルとしてまとめている。記載する項目を絞り、簡潔なものとする中で、受動素子のプロセス技術を俯瞰し、それぞれの技術課題が、より明確になるようにしている。但し、従来テーブルとの整合性を維持するため、種々の受動素子が羅列された印象になっており、さらなる整理が必要と思われる。

パワーアンプのテーブルは、基本的に 2004 年版を踏襲したものになっている。電池の電圧が決まっており、また高い耐久性が必要であるため、他に比べて PA デバイスの進化が遅いためである。現在のところ、携帯端末用 SiGe マルチバンド PA や CMOS PA は、サンプル出荷のレベルにあり、未だに量産には至っていない。また、SOI 上のシステムチップへの集積化や IC 上への MEMS デバイス集積化については、Potential Solution として取り扱っている。

ベースステーション用 PA のロードマップでは、現在 1 ワット当たり 0.7 ドルのコストが、2008 年には 0.5 ドルになるものと予測している。また、アプリケーションは 2GHz 帯から 3.5 GHz 帯の WiMAX のような、さらに高い周波数帯へ移行するものと考えられる。また、飽和領域を使う PA から、CDMA や WCDMA のようにリニア領域を使うものに移行しつつある。この高周波帯への移行に伴い、使用されるデバイスも LDMOS から GaAs FET や SiC MESFET へ変わり、さらには GaN へと移行して行くものと考えられる。

ミリ波については、2004 年版と同様、性能予測が near term(～2011 年)のみになっている。Si と異なり化合物半導体には性能を外挿できるほどの歴史が無いこと、また、Si に比べ化合物半導体の産業規模が小さいことが理由になっているものと考えられる。ゲート長の縮小率は、2004 年版より緩やかになるよう改訂している。これは、ゲート長より材料やデバイス構造が、デバイス特性に強く影響することを反映したものである。いくつかの技術は、今後 10 年で陳腐化してゆくものと考えられている。例えば、低雑音 GaAs MESFET や低電力 MESFET では、2006 年以降の性能予測は描かれていない。また、PHEMT と InP HEMT も 10 年の間に MHEMT に取って代わられるものと考えられている。一方、GaN の進化は、2004 年版策定時よりはるかに速くなるものと予測している。しかし、量産には、材料の品質や信頼性など、多くの課題が残されているものと考えられる。

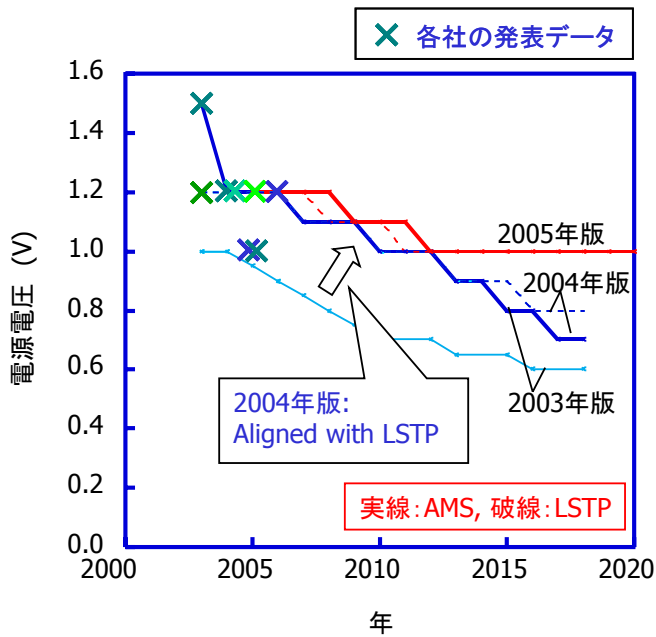
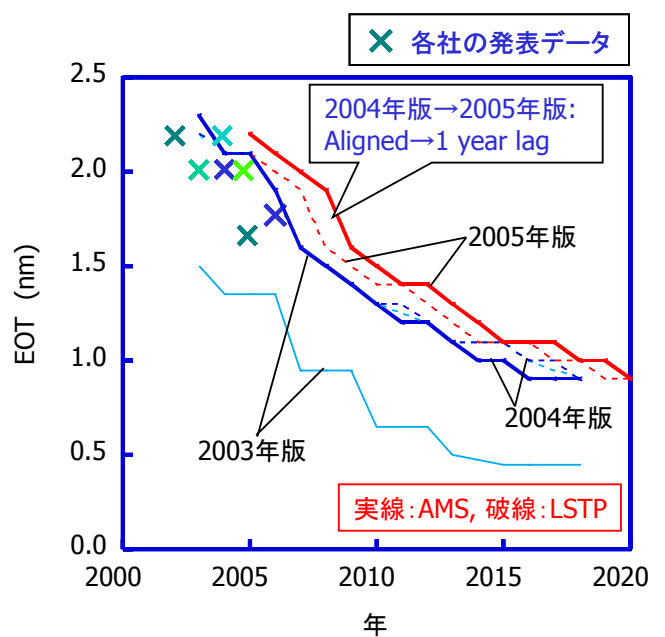


図 8-28 CMOS(RF/AMS)電源電圧のロードマップ推移



図表 8-29 CMOS(RF/AMS)ゲート絶縁膜厚のロードマップ推移

8-7 まとめと今後の課題

2005 年度における WG6 の主な活動は、テクノロジー開発状況の調査を通しての 2005 年版 ITRS 作成であった。テクノロジーの多様化に対応するため、ロジック用トランジスタのロードマップに初めてパラレルパスのシナリオを取り入れた。開発動向を踏まえ、ハイ k/メタルゲートの導入時期を 2008 年に遅らせたり、メモリ関係でも 2004 年版と比べて同等かやや遅らせる現実的なロードマップにした。その中で Flash-NAND のみ前倒しのロードマップで、初めて微細化のドライバとなった。

2006 年度はマイナーチェンジの年で、活動予定としては 2007 年版作成に向けた開発動向調査に力を入れていく。