

第9章 WG7 実装

9-1 はじめに

半導体技術ロードマップ専門委員会 (STRJ) の WG7(実装)は、JEITA 電子システム実装技術委員会 実装技術ロードマップ専門委員会 (JJTRC (Japan Jisso Technology Roadmap Council)) の WG3(半導体パッケージ)と一体になり、活動を推進している。JJTRC では隔年で「日本実装技術ロードマップ」を発行しており、2005 年6月に「2005 年度版 日本実装技術ロードマップ」を発行したが、JJTRC-WG3 は半導体パッケージのロードマップ作成を担当した。

2005 年度の STRJ-WG7 は主に、上述の「2005 年度版 日本実装技術ロードマップ」での半導体パッケージロードマップデータを基に、ITRS A&P(Assembly & Packaging) ITWG に参画し、「ITRS 2005 Edition」A&P 章の作成に協力した。本章では、「ITRS 2005 Edition」から、主に日本サイド (STRJ-WG7) が貢献してきた内容について、紹介する。また、1999 年度から 2005 年度まで作成してきた、これまでの「日本実装技術ロードマップ (以下、JJTR (Japan Jisso Technology Roadmap) と略す)」の妥当性に関しても検討したので、報告する。

9-2 ITRS 2005 Edition A&P への参画

2004 年 12 月に日本で開催された ITRS 国際会議で、「ITRS 2005 Edition」作成に向けた A&P ITWG のフレームワークと日程を決め、3 ヶ月に1回の ITRS 電話会議を始め、4 月の ITRS 欧州会議、7 月の ITRS 米国会議、8 月の ITRS A&P ITWG 台湾会議、日本会議を行い、9 月末に完成させた。日本サイドからは、主にチップ接続技術 (ワイヤボンディング、フリップチップボンディング)、パッケージ接続端子ピッチ、パッケージ基板 (インターポーザ、サブストレート)、SiP (System-in-a-Package) 技術に関してデータを提供すると共に議論を行い、完成させた。代表的な内容を以下に記載する。

9-2-1 チップ接続技術

ITRS 2005 Edition での、チップ接続技術 (チップから次のレベルへの接続) のロードマップを図表 9-1 に示す。一般的なボールボンディングにおいて、徐々に狭ピッチ化が進み、2009 年には $25 \mu\text{m}$ ピッチ、2013 年には $20 \mu\text{m}$ ピッチが実現すると予測している。ITRS では 1999 年版まで、ワイヤボンディングピッチは 2005 年の $40 \mu\text{m}$ ピッチで飽和すると予測されていたが、2001 年版で 2006 年に $20 \mu\text{m}$ が実現すると変更した。WG7 では、ワイヤボンディング装置自体は $20 \mu\text{m}$ の狭ピッチ技術を実現する可能性があるが、それを実現するための Au 線やキャピラリの製造、樹脂封止でのワイヤ流れに対する対策、狭パッドピッチに対応したプローブ技術などのインフラ技術の実現には更に時間を要すると考え、ITRS へ変更を要求していた。今回、日本側の要求を受け入れて頂き、日本実装技術ロードマップと同様のロードマップとなった。

ワイヤボンッドパッドピッチは単列の他、2 列、3 列パッドについても記載されている。狭ピッチ化と多列パッド設計を組み合わせることにより、I/O 信号の多数化要求に対する有効な解となる。多列ワイヤボンッドパッドの実現には能動回路上や Low-k 絶縁材上へのダメージのないボンディング技術が必要である。

I/O 信号の多数化や高速化には、FCB (Flip Chip Bonding) 技術が有効である。特に、エリアアレイの狭ピッチ化は、将来のコストパフォーマンスおよびハイパフォーマンス製品における I/O 数と消費電力の増加に対する解となる。フリップチップ構造により接続長が短くなるため、チップー基板間の低インダクタンスと低電気抵抗特性要求に対して有効となる。エリアアレイの狭ピッチ化には、ウェーハバンピング、ウェーハプロービング、アンダーフィル注入、パッケージ基板およびテスト技術の進展が必要である。

Table 96a Chip to Package Substrate—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Wire bond pitch—single in-line (micron)	35	35	30	30	25	25	25	25	20
2-row staggered pitch (micron)	45	40	35	35	35	35	35	35	35
Three tier pitch pitch (micron)	45	40	35	35	35	35	35	35	35
Wire bond—wedge pitch (micron)	30	25	25	25	20	20	20	20	20
Flying lead pitch (micron)	35	35	35	35	35	35	35	35	35
Flip chip area array pitch (micron)	150	130	120	110	100	90	90	90	90
Flip chip on tape or film pitch (micron)	35	30	30	25	25	20	20	20	20

Table 96b Chip to Package Substrate—Long-term Years

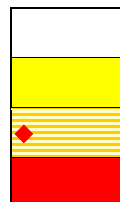
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Wire bond pitch—single in-line (micron)	20	20	20	20	20	20	20
2-row staggered pitch (micron)	35	35	35	35	35	35	35
Three tier pitch pitch (micron)	35	35	35	35	35	35	35
Wire bond—wedge pitch (micron)	20	20	20	20	20	20	20
Flying lead pitch (micron)	35	35	35	35	35	35	35
Flip chip area array pitch (micron)	80	80	80	80	70	70	70
Flip chip on tape or film pitch (micron)	20	20	20	20	20	20	20

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



図表 9-1 チップ接続技術の動向 (ITRS 2005 Edition Table 94 から)

FCB 技術はコストパフォーマンスやハイパフォーマンス製品に貢献する主要な接続技術の解として期待される一方、携帯機器における小型化要素技術としても有効である。低電流製品では、接続方法として導電性接着剤が使われる。

9-2-2 パッケージ接続端子ピッチ

ITRS 2005 Edition での、パッケージ接続端子ピッチのロードマップを図表 9-2 に示す。

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
<i>BGA Solder Ball Pitch (mm) Conventional System Board</i>									
Low-cost and hand-held	0.8	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5
Cost-performance	0.8	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5
High-performance	1	1	0.8	0.8	0.8	0.8	0.65	0.65	0.5
Harsh	0.8	0.8	0.8	0.65	0.65	0.65	0.65	0.5	0.5
<i>Small portable products using flex or other specialized substrate</i>									
Low-cost and hand-held	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
Harsh	0.8	0.8	0.65	0.65	0.65	0.65	0.65	0.5	0.5
CSP area array pitch (mm)	0.3	0.2	0.2	0.2	0.2	0.2	0.15	0.15	0.15
QFP lead pitch (mm)	0.4	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3
SON land pitch (mm)	0.5	0.4	0.4	0.4	0.4	0.3	0.3	0.3	0.3
QFN land pitch (mm)	0.4	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3
P-BGA ball pitch (mm)	1.0	0.8	0.8	0.8	0.8	0.65	0.65	0.65	0.65
T-BGA ball pitch (mm)	0.8	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
FBGA ball pitch (mm)	0.4	0.3	0.3	0.2	0.2	0.15	0.15	0.15	0.15
FLGA land pitch (mm)	0.4	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3

Year of Production	2014	2015	2016	2017	2018	2019	2020
<i>BGA Solder Ball Pitch (mm) Conventional system Board</i>							
Low-cost and hand-held	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Cost-performance	0.5	0.5	0.5	0.5	0.5	0.5	0.5
High-performance	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Harsh	0.5	0.5	0.5	0.5	0.5	0.5	0.5
<i>Small portable products using flex or other specialized substrates</i>							
Low-cost and hand-held	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Harsh	0.5	0.5	0.5	0.5	0.5	0.5	0.5
CSP area array pitch (mm)	0.1	0.1	0.1	0.1	0.1	0.1	0.1
QFP lead pitch (mm)	0.3	0.2	0.2	0.2	0.2	0.2	0.2
SON land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3
QFN land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3
P-BGA ball pitch (mm)	0.65	0.65	0.65	0.65	0.65	0.65	0.65
T-BGA ball pitch (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5
FBGA ball pitch (mm)	0.15	0.15	0.15	0.15	0.15	0.15	0.15
FLGA land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3

図表 9-2 パッケージ接続端子ピッチの動向 (ITRS 2005 Edition Table 97 から)

BGA (Ball Grid Array Package)の採用により、数千のはんだボールを持つ多ピン部品が製品化されている。多ピン化により、パッケージサイズは大きく、またははんだボールピッチは小さくなる。しかし、BGA のボールピッチは、小パッケージや高密度実装が必要とされるローコストやハンドヘルド製品のものに比べると、比較的大きくなる。多ピンパッケージには基板の高密度配線が必要である。基板配線のライン&スペースの縮小化により配線密度は上がるが、それよりも基板とパッケージの BGA パッドサイズを小さくして高密度化する方法が有効である。小パッド化により、接続信頼性や要求されるコプラナリティの問題も生じてくる。接続信頼性には、パッド設計やメタライズ、表面処理の改善、場合によってはアンダーフィルの使用が必要となる。コプラナリティの確保には、基板材質や設計の改善、高温時のパッケージ挙動の把握およびコプラナリティへの影響が少ないプロセスフローが必要である。

FBGA (Fine Pitch BGA) は、はんだボールピッチが 1.0mm 未満の BGA として定義されている。FBGA は特に携帯機器対応の高密度実装の実現のために設計され、高密度設計基板の開発、ファインピッチボンディング技術の開発、およびリフロー時のパッケージ反りを抑制するパッケージ構造設計の開発が行われている。

0.4mmピッチの実現には、チップのパッドからパッケージ端子への配線ができる高密度配線パッケージ基板が必要である。また 0.4mm ピッチ FBGA の表面実装は高精度実装プロセスが必要である。しかし日本では、WLP 技術による 0.4mm ピッチ FBGA を使った携帯電話がすでに作られている。ボールピッチは量産ベースで 2006 年には 0.3mm、2008 年には 0.2mm そして 2010 年には 0.15mm となると予測される。狭ピッチ化にははんだ接続信頼性確保のため、現在ではアンダーフィルの使用が必要である。しかし将来的にはアンダーフィル廃止の検討も必要となるだろう。

端子の狭ピッチ化に伴い、基板実装に使用されるはんだペーストの塗布厚さもより薄くなっている。これに対応するには、室温時とリフロー高温時の両方で、より高精度なコプラナリティの確保が必要である。特に鉛フリーパッケージではリフローピーク温度が上がるため、より高温時のパッケージ反りの抑制が必要である。WLP (Wafer Level Packaging) は、より広範囲の温度領域においてパッケージ反りが小さい。しかし端子数の増加により、チップ周辺のパッケージ下面にボール搭載に必要な周辺エリアが必要となる。このため、この部分のチップ、モールド樹脂および基板の熱膨張係数 (CTE (Coefficient of Thermal Expansion)) の差がリフロー時の反りの原因となる。高温時のパッケージ反りは、CTE のバランスを考慮したモールド樹脂と基板の適切な選択およびパッケージ反りへの影響の小さいボールレイアウト設計により抑制できる。

9-2-3 パッケージ基板

パッケージ基板(インターポーザ、サブストレート)は、パッケージを構成する最も高価な部品で、パッケージ特性をも左右する。パッケージ基板技術は、ロードマップの予測値に対応するように、多くの項目で進展が必要である。市場要求に適合するために必要なパッケージ基板設計仕様を表 9-3、9-4 に示す。

(1)ビルドアップ基板、コアレス基板

過去、ハイパフォーマンスのフリップチップパッケージは、ビア構造の形成に対して制限の少ないセラミック基板技術によって展開されてきた。スルービアは、ボード側から対応するチップのパッドへの電源の直接接続を可能にし、また、可変の深さを持つビアにより、不必要に配線経路を妨げることなく、最大限の引き回しが可能であった。

安価な有機基板は、配線板技術に基づくスルーホール技術に制約されるため、パッケージ基板への適用に対しては設計への制限が大きかった。しかし、ビルドアップ技術の発明によって、コア上の再配線形成が可能になった。ビルドアップ層は微細配線技術とブラインドビア技術を用いるため、コアの穴径は小さくなるが、プリント配線板技術での、自由なビア構造の形成を可能にした。

Table 98c Package Substrate Design Parameters—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
<i>Substrate cross-section core thickness (μm)</i>									
Handhelds	50	40	40	35	35	30	30	30	25
High density interconnect substrates	100	60	50	40	40	35	35	30	30
Build-up substrates	400	200	200	150	130	100	90	80	80
Coreless	50	50	40	40	35	35	30	30	30
<i>Blind via diameter (μm)</i>									
Handhelds	60	50	50	40	40	35	35	30	30
High density interconnect substrates	60	50	50	40	40	35	35	30	30
Build-up substrates	50	40	40	35	35	30	30	25	25
Coreless	70	60	60	50	50	40	40	35	35
<i>Blind via stacks</i>									
High density interconnect substrates	2	2	3	3	3	3	4	4	4
Build-up substrates	4	5	5	6	6	6	6	6	6
Coreless	7	9	10	11	11	11	12	12	13
<i>PTH diameter (μm)</i>									
	100	80	75	70	60	50	50	45	45
<i>PTH land (μm)</i>									
	230	180	180	160	140	120	110	105	105
<i>Bump pitch (μm)</i>									
High density interconnect substrates	230	200	190	180	170	160	150	140	140
Build-up substrates	180	150	130	120	110	100	100	90	90
Coreless	180	150	130	120	110	100	100	90	90
<i>Lines/space width (μm)</i>									
Rigid Structure	45	40	35	30	30	25	25	22	22
Build-up substrates (core layer)	45	40	35	30	30	25	25	22	22
Build-up substrate (build-up layer)	18	15	15	10	10	10	9	8	8
Coreless	25	20	20	15	15	10	9	8	8
<i>Lines/space width tolerance (%)</i>									
	10	7	7	7	7	7	7	7	6
<i>Solder mask registration ±(μm)</i>									
Handhelds	25	25	20	15	15	15	12	12	11
High density interconnect substrates	40	25	20	15	15	15	12	12	11
Build-up substrates	40	25	25	20	20	15	12	12	11

図表 9-3 パッケージ基板の動向(短期) (ITRS 2005 Edition Table 98c から)

Table 98d Package Substrate Design Parameters—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
<i>substrate cross-section core thickness (μm)</i>							
Handhelds	25	25	25	25	25	25	25
High density interconnect substrates	30	30	30	30	30	30	30
Build-up substrates	70	70	70	70	70	70	70
Coreless	30	30	30	30	30	30	30
<i>Blind via diameter (μm)</i>							
Handhelds	25	25	25	25	25	25	25
High density interconnect substrates	25	25	25	25	25	25	25
Build-up substrates	20	20	20	20	20	20	20
Coreless	30	30	30	30	30	30	30
<i>Blind via stacks</i>							
High density interconnect substrates	4	4	4	4	4	4	4
Build-up substrates	6	6	6	6	6	6	6
Coreless	14	14	14	14	14	14	14
<i>PTH diameter (μm)</i>							
	40	40	40	40	40	40	40
<i>PTH land (μm)</i>							
	100	100	100	100	100	100	100
<i>Bump pitch (μm)</i>							
High density interconnect substrates	130	130	130	130	130	130	130
Build-up substrates	80	80	80	80	70	70	70
Coreless	80	80	80	80	70	70	70
<i>Lines/space width (μm)</i>							
Rigid Structure	20	20	20	20	20	20	20
Build-up substrates (core layer)	20	20	20	20	20	20	20
Build-up substrate (build-up layer)	8	8	8	8	8	8	8
Coreless	8	8	8	8	8	8	8
<i>Lines/space width tolerance (%)</i>							
	5	5	5	5	5	5	5
<i>Solder mask registration \pm (μm)</i>							
Handhelds	10	10	10	10	10	10	10
High density interconnect substrates	10	10	10	10	10	10	10
Build-up substrates	10	10	10	10	10	10	10

図表 9-4 パッケージ基板の動向(長期) (ITRS 2005 Edition Table 98d から)

基板発展の次の段階は、ブラインドビアと同様な、例えば $50\mu\text{m}$ のサイズへ縮小したビア径を持つ高密度なコアの開発であった。最初の応用は、パッケージ応力を緩和するため、合金のコアを持つテフロンベースの誘電材を基本にしたものだった。高密度のコア技術の強みは、配線幅と配線間隔が $25\mu\text{m}$ 以下に微細となった場合に発揮される。薄いフォトレジスト($<15\mu\text{m}$)や高接着力で薄い銅箔は、そのレベルの分解能を達成するために必須である。

並行して、コアレス基板技術が開発されてきた。共通する取組みの一つは、誘電材料のシートにビアを形成することと、積層の土台となる部分を形成するためにビアを金属ペーストで埋めることである。二層目の積層部分は土台となる部分の両面に銅箔を薄板状に貼り合わせることによって形成される。続いて行う回路形成によって、この積層部分は完成する。適切に選択した積層部分を薄板状に貼り合わせるによって、あとは外装処理を行うだけの基板が形成される。このプロセスの他の方法としては、貼り合わせによって合成積層板へ転写される単層の回路を形成するキャリアシート上で、積層部分を形成するものである。どちらのケースでも、誘電材料は、殆ど、あるいは全く補強されていない。プロセス中の寸法安定性管理は必須である。固有の設計とプロセスを伴った、異なるコアレス技術が現れてきたことにより、供給力の拡大、安定品質の確保、また、コスト削減を推進するために、大規模な市場開発が必要とされる。

(2)リジッド基板

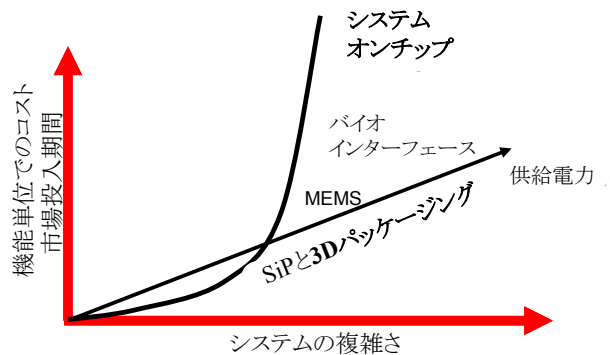
リジッド基板技術は、ハンドヘルドとハイパフォーマンスという応用分野で区分される。ハンドヘルドは、更に薄い基板開発の推進力となっている。総厚は、大量生産製品において、 $120\mu\text{m}$ にまで薄くなってきている。次の段階は、I/O や配線のファンアウトの点でウェーハレベルパッケージングに移行しない製品での、液晶ポリマのようなフィルムタイプ材料の適用となる。

ワイヤボンドを適用するハイパフォーマンスのパッケージでは、補強されない樹脂の代わりにプリプレグを使用したビルドアップ技術による基板に、ブラインドビアを使用する高密度配線基板を適用し始めている。より微細な加工を達成するためには、合成されたプリプレグの総厚は $40\mu\text{m}$ 以下に削減しなければならず、ガラスファイバの密度をより均一にしたガラスクロスやガラスマットの開発が必要である。さらに、薄板状の貼り合わせ後のワイヤボンディングに適合したフィルム状樹脂の開発が必要である。概して、後者の材料特性が実現しないと、配線幅と間隔の微細加工の改善が難しい。

9-2-4 SiP (System-in-a-Package)

電子機器の小型化、特に携帯電話、デジタルカメラ、デジタルカムコーダなどの携帯用電子機器の小型化・薄型化のための革新的技術として SiP が広く使用されている。n 個のチップを積層して一つのパッケージに搭載することにより、容易に実装面積をn分の1に縮小することが出来る。複数個のチップを横置き (Side by Side) で一つのパッケージに搭載することでも、大幅に実装面積を縮小化できる。

一方、システム LSI (SoC (System-on-a-Chip)) においては、素子の微細化により、小型化・高機能化・高性能化を実現してきた。しかし、製品の複雑さが増大しているのに反して、市場はより短い製品ライフサイクルを要求してきている。SoC ソリューションは、サイズ、重量、電力の要求には対応できるが、図表 9-5 に示すように、機能単位でのコストと市場投入期間の増加という点では益々課題が増大している。非常に高度な SoC を新規に開発する場合に比べて、従来の SoC の組合せでシステムを実現出来る SiP は、開発コストも安価で、開発期間も短縮化できるメリットがある。また、メモリやアナログなどの異なるウェーハプロセスのデバイスを SoC に組合せた SiP も可能である。3次元統合パッケージングのような新しい統合技術は SiP 解決策にとってより重要となる。SiP 技術はまた、一つのパッケージの中へ MEMS、オプトエレクトロニクスおよびバイオエレクトロニクスのような他の回路素子の取り込みを可能とし、より高機能・高性能のシステムを実現することも可能となる。



図表 9-5 SoC と SiP との比較 (ITRS 2005 Edition Figure 90 から)

SiP の概念は、機能増加、コスト低減、小型化が主な推進力となっている民生機器によって、推進されてきた。多くのケースで、SiP は、SoC よりも高いフレキシビリティ、市場展開までの時間短縮、より低い開発コストを提供する。

ITRS-TWG では SiP を以下のように定義している。

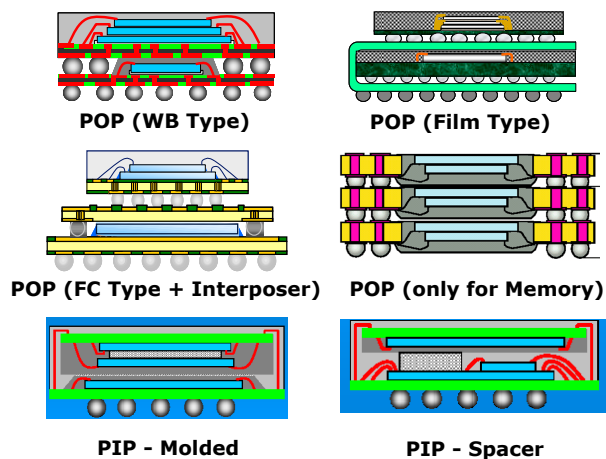
“システムインパッケージは、オプションとしては受動素子や MEMS やオプト部品のような他のデバイスも加えた、異なる機能を持つ複数の能動電子部品を組み合わせ、標準的なシングルパッケージに組み立てられたものと特徴付けられ、システムやサブシステムを構成した複数の機能を提供する。”

SiP は一般的に、アナログとデジタル回路や非電子部品を含む。この定義は、色々な基板や内部接続技術を用いた様々なソリューションや、集積受動素子やディスクリート受動素子の使用、そしてサイズと性能に対する無限の可能性を含んでいる。SiP は、集積受動素子と RF ワイヤレスシステム (RF、ベースバンド、SRAM+flash メモリ) を構成する、異なるデバイス技術を取り入れることができる。

SiP 技術の重要な要素は、

- ・システム分割 / モジュール化
- ・チップ-パッケージ統合設計 (オンチップ、オフチップ)
- ・パッケージへの異なる機能のインテグレーション
- ・システム機能を増加させるための付加技術
- ・高密度部品インテグレーション
- ・KGD (Known Good Die) 技術
- ・テストと信頼性
- ・短い市場投入サイクル
- ・低コスト

SiP を実現するための課題の一つに KGD (Known Good Die) がある。SiP に搭載するチップが性能や信頼性を保証されているかどうかは重要な問題である。複数のチップを搭載した SiP においては、中の一つのチップが不良になっても SiP は不良になり、他のチップも廃棄することになって非常に高価なものになる。KGD を保証するために、チップレベルやウェーハレベルのバーンイン技術も検討されているが、一部で適用されているだけである。そのため、KGD の代わりに、信頼性を保証されたパッケージを積層する PoP (Package on Package) 技術が開発されている。図表 9-6 に各種の PoP 構造例を示すが、PoP も広い意味での SiP と考えてよい。



図表 9-6 パッケージ積層技術 (ITRS 2005 Edition Figure 93 から)

ITRS 2005 Edition での、SiP のロードマップを図表 9-7 に示す。Low Cost/Hand-held 製品では、2005 年時点で一つの SiP に最大 6 枚のチップが積層して搭載されているが、今後も搭載数や積層数は増大すると予測される。2020 年には 18 枚のチップが搭載され、17 枚のチップが積層されると予測されている。そのためには、 $10\ \mu\text{m}$ 程度の極薄チップの実現が必要である。極薄チップを形成する裏面研削技術、極薄チップのハンドリング技術、極薄チップのダイボンディング技術、極薄チップのチップ接続技術などの技術開発が必要である。

搭載したシステムのテスト技術も課題である。システムが複雑になれば成るほど、外部端子からシステム全体をテストすることが困難になる。また、不具合が見つかった場合でも、不具合箇所を特定することが難しくなる。3次元搭載した SiP では、さらに解析することが困難である。

チップ積層パッケージの機械的ストレスおよび熱特性に関して分析し、制御することも必要である。非常に薄いチップや薄い基板および低誘電率材料やフラッシュメモリを含む様々なプロセスを用いたチップでは、製品の寿命試験やシステムの市場環境で問題が見つかるのではなく、開発の段階で問題を予測することが出来るような信頼性モデルが要求される。加速係数についての理解もまた重要となり、様々な接続技術と接続後の安定性、そして新しいプロセスのための信頼性要求事項の定義も必要となる。

放熱設計も課題である。搭載チップ数に依存して発熱量は増加し、発熱密度は増大する。実装するシステムの放熱設計が非常に重要になる。

中長期的には、先例の無い機能や性能を持つ集積化されたシステムを供給するために、微小だが規模の大きなシステムに組み込まれる、独自のナノスケール現象を開発する技術が期待される。しかしながら、これらを実現するためには、多くの課題を検討する必要がある。例えば、①分子レベルの構造とデバイスを結合して、より大きなプラットフォームやデバイスにすること、②新しい種類の機能性材料を創造すること、③異なる部品の電氣的インターフェイスを制御すること、④液体の輸送や光学的挙動の制御を含めた、ナノスケール、マイクロスケール、マクロスケールを横断した機械的な力を制御することなどが必要となろう。

SiP の長期ビジョンは、ワイヤレス、光学的、生物学的な要素や、電氣的シールドや放熱設計を持つインターフェイスなどの異質なものの最適な集積化である。新たな集積化技術は、センシング、信号データ処理、ワイヤレスと光学的な通信、電力変換や蓄電のためのデバイスを一つのパッケージに集積可能とすることである。SiP の中での光信号の伝送を含む集積化は、パッケージと組立工程の中でより多くのテスト項目を必要とする。光伝送の性能は、コア層とクラッド層の両方を含む光学的材料などの物性、構造やプロセスにも依存する。導波路壁の粗さは光線路の減衰率を低下させるので、厳密なプロセスパラメータの設定が必要である。

Table 101a System-in-a-Package Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Low cost/handheld	600	600	700	800	800	800	800	800	800
High performance	1000	1200	1350	1500	1750	2000	2000	2000	2000
Number of terminals—maximum RF	200	200	200	200	200	200	200	200	200
Low cost/handheld (# die / stack)	6	6	7	8	9	10	11	12	13
High performance (# die / stack)	2	2	3	3	3	4	4	4	5
Low cost/handheld (# die / SiP)	6	8	8	8	9	11	12	13	14
High performance (# die / SiP)	4	5	6	6	6	7	7	7	8
Minimum component size (microns)	600x300	600x300	400x200	400x200	400x200	200x100	200x100	200x100	200x100
Maximum reflow temperature (°C)	260	260	260	260	260	260	260	260	260

Table 101b System-in-a-Package Requirements—Long-term Years

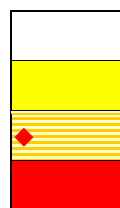
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Low cost/handheld	800	800	800	800	800	800	800
High performance	2000	2000	2000	2000	2000	2000	2000
Number of terminals—maximum RF	200	200	200	200	200	200	200
Low cost/handheld (# die / stack)	14	14	15	15	16	16	17
High performance (# die / stack)	5	5	6	6	6	7	7
Low cost/handheld (# die / SiP)	15	15	16	16	17	17	18
High performance (# die / SiP)	8	8	9	9	9	10	10
Minimum component size (microns)	200x100	200x100	200x100	200x100	200x100	200x100	200x100
Maximum reflow temperature (°C)	260	260	260	260	260	260	260

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



図表 9-7 SiP (System-in-a-Package) の動向 (ITRS 2005 Edition Table 101 から)

9-2-5 困難な技術課題(Difficult Challenges)

ITRS 2005 Edition での困難な技術課題を図表 9-8、9-9 に示す。短期の困難な技術課題はアセンブリ&パッケージングの設計、製造、テストおよび信頼性までの全てのプロセスで存在している。これらの要求を満足させるためには、研究開発への大きな投資が必要である。この投資は現在の投資比率を上回るので、アセンブリ&パッケージングのメーカでは利益を上げるために投資できない。企業が投資出来るリソースと、必要とされる投資リソースのギャップこそが最も困難な課題かもしれない。

技術的共同体としては以下の様な傾向がある。

- 大学でのパッケージング研究は世界中で増加傾向にある。
- 化学会社は、将来の要求に満たすための low-k 材、high-k 材から、統合受動素子のための新しいポリマー材まで、幅広く新しい材料のための投資を増やしている。
- パッケージングとインターコネクト技術会社のベンチャー企業がここ数年増えてきている。
- 装置会社は、薄いウェーハや薄いチップの製造やハンドリングなど、ウェーハレベルと3次元パッケージの両方の要求を満たすに新しい能力増強に投資している。
- 政府と民間の研究機関はこの分野への投資を増やしている。 フラウンフォーファー研究所、IMEC、LETI、IME、ITRI など
- デバイスメーカーは、自分たちの要求に見合った新しいパッケージング技術に投資している。
- 民生品の製造会社は SiP や他の新しいシステム統合構成などの技術革新を牽引している。

これらの投資の増加があっても、現在のレベルではロードマップにおける困難な技術課題を解決させるには不十分である。投資を加速させることとこれらグループ間の効率的な調整のために、アセンブリ&パッケージングにおいてスケジュールされたロードマップのマイルストーンの達成が必要となってくる。

Table 93a アセンブリ&パッケージにおける困難な技術課題(短期)

困難な技術課題 ≥ 32 nm	課題のまとめ
新しい材料の影響	<ul style="list-style-type: none"> •Cu/Low-k を含む配線材料 •Cu や改良されたバリアメタル接続パッドへの直接ワイヤボンディングとバンパ形成 •Low-k 誘電体特性を保証するバンパ(鉛フリーはんだバンパを含む)とアンダーフィル技術 •誘電材料の靱性向上 •界面の接着力 •Low-k 材を有する配線層の信頼性 •限界特性を測定する装置の開発が必要 •Cu/Low-k 上のプローブ測定 •超 Low-k 誘電体を採用した回路のダイシング技術
ウェーハレベルパッケージング	<ul style="list-style-type: none"> • I/O 数が 100 以上で、$150\mu\text{m}$~$250\mu\text{m}$ の間の I/O ピッチ •はんだ接続部の信頼性 •ウェーハの薄型化とハンドリング技術 •小型の ESD 構造(これは他のパッケージにも適用される) •大チップ対する熱膨張係数ミスマッチの補償

困難な技術課題 ≥ 32 nm	課題のまとめ
チップ、パッケージおよび基板の協調設計を実現するための設計ツールとシミュレータの整合	<ul style="list-style-type: none"> ・ミックスドシグナル協調設計とシミュレーション環境 ・モデリングとシミュレーションの短縮 ・熱応答解析と熱応力統合解析のための統合解析ツール ・電氣的解析(電力妨害、EMI、高周波/高電流のシグナル/パワーインテグリティ、低電圧スイッチング) ・パッケージ内でのデカップリング ・システムレベルでの協調設計 ・本ロードマップ実現のための「本来の」エリアアレイ用 EDA ・信頼性予測のためのモデル
内蔵部品	<ul style="list-style-type: none"> ・低コスト内蔵受動素子: R, L, C ・ウェーハレベルと基板レベルの内蔵能動素子 ・ウェーハレベル内蔵部品
薄型化チップのパッケージング	<ul style="list-style-type: none"> ・薄いウェーハ/チップのハンドリング ・異なるパッケージ基板との整合性(有機、シリコン、セラミック、ガラス、積層プラスチック) ・信頼性 ・テストの容易性 ・内蔵能動素子の薄型化 ・電氣的、光学的なインターフェイスの結合
チップと基板の設計ルールの近似化—有機基板の改善	<ul style="list-style-type: none"> ・低コストで、増加する配線数 ・より高周波応用をサポートするインピーダンス制御の改善と低誘電損失化 ・より高温プロセスでの平坦性の改善と低反り ・低吸湿性 ・コア基板でのビア密度の増加 ・信頼性向上のためのめっき代替技術 ・鉛フリーはんだ工程での Tg 整合性(260°Cでのリワークを含む)
高電流密度パッケージ	<ul style="list-style-type: none"> ・エレクトロマイグレーション ・熱的/機械的信頼性モデリング ・ウイスカの成長 ・放熱性
フレキシブルなシステムパッケージ	<ul style="list-style-type: none"> ・柔軟性のある低コスト有機基板 ・小さくて薄いチップの組立 ・低コストハンドリングシステム

困難な技術課題 ≥ 32 nm	課題のまとめ
3次元パッケージング	<ul style="list-style-type: none"> ・熱設計 ・協調設計とシミュレーションツール ・ウェーハ間のボンディング ・ウェーハ貫通ビア構造とビア充填プロセス ・バンプレス接続構造
狭ピッチパッケージ	<ul style="list-style-type: none"> ・狭ピッチ BGA の公差の縮小 ・小型パッケージのためのダイシング切りしろの縮小 ・狭ピッチ BGA ための高温時の反り低減 ・携帯用電子機器のための落下試験要求を満たす信頼性

図表 9-8 困難な技術課題(短期) (ITRS 2005 Edition Table 93a から)

Table 93b アセンブリ&パッケージにおける困難な技術課題(長期)

困難な技術課題 <32 nm	課題のまとめ
パッケージコストがチップコストの低減に追従できない	<ul style="list-style-type: none"> ・パッケージングの利益率は、コスト低減に見合う投資をまかなうのに十分とは云えない ・増加するデバイスの複雑さは、より高いコストのパッケージング対策を必要としている
多ピンまたは高電力密度な小チップ	<ul style="list-style-type: none"> ・これらのデバイスは以下の点で、従来のはんだや UBM 構造を使用した現状の組立技術では実現出来ないかもしれない。 <ul style="list-style-type: none"> ・電流密度の増加への対応 ・より高い動作温度への対応
高周波チップ	<ul style="list-style-type: none"> ・> 20 lines/mm を提供する基板配線密度 ・より低誘電損失—10GHz 以上では表皮効果 ・“Hot spot”の放熱対策
チップ、受動素子、基板のシステムレベルでの統合設計能力	<ul style="list-style-type: none"> ・システム設計が分割されており、また製造が多くの企業に跨っているため、複合システムとしての性能、信頼性、コストの最適化が困難である。 ・情報を伝達する機構に見合う、情報の品質の管理と、情報のタイプに合う複雑な基準が求められる。 ・内蔵受動素子は、基板の中に埋め込まれるのと同様に、“バンプ”に埋め込まれるかもしれない。
新しいパッケージ技術が必要なデバイスの出現(有機デバイス、ナノデバイス、バイオデバイス)	<ul style="list-style-type: none"> ・有機デバイスのパッケージングの要求は明確でない(これらのチップは自らのパッケージを培養していくのであろうか) ・バイオデバイス用パッケージングは新しいインターフェイスが必要になるだろう。

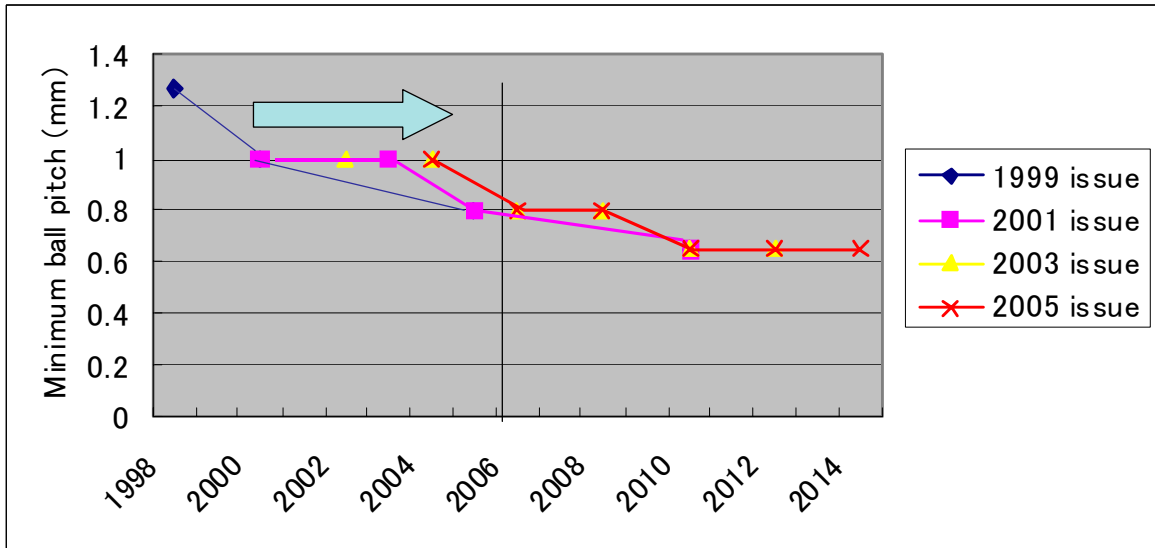
図表 9-9 困難な技術課題(長期) (ITRS 2005 Edition Table 93b から)

9-3 日本実装技術ロードマップの妥当性検討

JEITA 実装技術ロードマップ専門委員会は、1998 年から活動を開始し、1999 年から隔年で日本実装技術ロードマップ (JJTR) を刊行してきた。2005 年 3 月の STRJ ワークショップにおいて、これまでの JJTR のロードマップの妥当性・的中率についての質問があり、今回、検討したので以下に紹介する。

9-3-1 P-BGA の最小端子ピッチ

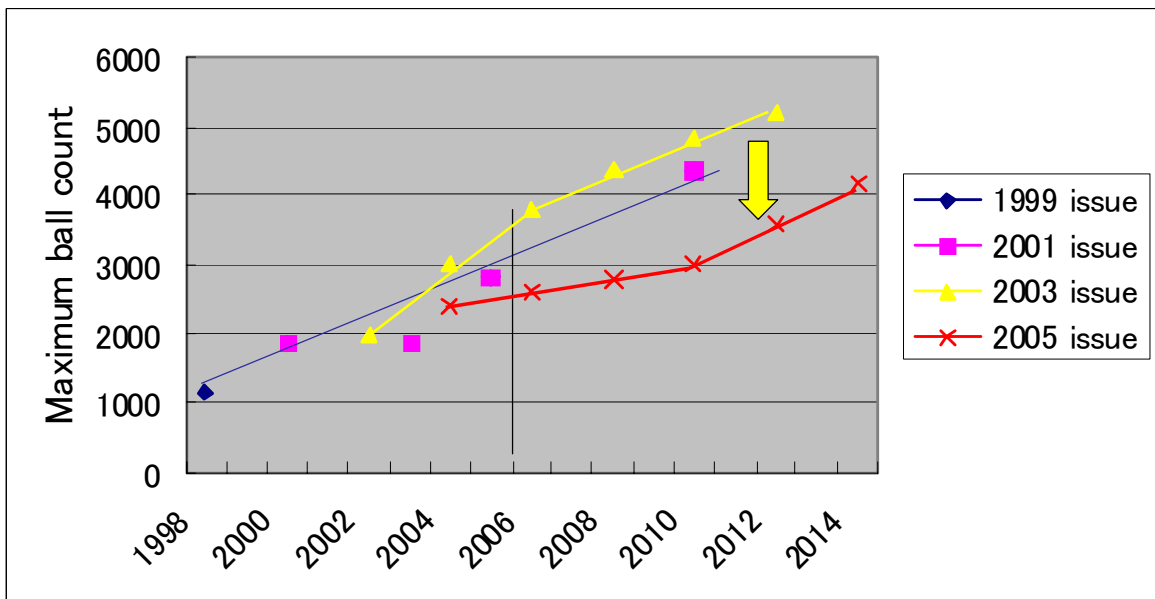
1999 年から 2005 年までの JJTR における P-BGA の最小端子 (はんだボール) ピッチのロードマップの推移を図表 9-10 に示す。低コスト実装基板の狭ピッチ化が予測通りには進展せず、P-BGA の狭ピッチ化も遅れている。



図表 9-10 P-BGA 最小端子ピッチの動向の推移

9-3-2 P-BGA の最大端子数

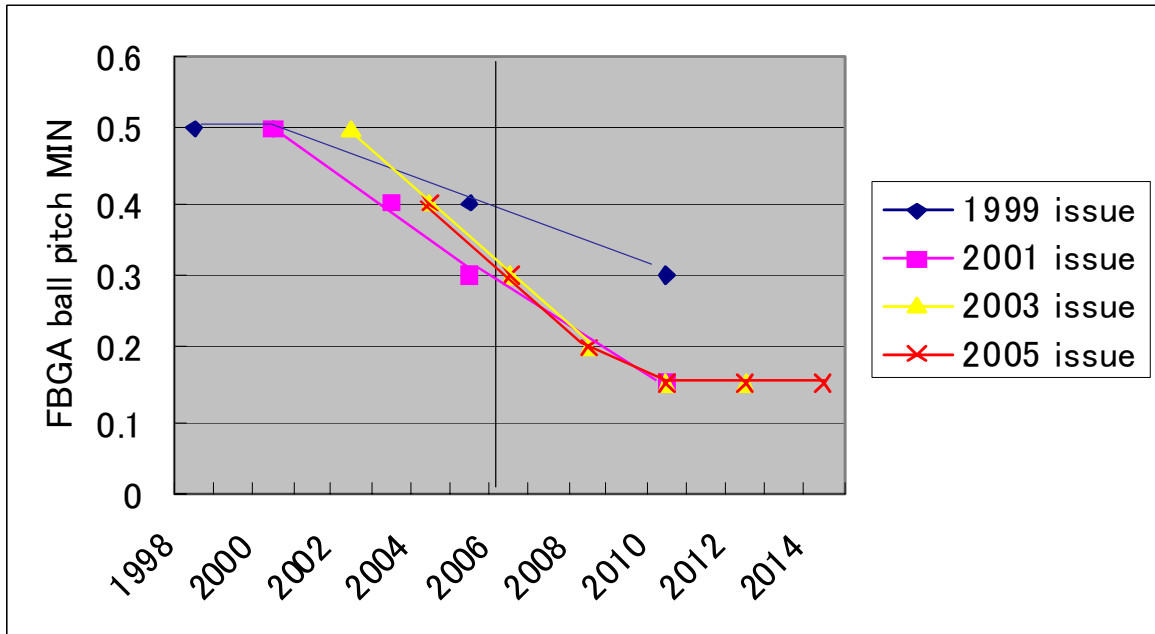
P-BGA の最大端子数のロードマップの推移を図表 9-11 に示す。米国の MPU (Micro Processor Unit) メーカーの動向から多ピン化を予測していたが、開発の方針転換を受けて、2005 年版でピン数を減少させた。



図表 9-11 P-BGA 最大端子数の動向の推移

9-3-3 FBGA の最小端子ピッチ

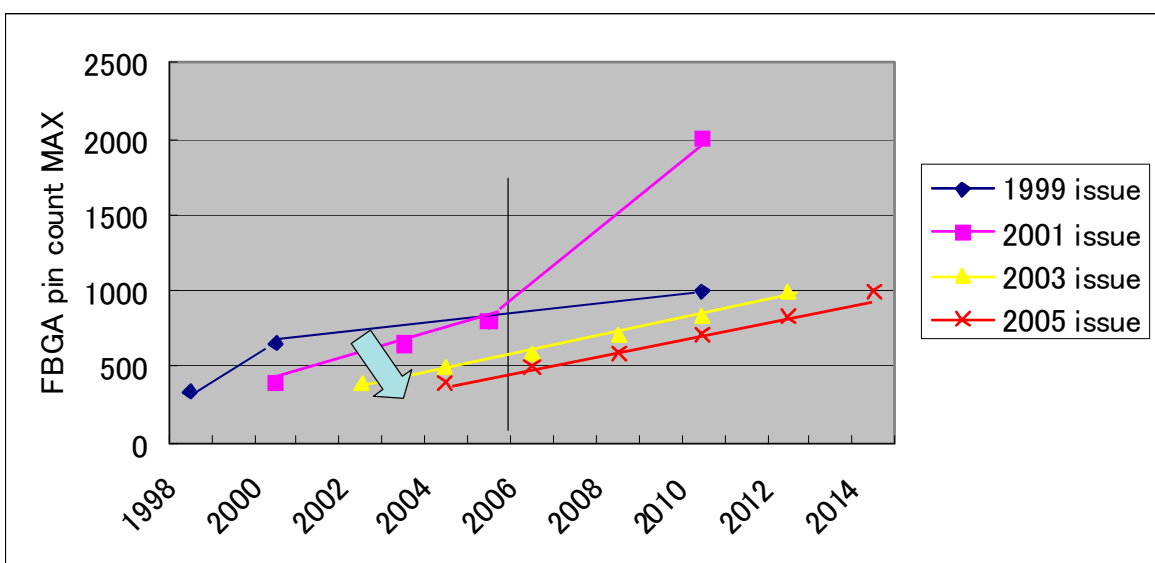
FBGA の最小端子ピッチのロードマップの推移を図表 9-12 に示す。日本で開発された FBGA は携帯用電子機器に広く使用され、機器セットからの要求を受け、狭ピッチ化が進展している。2001 年に前倒しを図ったが、その後は予測通り推移している。



図表 9-12 FBGA 最小端子ピッチの動向の推移

9-3-4 FBGA 最大端子数

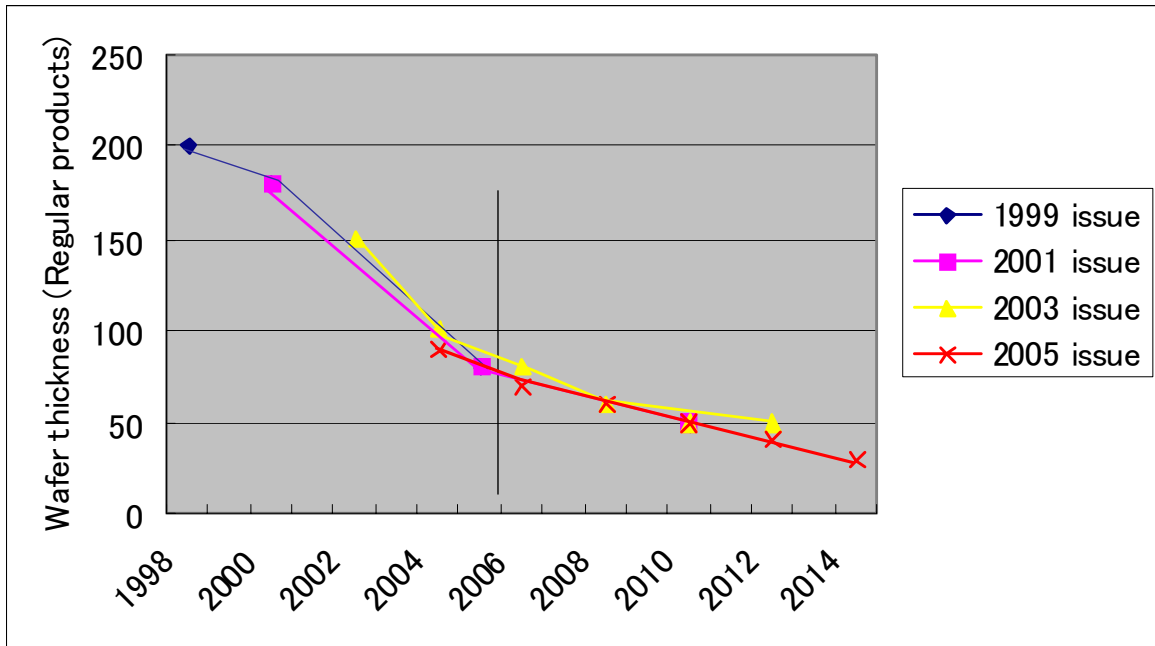
FBGA の最大端子数のロードマップの推移を図表 9-13 に示す。2001 年当時、携帯用電子機器への広い応用事例から FBGA への期待が大きく、将来益々多ピン化すると予測したが、パッケージ基板や実装基板の狭ピッチ化が課題であるため、2003 年版で見直しをした。



図表 9-13 FBGA 最大端子数の動向の推移

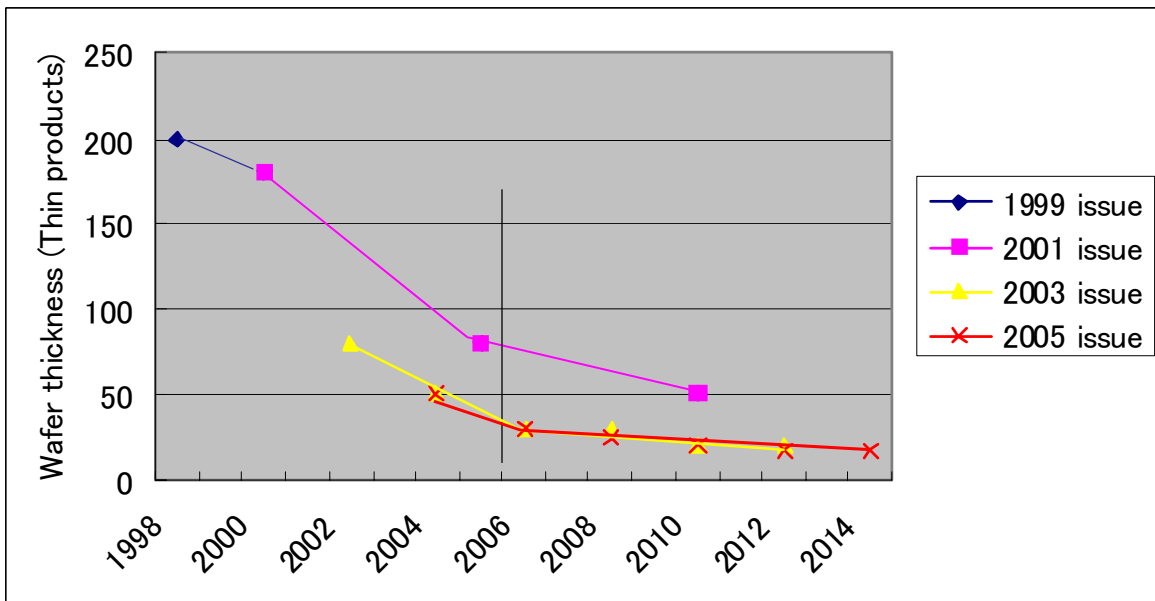
9-3-5 最小ウェーハ厚さ

パッケージ組立工程で用いられるウェーハで、一般製品で使用されるウェーハの最小厚さのロードマップの推移を図表 9-14 に示す。1999 年から予測通りの薄化傾向を推移している。



図表 9-14 一般製品での最小ウェーハ厚さの動向の推移

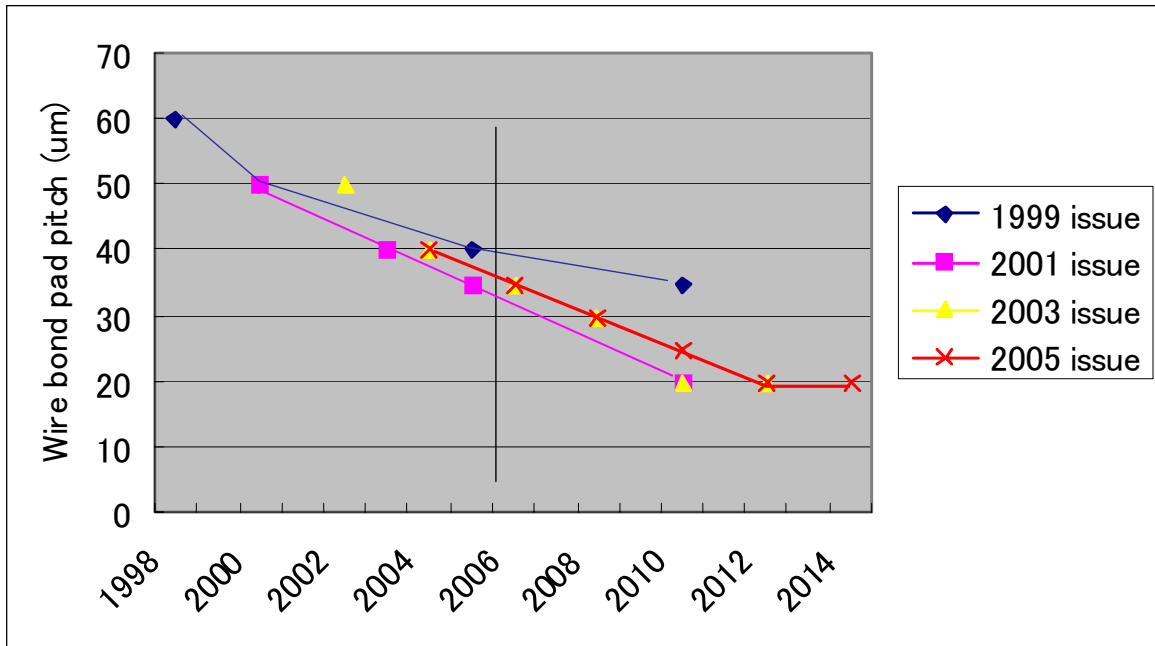
一方、IC カード製品や積層チップを搭載した SiP などの薄型製品での最小ウェーハ厚さのロードマップの推移を図表 9-15 に示す。2000 年前後の SiP への積層チップの搭載により、急速な薄チップ化が進展したため、2003 年版より見直しを行った。



図表 9-15 薄型製品での最小ウェーハ厚さの動向の推移

9-3-6 ワイヤボンディング最小パッドピッチ

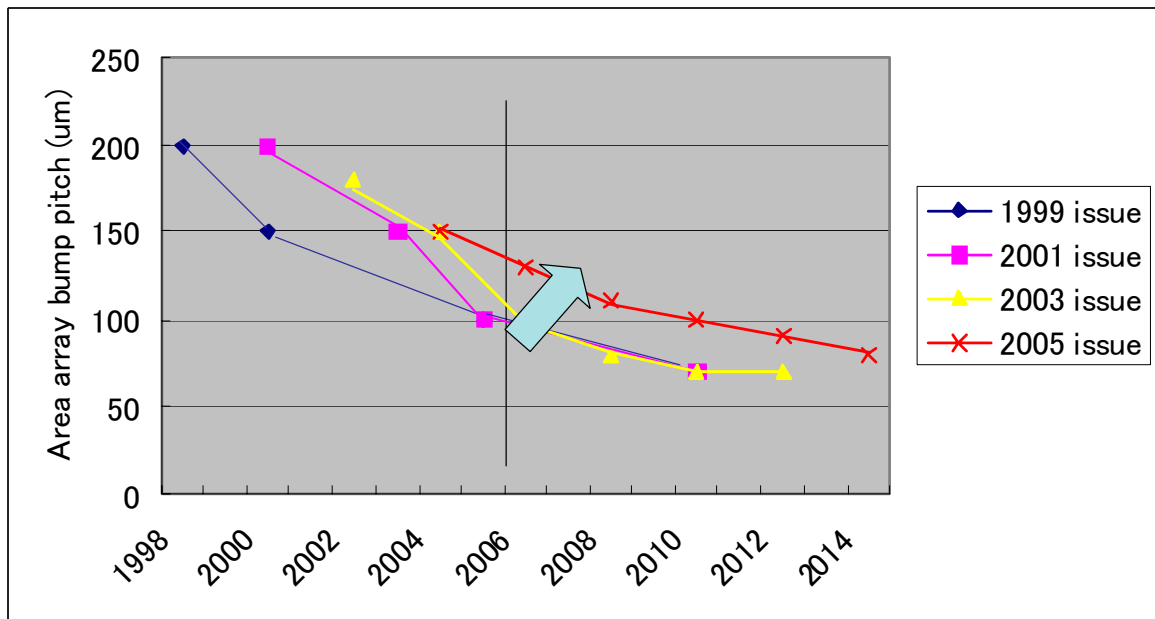
ワイヤボンディングにおける最小パッドピッチのロードマップの推移を図表 9-16 に示す。ITRS の狭ピッチ化の動向を受けて、2001 年に前倒しを図った。但し、ワイヤボンディング装置の技術動向だけでなく、インフラ技術の動向も検討し、ITRS の動向に比べると緩やかな狭ピッチ化動向を予測し、その後、ほぼ予定通りの推移となっている。



図表 9-16 ワイヤボンディング最小パッドピッチの動向の推移

9-3-7 FCB 最小バンプピッチ

FCB のエリアアレイ接続における最小バンプピッチのロードマップの推移を図表 9-17 に示す。FCB の狭ピッチ化については、WLP 技術の実現もあり、積極的に狭ピッチ化出来ると予測していたが、実装する基板の狭ピッチ化が課題となり、2005 年版で見直しをした。



図表 9-17 FCB(エリアアレイ)最小バンプピッチの動向の推移

9-4 まとめと今後の課題

2005 年度は ITRS 2005 Edition の作成のため、JJTR 2005 のデータを基に、ITRS A&P ITWG へデータ提供および議論を行い、協力した。特に、チップ接続技術、基板実装のための接続端子ピッチ、SiP 技術、パッケージ基板では、日本サイドが主体的にロードマップを作成した。また、3 ヶ月に1回の A&P ITWG 電話会議や 2005 年 8 月の日本会議の開催など、積極的に ITRS へ参画し、従来以上に密接な関係を構築出来たと考える。パッケージおよび実装技術においては、東アジア地区が開発・量産の主流となっており、ITRS の日本への期待は大きい。

特に、日本が先行している SiP 技術は、従来の SoC の置換えとしてばかりでなく、色々なデバイスを組み合わせることにより、今後も益々応用例が広がっていくと期待されている。引き続き世界をリード出来るよう、ロードマップの提示と課題の明確化の検討を進める。

一方で、パッケージの標準化や鉛フリー化の標準化などでは米国の影響が大きく、必ずしも日本がリーダーシップを取れていないのが現状である。これまで STRJ-WG7 も ITRS へのデータ提供が中心で、あまり有効に ITRS を活用出来ていなかった。今後は、必要事項に関しては積極的な発信を行い、日本のパッケージ開発に対して、ITRS を有効に活用すること検討する。

今回、これまでの日本実装技術ロードマップの妥当性について検討した。ウェーハプロセスほどの明確なロードマップではないものの、かなり精度よく将来方向を示していると考ええる。ITRS と比較しても、ロードマップの数値の精度は高い。しかし一方で、『現状技術の延長線上の予測となっており、あまり面白味が無い』との指摘も頂いている。ロードマップの精度は上げていくものの、ロードマップを実現するための課題の明確化と、長期展望に対する、より積極的な方向付け(困難ではあるが、実現出来れば非常に役に立つ技術の提示)を検討して行きたい。

参考文献

1. International Technology Roadmap for Semiconductors 2005 Edition (2005 年 12 月、ITRS)
2. 2005 年度版 日本実装技術ロードマップ(2005 年 6 月、JEITA)