

## 第11章 WG9 ES&H (環境・安全・健康)

### 11-1 活動全般

半導体製造工程において重要な役割を担っている様々な化学物質があるが、現在、環境負荷の面から PFC 等のように排出削減や PFOS、PFAS、PFOA 等のように使用削減等の自主規制が求められている。一方、製品に含有される有害性物質の禁止・削減・抑制の面から EU を中心とした様々な規制が進み、今後、製品の製造過程は当然としてライフサイクル全体にわたる環境負荷量の大小が問われる情勢となっている。したがって、これまで国際及び国内のいずれの活動でも化学物質を中心とする環境負荷の削減に重点をおき、ロードマップに反映させてきたのは自然な流れといえる。

これに対して、より積極的に製造工程における効率を向上させることによって、エネルギー及び資源の使用量を削減し、その結果として人体や環境に有害性のある物質だけでなく、温暖化効果等のすべての環境負荷の削減を目指す本来の活動に戻す必要がある。国内では、JEITA の半導体環境安全委員会の省エネ WG や LCA WG の活動成果を盛り込むことであり、国際的には、FI(ファクトリー・インテグレーション)WG と一緒に、SEMI 主催のシンポジウムや ITRS 会議の場を通して説明や主張をしていくことである。

今年度の報告では、国際的活動として、この新しい活動に向けた足場固めについて報告し、国内活動としては、LCA(ライフ・サイクル・アセスメント)の手法を用いて半導体製造工程全体にわたる環境負荷の評価を行ってきた、これまでの集大成ともいべき成果について報告することにする。

### 11-2 国際活動

今年も例年通り、セミコンの時期に併せて開催される年2回の会議で改訂作業を進めた。特に、2 年毎に行われる大改定の年に当たり、他のグループとのクロスカット作業により課題の抽出に多くに時間を要した。最後の 3 回目の会議で内容の集大成を行い、発表を行うと同時に 2006 年以降に向けた活動の方向性の決定など次期に向けた作業を行った。ここに至るまでの経過は以下のようになっている。

#### 11-2-1 4月にドイツ・ミュンヘンで開催された国際会議に参加(4月11日-13日)

2004 年までの進捗内容のアップデート及び 2005 年以降の見直しの作業を行った。

##### 11-2-1-1 2005 年 4 月時点での確認

環境安全(ESH)の基本的 4 つの要素

- i) ESH の困難な目標
- ii) ESH 要求事項に関する技術
- iii) ESH の本質的な要件
- iv) 補助的なツール

旧 Table 102a (図表 11-1 参照) Near Term ESH の本質的な要件 Update

旧 Table 103a (図表 11-2 参照) Near Term 化学物質、材料、装置管理技術要件 Update

将来起こり得る、化学物質の使用禁止又は制限に対する審査表(最終的に見直された表を添付)の確認

##### 11-2-1-2 2004 年 ESH Update

ESH で既にベストプラクティスに達している事項は削除することにした。

- i) 暴露データ
- ii) 個人保護具に依存する事項
- iii) 設備、プロセスのリスクアセスメント

- iv) 人間工学上のストレス因子評価
- v) 法律関連要求事項の収集
- vi) 汚染物質の排出、移動に関する情報公開

環境・安全健康配慮設計 (DFESH) に関する事項の再編を行った。

- i) 化学物質のリスク評価及び LCA に関しては、暫定的なソリューションがある
- ii) 汚染物質の排出、移動に関する情報公開は消去
- iii) 現有の環境マネジメントシステムにて対応できるので、法的要求事項は消去した。

資源(水、エネルギー)の有効活用(図表 11-1 参照)

- i) エネルギーの有効活用(旧 Table 102) 生産設備とファシリティ設備のエネルギー使用比率を 50:50 から 40:60 に変更。(ファシリティ設備の比率が増加)
- ii) 水の有効利用(旧 Table 102、105) → 重複の見直し(旧 Table 102 のみ)

化学物質/材料、設備のマネジメント(図表 11-2 参照)

- i) 既にゴールに達しているため、ドーパントのセーフティーデリバリシステムに関する要求事項は消去。ドーパントの要求事項の定義を拡げた(旧 Table 103)
- ii) 懸念される high-k 材料の改訂(鉛、六価クロムは消去する)(旧 Table 103)

#### 11-2-1-3 2005 年以降の内容検討

ESH の困難な目標の改定

化学物質、材料管理、新規材料の調査 etc

テクノロジーノードに対応した各技術分野での課題と ESH の関連付け 関連 ITWG とのクロスカット

- i) Lithography (PFOS/PFOA, Energy Consumption, EUV etc)
- ii) Yield Enhancement (Water Consumption Waste etc)
- iii) Assembly and Packaging (Lead, Halogen Free etc)
- iv) FEP (Precursor for High k Material)

#### 11-2-2 7月に米国・サンフランシスコで開催された国際会議に参加(7月11日-13日)

IRC / Cross での議論のポイントの整理を行い、今回のクロスは以下の WG と実施した。Interconnect、Lithography、Factory Integration、Yield、Assembly & Packaging、FEP、ERM、特徴的な話題で PFOS、EUV ステッパーのエネルギー、450mm ウエハー時代の設備・治工具への影響、CMP の消耗材の削減、また今回初めての話題として組み立て工程での PFC の使用などを議論した。

##### 11-2-2-1 2005 年提案の ESH の困難な目標

- i) 化学物質、材料の管理
- ii) プロセス、生産設備の管理
- iii) 工場のエネルギー、水の最適化
- iv) 持続可能性と生産の管理

ESH の技術関連モデル/ESH のキー焦点/ESH の補助ツール/化学物質の使用制限に関するテーブルのリバイズ。

##### 11-2-2-2 2004 年のアップデート内容の検討を行い、以下の小改訂を行うことにした。

4月に決めた基本案に基づくアクションプランの多くは 2005 に向けて準備することになった。

- i) ESH ベストプラクティスとしてすでに実績を出している項目は除く(旧 Table 102a )
- ii) DESH (Design for ESH) の再編成

- ・化学物質のリスク評価及び LCA に関しては、暫定的なソリューションがある
- ・汚染物質の排出、移動に関する情報公開は消去
- ・現有の環境マネジメントシステムにて対応できるので、法的要求事項は消去した。

iii) エネルギー&水の節約

- ・エネルギー:設備と原動の比率を 50:50 → 40:60 に変更(旧 Table 102 )
- ・水:重複見直し(旧 Table 102&105 )

iv) 化学物質管理(旧 Table 103)

- ・既にゴールが達成されているので、ドーパントのセーフティーデリバリシステムに関する要求事項を消去し、ドーパントの要求事項の定義を上げた。
- ・High-k 物質として採り上げられている Ni と Pb の削除(最終的には 12 月の会議で決定)

11-2-3 12 月に韓国・ソウルで開催された国際会議に参加(12 月 12 日-13 日)

今回の会議の中心は、2 年毎の大改定への最終調整、2006 年へのキックオフ、そして 2006 年以降に向けて ESH の活動方針の採択を行うことであった。特記事項として、従来「化学物質管理」が中心的な位置付けであったが、JEITA より、エネルギーに関する課題、リサイクルや資源有効活用といった項目を提案し採択されたことである。

- 1) 2005 Results (Review Presentation)
- 2) 2006 年へのキックオフ
  - i ) Manufacture stage
  - ii ) Using stage
  - iii) End of Life stage
    - Tech → Chemical danger
- 3) 2006 年以降の ITRS Update 着眼点
  - i ) エネルギー
  - ii ) PFOS
  - iii) プロセスにおける副生製の負荷低減
    - ・負荷低減処理システム
    - ・リサイクル
    - ・資源有効活用
    - ・技術に対する ESH メトリックスの開発

エネルギー課題に関しては、SEMI, ISMI などに働きかけて省エネ基準を整備すべく活動を開始した。このために JEITA 省エネガイドラインをブラッシュアップしツールとしていく。さらに、ITRS の場のみならずセミコンなどの場も有効に利用していく。

図表 11-1 Table 102a ESH Intrinsic Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	Driver
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32	
<i>Chemicals and Materials Management Technology Requirements</i>										
CPIFs* completed for percent of new chemical candidates	100%									
Percent of chemical risk assessments (health and safety) completed	100%					100%				
<i>Process and Equipment Technology Requirements</i>										
<i>Energy Consumption</i>										
Total fab tools (kWh/cm <sup>2</sup> ) [3]	0.3–0.4					0.25–0.3				
Tool energy usage per wafer pass (300 mm versus 200 mm); baseline 1999	1	0.8	0.6			Functional Area Goals TBD				
<i>Water Consumption</i>										
Wet bench UPW use (liters/300 mm wafer pass)	42					TBD				Sustainable growth and cost
<i>Chemical Consumption and Waste Reduction</i>										
Improvement in process chemical utilization (liters [liquid] or grams [gas]/cm <sup>2</sup> /mask layer)	3% per year					3% per year				Environmental stewardship and cost
<i>Worker and Workplace Protection</i>										
Conformance of new tools to latest International ESH standards and guidelines such as SEMI S2 [1] and European CE mark requirements [2]	100%					100%				
Conformance of AMHS/tool interface to latest SEMI S2 Guideline and CE mark directive.	100%					100%				
<i>Facilities Energy and Water Optimization Technology Requirements</i>										
<i>Energy Consumption</i>										
Total fab support systems (kWh/cm <sup>2</sup> ) [3]	0.5–0.6					0.35–0.5				

<i>Water Consumption</i>			
Net feed water use (liters/cm <sup>2</sup> ) [3]	8-10	3-5	
Fab UPW use (liters/cm <sup>2</sup> ) [3]	4-6	4-6	
<i>Chemical Consumption and Waste Reduction</i>			
Hazardous liquid waste recycle/reuse	80%	80%	
Solid waste recycle/reuse	85%	90%	
Reduce PFC emission	10% absolute reduction from 1995 baseline by 2010 as agreed to by the World Semiconductor Council (WSC)	Maintain 10% absolute reduction from 1995 baseline	
<i>Sustainability and Product Stewardship Requirements</i>			
Process environmental load/impact assessments for (%) of new materials	75%	100%	

The status of some of the entries for 2005 is shown as "YELLOW", because the ESH TWG felt that there was still some work to be done. However, since the status was closer to the "WHITE" than the "RED", the TWG elected not to use the "INTERIM SOLUTIONS" color code for these line items.

Notes for Table 2a:

[1] SEMI S2-93A—Safety Guidelines for Semiconductor Manufacturing Equipment

[2] European CE Mark Safety Requirements

[3] cm<sup>2</sup> per wafer out.

**Net feed water use**—Source water consumed in support of the operation of the wafer fabrication facility, including sanitary, irrigation, and facilities infrastructure. Net feed water may be obtained from a city supply, surface or ground water body.

**UPW use**—Water used in wafer contact processes, including water recovered from any source.

\* CPIF = Chemical Properties Information Form

図表 11-2 Table 103a Chemicals and Materials Management Technology Requirements—Near-term Years\*

 \*The Environment, Safety, and Health new chemical screening tool (Chemical Restrictions Table) is linked online at <http://public.itrs.net>

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	Driver	
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32		
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32		
<i>Interconnect</i>											
Low-κ materials—spin-on and CVD	Minimum emission/waste processes			75% raw material (chemical) utilization			90% raw material (chemicals) utilization				
Copper processes (ECD)	75% copper reclaimed/recycled			85% copper reclaimed/recycled			100% copper reclaimed/recycled				
Advanced metallization including Cu barrier and seed (PVD and ALD)	Minimum emission/waste processes					Minimum emission/waste processes					
Planarization (metal CMP)	15% reduction in consumables from baseline			> 15% Reduction in consumables from baseline			5% reduction in consumables per year				
Plasma etch processes	Alternative etch chemistries					Lowest ESH impact etch chemistries					
CVD chamber clean (plasma)	Low ESH impact CVD chamber clean chemistries					Low ESH impact CVD chamber clean chemistries					
<i>Front end Processes</i>											
High-κ materials	Lowest ESH impact high-κ materials			ESH benign processes						Transistor performance and device development	
High-κ materials	Low-hazard deposition, etch, and cleans processes			ESH benign processes							
High-κ materials	High-κ materials without potentially toxic/ bioaccumulative metals			Lowest hazard compounds and processes							
Doping (implantation and diffusion)	Lowest hazard dopant materials and processes										
Surface preparation (stripping, cleaning, rinsing)	ESH-friendly wafer clean and rinse processes and tools evaluated					ESH-friendly wafer clean and rinse processes and tools incorporated into manufacturing					
Novel wafer cleaning (supercritical CO <sub>2</sub> , etc)	Novel wafer cleaning technologies evaluated					Novel wafer cleaning technologies implemented					
Front-end etch	ESH-friendly etch processes evaluated					ESH-friendly etch processes implemented					
<i>Lithography</i>											
<i>New Equipment</i>											
Optical	Characterization of	Minimal ESH impact from radiation, ergonomics, chemical consumption, and disposal				Minimal ESH impact for ionizing radiation, ergonomics, chemical consumption, and disposal				Next generation	

	ESH impacts				lithography
193 nm immersion lithography	Low ESH impact resists	Low ESH impact immersion fluid additives, fluids and resists			
EUV	Characterization of ESH impacts	Minimal ESH impact from ionizing radiation, ergonomics, energy consumption and source gas			
PFOS/PFAS**	Non-critical uses eliminated	Non-PFOS/PFAS alternatives researched			Non-PFAS materials developed for critical uses in photo-lithography
Mask cleaning	Cost-effective, ESH friendly technology (e.g., supercritical CO <sub>2</sub> )				

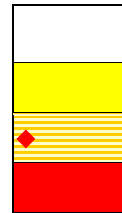
The status of some of the entries for 2005 is shown as "YELLOW", because the ESH TWG felt that there was still some work to be done. However, since the status was closer to the "WHITE" than the "RED", the TWG elected not to use the "INTERIM SOLUTIONS" color code for these line items.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Table 3a:

\* Everything that is not identified as a critical use.

\*\* Critical uses of PFOS includes use in a photo-microlithography process to produce semiconductors or similar components of electronic or other miniaturized devices as a:

- Component of a photoresist (including PAGs and surfactants)
- Component of an anti-reflective coating

最後に、一部見直しを行った将来起り得る、化学物質の使用禁止又は制限に対する審査表を、その最初の目的と適用範囲と合わせて掲載しておくことにする。表の後にまとめたコメントにも目を通して下さい。

## 将来起り得る、化学物質の使用禁止又は制限に対する審査表

### 1. 目的

この表は、特定物質の使用に関する既存または将来の法律や製造者に課せられる制限を確認するための補助として使用できるように作成されたものです。

### 2. 適用範囲

このツールは、一つの選別の手段を与えるもので、完全なリスク評価のツールではない。選別する際の焦点は、ある物質の使用に関する法的規制の可能性について置かれていて、生産で使用する材料の認定に使用される、より広範囲なリスク評価のための代替物質を示すものではない。

## 3. 制限区分の定義

問題点と特徴	製造中止の原因となりうる物質	高リスクの物質	中リスクの物質
化学薬品の製造、輸入と使用、又はそのいずれかに関する政府の既存又は今後の規制	1. 関連政府当局が以下に並べた一つ又はそれ以上の化学薬品や材料の製造、輸入と使用、又はそのいずれかを禁止 2. 主要な製造業者が以下に並べた一つ又はそれ以上の化学薬品や材料の段階的な生産中止を自主的に着手しているか、表明している。	1. 関連政府当局が以下に並べた一つ又はそれ以上の化学薬品や材料を使用禁止や厳しい使用制限の具体的な対象と 2. 主要な製造業者が以下に並べた一つ又はそれ以上の化学薬品や材料の段階的な生産中止の検討を示唆して	1. 関連政府当局が以下に並べた一つ又はそれ以上の化学薬品や材料を使用禁止や厳しい規制の対象として確認し 2. 以下に並べた一つ又はそれ以上の化学薬品種、化学薬品や材料 ESH に対する影響について報道機関で議論されている。 3. 深刻な ESH に対する影響(例えば、TOSCA 項目 8 (e))が発見されたことにより、報告義務が生じたことを受けて、以下に並べた一つ又はそれ以上の化学薬品や材料に関する研究結果が政府機関に提出されて 4. 半導体製造市場への供給者である主要な化学製品製造業者が以下に並べた一つ又はそれ以上の化学薬品を彼らの製品で使用しないことを契約に盛り込むことを示唆した。

## 4. 潜在的制限表

問題点と特徴	製造中止の原因となりうる物質	高リスクの物質	中リスクの物質
既存又は今後の製造又は使用に関する規制の対象となる化学薬品又は原材料のリスト	アスベスト(石棉) 特定のグリコールエーテル ポリ塩化ビフェニール(PCB) 完全ハロゲン化クロロフルオロカーボン(フロン類 CFCs) 四塩化炭素 1,1,1トリクロロエタン ハロン 1211、1301、2402 ヒドロプロモフルオロカーボン(HBFCs) HCFC 141b	ヒドロクロロフルオロカーボン(HCFCs) パーフルオロオクチル・スルホン酸塩(PFOS) カドミウム化合物 鉛化合物 水銀化合物 六価クロミウム化合物	PFCs -SF6      -C4F10 -C2F6      -C5F12 -CF4        -C6F14 -NF3 -C4F8 -CHF3 -C3F8 HFCs
	ポリ臭化ビフェニール(PBBs)とそのエーテル類及び酸化物(PBDEs) カドミウム化合物 鉛化合物 水銀化合物 六価クロミウム化合物 ポリ塩化ビフェニール(PCB)/ポリ塩化テルフェニール(PCT) ポリ塩化ナフタレン(PCN) 短鎖塩化パラフィン(C10-13、Cl >50%) 三臭化錫(TBT)とトリフェニール錫化合物(TPT) 一部のアゾ染料		パーフルオロオクタン酸(PFOA)とその塩 フタル酸エステル類の一部 フェノール類 パーフルオロアルキルスルホン酸塩 エチレンオキド エチレンクロライド

太字で書かれた項目は、その物質が最終製品に含まれている場合に限りて当てはまり、プロセスで使用されるが、最終製品に含まれないならば、許容される。斜字で書かれた項目は、その物質が単にプロセスで使用されているだけならば、該当する制限を受けることになるが、もし最終製品に含まれるならば、より厳しい制限を受けることになる。その他の項目は、最終製品に含まれているか否かに依らず、同じレベルの制限を受けることになる。この表は、物質の使用に関する法的な制限にだけ着目して作成されていて、より広いリスク評価、または化学薬品の使用許諾の一部として行われるより綿密な ESH 評価に置き換わるものではない。



### 11-3 国内活動

#### 11-3-1 JEITA-LCA WG での活動

昨年度まで JEITA-LCA WG の活動として、180nm のロジックプロセスをモデルとしたウエハープロセス並びにアセンブリー&パッケージ工程の環境負荷の算定を実施して来た。しかしながら、これだけでは不十分で、半導体デバイスを使用するユーザーに対して環境負荷データを提供するという観点から集積回路1個当りの LCI(ライフ・サイクル・インベントリー:使用材料だけでなく、廃棄物等も含む) データを示す必要がある。そこで、今年度、ユーザーが利用しやすい方法で、これまでの成果をまとめて提供できる見通しを立てたので、その骨子を説明する。

#### 11-3-2 集積回路の環境負荷量の算定に関する実際的な課題

##### 11-3-2-1 LCA を実施する真の目的

半導体集積回路の LCA を実施する目的は大きく分けて 2 種類ある。

一つは半導体デバイスの製造段階での環境負荷低減ツールとしての活用であり、二つ目は完成したセット製品の環境負荷の算定である。今回の報告は、半導体デバイス業界が自ら環境負荷低減の活動に利用する以上に、集積回路のユーザーであるセットの製作メーカーがインベントリーデータerを必要としていることから、過去に行われていた LCI 算定の矛盾点を解消し、なるべく精度の高い利用可能な LCI をどのように提供するかという検討結果を示す。

すなわち、集積回路の供給側から、ウエハ状の半導体基板についての LCI データを直接ユーザーに伝えたところで役には立たないため、パッケージ化されたものについてのデータ提供の方法を考案したものである。

##### 11-3-2-2 従来までの LCI(環境負荷インベントリー)算出事例

従来、「完成した半導体集積回路1個分」に関する LCI 算定事例は非常に少なく、全世界で数例程度しかない。

例えば、1個当たりの製造に必要なエネルギーで示せば

<b>32M-DRAM</b>	-----	<b>41MJ</b>	<b>(2002, United Nations University)</b>
<b>64M-DRAM</b>	-----	<b>13MJ</b>	<b>(2000, NEDO-JAPAN)</b>
<b>Logic of 6 layers metal</b>	--	<b>5MJ</b>	<b>(2004, JEITA-JAPAN)</b>

数字が大きく異なる理由は定かではないが、それぞれのチップ面積の設定が異なっていることが一つの要因と考えられる。

<b>32M-DRAM</b>	:	1.6 cm <sup>2</sup>	(文献値からの計算値)
<b>64M-DRAM</b>	:	1.35 cm <sup>2</sup>	(文献値からの計算値)
<b>JEITA STD LOGIC</b>	:	0.6 cm <sup>2</sup>	(想定値)

##### 11-3-2-3 従来のセットメーカーへの回答事例と課題

集積回路 1 個分の LCI のデータ要求に対する回答は、通常、その製品が製造されているサイトの合計環境負荷量を製造個数で除したものを採用していた。すなわち、集積回路の規模を無視して、単純平均的な値を提示するに留まっていた。言い換えれば、「3 ピンの集積回路も 1700 ピンの集積回路も同じ環境負荷値である」と

していることになっており、常識的に数百倍も異なると思われるものを同じ値とする不合理がある。

一方、最近のユーザー側の姿勢も変化してきており、完成したセットのトータルの環境負荷を小さくするためのサプライヤー選定の意向が見られるようになってきている。

そうなれば、比較的小さな機能のデバイスのみを製造する半導体メーカー（生産個数は多い）と複雑な機能を持つデバイスを製造する最先端工場のメーカー（生産個数が少ない）では平均値が異なり、公平な取り扱いとはならない問題点が発生する。

#### 11-3-2-4 予想される LCI 結果のバラツキ

半導体デバイスである集積回路の LCI データは事実そのバラツキ (variety) の幅が大きく一律に記述することが一般的には困難である。従来まで、何例かの評価例があり公表されているものの、それらの値は大きなバラツキを示している。これらのバラツキは単に「算出精度が悪い」あるいは「インベントリー調査が不十分」であると断言できるものではなく、集積回路そのものの「機能単位の定義」の曖昧さに起因するものと思われる。すなわち個々の計算事例はある特定のデバイスについてのものであり、同種外形を持つ他の用途のものには適用できない。それにも増してパッケージの種類は多く、サイズや端子数も異なるものについて汎用的にあてはめるのは非常に困難であるのが実情である。

また、半導体デバイスである集積回路の製造技術は日進月歩であり、LCA の対象とすべき製造プロセスは日々変化しており、且つ、複雑で処理時間が 1~2 ヶ月の長大な製造プロセスとなっている。

他方、完成した集積回路そのものの外見は「小さな一つの部品」であり、抵抗やコンデンサーと大差のない感触を与えるが、実際の中身は能動素子であるトランジスターが数千万個集積された非常に複雑で巨大なシステムであり、「小さなモンスター」であるとも言える。すなわち、集積回路の機能単位であるシステムの大きさをどのように表現するかが課題であり未だ明確にはなっていない。本来の集積回路の目的である「電気的信号の処理システム」は用途毎に千差万別であり、真の意味でのその集積回路システムの大きさは、その外見とは全く別物であり、大きな幅を持っている。ここでは、具体的に集積回路 1 個分の環境負荷値 (LCI データ) をどのように誤解無くユーザーに提供できるか、その方法論について報告する。

### 11-3-3 環境負荷量が確定出来ない理由

一般的には、集積回路製造時のエネルギーと材料が明確になれば LCI は可能との見方があるが、それは単に、特定のシリコン基板 (ウエハープロセス) の LCI であり、算出結果を汎用的に利用するには以下の理由で無理がある。

#### 11-3-3-1 半導体製造産業に於ける特質

半導体デバイスの製造において一般的な製品と最も異なる要素は「歩留」という魔の手に支配されていることである。すなわちシリコン結晶基板及び各種生産材料を製造工程に投入してから完成するまでの間、完成品としての製品の品質保証が全く出来ないことであり、製造工程の最終段階でユーザーに引き渡す直前に実施する電気的な動作テストが終了するまで実際に製造した完成品の生産数量すら確定できないのである。そのため、ユーザーに対して納入すべき数量から歩留で逆算して必用な材料を投入するが、時として歩留が大きく変化し数量齟齬を引き起こすことがある。リスク回避のため、たいがい必用以上に過剰生産してしまっているのが実情である。歩留に影響する要因は通常は製造工程で発生する微細ダストによる回路欠陥が主たるものであるが、回路設計上のマージン、動作速度など各種の要因が介在する。極端な例では、製造後ユーザーからの仕様やスペックの変更で、一旦良品とした製品が後から不良品となり、生産数量が減少することすらある。従って歩留は一定ではなく、用途・仕様を含む各種要因で異なってくる。

### 11-3-3-2 集積度が時々刻々変化する。

集積回路の特長は小さなスペースに巨大なシステムを詰め込むことが可能なことであるが、どれだけ多くの能動素子であるトランジスターを詰め込むかが今日の半導体デバイスメーカーにおける「機能/コスト」指標であり、世界中で熾烈な開発競争が行われている。そのため、シリコンチップ上に描画される回路線幅は次第に細くなりつつある。すなわち一定のチップ面積上に集積されるトランジスター数は毎年飛躍的に増加する傾向がある。そして集積回路の心臓部であるシリコンチップは同じ機能なら回路線幅が小さくなるにつれ、その面積は小さくて済む。すなわち同じ機能であってもチップサイズが大きく異なるという性格がある。

### 11-3-3-3 集積度向上のための技術開発

上記の如く集積度を向上させる手段としては単に回路線幅を小さくするだけではなく、トランジスターの配置効率を向上させるため、2 次元的に配置されている配線を複数の層に分担させ、配線を自由に交差できるようにする。すなわち多層プリント基板と同じ原理で、集積度を向上させることができる。

そのため、集積回路のチップ上でも多層配線が行われるようになり、製造工程が長く、複雑になりつつある。従って、1 枚当たりのシリコン基板の製造に関わるエネルギー・材料も増加傾向にある。その上、現実の生産工場では多種類の異なる製品、異なるプロセスが混在して生産されているので、上記の状況を勘案して、それぞれの製品やプロセスに適切な環境負荷量の配分をしなければならない。

### 11-3-3-4 上記の要素を考慮した LCA 実施の困難性

既に述べたように、外見上同一の電気的な信号処理機能であっても、製造した時期、製造方法によりチップサイズやプロセスの負荷量が異なるがそれらを忠実にトレースし個々に算出するには相当の手間と労力が掛かり、日々変化するパラメーターまで組み入れる必要が出てくる。例えば多くの労力を費やして算出を実施したところで、特定の集積回路のものであり、汎用性が無くさらに、算出の度に異なる値が出る可能性があり、透明性・信頼性を逆に失うような結果になりかねない。すなわち LCA 実施者からみて費用対効果が期待できるレベルにはならないのが明白な状態である。

更に、ロジック系の集積回路は特定用途(ASIC)が多く、機種毎に一々算出する手間が発生する。

これらの困難性を回避するには汎用的な算出方法を考案する必要があり、そうでなければ、LCA 実施の効果から環境負荷低減活動への貢献は出来ないと考えている。

## 11-3-4 汎用的な算出方法の提案

先の検討で 6 層メタル、180nm のロジックプロセスを標準プロセスとして設定したように、100 ピン QFP のロジックをモデルとして算出例を示した。しかしこれもある意味では特定の事例であり、汎用的な事例では無い。ここでは、集積回路の機能単位はどうかを明確にすると同時に以下の視点で LCA データーの提供方法のあり方を考察した。

### -3-4-1 ユーザーへの環境負荷データー提供のあり方

WG の活動目的である半導体デバイスの環境負荷値(LCI データ)のユーザーへの提供方法のあり方について論議し、次のような検討方針を立てた。

### 汎用的な算出方法の提案

- ・各種タイプのパッケージの集積回路について、ユーザー自身で算出できる環境を提供する。  
(ユーザーが自社製品であるセットの LCA を実施するに当り、ボード上の個々の集積回路について、夫々のデバイスメーカーに対して一々問い合わせをしなくても良いようにする。)
- ・算出に当っては、簡便でユーザーフレンドリーであること
- ・ユーザーの混乱を避けるため、単純であり、且つ少ない数のパラメーターで環境負荷を算出できる方法を開発する。
- ・できる限り、半導体デバイスの外観から、判断できる方法が好ましい。
- ・半導体メーカー毎の区分けをしなくても良い方法が好ましい。

#### 11-3-4-2 平均化と各種前提条件の設定

上記の方針に沿ってなるべく単純な「機能単位」を設定し、平均的な値を算出できるようにする。

元来、個々のインベントリーデータ自身がモデル製造プロセスの条件設定のやり方で大きく変化する要素(例えば、パッケージサイズやチップサイズにより段階的に材料使用量が急変する場合など)があるため、評価対象システムの大きさに比例して順次連続的に変化するように算出する。これは、統計的に多数のデバイスメーカーや異なる製造工場の平均的な変化率と捉えた場合はシステムの大きさに対して連続的に変化する筈であるとの論理的考察に基づくものである。すなわち機能単位に基づく「システムの大きさ」に対して、環境負荷は単調な増加曲線を描くとの前提を設けることである。そのことにより、環境負荷値(LCI データ)は極端な値を示すことなく、平均的、汎用的に算出できるようになり、利用価値が大きく増大する。言い換えれば、ある特定の集積回路の真の環境負荷量と異なる値を算出することになるかもしれないが、平均的な値が算出され、バラツキの無い LCI が可能になると言う事である。同じことが、6 層メタル、180nm ロジックプロセスと設定したことにも言える。すなわち、現実の世の中は新旧のウエハー製造工場が混在しており、真の環境負荷は大きくバラツク結果となるところが、モデルプロセスを採用することにより、平均的な値が得られるのであり、利用価値が大きくなる。当然ながら、JEITA-LCA WG は今後も世の中の平均的プロセスノードのモデル構築を逐次実施し、平均的な値が常に算出できるようにメンテナンスを実施していく意思を持っている。

#### 11-3-4-3 集積回路の機能単位の候補

集積回路は用途によって機能が大きく変わるため、一概に機能単位を設定できない状況であるがここでは、無理やり、集積回路の機能単位として考えられる候補を列記してみる。

## 集積回路の機能単位の候補

- |                              |                          |
|------------------------------|--------------------------|
| 1) 能動素子数(=MOS 型トランジスターの数)    |                          |
| 2) 記憶容量(=ビット数)               | 特殊で汎用性がない。               |
| 3) 演算速度(桁数=バス幅、応答速度、クロック周波数) | 同じ土俵に乗れない。               |
| 4) 論理ゲート数                    |                          |
| 5) 入出力外部端子数(ピン数)             | これが適切と判断する。              |
| 6) パッケージ寸法(長さ)               |                          |
| 7) パッケージ投影面積(縦×横)            | 環境負荷との関連性が疑わしい。          |
| 8) パッケージ体積(縦×横×高さ)           |                          |
| 9) パッケージ重量                   |                          |
| 10) 価格                       | 良い指標であるが、実勢価格の値下げが大きすぎる。 |

これらの機能単位候補から、11-3-4-1 で述べた方針に沿って選定を行うとすると 1) ～4) の候補は製造メーカーに問い合わせが必要であり、且つ正確な技術情報を入手する必要がある。実際各種機能に広がりを持つ各社の技術情報を一同に集めることは相当の手間と時間とコストが必要となる。さらに汎用性という観点から同じ土俵に乗せることは不可能である。(例えば CPU と液晶ドライバー、あるいはゲートアレーなどでは全く異なる数値や表現になってしまうと混乱するのが関の山である。)

また、6) ～ 9) の候補については、最も環境負荷が大きく、キャストイングボート握るシリコンチップの大きさを同定するに可能な要素ではなく、不適切であると考えられる。ただ 10) の「価格」については、環境負荷量との関連性は大きく、原単位としての指標として取り上げられることもあるが、昨今の半導体業界の価格競争は激しく、デバイスの市場価格下落は常態化しており機能単位としては不適切であると言える。

ここでは是非とも論じておくべき観点が一つある。一般的に LCA あるいは LCI を実施するに当たり、素材や材料や、製品について統一的な単位であるそれらの質量(=重量)を簡易的に使用する例が多い。しかしながらこの単位は半導体集積回路について論じる際には奇異な感触を与える。すなわち、「電気的信号処理システム」である集積回路の本来の目的は電気信号の処理であり、重さに関わる要素は全くない。極端な言い方をすれば、重量は「ゼロ」でもかまわない。近年は半導体パッケージも小型化され、非常に軽量化されている。従って、質量(重量)あたりの環境負荷値は他の製品に比較して格段に大きい値になっている。これを捉えて「半導体は環境負荷が大きい」と称されてはたまらない。この論法で行くと「鉛のヒートシンクを取り付けると環境負荷が低下する」ということになってしまう。

## 11-3-4-4 最も適切な機能単位の候補

上記の考察より残された候補は、5) の「入出力外部端子数(ピン数)」しかないように思われる。

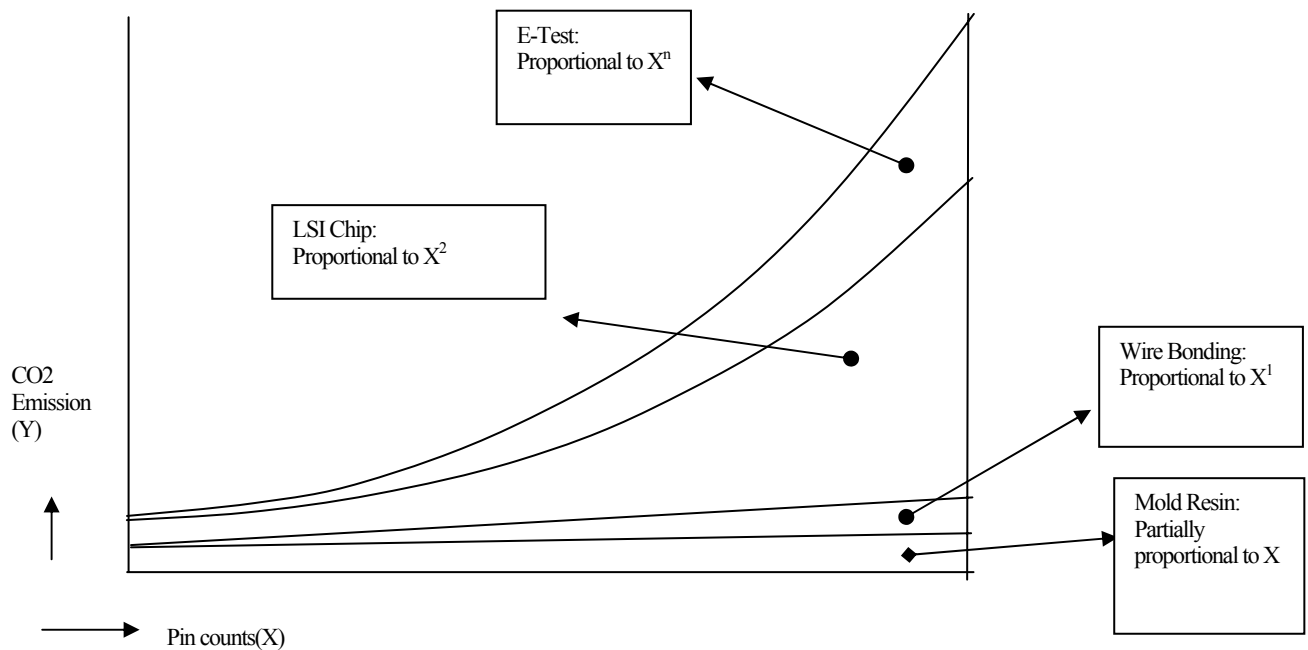
### 11-3-5 汎用的な LCI の算出方法の考え方

各種パッケージ、用途のものについて、ピン数を機能単位として設定し、平均化した以下の要素を調査・検討し、製造段階の環境負荷量を算定するという考え方である。

#### <集積回路の構成要素>

- ① シリコンチップ（チップ面積に比例した前工程の材料・エネルギーなど）
- ② ウエハーテスト（主に電力）
- ③ 樹脂
- ④ 金線（ワイヤボンディング）
- ⑤ リードメッキ
- ⑥ リードフレーム
- ⑦ BGA基板
- ⑧ ダイペースト
- ⑨ ダイシングテープ
- ⑩ ファイナルテスト（電力などの環境負荷）
- ⑪ アセンブリー製造用電力（電力・水などの環境負荷）

（それぞれに環境負荷量のピン数依存性を明確にすることが必要）



図表 11-3 ピン数からデバイス製造に関わるトータルの環境負荷量を算出する方法の概念図

### 11-3-6 入出力外部端子数(ピン数)に関する調査(チップ面積の調査)

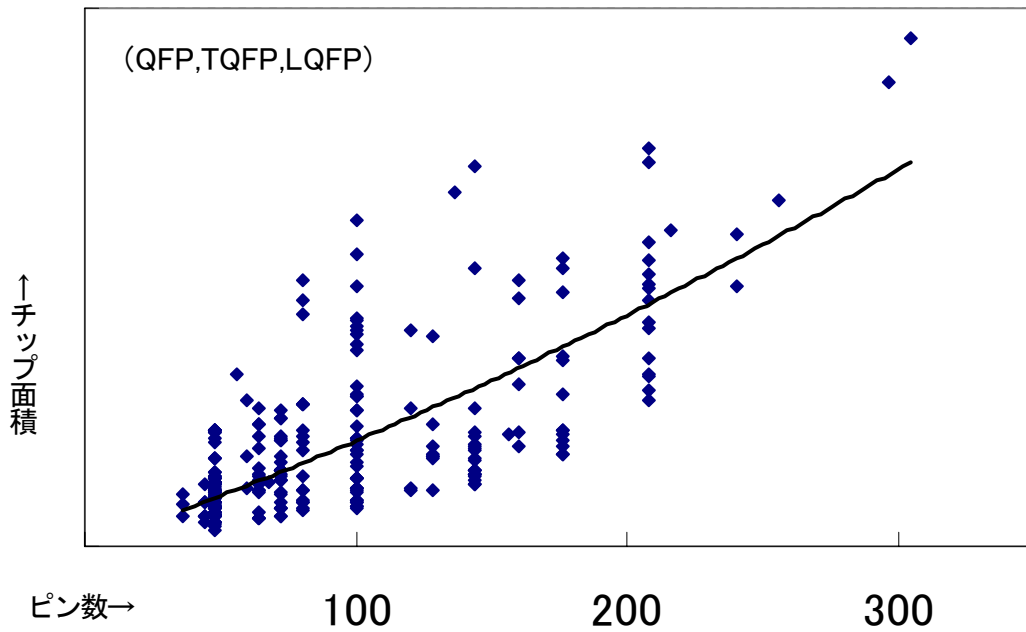
パッケージ化された集積回路の環境負荷の第1要因としては当然のことながら、シリコンチップであり、全体の概略 90% 程度に及ぶ、その為、ピン数とチップサイズの関連性を WG 参画各社で調査し、どのような特性やバラツキがあるのかの調査を実施した。

#### 11-3-6-1 調査結果の概要

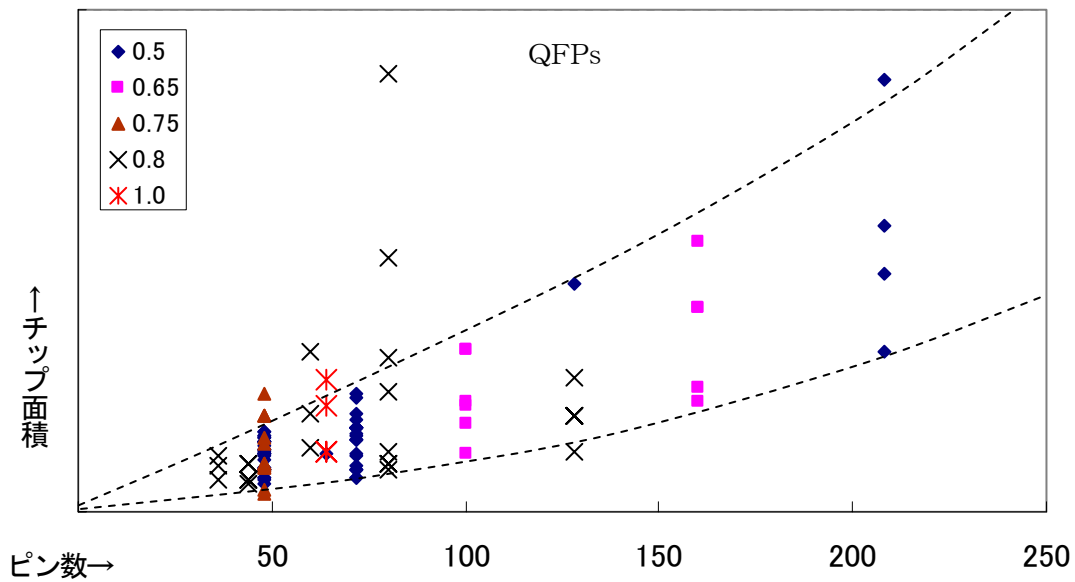
JEITA 半導体環境安全委員会傘下の LCA WG に参画している数社の協力を得て、約 700 個分の集積回路についてピン数とチップサイズを調査した。その結果の概略は以下のようになった。

- a) ピン数 (X) とチップ面積 (Y) は単調な関係と見ることが可能である。  
(すなわち原点を通る2次、もしくは3次の多項式で表すことが可能) (図表 11-4 参照)
- b) 半導体メーカー間で大きな差は無いと言える。
- c) 同一ピン数でもチップ面積が最大 10 倍程度異なる場合もあるが、約半数のサンプルは $(Y)=f(X)$  で表現できる回帰曲線に対して  $\pm 30\%$  程度のバラツキの範囲内に収まるような分布を示している。
- d) QFP 類はどの種類(QFP、QFP-2 スタック、LQFP、TQFP の 4 種)も同じ分布傾向を示す。
- e) ピンピッチの大小によるチップ面積の差は見られない。(図表 11-5 参照)
- f) BGA (BGA, FBGA) ではチップ面積のピン数依存性が他のパッケージタイプに比して緩やかに変化する。  
(図 6-3 参照)  
(特にピン数が 200 を超える場合、チップ面積が大きくなるとは限らない。エンジニアが BGA を選択する理由は多くの I/O を必用とするのが主な理由のように思われる。)
- g) マルチチップ(3~5 チップ)はサンプル数が少なく一貫性の無いデータとなっている。  
チップ面積の合計値は調査範囲内では分布中心より大きく外れることはなかったが予想に反して面積が必ず大きいとは限らなかった。稀なケースとして、現時点では、特別に考慮する必要はないと思われる。
- h) メモリーと思われるものは平均的なデバイスのチップ面積より異常に大きいと言う特徴が認められる。  
メモリーはピン数に対して、限界まで、チップサイズが大きくなっていると考えられる。  
一方、ロジック系は、必用機能でピン数が決まってくる為、用途ごとに、チップ面積が異なる。  
(図 5-3 参照)
- i) SOP 類4種(SOP, SSOP, TSOP[ I ], TSOP[ II ])、  
DIP 類2種(DIP, SDIP)、は同じ傾向を示し、一つの群と捉えることが可能(図表 11-7 参照)
- j) チップサイズの縦横比は QFP が最も小さい。(最も正方形に近く、バラツキも小さい。)(図表 11-8 参照)
- k) DIP は元から長方形になっている傾向があり、縦横比のバラツキも比較的小さい。(図表 11-8 参照)
- l) 回帰曲線は基本的には合計4種類程度に集約が可能であるが、メモリー専用のものなど特異的な特性を示す現象に対応する回帰曲線の設定が必要となった。
- m) 以下のものはデータ数が少なく、バラツキの範囲などを充分評価できない状況であったが、概ね一つの群ととらえて「その他」という分類で回帰曲線を設定した。  
MFT, QFN 類 5 種, SOJ, MFP, SOT, SON

現実には、新・旧のデザインルールの半導体チップが混在しているとの解釈をするとバラツキ幅の大きさについては本来的にもう少し小さな幅に収まっているとの解釈も出来る。

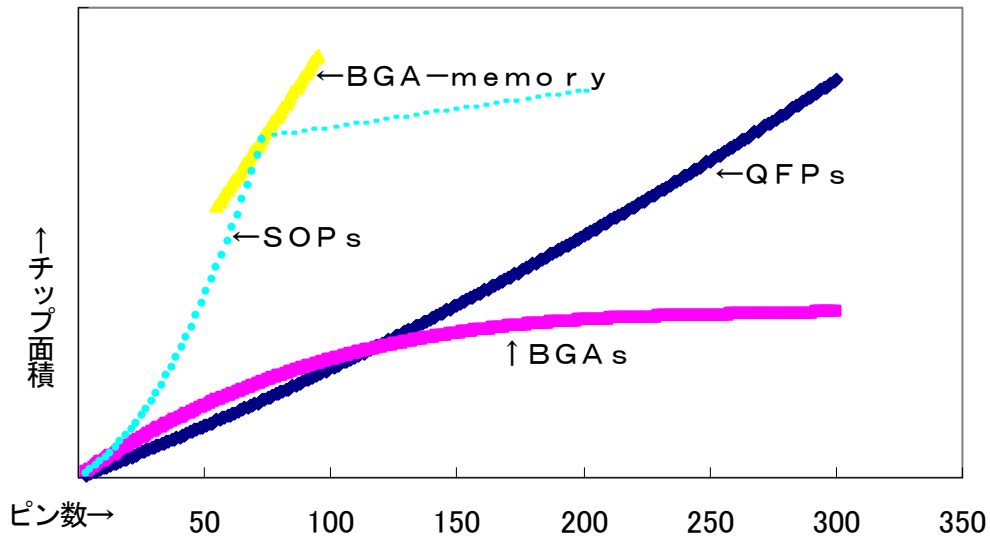


図表 11-4 チップ面積とピン数の関係

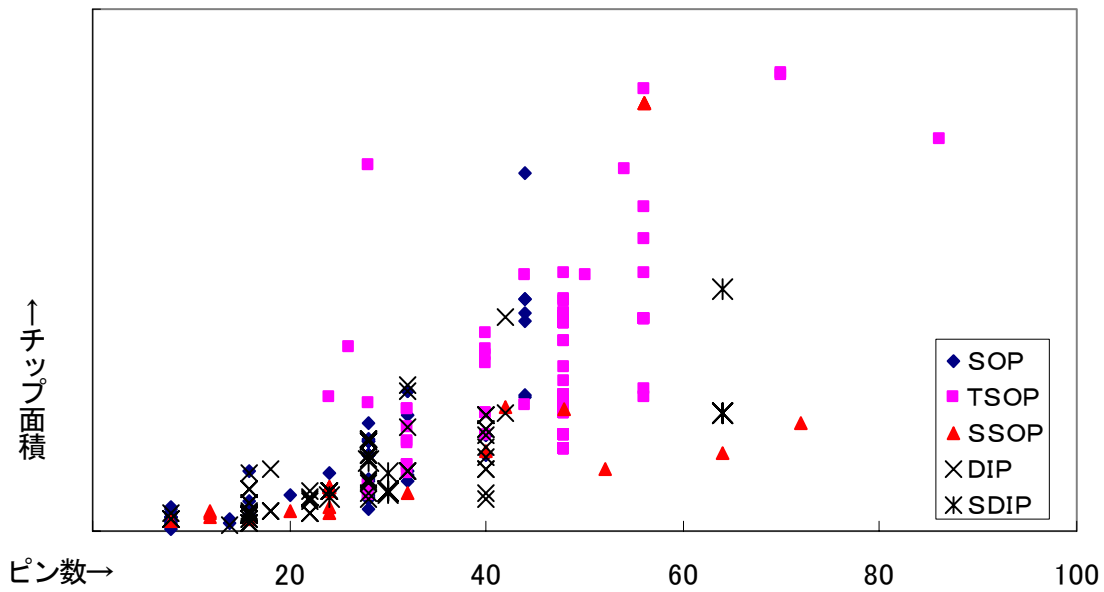


図表 11-5 チップ面積のピンピッチ依存性有無調査

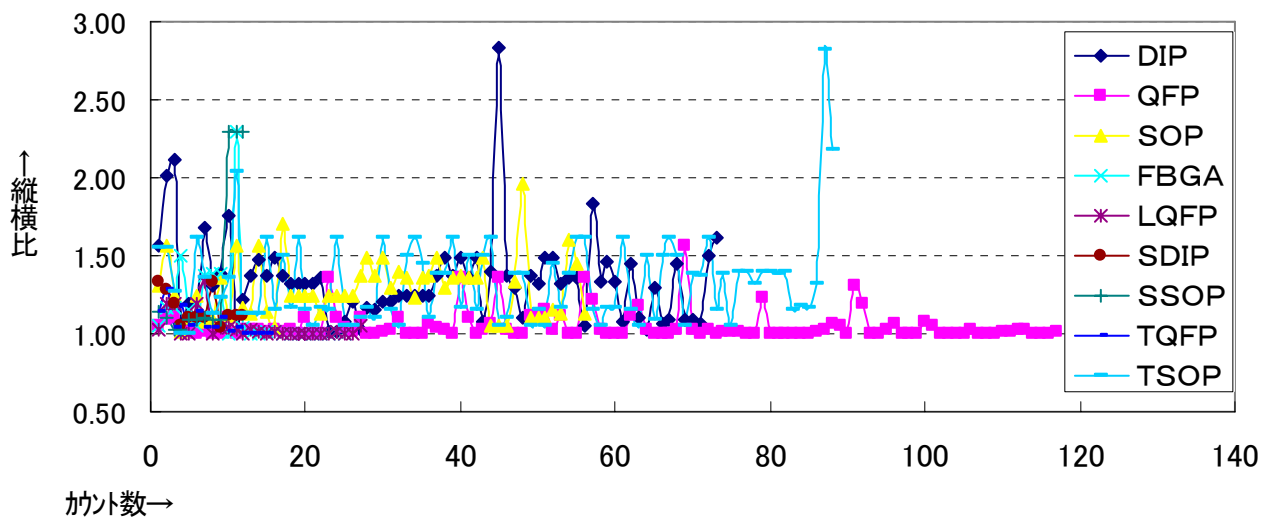




図表 11-6 チップ面積のパッケージ種毎依存性-1



図表 11-7 チップ面積のパッケージ種毎依存性-2



チップ形状はパッケージの形状に類似している傾向がある。

図表 11-8 チップ形状のパッケージ種毎依存性

### 11-3-7 調査対象とするパッケージの分類方法の考え方

前記のチップ面積の調査結果より、30ないし60種類あるパッケージについて、ある程度のバラツキ幅の増大を容認することにより、6種類程度に分類することが可能と考えている。分類方法の視点はなるべくユーザーフレンドリーであるべきとの観点から、パッケージの外観から単純に判定できるものとして、以下のような分類基準とした。

#### <パッケージの分類方法>

- a) パッケージの4方向に端子が出ているもの  
(The Packages those Pins are extruded "4-Directions")  
例: QFP、P-QFP、LQFP、TQFP、QFJ、
- b) 2次元の格子状に端子が配列されているもの  
(The Packages those Pins are distributed "latticed array".)  
例: BGA、P-BGA、T-BGA、FBGA、FLGA
- c) パッケージの2方向にピンが出ているもの  
(The Packages those Pins are extruded "2-Directions")  
例: SOP、TSOP ( I & II )、SSOP、SOJ、DIP、SDIP
- d) 単純な形式でパッケージを分類できないもの(その他のパッケージ)  
(The Packages those could not be categorized in a simple manner.)  
例: QFN、HQFN、VQFN、QIP、SON、SOT、  
SIP、HSS、MFP、MFT、CSP、others

尚、DIP、SDIP、は外形サイズが SOP 群と大きく異なる値を示すことから、実際に環境負荷値を算出する場合には区別している。又、BGA のメモリー (DRAM、フラッシュなど) は平均的なチップサイズより大きいため、これも算出時には区別している。PGA やセラミックパッケージについては、今回は例外として算出の対象には加えていない。

### 11-3-8 ピン数をパラメーターとするチップ以外の環境負荷量

上記の分析結果より、ピン数をパラメーターとする半導体チップの環境負荷、すなわちチップ面積に依存する環境負荷量の算出はパッケージ種毎に可能であることが判明した。次に、チップ以外の環境負荷要素すなわち、樹脂、金線、メッキ、リードフレーム、BGA 基板、ダイペースト、ダイシングテープ、などの使用材料の重量、E-TEST やアセンブリー工程の消費電力・水などの必要量をピン数をパラメータとして単純に算出が可能かどうかを調査した。

調査・研究の視点として、環境負荷量の相対的な重要度により、調査労力の比重の掛け方を考察し、①実際に調査が可能なもの、②なるべく単純な論理性を基本として、仮説的に構築するものに分け、十分な精度を確保しながら、調査労力を低減することにした。

#### 11-3-8-1 ピン数をパラメーターとして、実際に調査が可能と思われる項目

- ①樹脂重量
- ②金ワイヤ重量
- ③アウターリードメッキ重量(露出面積×メッキ厚み×比重)
- ④ボール重量 (BGA)
- ⑤リードフレーム重量
- ⑥BGA 基板重量

11-3-8-2 仮説的な構築で対応した方が調査労力が少ないもの。

- ①パッケージング工程のエネルギー消費
- ②パッケージング工程の水消費量
- ③E-TEST
- ④インナーメッキ
- ⑤ダイペースト
- ⑥ダイシングテープ
- ⑦完成品(JEITA モデル)の重量

11-3-8-3 調査結果

(1) 樹脂量の調査結果(QFPs)

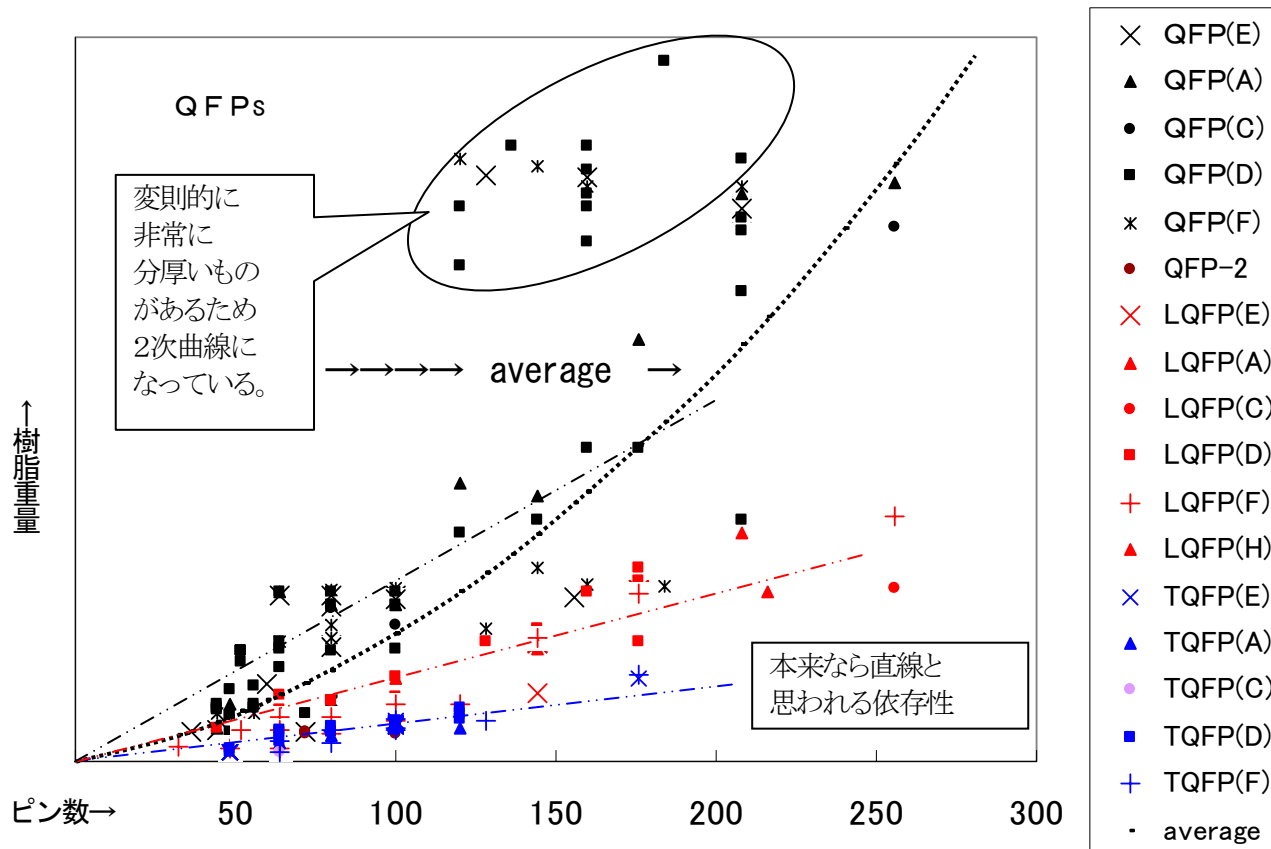
調査結果を図表 11-9 に示す。

- a) QFP の種類毎に樹脂重量が異なる。(パッケージ厚みが異なる)
- b) メーカー間の差はない。
- c) バラツキの主原因はピンピッチの違いによるパッケージ寸法の違いと思われる。  
(ピンピッチが大きいとパッケージの1辺の長さが大きくなる。)

尚、ピンピッチに関する考察は 11-3-8-3 (2)を参照

QFP, LQFP, TQFP のそれぞれについて、回帰曲線の設定は可能と思われたが、現時点では、それらを区別することなく 1 本の回帰曲線(図中の破線)で代表している。すなわち QFP の全平均として設定した。

ここで注意しておくべき点を述べておく。調査データは日本国内各社の現物のデータであり、製品中に残る重量として調査した。LCI を実施するに当たっては、環境負荷の原因となる製造工程への投入量に換算する必要がある。換算方法については、平均的な工場における材料歩留を想定し、設定している。なお、データは完成品に残る重量として調査し、その後製造工程へのインプット量へ換算している。

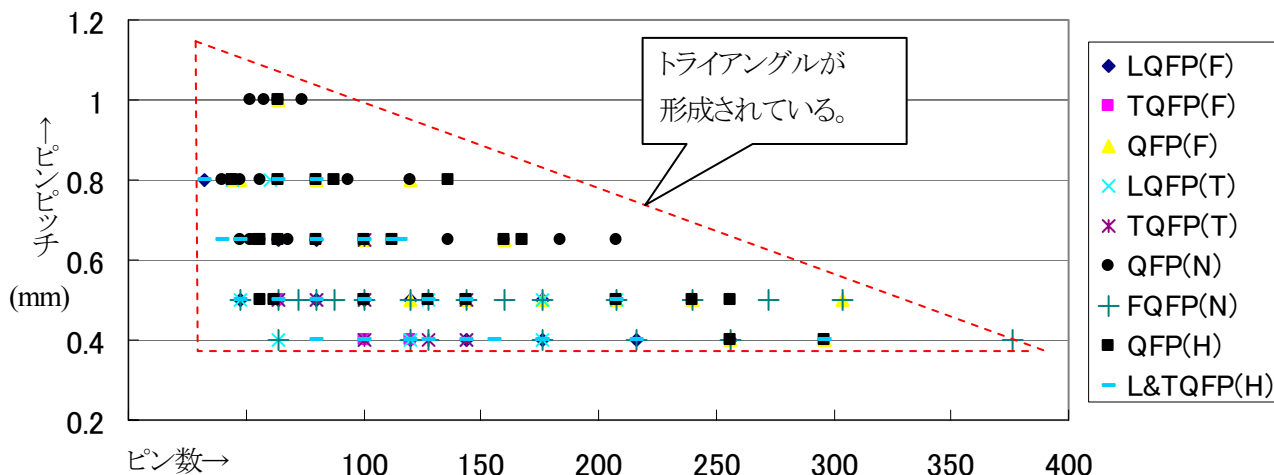


図表 11-9 樹脂重量のパッケージ種&amp;メーカ依存性

( )内のアルファベットはメーカの識別を示す。

## (2) カタログ情報の調査結果(QFPs)

論理的に、QFPパッケージの1辺の長さはピン数に比例すると仮定すると、その投影面積はピン数の2乗に比例することになり、樹脂重量も同じ傾向になる。すなわち一見、図表 11-9 は合理的に見える。しかし、図中の LQFP のみの回帰曲線(TQFP も同様)はほぼ直線となっている。公開されている日本国内各社のカタログからピンピッチとピン数に何らかの関係がないか調査した結果、図表 11-10 に示すように、ピン数が大きくなると、ピンピッチの大きいものは存在しなくなる傾向が判明した。外形寸法が大きくなるようにするための当然の結果である。



図表 11-10 QFP のピンピッチ分布

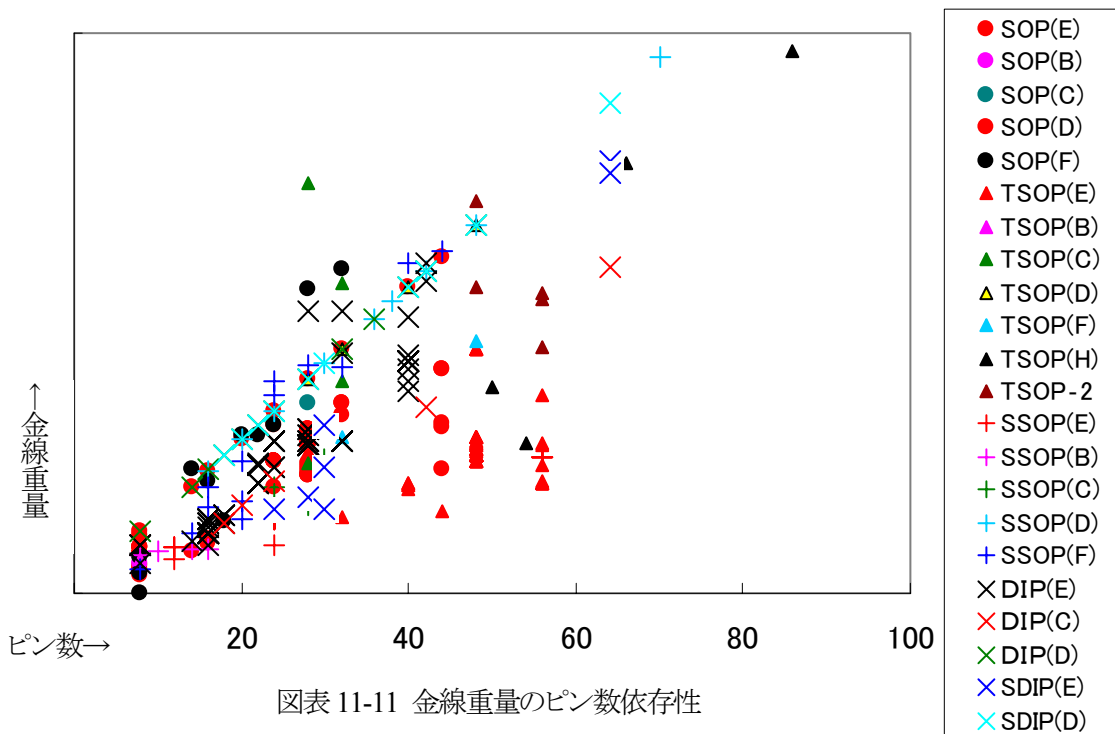
上記のような性格があるため、本来的には樹脂重量はピン数にほぼ直線的に増加する性質があると言える。今回の実態調査では、最も厚みの大きい QFP は厚みバラツキが大きく、各種の厚みのものが混在しており、それらの平均値が図表 11-9 のような 2 次曲線的なカーブを形成している原因になっているようである。すなわち、150 ピン前後に分厚い QFP が変則的に現れており、これらを除けば直線になるところであった。日本国内の平均値を出すと言う考えであるため、これらの変則的なデータも含めた平均値を採用する方針としている。

### (3) QFP 以外の樹脂重量のピン数依存性

既に述べた QFP と同様の手法で、BGA、P-BGA、T-BGA、FBGA、SOP、TSOP ( I & II )、SSOP、SOJ、DIP、SDIP、QFN、HQFN、VQFN、QIP、SON、SOT、SIP、HSS、MFP、MFT、CSP について調査した。BGA 群、SOP 群などそれぞれに特徴的なピン数依存性の回帰曲線が得られている。なお、調査結果は多岐に亘るのでこの報告書では省略する。

### (4) 金線重量のピン数依存性

金線は、アセンブリー工程の中では最も大きな環境負荷の要素であり、チップ製造に次ぐ大きなインパクトを持っている。金線の重量を決める要素はピン数が第 1 であり、線の直径と長さでも決定される。ピン 1 本当りの金重量は事実上、金線の長さそのもので決定されるがこの長さは、チップとインナーリード間の距離で決まり、リードフレームのダイパッドとチップ間の相対的寸法差でもある。一般的にはリードフレームのダイパッドの大きさを個々のチップサイズの寸法に合わせて一々準備することはしないので少々寸法差の拡大を許容して、金線が長くなるのを容認している。例としてパッケージの 2 方向にピンが出ているものについての調査結果を図表 11-11 に示す。



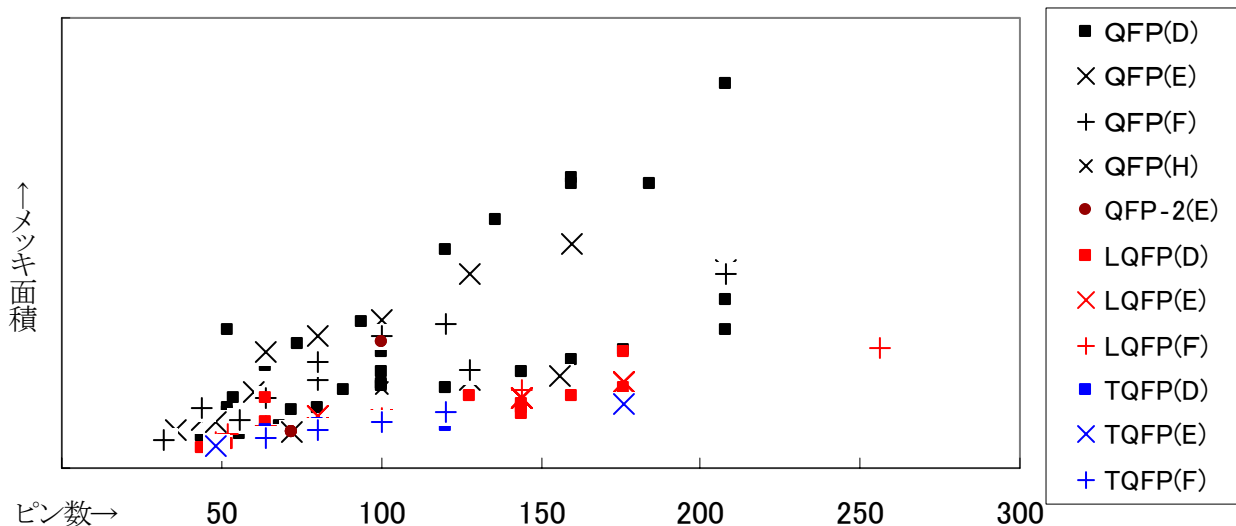
- 基本的にはどのパッケージ種も同じであると言える。
- QFP など他のパッケージ群も同じ結果であった。
- バラツキの幅が予想外に大きいものであった。ワイヤーの線径が異なるものが含まれている可能性がある。

る。

d) 金重量のピン数に対する回帰曲線は当然のことながら、原点を通る単純な直線であった。

(5) リードメッキ重量のピン数依存性

リードメッキはリードフレーム上に樹脂をトランスファーモールドした後、露出しているリードフレーム全体に行われる。メッキ量の調査は完成品 (product) に残るメッキ面積を各社よりデータとして収集し、平均的メッキ厚みと比重を乗じて算出した。従って、製造に投入されるメッキの重量は完成品中に残る量の数倍になるという前提で設定している。一例として QFP についてのメッキ面積調査結果を図表 11-12 に示す。



図表 11-12 メッキ面積のピン数依存性の一例(QFPs)

- a) パッケージ種ごとに面積が異なる。
- b) 平均的な値を示す回帰曲線は原点を通る直線である。
- c) DIP を除く他のパッケージ種もほぼ同様の結果を示す。(グラフは省略)
- d) DIP、SDIP は他のものに比べて約 1 桁大きい値を示す。(グラフは省略)

なお、日本国内の半導体製品カタログの調査(QFPs)からはリードの寸法形状のバラツキは次のような状況にある。

- e) リードの幅はピンピッチで異なる。(ピンピッチが狭くなるとリード幅も小さくなる。)
- f) リードの長さは最小 1.0mm から最大 3.5mm まで各種混在している。
- g) パッケージ厚みが大いもの程、リードが長い傾向がある。

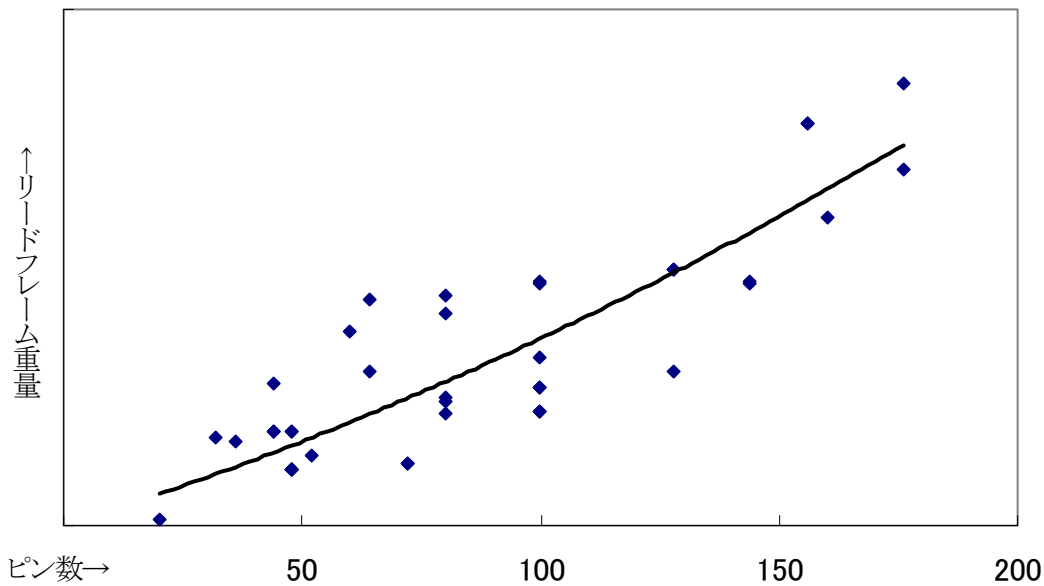
(6) BGA の半田ボール重量のピン数依存性

BGA のターミナルに使用される半田ボールの直径は、0.6mm、0.45mm、0.4mm、0.3mm の 4 種類に規格化されている。各社の調査データは、「球体の重量×端子数」で報告されておりグラフ化した段階で全てのデータポイントが単純な直線上に乗った。(グラフは省略)尚、鉛含有の場合と鉛フリーで比重が異なるので各直径毎に2本の線に分離している。LCIとして示す半田ボール重量は鉛フリーの値を採用している。

(7) リードフレーム重量のピン数依存性

調査結果を図表 11-13 に示す。リードフレームの重量調査は樹脂などの調査と同様に、完成品に残る重量と

して調査しているため、LCIを算出する時点で製造工程への入力重量に換算している。尚リードフレームは材料のサプライヤー側で金属板から加工した後の重量として算出している。



図表 11-13 リードフレーム重量のピン数依存性(QFPs)

#### 調査結果

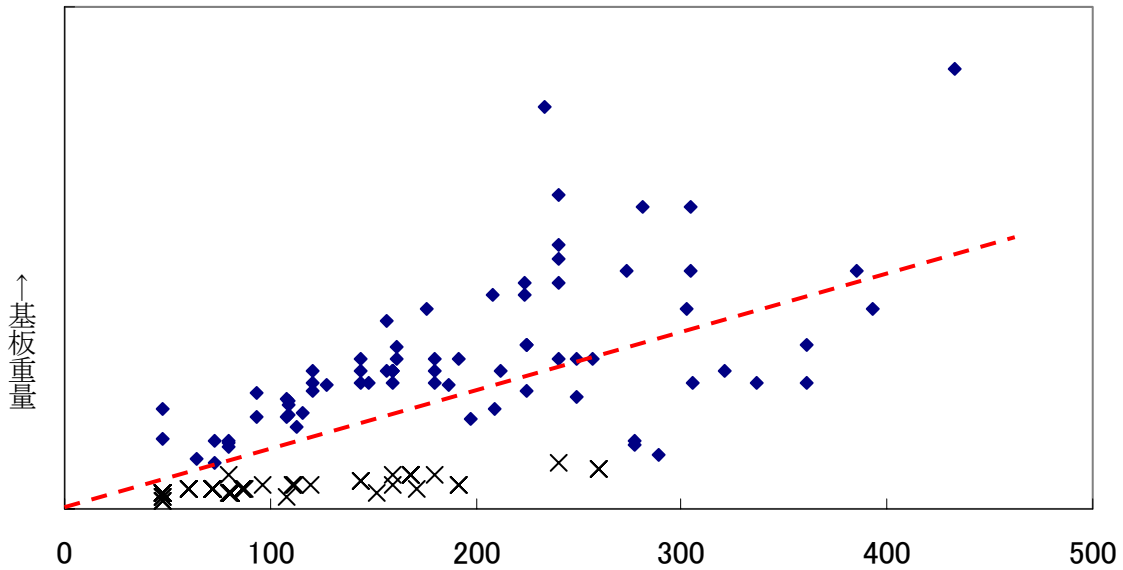
- a) パッケージ厚みの影響は見られなかった。(グラフ省略)
- b) 平均的な値を示す QFPs の回帰曲線は原点を通る 2 次の曲線で示すことが出来る。
- c) " SOPs の " 1 次の直線 " (グラフ省略)
- d) DIP、SDIP は他のものに比べて約 1 桁大きい値を示す。(グラフ省略)

#### (8) 基板重量のピン数依存性(以下ボール数を「ピン数」と表現)

調査結果を図表 11-14 に示す。

- a) チップのスタック数依存性は見られなかった。
- b) メーカー毎に異なる値を示す結果となった。原因は使用材料がガラスエポキシとポリイミドの違いによるものであった。(2 つの材料で厚みや比重が異なる)
- c) 日本国内の平均値を採るとの方針であるので異なる材料の平均値で回帰曲線を設定している。
- d) BGA ではボール数とパッケージの投影面積は論理的に 1 次の直線で比例すると考えられる。

すなわち、1 個のボールが占有する面積はボールピッチで一義的に決定されるからである。基板面積は、パッケージ投影面積と同じであるため、回帰曲線は原点を通る 1 次の直線とした。



図表 11-14 BGA 基板重量のピン数依存性(FBGA)

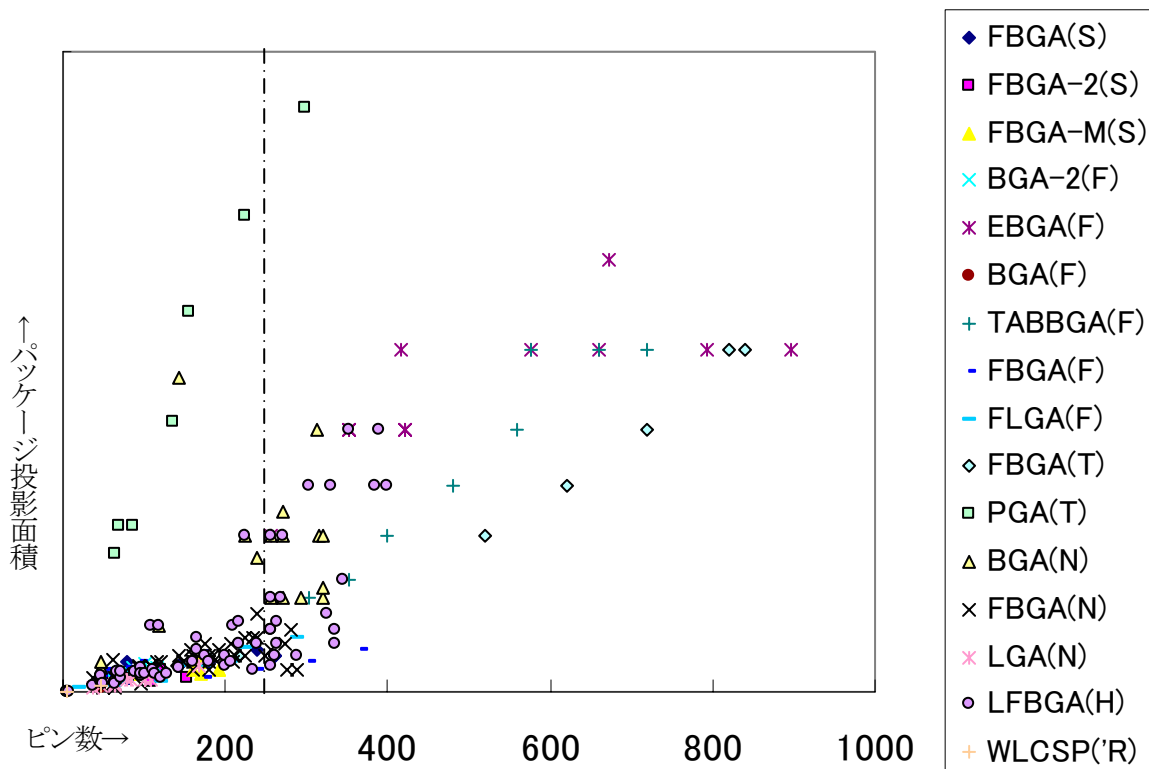
尚、日本国内の各社のカタログ調査では以下のような特徴が判明した。(図表 11-15 参照)

a) 250 ピン以下ではパッケージ投影面積はピン数に単純に比例する。

b) 250 ピン以上のものではボールピッチが大きくなる

通常、ボールピッチは 0.5、0.65、0.75、0.8、1.0、(1.13)、1.27、2.54 の各(mm)が存在する。250 ピン以上では、基板へ実装する場合、全てのピンを完璧にプリント基板へ接続するのが困難になるとの技術的判断(基板の反り)[4] から、BGA や SOP の場合と異なり、ピッチを大きくする傾向があった。

c) PGA のピンピッチは 2.54mm のみであった。(今回の計算の対象には含まない)



図表 11-15 パッケージ投影面積(BGAs)のピン数依存性



### 11-3-9 仮説的に構築したデータについて

既に述べた上記のデータ類は実際に調査して得たものであるが、製造現場の実態から、測定が困難なものが多数ある。そのため、以下に示すデータについては仮説的な考察を基にして、平均的に得られている値から、それぞれのピン数毎に配分している。

- a) パッケージング工程の消費エネルギーのピン数依存性
- b) パッケージング工程の水消費量のピン数依存性
- c) E-TEST のピン数依存性
- d) インナーメッキのピン数依存性
- e) ダイペーストのピン数依存性
- f) ダイシングテープのピン数依存性
- g) 完成品(JEITA モデル)の重量のピン数依存性

#### 11-3-9-1 ピン数依存性を決める要素の例

例えば、消費エネルギーは論理的にどのような形でピン数に依存するかの考察について、JEITA 参画の各社の委員の意見を集約して決定している。考え方については各種の論議があるため、本紙面では考え方の例を示すに止める。

- a) 単純にピン数のみに比例する
- b) チップの周辺長に比例する
- c) ピン数の N 乗? に比例する
- d) チップ面積に比例する
- e) チップ面積/歩留りに比例する
- f) リードフレームなど他の材料の重量に比例する。
- g) 上記の組み合わせに比例する。(例えば上記2項目の和・差・積・商など)
- h)  $\Sigma$  (材料×歩留り)に比例する

最終的には上記のパラメーターにそれぞれ係数を設定し、実測した代表値に整合するように調整してピン数依存性を示す多項式を決めている。

ただ、最も調査が困難であった例はE-TEST用の消費電力のピン数依存性であった。集積回路の用途は千差万別であることから、必要なテスト用電力量も千差万別であり、一定の法則性を見出すことは出来なかった。それに加え、新・旧のテスト装置の混在があり、高速デバイスは新型のテスト装置でテストする傾向が強く、概して最新の装置は旧来のものに比して大幅な省エネ仕様となっている。

そのため、ピン数の少ないものは旧来装置の電力消費の大きいものでテストされ、ピン数の多いものは新型の省エネ装置でテストされる状況があった。そのため、平均的に捉えようとしても、一貫性のあるピン数依存性を形作ることは出来なかった。このような過渡的現象により、歪が生じていると思わしきものは論理性を優先してピン数依存性を示す多項式を決めている。従って、個別の事例とは異なる結果となるのは仕方がないとの理解が必要である。

### 11-3-10 実際に算出された LCI の表示例

図表 11-16 にエクセルベースで作成された算出事例を示す。

		IF(基礎定数表の\$1=0, "適用外", 基礎	"Kumo"	"Tako"	"Takoyaki"	"Kani"	"GejiGeji"	"Others"
		QFPs	BGAs	BGA(memory)	SOPs	DIPs	その他	
13	デバイスのピン数(端子数)をここにしてください→	100	70	80	50	40	36	
14	参考 (JEITA標準モデルの集積回路1個当りの製品重量/[mg])	1.25E+03	1.59E+02	1.96E+02	7.54E+02	4.71E+03	4.28E+02	
39	素材 Trifluoromethane(CHF3/[mg])	7.38E-01	6.29E-01	2.48E+00	1.21E+00	8.47E-01	3.10E-01	
40	素材 Sulphur hexafluoride(SF6/[mg])	1.45E-01	1.23E-01	4.87E-01	2.38E-01	1.66E-01	6.09E-02	
41	素材 Octafluoropropane(C3F8/[mg])	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00	
42	素材 Octafluorocyclobutane(C4F8/[mg])	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00	
43	素材 Tetraethoxysilane (TEOS/[mg])	6.44E+01	5.49E+01	2.17E+02	1.06E+02	7.39E+01	2.71E+01	
44	材料 シリコン単結晶[mg]	6.95E+01	5.92E+01	2.34E+02	1.14E+02	7.97E+01	2.92E+01	
45	材料 樹脂中の溶解シリカ(package/[mg])	1.49E+03	1.11E+02	1.11E+02	7.71E+02	5.45E+03	4.64E+02	
46	材料 樹脂中のエポキシ樹脂(package/[mg])	5.31E+02	3.98E+01	3.98E+01	2.75E+02	1.95E+03	1.66E+02	
47	材料 樹脂中の三酸化アンチモン(package/[mg])	1.06E+02	7.96E+00	7.96E+00	5.51E+01	3.90E+02	3.31E+01	
48	材料 金線(package/[mg])	3.52E+00	2.23E+00	2.23E+00	1.43E+00	1.14E+00	1.15E+00	
49	材料 リドメッキもしくはホール中の錫(package/[mg])	3.70E+01	5.10E+01	5.10E+01	1.56E+01	1.07E+02	1.23E+01	
50	材料 リドメッキもしくはホール中のビスマス(package/[mg])	7.56E-01	1.04E+00	1.04E+00	3.18E-01	2.19E+00	2.51E-01	
51	材料 リドフレーム中の銅(package/[mg])	3.08E+02	-	-	3.33E+02	1.45E+03	1.68E+02	
52	材料 リドフレーム中の錫(package/[mg])	4.24E+00	-	-	4.57E+00	2.00E+01	2.31E+00	
53	材料 リドフレーム中の亜鉛(package/[mg])	9.78E-01	-	-	1.06E+00	4.61E+00	5.33E-01	
54	材料 リドフレーム中のニッケル(package/[mg])	1.04E+01	-	-	1.13E+01	4.92E+01	5.69E+00	
55	材料 リドフレーム中の珪素(package/[mg])	2.28E+00	-	-	2.46E+00	1.08E+01	1.24E+00	
56	材料 リドフレーム内装メッキの銀(mg)	2.19E+00	-	-	3.60E+00	2.51E+00	9.20E-01	
57	材料 BGAのガラスエポキシ基板中のガラス(package/[mg])	-	2.65E+01	2.65E+01	-	-	-	
58	材料 BGAのガラスエポキシ基板中のエポキシ樹脂(package/[mg])	-	1.65E+01	1.65E+01	-	-	-	
59	材料 BGAのガラスエポキシ基板中の銅(package/[mg])	-	2.32E+01	2.32E+01	-	-	-	
全画面表示	リスト中の銀(package/[mg])	1.61E+00	1.37E+00	5.41E+00	2.64E+00	1.84E+00	6.76E-01	
全画面表示を閉じる(C)	リスト中のエポキシ樹脂(package/[mg])	6.89E-01	5.87E-01	2.32E+00	1.13E+00	7.91E-01	2.90E-01	
エネルギー	電力/[Wh]	7.41E+02	6.16E+02	2.12E+03	1.05E+03	7.44E+02	3.03E+02	

図表 11-16 算出されたLCIの表示例

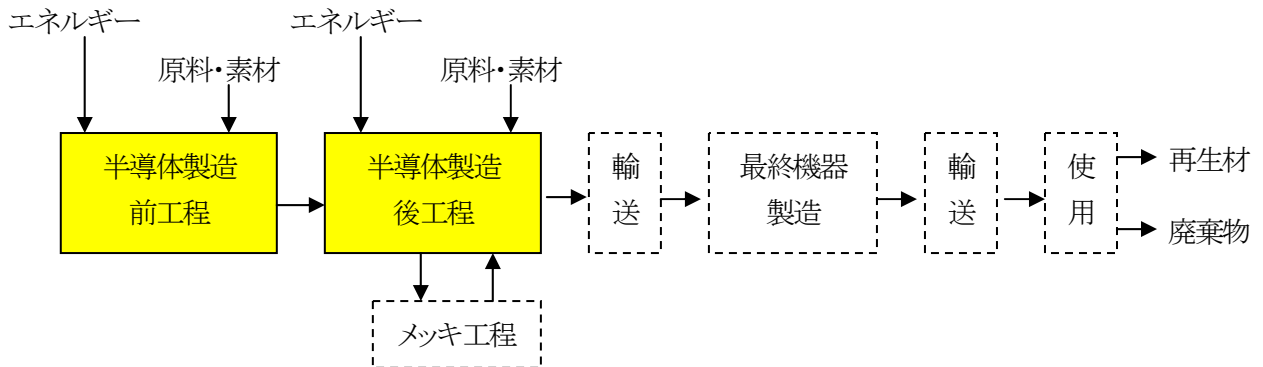
### 11-3-11 算出が可能な項目

- インプット
  - 素材 27 種類(61 種類まで算出可能)、材料 18 種類、エネルギー 5 種類、用水
- アウトプット
  - PFC ガス 5 種類、排水、
- グローバルな環境インパクト(PE 社の GaBi-4 による計算値)
  - CO<sub>2</sub>、メタン、N<sub>2</sub>O、NO<sub>x</sub>、SO<sub>x</sub>、
- 補助単位としての参考指標
  - JEITA 標準モデルの集積回路 1 当りの製品重量

それぞれのデータは JEITA モデルの製造プロセスとして個々に設定した製造条件の積み上げで構成しているため、内訳を示すことは可能だが、ここでは、簡素にまとめて表示している。尚、公開用のデータとしては、表示項目数を必要最低限に限定して提供する予定である。

### 11-3-12 システム境界

図表 11-17 に今回の評価対象とした範囲を実線の枠(塗りつぶした部分)で示す。



図表 11-17 システム境界の概略図

### 11-3-13 パッケージ分類のニックネーム

前述の「1-6: 調査対象とするパッケージの分類方法の考え方」では、4 種類に分類することを記述していたが、調査中に判明した BGA のメモリー、DIPs については、環境負荷量に際立った相違点が見られるため、これらを分離し、QFPs、BGAs、BGA memory、SOPs、DIPs、その他の 6 種類に分類し直した。

それぞれの分類については、ピンの出ている方向が基本としているので、それらの特徴をもつ動物の名前をニックネームとして付けた。ニックネームを付けることにより今後もこの 6 種類の分類に固定化され、ユーザーによる新たな分類要求の発生が軽減されるのではないかと考えている。

更に、ニックネームを日本語にすることにより、本計算方式が日本発のものであることを示し、世界的な中でのプレゼンスを確保したいとの思いも同時にある。

尚、BGA memory はその製造工程が関西方面で良く見られる「たこ焼き」と類似しているため、その名前を採用した。すなわち、BGA に電極を植えつける工程では半田ボールをアレイ状に配置された凹部に嵌め込み、200℃前後で加熱して接合させる。この状況はたこ焼きそっくりであり、処理温度もほぼ同じである。焼いている途中でたこ焼きをひっくり返す工程はないが良く似たものである。

### 11-3-14 今後の方向

- CCD、フラッシュメモリー、DRAM、等ロジックプロセスと趣の異なるプロセスについて別途ウエハー製造のモデルプロセスを提案。
- 主流となるプロセスノードが変わればそれに対応するプロセスモデルに変更する。
- 今後も継続してデータターの更新を行い、常により正確なデータ提供に努める。

今回の提案ではメーカー間の差異が無くなることで、環境負荷低減活動のメーカー間競争がなくなり、環境改善のスピードが低下するのではないかと危惧される意見が出る可能性がある。しかし、現実の半導体メーカーは熾烈なコスト競争を展開しており、チップサイズの縮小(言い換えれば環境負荷低減)など、経営努力を通じた改善を実施しているため、この種の危惧は不要と断言出来る。