

第 12 章 モデリング&シミュレーション

12-1 はじめに

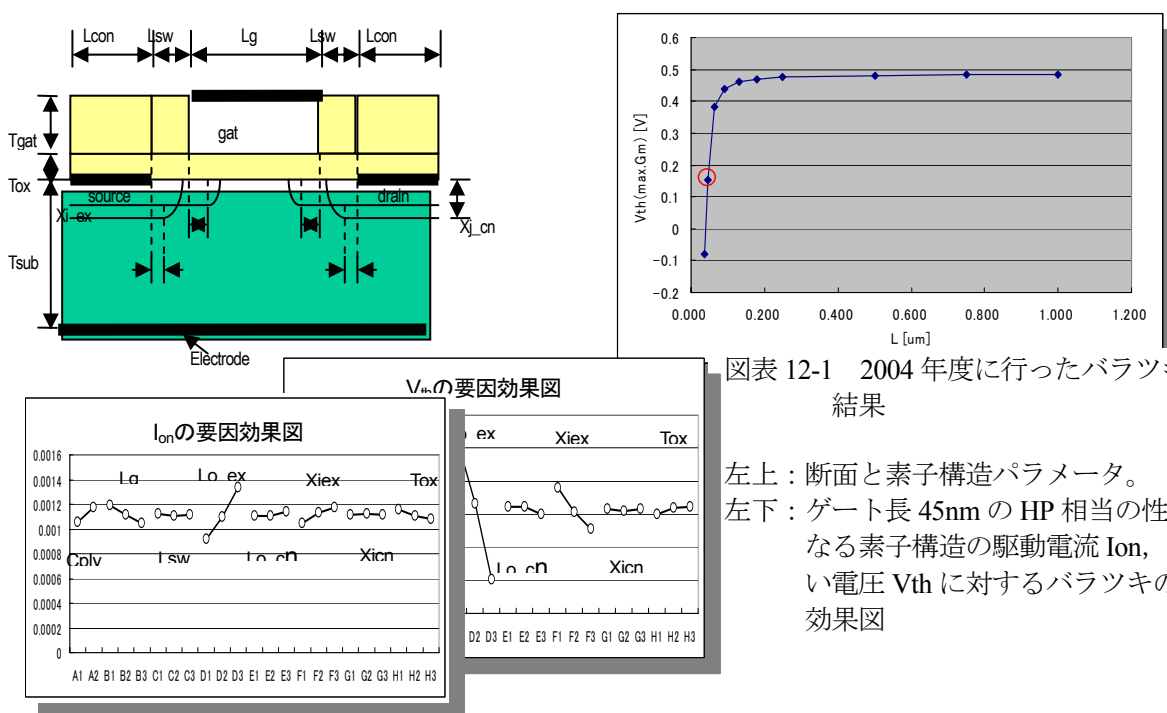
モデリング&シミュレーション技術は半導体に関するモデリング領域をカバーし、フロントエンドプロセス、リソグラフィ、デバイスモデリング、インターコネクと集積受動素子、回路素子、パッケージ、材料、製造装置とデバイス形状、数値計算アルゴリズムなど、非常に広範囲にわたる。また、ITRS のモデリング&シミュレーションに関する章[1]の記述にあるように、この技術は技術開発の期間や費用を削減が期待される数少ない技術のひとつと考えられる。

一方、ITRS/STRJ ロードマップ活動で指摘されている様々な技術上の微細化限界のなかで、トランジスタ構造のバラツキに起因した性能バラツキが大きな要因としてクローズアップされ、ITRS ではこれに起因した困難を克服するために、全技術分野でDFM(Design for Manufacturing)、DFY(Design for Yield)という視点での検討を行っている。STRJ のモデリング&シミュレーション活動では、単純化した素子構造に対してではあるが昨年、素子構造のバラツキが素子特性に及ぼす影響の検討結果を報告した[1]。しかし、前述の背景から今年度は検討だけにとどまらず DFM/DFY の視点も含めて、何らかの結果を出す必要がある。そこで、実際の素子構造を念頭に置いて構造バラツキが特性に与える影響の分析を採り上げた。

12-2 トランジスタ構造バラツキの影響分析

12-2-1 2004 年度の分析で判明した課題

2004 年度に行ったバラツキ効果の解析では ITRS2003 記載の HP.(High Performance)の nMOS 性能(物理ゲート長 45nm)を満たす素子構造を、デバイスシミュレーションを用いて推定し、その構造についてバラツキが性能に与える影響を解析した[2]。ただし、ハローイオン注入についてはロードマップに具体的な記載がない事と、問題を簡単にするために Halo なしとし、チャネル部分も深さ方向に均一な不純物濃度を持つ構造を仮定した。その結果、図表 12-1 右上に示すように、対象素子構造を単純化しすぎる



図表 12-1 2004 年度に行ったバラツキ解析結果

左上：断面と素子構造パラメータ。
 左下：ゲート長 45nm の HP 相当の性能となる素子構造の駆動電流 Ion, しきい電圧 Vth に対するバラツキの要因効果図

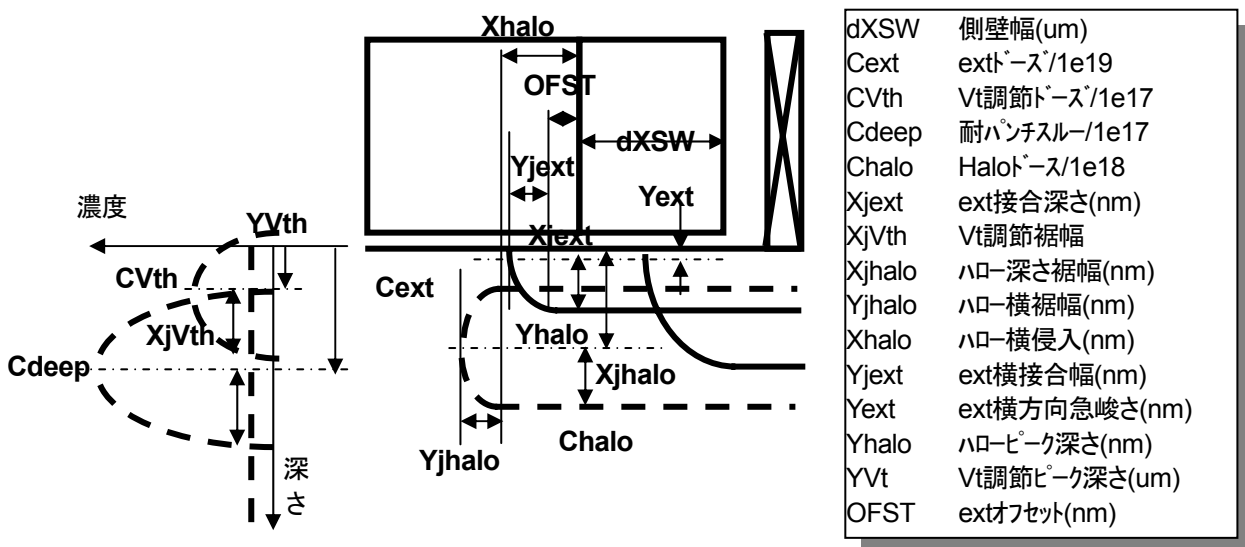
と構造に無理が生じ、短チャネル効果が厳しい素子構造となる事が判った。その結果、構造バラツキに対する素子性能感度の定量性には限界がある事が判った。

12-2-2 対象とした素子構造と目標性能

今年度は実際の素子構造に出来るだけ近い構造での分析を行う事とし、その際のターゲットとする素子やその世代、性能指標の重要度については、PIDS やフロントエンドプロセスなど他 STRJ の WG からの助言に基づき WG10 で議論して設定した。その結果、SoC への応用を考えて対象素子を LOP(Low Operating Power)nMOS に対する検討を優先する事にし、HP(High Performance)に対する検討は第二優先とした。また 2005 年度の ITRS の数値は本検討開始時点で確定していなかったため、要求性能、実効ゲート絶縁膜厚などは昨年度と同様に ITRS 2003 の表に掲載された 2006 年での数値を用いる事にした。

実際の素子開発では、駆動電流、リーク電流、しきい電圧、サブスレシヨルド領域での S 値、耐圧、基盤電流など、使用目的に応じた複数の相反する性能指標のそれぞれを最大化、最小化、あるいは目標値との差を最小化する様に、製造条件や素子構造を調整する。理想的には実際の素子開発状況と同様の性能目標設定をする事が望ましい。しかしあまり多くの性能指標を設定すると探索段階の計算が長時間になり、手順が複雑化する虞がある。そこで目標とする性能指標として、他 WG からの助言も考慮して、駆動電流、 $V_g=0$ での電流(以下「リーク電流」と称する)、しきい電圧の 3 つを採り上げる事とした。その結果、第一の検討ターゲットとする LOP の nMOS については、物理ゲート長 L_g は 37nm、酸化膜換算のゲート絶縁膜厚 t_{effox} は 1.3nm とした。なお、実際の作業では、シミュレータへの入力データ作成の都合上ゲート長は 35nm とし、目標性能は、駆動電流 I_{on} は $610 \mu A/\mu m$ 、リーク電流 I_{off} は $3nA/\mu m$ 、しきい電圧 V_{th} は 0.28V とした。

また第二の検討ターゲットである HP の nMOS については、物理ゲート長 L_g は 25nm、酸化膜換算のゲート絶縁膜厚 t_{effox} は 0.9nm とし、目標性能は、駆動電流 I_{on} は $1510 \mu A/\mu m$ 、リーク電流 I_{off} は $70nA/\mu m$ 、しきい電圧 V_{th} は 0.18V とした。なお、2003 年度のロードマップでは HP 用素子の場合、応力による移動度増加を想定した駆動電流増加分に相当するパラメータを設定している。しかし、素子構造探索の段階では、仮に応力による移動度増加がないとした場合に、どの程度の駆動電流が実現可能かを調べる事も考慮して、まず I_{on} は $1510 \mu A/\mu m$ として出来るだけ駆動力が大きくなる素子を目指して探索する事とし、実現できない場合にはこの効果を考慮して目標値を緩める、という手順をとることにした。



図表 12-2 設定した素子断面とドーパント分布などに関する構造パラメータ(左)とその説明。

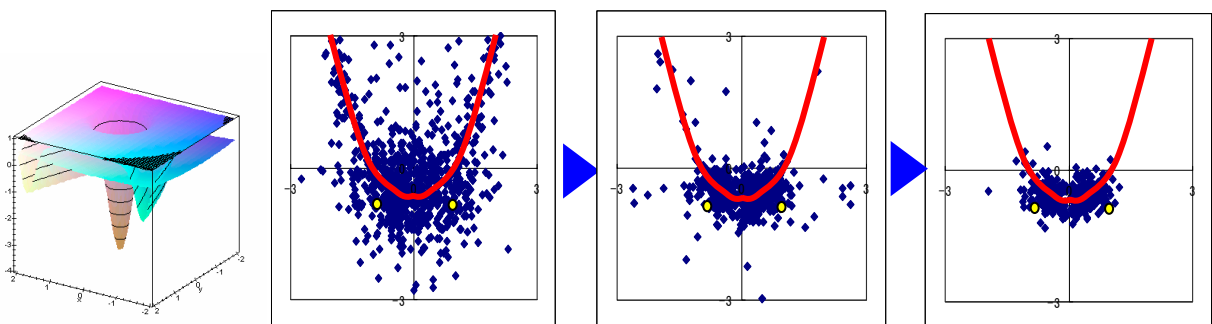
12-2-3 素子構造の推定方法

LOP や HP 用の MOSFET の素子構造を推定するため、デバイスシミュレータと最適解の探索手法とを組み合わせる事にした。即ち、前述の L_g , t_{effox} を満たし適切なチャネルドーピングなどを行った MOSFET の性能指標をデバイスシミュレータで求め、その結果が目標値に近くなる様に最適解探索手法を用いてチャネルドーピングなどを修正して探索する方法を用いた。以下に探索対象となる素子構造のパラメータの選定方法と、探索方法について述べる。

最近の微細 MOSFET の構造自由度はソース・ドレイン拡散層だけでもエクステンション部分の接合深さ、同横方向広がり、同横方向接合位置、同ピーク濃度などがあり、これにソース・ドレインのディープ部分やハローイオン注入、チャネルイオン注入などに関してそれぞれ同様のパラメータが加わるので、少なくとも 20 以上の自由度になる。一般に、探索問題では自由度が増えると計算時間が増加するため、予備的な検討を行わない、図表 12-2 に示す 15 個の自由度に絞り込んだ。

一方 MOSFET で念頭に置く性能指標として、駆動電流、リーク電流、しきい電圧、サブスレショルド領域での S 値、耐圧、基盤電流などがある。これらの値を MOSFET が用いられる製品や回路内での機能に応じて設定する。これらの複数の相反する性能指標のそれぞれを最大化、最小化、あるいは目標値との差を最小化する様に、製造条件や素子構造を調整する実際の開発過程に対して、ここで行う探索でもこうした現実に合わせて必要がある。そこで複数の性能指標最適化を行う方法として知られている多目的最適化技術を用いることとした。この技術は、モデリング&シミュレーション分野の共通基盤技術の1つとして2003年度のSTRJ活動報告で我々が報告・指摘した技術である。多目的最適化技術の分野では様々な手法が提案されているが、ここでは文献[3]に報告されている手法を用いた。これを用いると、全性能指標を最適化する解が存在しない場合でも、妥協的な解となる複数の候補を探り当てて表示するので選択は人間が行えば良く、探索に費やした労力が無駄になる事がない。

図表 12-3 はこの手法の妥当性を示すための簡単な例で、2 つのパラメータ(x, y)の値で決まりそれぞれ(1, -1)、(-1, -1)、 $y=x^2-1$ 上で最小値をとるテスト関数 3 個を同時に最適化するパラメータ値の探索結果を示す。図表 12-3 左下の探索初期に比較的広く分布していた解候補は探索が進むにつれて(x, y)=(1, -1)、(-1, -1)の近くに集まっている様子が確認できる。この探索方法を用い素子構造を探索する際の、第一の評価関数は駆動電流 I_{on} の目標値 (LOP は $610 \mu A/\mu m$ 、HP は $1510 \mu A/\mu m$) との差、第二の評価関数はリーク電流 I_{off} の目標値 (LOP は $3nA/\mu m$ 、HP は $70nm$) との差とし、これらを最小化する事とした。



図表 12-3 素子構造の探索に用いた多目的最適化の動作説明の図。

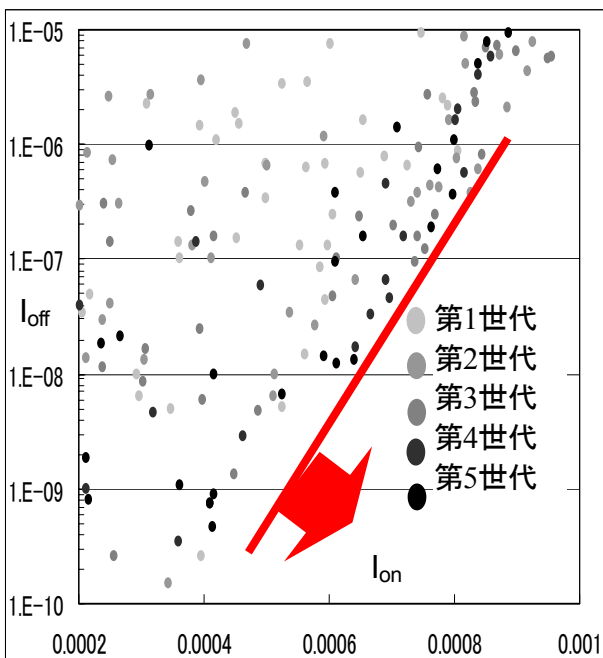
2 つのパラメータ(x, y)の関数でそれぞれ点(1, -1)、点(-1, -1)、曲線 $y=x^2-1$ 上で最小値をとる 3 つの関数(左端に等値面を示す)を扱った時の様子を示し、計算の初期は、図中の多数の点で表示した解候補となるパラメータ x, y の組み合わせは平面上の比較的広い範囲に分布している。計算が進むにつれて解候補の分布は 3 関数とも値が小さくなる領域に集まってくる様子が判る。

第三の評価関数はしきい電圧 V_{th} だが、これについては昨年度の解析結果から判る様に、短チャネル効果によるロールオフを極力抑制する構造が好ましい。従って LOP についてはゲート長 $L_g=30\text{nm}$ 、 35nm 、 40nm 、 50nm 、 80nm 、 $1\mu\text{m}$ の 6 種類のトランジスタそれぞれのしきい電圧について 0.28V との自乗和の平方根 $dV_{th} \equiv \sqrt{\sum_{L_g} (V_{th}(L_g) - 0.28)^2}$ を目標関数とし、HP については $L_g=20\text{nm}$ 、 25nm 、 30nm 、 50nm 、 80nm 、 $1\mu\text{m}$ の 6 種類のトランジスタそれぞれのしきい電圧について 0.18V との自乗和の平方根 $dV_{th} \equiv \sqrt{\sum_{L_g} (V_{th}(L_g) - 0.18)^2}$ を最小化する事とした。

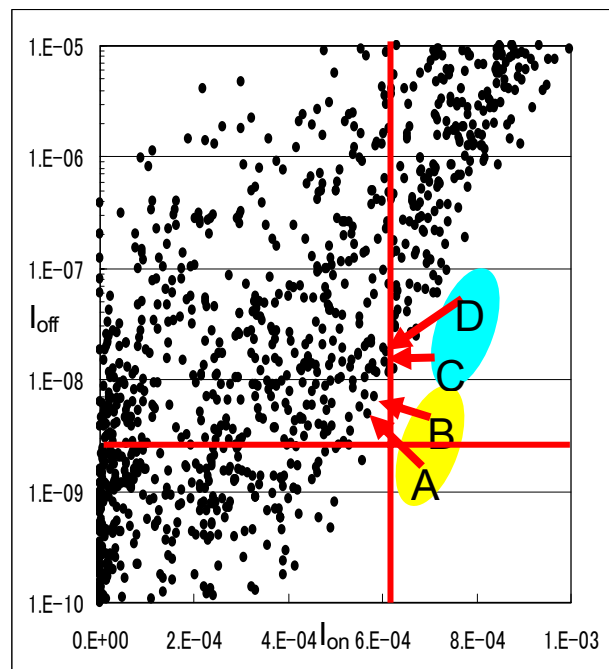
図表 12-4 はこの手法を使って LOP のゲート長 35nm n-MOS の駆動電流 I_{on} 、リーク電流 I_{off} 、しきい電圧 V_{th} を性の意志表にして探索した時の途中経過で得られた nMOS についてそれらの、 I_{on} と I_{off} の値を表示したものである。遺伝的アルゴリズムの計算 (=「世代」) が進むにつれ、 I_{on} が大で I_{off} が小さい右下領域に近い解が得られている事が確認でき、この手法が有効であることが判る。

12-2-4 LOP の 35nm MOSFET の素子構造推定

図表 12-5 は LOP の $L_g=35\text{nm}$ の構造探索で得た素子の I_{on} 、 I_{off} の値を表示したもので、 I_{on} 、 I_{off} それぞれの目標値は図中に水平線と垂直線で示した。同図から判るようにこれら 2 つの指標だけに着目すると目標性能に近い性能の構造は見いだすことが出来る。目標値に近い構造の中から図表 12-5 に示す様に互いに近い特性を持つ MOS 構造 A、B と C、D の 2 組について、 I_{on} 、 I_{off} の値を表 1 に、 V_{th} のゲート長依存性を図表 12-7 に、 I_d-V_d 特性を図表 12-8 に示す。構造 A、B についてはしきい電圧 V_{th} のロールオフ特性と I_d-V_d 特性も非常に近い事が判る。一方、構造 C、D のペアは図表 12-7 に示すようにしきい電圧 V_{th} のロールオフ特性は長チャネル側で大きく異なっている。これらの結果から単純に考えると、構造 A、B は比較的似ている構造になっている事が期待される。



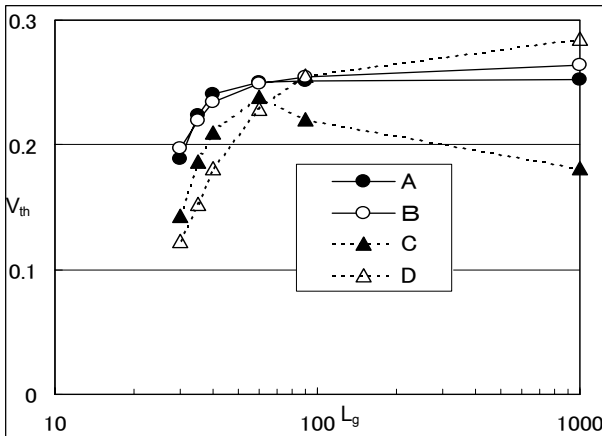
図表 12-4 多目的最適化を用いて駆動電流 I_{on} 、リーク電流 I_{off} などを同時最適化した結果の解を I_{on} - I_{off} 平面に表示した結果。計算が進むにつれ右下の望ましい領域の解が得られる様子が分かる



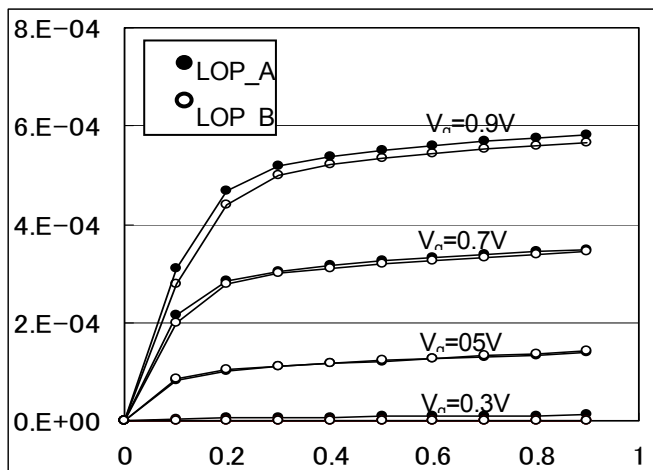
図表 12-5 ゲート長 35nm の LOP-nMOS に関する探索結果。図中の太い直線は I_{on} 、 I_{off} の目標値を示す。この中から性能的に近い 2 組の構造 A、B と C、D を選択して後述の検討を行う。

図表 12-6 ゲート長 35nm の 4 種の LOP-nMOS の性能

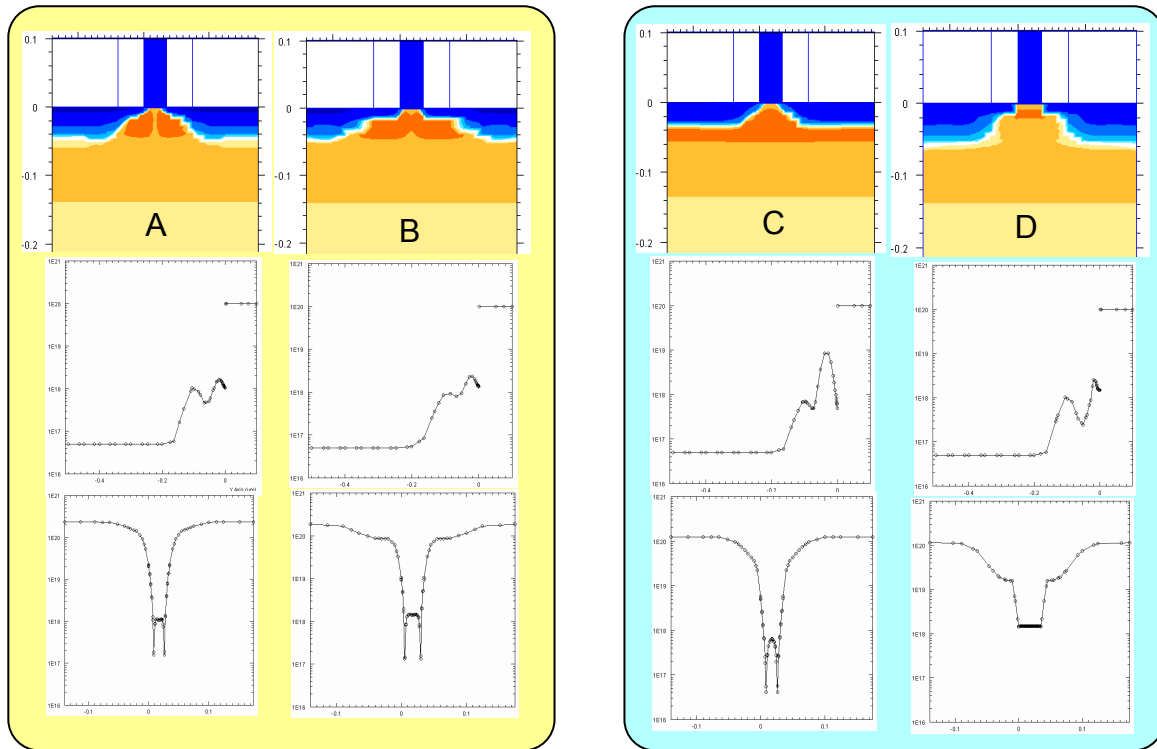
	A	B	C	D
I_{on} ($\mu A/\mu m$)	581	567	606	602
I_{off} (nA/ μm)	7.13	4.99	14.7	19.4



図表 12-7 ゲート長 35nm の LOP-nMOS 構造の探索結果から選択した 4 種 A, B, C, D(図 5 参照)に関するしきい電圧の短チャネル効果。


 図表 12-8 LOP-nMOS の構造 A, B に関する I_d-V_d 特性。構造 A, B は今回設定した 3 種の性能指標(駆動電流, リーク電流, しきい電圧)の全てでほぼ同じ特性を示す構造であった。

図表 12-9 は MOSFET 構造 A, B, C, D それぞれについての断面でのドーパント分布(上段)、チャネル中央部で深さ方向のドーパント濃度(中段)、基板最表面でのソースドレイン方向のドーパント濃度(下段)を示す。同図から判るように構造 A と B は深さ方向のドーパント分布は似ているが、構造 B のエクステンションが構造 A より長い事に対応して基板最表面の分布は大きく異なっている事が判る。一方、構造 C と D のドーパント分布は、深さ方向と横方向ともかなり異なっていることが判る。この事は重要な事柄、即ち「構造的には相当異なった素子でも、ほぼ同じ駆動電流・リーク電流・しきい電圧(のロールオフ特性)となる構造が存在し得る」事を示唆していると考えられる。

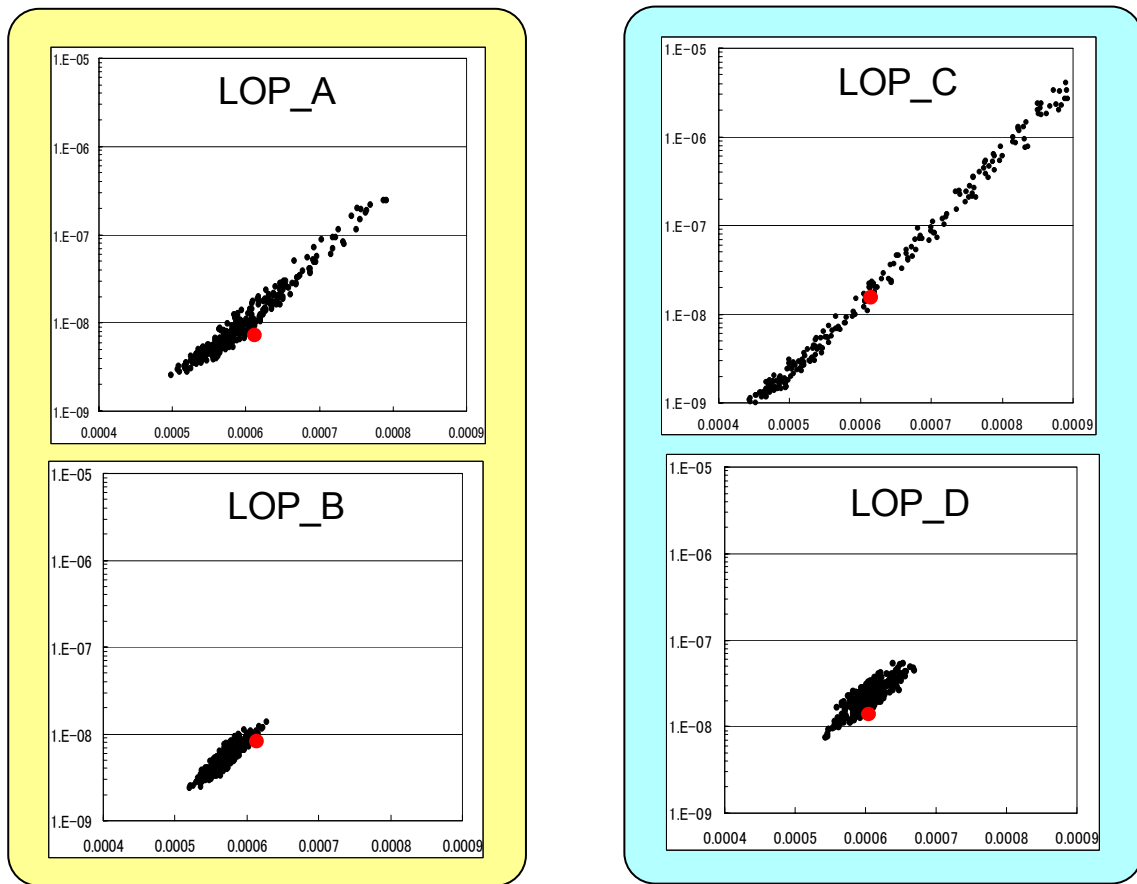


図表 12-9 ゲート長 35nm の LOP-nMOS の構造 A, B, C, D の素子断面(最上段), チャンネル中央の深さ方向のドーパント分布(中段), チャンネル表面でのソースドレイン方向の不純物分布(下段)

今回の検討は 15 種類の素子構造パラメータと 3 との素子性能指標を選び、素子構造を定めて素子性能を求めながら探索をした事に相当する。別の見方をすると 15 次元空間から 3 次元空間への写像で、しかも性能指標がとり得る値が有限範囲に限られている事から、高次元空間から低次元空間中の有限な領域への写像、即ちある意味で"圧縮された"写像の性質を調べている事に対応する。従って性能指標の個数 N_p と、それらにある程度以上影響を与える構造パラメータの個数 N_s が $N_p \ll N_s$ の関係を満たせば、"圧縮された"写像となりその結果、異なる素子構造でもほぼ同じ性能を実現する素子が見出だせる事は不自然ではないと考えられる。またこうした考えに従えば、構造自由度を同じ個数にしたまま、たとえば耐圧などの新たな性能指標を次々と導入するにつれて、写像の"圧縮度"が緩和されその結果、素子構造が異なれば性能指標の幾つかで差異が顕著になると考えられる。

12-2-5 LOP の 4 素子の構造バラツキに対する感度

図表 12-10 は前述の MOSFET 構造 A, B, C, D について、ゲート長 L_g が 3σ で 2.5nm、酸化膜換算実効ゲート絶縁膜厚 tox が 3σ で 4%、ディープ拡散層の位置従ってエクステンション部の長さを左右する側壁幅 dX_{SW} が 3σ で 1.1nm、ハローイオン注入の横方向位置に対応する X_{halo} が 3σ で 5%変動した場合の I_{on} , I_{off} グラフ上のバラツキを示す。側壁幅 dX_{SW} が同じバラツキ幅 1.12nm の場合、構造 A は構造 B よりバラツキ幅が広い。構造 A のエクステンション部の長さは構造 B より小さいため、同じ量だけ変動した場合に特性に与える影響は A の方が大きいと考えられる。



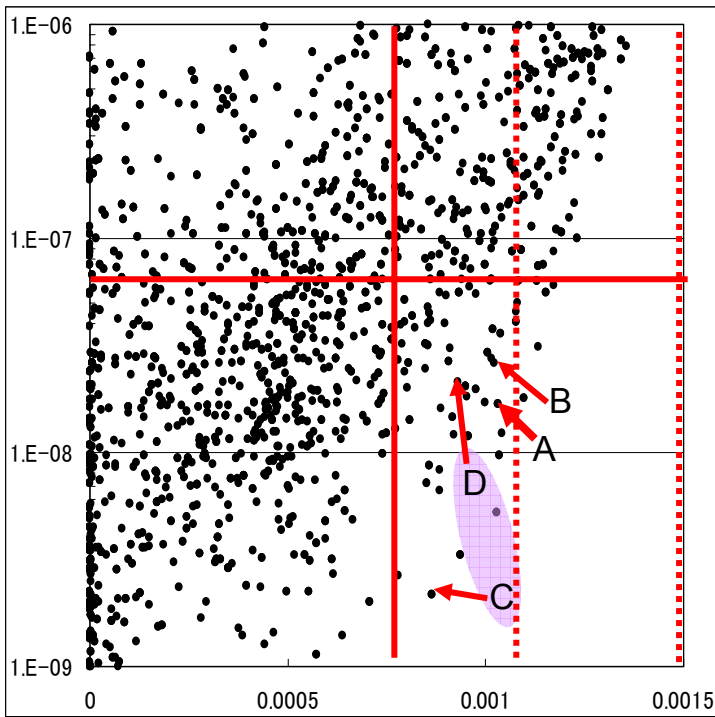
図表 12-10 ゲート長 35nm の LOP-nMOS 構造 4 種についてゲート長が 2.5nm, 酸化膜換算実効絶縁膜厚が 4%, ゲート側壁幅 1.1nm, ハロイオン注入の横方向位置が 5%変動した場合の駆動電流, リーク電流への影響。

ここで、構造 A と構造 B の素子性能として I_{on} 、 I_{off} 、 V_{th} の 3 性能がほぼ同じ事を考慮すると、第二の重要な結論、「ほぼ同じ駆動電流・リーク電流・しきい電圧(のロールオフ特性)であっても、構造バラツキに対する感度は大きく異なる可能性がある」が導かれる。これは DFM(Design for Manufacturing)の観点では、「ほぼ同じ性能でも、素子構造を工夫することでバラツキ感度を調整・選択できる」事を意味する。そしてモデリング&シミュレーション技術を駆使することでその為の構造探索が可能な事を示す例と言えよう。

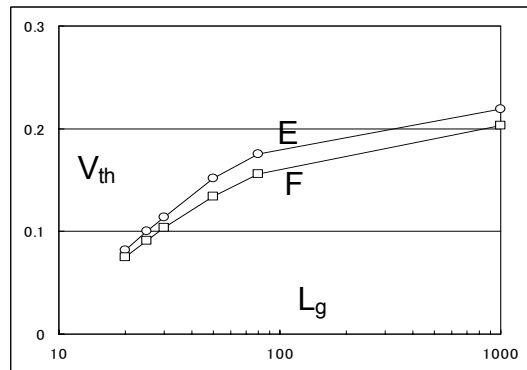
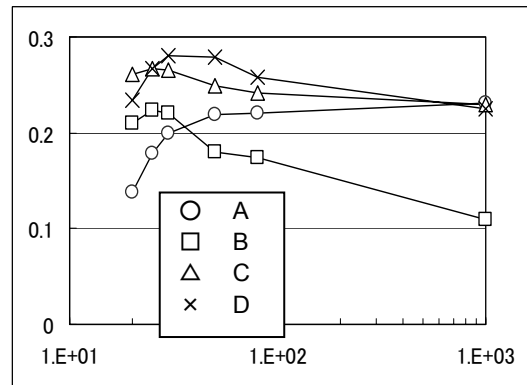
12-2-6 HP の 25nmMOSFET の素子構造推定

図表 12-11 は HP の $L_g=25\text{nm}$ に対応する nMOS 構造の探索の結果得られた様々な素子の性能を $I_{on}-I_{off}$ 面上に表示した図である。 I_{on} の目標値 $1510 \mu\text{A}/\mu\text{m}$ を満たす構造はリーク電流 I_{off} が $1 \mu\text{A}/\mu\text{m}$ 以上にしか存在していない事が判る。図中には I_{on} の目標値 $1510 \mu\text{A}/\mu\text{m}$ 、その 2/3 倍である $1000 \mu\text{A}/\mu\text{m}$ に該当する位置をそれぞれ破線の縦線で、 I_{on} の目標値の 1/2 に該当する位置を縦線で示し、 I_{off} の目標値を水平線で示した。応力基板などの利用によって移動度が 1.5 倍増加因子した場合は破線の縦線上にある素子が、移動度が 2.0 倍に増加した場合には実線の縦線上にある素子が、それぞれ目的性能を満たす事になる。

図表 12-11 に示す A、B、C、D、E、F の素子の $V_{th}-L_g$ 特性を図表 12-11 に示す。構造 A、B は $I_{on}-I_{off}$ 面上では比較的近い、即ちほぼ同じ性能だが V_{th} の L_g 依存性は大きく異なっている。また、構造 C、D も V_{th} の L_g 依存性は大きく異なっている。一方構造 E、F については $I_{on}-I_{off}$ 面上でも近いだけでなく、 V_{th} の L_g 依存性も図表 12-12 上段に示すように非常に似通っている。



図表 12-11 ゲート長 25nm の HP-nMOS 構造を探索した結果。図中の横線はリーク電流の目標値，縦の実線は移動度増加計係数が 2 の場合の，破線は同 1.5 と 1.0 の場合の駆動電流の目標値



図表 12-12 図 12-10 に示す 6 種の nMOS 構造のしきい電圧の短チャネル効果

図表 12-13 は構造 E、F の断面内、チャンネル中央部深さ方向、チャンネル表面でドーパント分布で、この図から E、F の断面構想は大きく異なっている事が判る。従って、LOP の MOS 探索と同様に HP の場合にも、素子構造が大きく異なっても I_{on} 、 I_{off} 、 V_{th} の L_g 依存性という 3 つの素子特性がほぼ同じになる場合がある事が確認された。

12-2-7 DFM/DFY へのヒントと考察

以上に述べた LOP や HP の素子構造探索から、以下の事が結論される：

- (1) I_{on} 、 I_{off} 、 V_{th} といった比較的少数の性能項目で特徴づけた素子の場合、かなり異なる素子構造でも同じ素子性能を実現し得るものが存在する
- (2) 従って比較的少数の性能項目で素子の世代を特徴づけただけでは、素子構造を一意的に決める事は困難である

その結果、

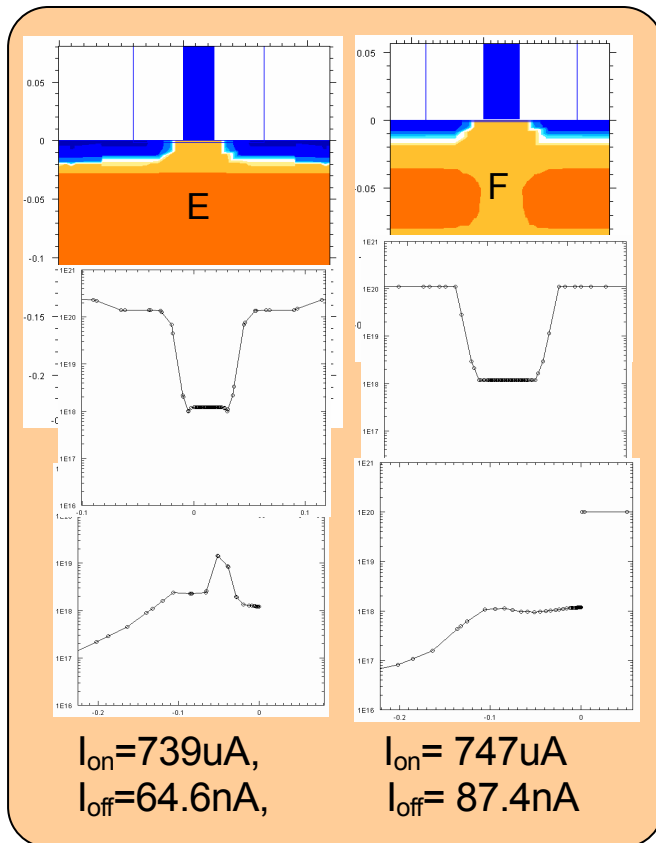
- (3) 素子の世代を特定しただけではバラツキが性能に及ぼす影響を一律に数値化する事は出来ない。

ところで、一般に素子構造が異なれば構造バラツキが性能バラツキに及ぼす影響が異なるので、(2)を別の表現にすると以下の様になる

(2)ある素子性能を実現する場合、構造バラツキが性能バラツキに及ぼす影響が異なる素子構造が存在し得る

これは、DFM、DFY の観点から考えるとモデリング&シミュレーション、中でもプロセス・デバイス・シミュレーションを DFM/DFY のために活用する方法を示しているといえる。即ち、あるプロセスのバラツキが抑制困難な

場合でも、ほぼ同じ素子性能を実現し得る複数の素子構造候補から、当該パラメータの影響を受けにくい構造を探す自由度があることを意味する。



図表 12-13 ゲート長 25nm の HP-nMOS 構造 E, F の断面図(上段), チャンネル中央部の深さ方向ドーパント分布(中段), チャンネル表面のソースドレイン方向のドーパント分布(下段)

今回得られた個々の構造パラメータ、即ち拡散層の接合深さや横方向の広がりを示すパラメータの具体的な数値は、用いたデバイスシミュレータの予測精度に大きく依存する事は言うまでもない。しかし、上で述べた結論(1)~(3)はデバイスシミュレータの予測精度ではなく、「15次元空間から3次元空間への圧縮された写像」で説明した様に、別のメカニズムが支配的と考えられる。もちろん、デバイスシミュレータがより確かな予測精度となるように、例えば1世代前のMOSFETの実測結果を使ってシミュレータが持つ例えば移動度や量子効果等のモデルパラメータを十分キャリブレーションしてあれば、得られたパラメータの値に対する信頼度は大きく向上するであろう。従って、日頃から十分にキャリブレーションを行いモデリング&シミュレーション技術の予測精度を維持・向上しておく事は、DFM/DFYの重要性が増す今後の先端デバイス開発にとって、従来以上に重要性を増すと考えられる。

参考文献

- [1]ITRS Roadmap 2005 Ed.,p.731, (2005)
- [2]「半導体技術ロードマップ専門委員会(STRJ)2004 年度報告」, pp.224-229, 半導体技術ロードマップ専門委員会, 2004
- [3]和田,「遺伝的アルゴリズムを用いた多目的最適化の検討」, pp.42-47, 応用物理学会分科会シリコンテクノロジー, No.44-2, 1st, Oct., 2002