

## 第 1 章 IRC (国際ロードマップ委員会)国際活動・STRJ 国内活動

### 1-1 IRC(国際ロードマップ委員会)国際活動

#### 1-1-1 はじめに

ITRS (International Technology Roadmap for Semiconductors, 国際半導体技術ロードマップ)は、欧州、日本、韓国、台湾、米国の世界 5 極の専門家が半導体技術のロードマップを議論して、その結果をまとめたものである。日本では、社団法人 電子情報技術産業協会(JEITA)に半導体技術ロードマップ専門委員会 (STRJ) が設置されており、この場での議論と検討結果は ITRS の編集に反映されている。半導体技術の急速の進歩に対応するため、ITRS は 2 年に 1 度のペースで全面改訂版 (Edition) を公表し、その中間年で、改訂版 (改訂部分のみをまとめた資料) を公表することになっている。2006 年は改訂版を作成する年である。2006 年の 12 月 4 日と 12 月 5 日の 2 日間にわたり ITRS の台湾会議と ITRS Public Conference 開催され、内容を確定するとともに、概要を記者会見で発表した。ITRS 2006 Update の全文はウェブ上で公開されている。ITRS または STRJ のウェブサイトを参照願いたい。

<http://www.itrs.net/>

<http://strj-jeita.elisasp.net/strj/>

#### 1-1-2 微細化トレンド

ITRS 2006 Update の微細化トレンドは、ITRS 2005 年版の微細化トレンドと同じで、変更はない。微細化トレンドを示すため、DRAM、NAND 型フラッシュメモリ、MPU/ASIC などのロジック製品群に使われるハーフピッチを、それぞれ明示することとした。

生産開始年	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM Metal 1 ハーフピッチ (nm)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 ハーフピッチ (nm)	90	78	68	59	52	45	40	36	32
Flash メモリ poly-Si ハーフピッチ (nm)	76	64	57	51	45	40	36	32	28
MPU リソグラフィ後のゲート長 (nm)	54	48	42	38	34	30	27	24	21
MPU 物理的ゲート長 (nm)	32	28	25	23	20	18	16	14	13

生産開始年	2014	2015	2016	2017	2018	2019	2020
DRAM Metal 1 ハーフピッチ (nm)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 ハーフピッチ (nm)	28	25	22	20	18	16	14
Flash メモリ poly-Si ハーフピッチ (nm)	25	23	20	18	16	14	13
MPU リソグラフィ後のゲート長 (nm)	19	17	15	13	12	11	9
MPU 物理的ゲート長 (nm)	11	10	9	8	7	6	6

図表 1-1 ITRS 2005 年版の微細化トレンド (ITRS 2005 の Table B を引用) この部分は ITRS 2006 Update では変更がない。

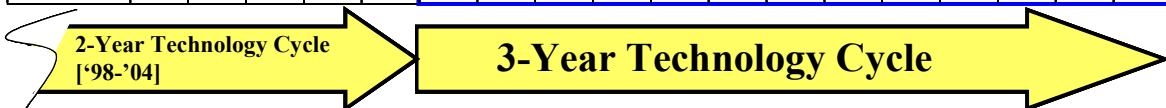
図表1-1 と図表1-2 に示すように、DRAM のハーフピッチは 2004 年の 90nm を基点として 3 年ごとに 0.7 倍のペースで微細化が進むとしている。NAND 型フラッシュメモリの微細化については、2004 年の 90nm を基点として、2006 年までは、2 年で 0.7 倍のペースで、2006 年以後は 3 年で 0.7 倍のペースで縮小していくものとしている。

MPU/ASIC などのロジック集積回路のテクノロジーノード呼称については、各社のプレスリリースや学会発表で使われているもの(仮に、「ロジックノード」と呼ぶことにする)がいまままでの ITRS の定義と異なっていたが、両者とも「ノード」という表現を使っていたため、混乱を与えていた。「ロジックノード」の 65nm、45nm、32nm は、ITRS 2005 の表では、概ね、2005 年、2007 年、2009 年に相当する。ITRS 2005 以降、「テクノロジーノード」という言葉を使わないことにしたため、「ロジックノード」との混同が軽減されることを期待している。

図表1-2 の「テクノロジーサイクル」はデザインルールが 0.7 倍になるまでにかかる期間として定義されている。新世代の製品が何年ごとに発売されるかを示しているわけではない。

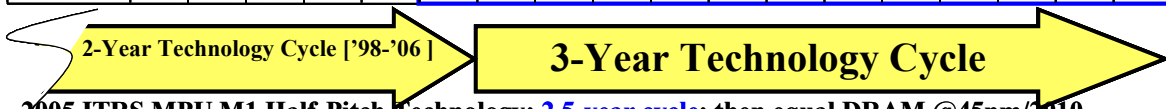
**2005 (’05-’20) ITRS Technology Trends DRAM M1 Half-Pitch : 3-year cycle**

Year of Production	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020
Technology - Contacted M1 H-P (nm)	180	151	130	107	90	80	71	65	57	50	45		32		22		16	14



**2005 ITRS Flash Poly Half-Pitch Technology: 2.0-year cycle until 1yr ahead of DRAM @65nm/’06**

Year of Production	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020
Technology - Uncontacted Poly H-P (nm)	180	151	130	107	90	76	65	57	50	45		32		22		16		13



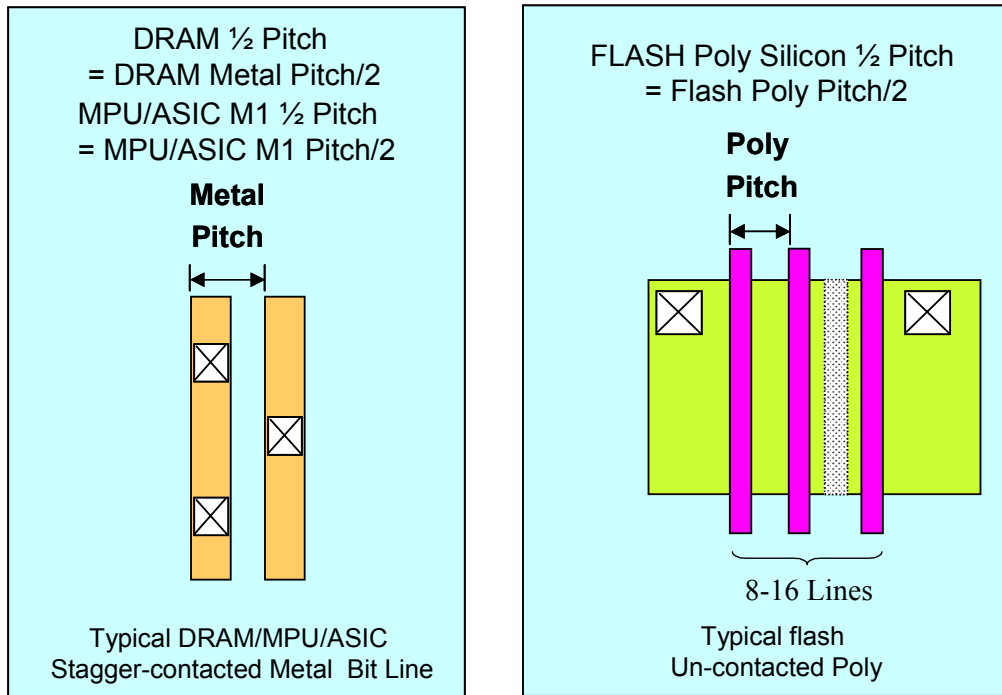
**2005 ITRS MPU M1 Half-Pitch Technology: 2.5-year cycle; then equal DRAM @45nm/2010**

Year of Production	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020
Technology - Contacted M1 H-P (nm)	180	157	136	119	103	90	78	68	59	52	45		32		22		16	14



Note: Faster introduction of half-poly pitch from Flash is expected; Doubling of transistors every 2 years from MPU/ASIC is expected

図表1-2 ITRS 2005/ITRS 2006 Update による微細化トレンド

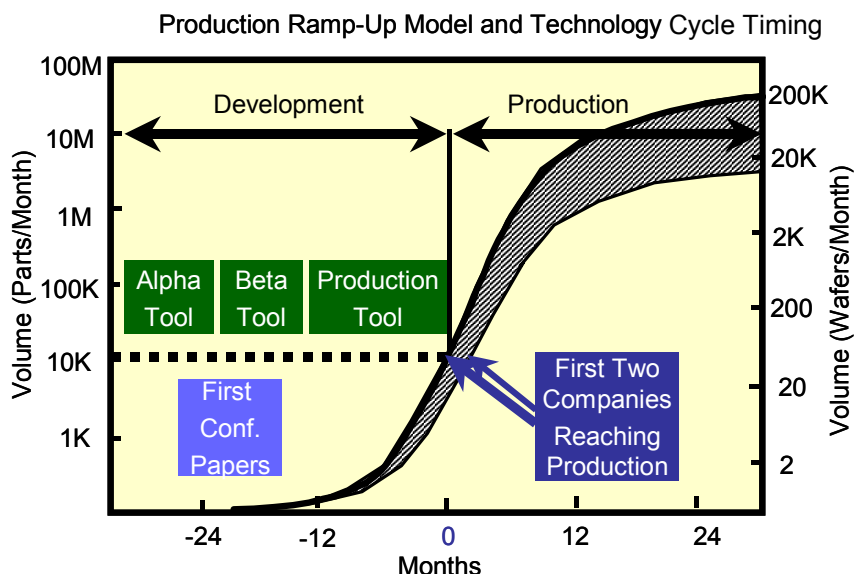


図表 1-3 ハーフピッチの定義

ハーフピッチは図表 1-3 のように定義されている。以前の定義では、DRAMとMPU/ASICのハーフピッチの定義が異なっていたが、ITRS 2005 以降、両者で同様の定義を使うこととした。NAND 型フラッシュメモリにおいては、セルアレイ内での poly-Si のワード線のハーフピッチが重要であり、これをハーフピッチの定義とした。

図表 1-4 に示すように、先行 2 社の生産数量が月産 1 万個を超えた年として、生産開始年を定義している。これは従来の定義と同じである。

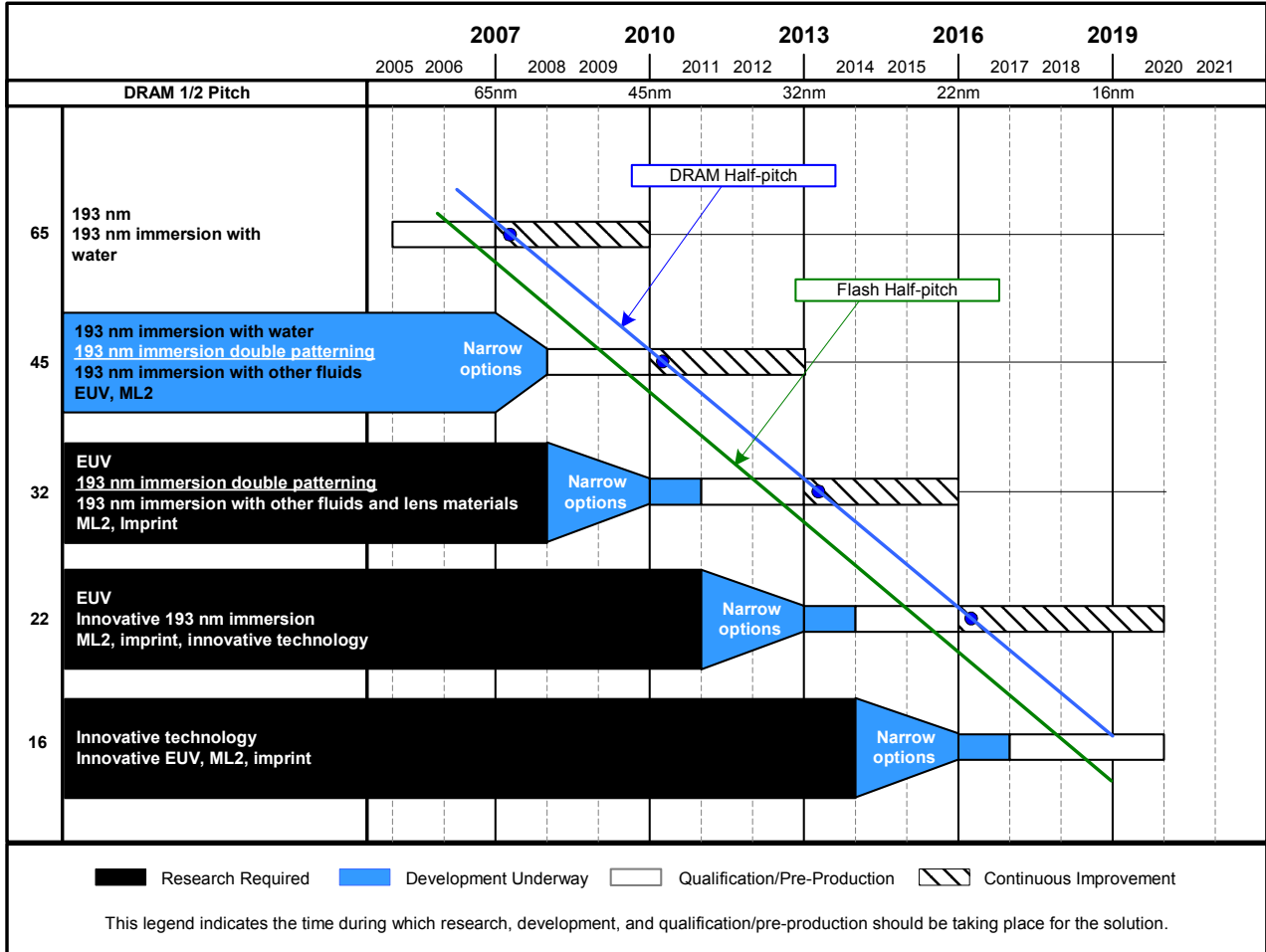
ITRS の各種の表は生産開始年ベースで作成している。新世代の半導体集積回路開発のためには、生産開始年以前に、試作のための製造装置が必要となる。また、量産開始年の 2 年程度前から、新世代の半導体集積回路の試作結果が学会などで発表されはじめるが、これは ITRS の表と矛盾するものではない。これも従来の定義と同じである。



図表 1-4 生産開始年の定義

### 1-1-3 リソグラフィー

ITRS 2006 Update では、ハーフピッチが 45nm と 32nm の世代で使われるリソグラフィー候補のリストを変更した。両世代とも第一候補はそれぞれ、「193nm 液浸技術」と「EUV」で変更ないが、第二候補を共に「193nm 液浸技術を使った二重パターニング」としました。(図表 1-5 参照)



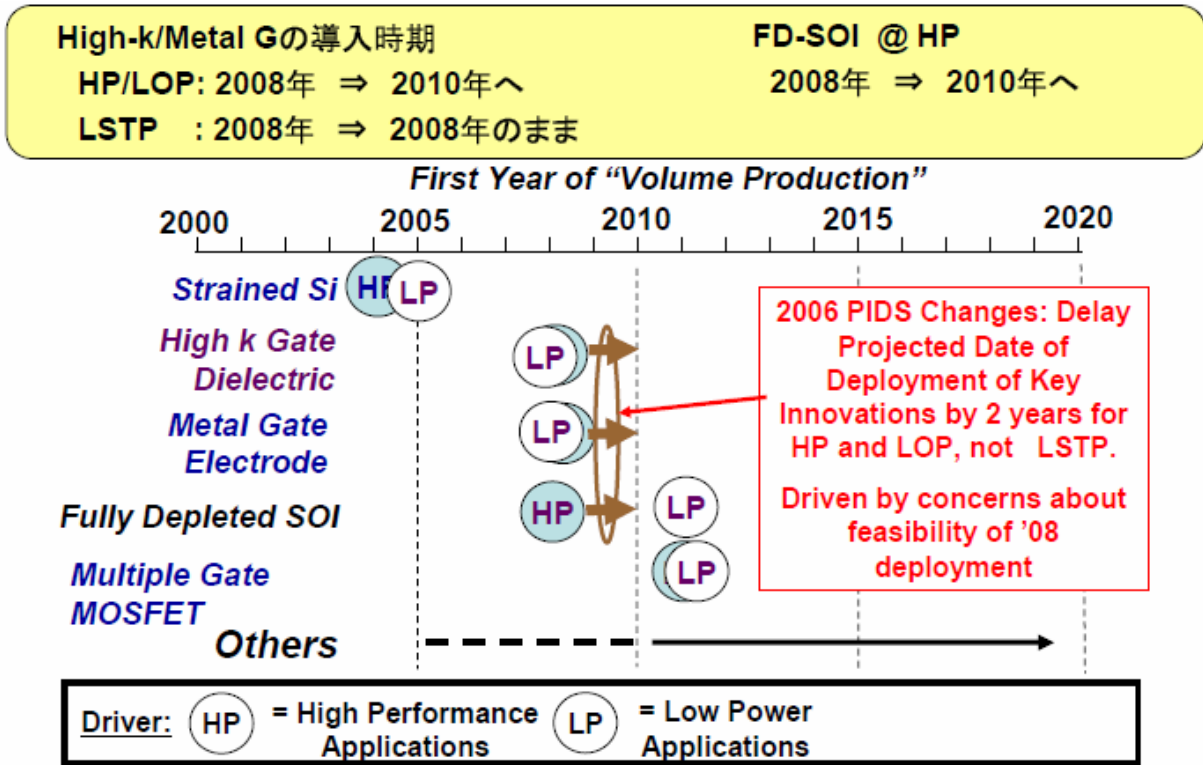
図表 1-5 リソグラフィー技術の候補。図中、下線部を変更。

### 1-1-4 フロントエンドプロセスと PIDS

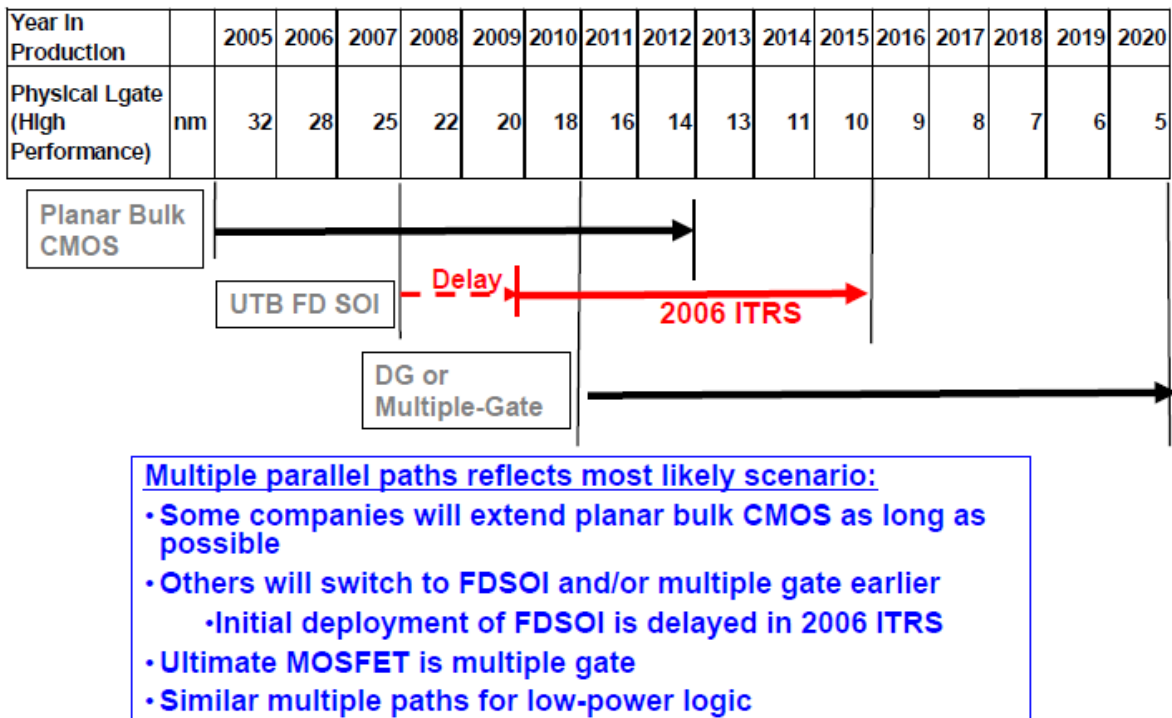
ITRS 2005 年版では MPU/ASIC などのロジック集積回路における High k ゲート絶縁膜の導入時期を 2008 年としていたが、2006 年改訂版では、高性能(HP: High Performance)用と低動作電力(LOP: Low Operating Power)用について導入時期を 2 年遅らせ、2010 年とした。低スタンバイ電力(LSTP: Low Standby Power)用の導入時期は 2008 年で変更していない。(図表 1-6 を参照)

ITRS 2006 Update が公開された後、2007 年 1 月になって、Intel と IBM が High-k ゲート絶縁膜を 2007 年から 2008 年にかけて実用化するというプレスリリースをだした。ITRS の 2007 年版でこの件をどう扱うかについては、今後の ITRS の会議の場で議論を進めたい。

MOS トランジスタに関しては、2008 年以降、複数の構造が併存する可能性が高く、各社の判断によって使い分けがなされると想定している。この状況をパラレルパスという言葉で表現している。パラレルパスという考え方は ITRS 2005 で初めて使われたが、ITRS 2006 Update でもそれを踏襲している。ただし、高性能用では、完全空乏形の SOI トランジスタの導入時期を 2 年遅らせて 2010 年とした(図表 1-7 を参照)。



図表 1-6 MOSトランジスタの新規技術の導入時期。高性能 (HP: High Performance) 用と低動作電力 (LOP: Low Operating Power) 用について High-k ゲート絶縁膜と金属ゲート電極の導入時期を 2 年遅らせ、2010 年とした。低スタンバイ (LSTP) 用の導入時期は変更なし。



図表 1-7 高性能 (High Performance) MOSFET のロードマップにおけるパラレルパス (parallel paths)。完全空乏形の SOI トランジスタの導入時期を 2 年遅らせて 2010 年とした。

### 1-1-5 まとめ

ITRS 2006 改訂版では多くの表を改訂し、より現実を反映したものとなっている。本稿が ITRS を参照される際の参考になれば幸いである。より詳しくは、前述のウェブサイトを参照されたい。今後とも、ITRS と STRJ の活動にご理解とご支援を頂きますよう、お願い申し上げます。

## 1-2 STRJ 国内活動 (STRJ ワークショップ報告)

### 1-2-1 概要

2006 年度の国内ロードマップ活動の期末報告として、STRJ 会員企業 11 社、コンソーシアム、大学関係者他を対象に、2007 年 3 月 8 日～9 日の 2 日間にわたり、品川のкокヨホールに於いて STRJ ワークショップを開催した。新設された ERM-WG を含む 13 のワーキンググループ、2 つのタスクフォースからの活動報告に加え、初日には、三浦道子先生(広島大学)、桜井貴康先生(東京大学)、吉川公麿先生(広島大学)の特別講演、さらに二日目には、中馬宏之先生(一橋大学)に経済性小委員会講演を行なって頂いた。図表 1-8、1-9 にワークショップのプログラムを示す。当日の参加者数は、3/8 が 243 名、3/9 が 221 名で、延べ人数 464 名と大盛況であった。

<b>3/8(木) 9:45 – 17:20 「半導体技術ロードマップ専門委員会」第一部</b>	
<b>『ITRS 2006 Update に見る今後の LSI 技術の方向性』</b>	
9:45 - 9:50	開会の辞 石内 秀美 (STRJ 委員長: 東芝)
9:50 - 9:55	来賓ご挨拶 土本 一郎 氏 (経済産業省 商務情報政策局 参事官)
9:55 - 10:25	International Roadmap Committee (IRC) 「ITRS 2006 Update の概要」 石内 秀美 (STRJ 委員長: 東芝)
<b>Session 1</b>	
10:25 - 10:50	Process-Integration and Device Structures (PIDS) WG 「2006 年 Update の内容と 2007 年版に向けて —High-k/Metal-G の導入時期見直し— 」 井田 次郎 (WG6 リーダ: 沖電気)
10:50 - 11:15	Emerging Research Devices (ERD) WG 「新探究デバイス —More Than Moore と Beyond CMOS の考え方— 」 平本 俊郎 (WG12 リーダ: 東京大学)
11:15 - 11:25	Emerging Research Materials (ERM) WG 「新探求材料 —ERM のスコープと活動方針—」 栗野 祐二 (WG13 リーダ: 富士通)
11:25-11:40	Session 1 質疑応答
<昼食> (11:40-13:00)	

図表 1-8a 3/8 の STRJ ワークショップ・プログラム (1/2)

**特別講演**

- 13:00 - 13:40 特別講演：「MOSFET の特性ばらつき予測とコンパクトモデルの役割」  
三浦 道子 氏 (広島大学)
- 13:40 - 14:20 特別講演：「設計から見た 3 次元 SiP ソリューション」  
桜井 貴康 氏 (東京大学)
- 14:20 - 15:00 特別講演：「半導体集積回路インターコネクト技術」  
吉川 公麿氏 (広島大学)

<休憩> (15:00 -15:20)

**Session 2**

- 15:20 - 15:45 実装 WG 「半導体パッケージ技術の動向 —デジタル家電の小型化・高性能化を担う SiP 技術—」  
春田 亮 (WG7 リーダ：ルネサステクノロジ)
- 15:45 - 16:10 ファクトリインテグレーション WG 「生産納期短縮と能動的工場の可視化 —一次世代 300mm ラインに向けて—」  
平井 都志也 (WG8 リーダ：ソニーセミコンダクタ九州)
- 16:10 - 16:35 ES&H WG 「環境側面から見た半導体工場の将来像 — 今後の課題とグリーンファブ コンセプト —」  
大越 隆之 (WG9 委員：NEC エレクトロニクス)
- 16:35 - 17:00 故障解析技術タスクフォース 「半導体物理解析における球面収差補正電子顕微鏡への期待」  
朝山 匡一郎 (TF 委員：ルネサステクノロジ)
- 「標準化 SWG 活動報告 故障解析関連の標準化」寺田 浩敏 (TF 特別委員：浜松ホトニクス)
- 17:00-17:20 Session 2 質疑応答

図表 1-8b 3/8 の STRJ ワークショップ・プログラム (2/2)

**3/9(金) 9:45 – 17:00 「半導体技術ロードマップ専門委員会」第二部**

**『ITRS 2006 Update に見る今後の LSI 技術の方向性』**

**Session 3**

- 9:45 - 10:10 Front-End Processes (FEP) WG 「接合技術の今後 —新プロセス・新構造による接合設計—」  
北島 洋 (WG3 リーダ：NEC エレクトロニクス)
- 10:10 - 10:35 配線 WG 「STRJ-WG4(配線)報告 —微細化の深耕と Beyond Cu/Low-k の展望—」  
宮崎 博史 (WG4 委員：ルネサステクノロジ)
- 10:35 - 11:00 リソグラフィ WG 「光か？ EUV か？ —k1:0.25 の壁を乗り越えられるか—」  
羽入 勇 (WG5 リーダ：富士通)
- 11:00 - 11:20 メトロロジー/WECC WG 「計測/検査技術の新しい潮流 —新たなる技術要求と解決策—」  
河村栄一 (WG11 サブリーダー：富士通)
- 「WECC の現状と今後 —WECC ロードマップ日本版元年—」 津金賢 (WG11 委員：日立)
- 11:20-11:40 Session 3 質疑応答

<昼食> (11:40-13:00)

**経済性小委員会講演**

- 13:00 - 14:00 経済性小委員会講演 「ITRS under the Increasing Complexity —In Search of a “Global Brain”—」  
中馬 宏之 氏 (一橋大学)

<休憩> (14:00-14:20)

図表 1-9a 3/9 の STRJ ワークショップ・プログラム (1/2)

Session 4		
14:20 - 14:45	設計タスクフォース	「低電力 SOC のロードマップ —配線分布・抵抗の予測と SOC 性能に及ぼす影響—」 石橋 孝一郎 (TF リーダ: ルネサステクノロジ)
14:45 - 15:20	設計WG	「微細化/複雑化の設計への影響 —回路パス遅延ばらつきのロードマップ化、設計遅れ起因変化の分析—」 柏木 治久 (WG1 リーダ: STARC) 山本 一郎 (WG1 委員: 沖電気)
15:20 - 15:45	テスト WG	「DFT と ATE との融合 —品質とコストの両立する テスト技術ロードマップに向けて—」 西村 安正 (WG2 リーダ: ルネサステクノロジ)
15:45 - 16:10	モデリング/シミュレーションWG	「デバイス開発へのM&S活用 —MOSFETロバスト特性開発、ばらつき問題への取組み状況—」 麻多 進 (WG10リーダ: NECエレクトロニクス)
16:10 - 16:25	歩留向上WG	「その先の歩留モデルへ —加工と計測の極限から—」 桑原 純夫 (WG11リーダ: NECエレクトロニクス)
16:25-16:50	Session 4 質疑応答	
16:50 - 17:00	総括	開 俊一 (STRJ 諮問委員会 委員長)

図表 1-9b 3/9 の STRJ ワークショップ・プログラム (2/2)

### 1-2-2 アンケート集計結果

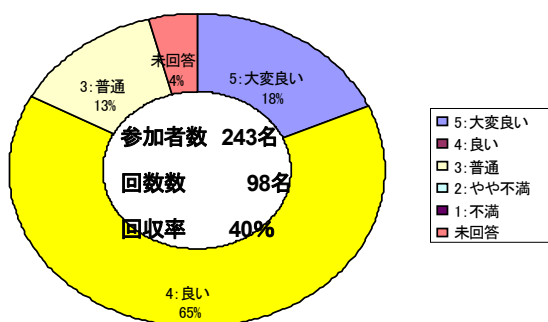
ワークショップでは、日頃の STRJ 活動に対する参加者の皆様のご意見を収集すべくアンケート調査を行った。回収率は初日が 40%、2 日目が 53%であった。以下に集計結果を述べる。

#### (1) ワークショップの全体的評価

図表 1-10 に示すように、全体的評価として「大変良い」と「良い」の合計は初日が 82.7%、2 日目が 76.3%であり、概ね好評であった。但し、昨年実績(初日:90.7%、2 日目:87.5%)に比べ悪化しており、自由記述欄のコメントを詳細に調べるなどの悪化要因分析を通して改善につなげる必要がある。

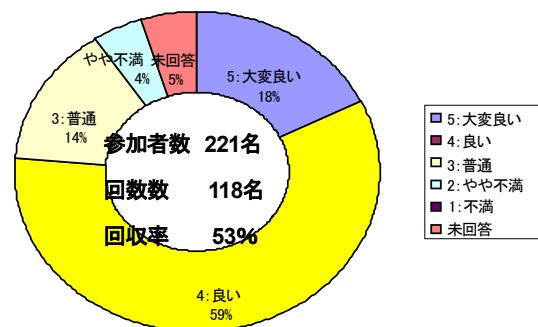
#### 0308「半導体技術ロードマップ専門委員会」

##### 第1部についての評価



#### 0309「半導体技術ロードマップ専門委員会」

##### 第2部についての評価



図表 1-10 「半導体技術ロードマップ専門委員会の部」の全体的評価

#### (2) アンケートで寄せられた意見

3/8-9 のワークショップでは、以下に記すようにたくさんのご意見が寄せられた。今後の活動を進める上で貴重なご意見であり、今後の参考とさせていただきます。アンケートにご協力いただいた方々に感謝を申し上げます。



**設問 3 (3/8)：半導体技術ロードマップ活動についてのご意見をお聴かせ下さい。**

## [肯定的]

- \* 将来の半導体動向を把握するのに重要。
- \* 定点観測する上で重要と思います
- \* 将来技術の方向性を考えるための基礎として役立てたい。
- \* World Wide での比較的まとまった動向が把握できるのでわかりやすい(百益)
- \* 非常に有意義な活動と思います。
- \* 半導体産業を一望できる点で有効。
- \* 専門技術の視点のみでなく、他の領域の視点も含めて、技術を考えることが出来、技術発展に非常に有効かと思います。
- \* 今回初めて参加させていただきました。その点では最先端技術の動向について情報を得られたことが良かった。活動そのものについては現状でもよろしいかと思います。
- \* 長期でのロードマップを議論する場として不可欠と考えている(自社がどんどん短期議論となっている)
- \* 技術が混とんとしている中で未来を予測するという難しい仕事をしていると思います。委員の皆様にはボランティアでやられており感謝します。
- \* 日本メーカーが丸丸となって、有意義なものとしていくために今後も頑張って下さい。微力ながら私どもも協力させていただきたいと思います。
- \* NEDO ではこの活動にリンクして NEDO 版ロードマップを作成しています。今後とも継続した活動をお願いします。
- \* 技術交流の場として重要な役割を持っている。今後も継続されることが望ましい。
- \* ERD/ERM の報告は興味深い内容であった。
- \* ERD/ERM の WG 化は将来性を期待する。
- \* 故障解析の紹介はよかった。今後も新しい技術の Topics 的な紹介は有効
- \* とてもよい

## [否定的]

## [意見・要望]

- \* 質問にもありました各年度はいいませんが、2020 年稿のビジョンとしてどのような検討結果が各 WG で上がっているか公表いただければありがたいと思います。企業にとっての投資の考え方に対する参考とさせていただきます。
- \* 積極的かつ分かりやすい情報や成果の発信をお願いします。
- \* ロードマップを年々見直すことで精度も上がると思います。
- \* 日本側がリードできる領域を増やせる様期待します。
- \* 国際活動の中での日本としての立場や位置を明確にするとよい。
- \* ITRS を受けて日本独自の RM 戦略が欲しい。
- \* ITRS と STRJ の主張の違いについて、分かる様にしてほしい。(4 のテーマ?)
- \* 日本の活動は他極とどこが違う(どんな特徴があるか)の説明があった方が良いのでは。
- \* 日本独自の活動がもっと明確に打ち出せるとよいと思う。
- \* 日本のプレゼンスを高めるよう、ITRS の場で活動を推進して下さい。
- \* STRJ としての独自の活動を更に強調した方が良い。聴講者の中に上記の活動を期待している人がいるだけでなく、STRJ の活動を維持する上でも重要と考える。
- \* FI と ESHWG をいっしょにしては?
- \* だぶりが多いように思う。INC の活動、他の JEITA の活動、etc. 似たような委員会がいくつもある。
- \* PKG 実装に関するテーマが多くても良いと思います。
- \* 動向に対するドライビングフォースの明確化と定量化を補強する必要があります。
- \* Extended CMOS Post CMOS Beyond CMOS の関係が判り難い。
- \* 「半導体集積回路インターコネクト技術」のプレゼンはわかりにくかった。もう少し大きな観点から話せないのかと思いました。上記を除けば非常に良かった。
- \* ロードマップ委員会だけではないのですが、Cu 配線を使用してから FEP、BEP とプロセスを区分けしていますが、その境界となるコンタクト形成に関するロードマップ取り扱いが少なく感じております。コンタクト形成技術の重要性も増してきており、いまいちど取り扱いの明確化はできないでしょうか。
- \* 『ロードマップそのものよりもロードマップング(つまり議論のプロセス)が重要』という見方もありますので、ロードマップの改訂結果のみでなく、その議論の過程について講演でより詳しく話していただければと思います。
- \* Hi-K 登場時期予測の誤りについての議論が興味深かったです。ロードマップという情報に収約することはすでに限界で元となる情報の揭示がより求められる時代となったのでしょうか？

**設問 4 (3/8)： 本日のワークショップ運営全体について、ご意見をお聴かせ下さい。****[肯定的]**

- \* 場所は良かった。
- \* フロラシオンよりは狭いですが、思った以上に良い印象です。
- \* コクヨホールの方が便が良い。駅前なので。今日は晴れたが春は雨が多く、青山ではよく雨の中を歩かされた。
- \* 前回の開催の時よりも会場が便利。
- \* 参加し易い場所でありがたく思いました。
- \* 品川は場所的に良いと思います。
- \* 場所、ホールの環境は良かったと思います。
- \* 今後も品川でお願いします。
- \* 交通便が良く、スムーズだった。
- \* アクセスが便利な場所で行った。
- \* 運営がスムーズで会場も良かった。
- \* テーブルにコンセントがあるのは良かった。
- \* まとめて質問も良かったと思う。
- \* まとめて質問を受ける方法は個々の発表後に受ける従来方式よりベターであると感じた。
- \* Session 毎にまとめて質問の形態に変更し、以前よりも活発な議論が進んだと思う。
- \* 集合での質疑応答は効率的。
- \* 今年から関連のある報告をまとめ、最後に Q&A としたのは良かった。
- \* 質疑応答をまとめてやったのは良かった。
- \* 用語集も良いと思う。
- \* 発表スライドが席から見やすく、音声も良好です。
- \* 各発表とも、非常に分かりやすい発表であった。又、活動内容を定期的に発表するのは良い事である。
- \* 特別講演は将来を考える上で参考になった。
- \* 初参加だったので勉強になりました。
- \* 今回初めて参加させて頂きましたが、大変興味深く聴講させて頂きました。
- \* Good です。
- \* 良い
- \* 大変良かったと思います。
- \* 全体としては良かったと思います。
- \* 改善されており良かったと思います。(Session 運営)

**[要望]**

- \* 昼食を準備してほしい。
- \* できれば昼食の弁当を用意してほしい。
- \* 電波のはいる所を会場に選んでほしい。
- \* ネットが使えるとさらに良かったです。
- \* 今後も特別講演を混ぜて進めていただきたい。

**[感想・意見]**

- \* 質疑応答をもう少し活発化した方が良いと思います。
- \* 公共のセミナーではないので、質疑について事前に仕込んで構わないと思います。そうしないと特定の某氏(S社?など)がマイクを独占してしまうので。
- \* やはり会場からの Q&A が少ない。大学の先生に学生を連れて来てもらうなど、若手の参加も必要では。素朴かつ重要な質問が期待できると思う。
- \* 質問をまとめて行うのは考えもの。必ずしも関連のあるテーマではない。
- \* Section ごとの質問ではなく、1 講演ごとに質問時間を作ったほうがよい。
- \* 質疑応答は各講演ごとに行ったほうが良かったように思います。
- \* セッション毎の質問型式は質問が出にくいかもしれない。
- \* 質問コメントは講演ごとにやった方が内容を覚えていて良いと思います。
- \* 最後に質問をまとめてしまうと早い講演の印象が薄れてしまい、インパクトが弱くなる。会場からの質問があまり出ない理由がここにあるのではないか
- \* 各講演ごとに質問の機会を設けた方が良いのでは(間が開くと忘れてしまう)
- \* 終日だけでなく、半日、あるいは特別講演のみのコースを設定すれば参加者はもっと増えると思います。
- \* 事前の PR が十分だったか?(会員会社に向けて)
- \* PKG・実装編と Wafer プロセス編を分けてはどうでしょうか。
- \* WG 報告は一般的で新味がなかった(やむなしではありますが)
- \* 各 WG からの報告に主張したい点がよく分かりませんでした。

- \*会場は昨年よりも聞きやすい(会場が階段状で)ですが、やや狭い感じがしました。(仕方ないですが)
- \*従来の会場の方が良い。
- \*個人的には青山の方が良かった(単に街がおちついていて良いというだけです)表通りでなければ静か。
- \*聴講するにはコクヨホールの方がよいが、ホスピタリティの面ではフロラシオン青山の方がよかった。総合的にどちらの場所がよいかは難しいところ。
- \*スピーカー音量大きすぎ。
- \*会場の無線 LAN の強度が弱すぎて使えなかった。
- \*フォントサイズが小さすぎる発表があり、スクリーンで見える様にしてほしい。
- \*スライドで文字が欠けることが多かったので、事前の確認をした方がよい。(すぐ交換したのでよかったが、、、)
- \*時間を守るように
- \*発表者の使うレーザーポインタの光量が弱く見えにくい

### 設問 3 (3/9)：半導体技術ロードマップ活動についてのご意見をお聴かせ下さい。

#### [肯定的]

- \*半導体業界全体の問題点を概観できてよい。
- \*デバイスを開発していく上で、参考になりたいへん重宝している。
- \*こういった形で公開される結果は良いことだと思う。
- \*新しい技術の紹介頂けた事が良かった。
- \*大変評価している。今後も益々活性化して欲しい。
- \*非常に有意義な活動だと思います。広報の重要性を意識されており、今後とも期待しています。
- \*いつもご苦労様です。皆様正攻法でとりくまれていて素晴らしいです。
- \*国内の活動がきっちり進められていると感じます。国際的な活動におけるプレゼンスの一層の向上を期待します。
- \*デバイスメーカ、製造装置メーカー、コンソーシアムの参加により、より現実的なロードマップになって来た。開発目標が明確になっている。
- \*ロードマップにより、目標仕様値が明確になり、デバイス、装置メーカーの共通認識が得られやすい。
- \*チャレンジングな項目が多いが業界全体で課題を解決し、半導体の応用拡大に貢献している。
- \*より活発な活動を期待しています。
- \*グループ化したことで討議が活発になったと思う。聞きやすい設定だった。
- \*アプリケーションとの連携弱いとの認識があり良い。
- \*経済性小委員会の話が、非常おもしろく良かった。
- \*用語解説は非常に良い。今年は従来よりわかりやすかった。
- \*有意義
- \*このままでよろしいかと。
- \*究極のボランティア活動にもかかわらず、各 WG ともしっかりした議論がなされており将来に向けての技術課題の明確化と技術の方向性の明示がされていってりっぱな活動と考える。

#### [否定的]

- \*同じような事を各グループがやっている無駄が目についた。
- \*何のための微細化か、下請け工場としてのロードマップでは困る。

#### [意見・要望]

- \*STRJ 活動は大切。それをもっとアピールしては。年 1 回の WS だけでなく、他でも STRJ としての講演考えては(応物など?)
- \*成果についての報告を希望(失敗も含めて)
- \*日本としての戦略が必要だと思う。
- \*更なる技術深化を期待します。
- \*日本の技術のロードマップやベンチマークを行い、ロードマップ委員会の活動や各企業の活動により日本が勝ち抜くシナリオを構築できるよう今後活動したい。
- \*日本としての利用方針を考えないと損をすると思います。
- \*ぜひ日本の半導体産業の結束を進め、引っぱっていただきたい。
- \*各 WG 間の活発なクロストークを期待します。
- \*投資力の大小が力を持って来た世界での活動の戦略性が必要。
- \*STRJ としては、日本の半導体業界の世界との比較、競争力強化のための方策等を議論しても良いのでは。
- \*技術的に一生懸命やっておられるのは分かるが、この活動を通して何をしようとしているのかがあまり伝わってこなかった。

- \* 問題点を端的に示すだけの WG がある。専門家にしか問題点の課題がつかめない。本論に入るまえに物理的背景などの概略があるとよい。
- \* 報告書にかけない、生きた課題(一番問題となっているがまとまらない論議)について、具体的な例等上げて、報告いただきたい。(集束しない課題などでもよし)
- \* 半導体事業に直結することのできるような活動を是非お願い致したいです。
- \* やはり抽象的で実際皆が困っている事などを聞きたかった。
- \* 各 WG の活動状況に大きな差がある。WG 毎特有の問題もあると思うが、もう少しベクトルをそろえる必要があるのでは？
- \* 質問にもよりましたが、コンタクトのところがきちっと議論されていません。こういった境界領域は今後増えるので漏れないようにお願いいたします。
- \* 各 GP に分かれての集中質問でなく、関連する GP への Q&A で有ったので全体が良く分かった。次回も組み変えても行ってほしい。
- \* 中馬先生のお話を大変おもしろく聞かせてもらいましたが、日本が進むべきコア(先生はアプリケーションと表現されました)を掲示できる中立機関の必要性を強く感じました。
- \* 中馬先生の話は難解。MPU、DRAM、FLASHなどが Moore's Law を引っ張ってきたと理解していたため、品種の多様性と Moore's Law を結びつけるモデルにはやや違和感を感じた。
- \* 経済性についてファクターをどの様に入れていくか課題が多い。グローバルブレインに関しては良く分からなかったが、その様な視点で見るのは興味深かった。
- \* 経済性の発表について、論点は興味深かったが、ハンドアウト資にもう少し和訳メッセージがあればよりベターと思います。(せっかくの論点ですから)
- \* 3D Design Tool SoC+PKG 含む Signal Integration 等 IEEE の様な形はどうか？
- \* RM のフィジビリティが見えない傾向が、、、
- \* WG をまたがる課題が増えクロスカットが増えてきました。各 WG 毎にロードマップ課題をまとめていますが、全体を統括する視点でのまとめが必要のように思います。日本の半導体技術がどの位置にあるか、足りない(遅れている)分野がどこか、議論されていないテーマがないか、全体的にみたときにわかるものがあるのではないかと思います。(各 WG という狭い視野では気づかれない何かがあるのでは)又、中馬先生の講演にもあったように日本の半導体産業をどのような方向に導いていくかという視点での活動が必要と思いました。
- \* 活動内容の報告では ~を行いました という報告ではなく、 ~という問題、課題に対してこの様なアプローチでとり組みを行った結果どうなったという報告が良いと考える。課題が解決しなければどの様な問題が生じるかなど、、、
- \* 半導体 11 社の中でロードマップ活動に対する価値をどのように判断されているのか、支持されているのか放任されているのか多少不安があります。
- \* WG 間の連携をさらに深めていただければ良いです。
- \* 設計 WG の中身がうすい。(実状に合っていない活動？)
- \* 設計関連の発表は表面的で、ロードマップ化に適するか疑問に感じる。
- \* STRJ 活動が日本の企業の競争力強化に役立っているのでしょうか？
- \* 半導体テクノロジー分野は良く、真面目に検討しておられますがもう少し上の階層(機器)との連携を強化するような方向を考えられたらいかがでしょう。
- \* ITRS を毎年 update する活動と STRJ の活動のバランスから見ると ITRS は隔年の新版に活かし、その間は STRJ を強化した方が、企業からは感謝されるのではないのでしょうか。
- \* ロードマップ作成が目的ではなく、半導体産業活発化に役立つ活動を目指してほしい。
- \* 平均点の努力目標として値を設定する意味は存在すると思う。インテルの High-k/Metal の発表のように「だしぬき」は存在することに留意しておく必要はあり、過剰な反応をすることは恥ずかしい事である。
- \* 学会で現在進められている「アカデミックロードマップ」と全く連携が無い。日本の技術発展を考える上で、学会主導のロードマップとの議論は必要ではないか。原質は同じ日本の富なので。
- \* もう少し技術の議論が欲しいと思いました。同窓会にならないようにせねば。
- \* 各 WG の専門委員会活動は、「ボランティアベース」の活動であり、メンバーの負担が多いと思います。良いアイデアは無いのですが、有意義な活動ですので、STRJ の活動そのものは続けるべきで、何か対策したいものです。

設問 4 (3/9): 今後、経済性を視点にしたフォーラム開催で取り上げて欲しい講演テーマをご記入ください。

- \* マーケティング戦略についてお願いします。
- \* 各社コスト力比較とコスト力の源泉 工程別 ・Wafer Process ・Assembly ・Test ・R&D ・SG&A
- \* 設計～テストに渡るトータルのコスト・経済性を最適化する上での動向と見積もり。
- \* アプリケーションロードマップ
- \* Application RM もしくはビジネス RM を目指して下さい。

- \* 最終アプリケーション製品(ディスプレイ、ゲーム、モバイル、PC、AV 機器)の今後の動向と半導体産業への要求、経済規模見直し等。
- \* デバイス製造におけるコストモデル (IDM でファンダリーに勝つ方法)
- \* 米国、EU など、他から見た日本を評価する内容。世界の中で日本が何を思われていて、何を期待されているのか実感したいです。
- \* 環境対策が経済性に及ぼすインパクト
- \* 日本の半導体が衰退した原因などはこれまでに十分分析されているのでこれをベースに経済アナリスト、大学の先生などにどうしたら復活できるかを 2-3 件提案していただき、パネルディスカッションを行う。異なる視点・主張をもつアナリスト先生であればあるほどよい。全く半導体と異なる分野(自動車、鉄鋼、合併成功の例)などがおもしろい。
- \* 故障解析関連
- \* 既存技術の Extended Utilization 等 Cost down 戦略
- \* DFT 手法のガイドライン(手法費用対効果等)
- \* コスト構造の比較(日本、台湾、米国、ヨーロッパ、中国など)
- \* 設計コスト増大(プロセス、検証(マスク、Die etc)、設備投資)に対するこれからのもしくは今のビジネスモデルのレビューをお願いしたいと思います。イメージとしては IDM、ファンダリー、設計ハウス(EDA ベンダ、装置メーカー)等各形態での収益の出し方などの考え方に興味があります。
- \* 自動車電装品に対する要求品管レベルと半導体ロードマップ関係
- \* Chip メーカーと製造装置メーカーとの経済性についても触れて欲しい
- \* PKG 信頼性に関するロードマップも今後取り上げて頂きたい。
- \* TSMC のようなファンダリーに経済性で Total Cost で勝つためには、現状の視点で問題ないのか(?)
- \* 日本半導体活性化は、現在の対応で問題ないか?(例えば、人の育成はどう考えるか、各 WG は努力されているか ⇨本ロードマップ活動報告によって、優秀な学生のモチベーションが高まるのか(?))
- \* 量産を視界に入れた、低コスト手法、技術
- \* 日本製 LSI を世界でどのように使ってもらおうのか(1)性能、コストのみでマーケットはとれるのか?(2)LSI ユーザーの開発したい機器システムの開発支援までを含めるべきではないか?
- \* 300 mm Prime or 450 mmの経済性シュミレーション
- \* リソグラフィーのポテンシャルソリューションに対し経済的な視点からの各ソリューションの評価、分析。
- \* リソグラフィコストの分析
- \* 経済性を視点にしたソリューションの分析手法提案。
- \* 半導体応用との連携
- \* more than moore に関する具体的取り組み事例とレポートがあればと思います。
- \* ファブ+ファウンダリー vs IDM 今後あるべき形態は。
- \* 小規模でも強いコスト力確保ができるか。
- \* DFM に対する MFD に関連するテーマ。
- \* 今回のものよりももう少し具体的な講演希望。
- \* 中馬先生の話をもっと聞きたい。

#### 設問 5 (3/9)： 本日のワークショップ運営全体について、ご意見をお聴かせ下さい。

[肯定的]

- \* 関連のある発表をまとめたのは良い。
- \* 今回、初参加だったが、質問時間をまとめて後にする方式は良いと思う。
- \* セッション毎に Q&A を設けたのはよかった。
- \* 質疑応答が関連セッションをまとめてやっているのでも良かった。
- \* Q&A をまとめて行う形式は良いと思います。
- \* セッション毎の QA は良い。
- \* 場所は駅に近く良いように思います。
- \* 品川は交通の便がよいので、今後もこの地区での開催を希望します。
- \* 今回から会場が品川コクヨホールに変わったが、交通の便も良いし、各机には電源プラグも完備されていて良かったと思う。
- \* コクヨホールでの開催は参加しやすい。
- \* コクヨが良かったです。
- \* 見やすく良かったです。イスも良かったです。
- \* 視聴しやすく良好な環境で良かった。休憩場所も適当なスペースがあつて良かった。
- \* (ホール)場所が変わった事で多少のとまどいも有ったが、見方も変わり良かった。
- \* 大変良い。会場は今後もコクヨホールを希望。
- \* 内容豊富でスムーズな運営であったと思います。

- \* 盛りだくさんの内容で大変参考になりました。
- \* 大変興味深い話ばかりで、大変為になりました。
- \* 用語集は助かる。
- \* 資料もねれていて良かった。
- \* 運営、講習内容共に満足行くレベルでした。
- \* 本日のスピーカーは皆発表待ち時間内で話しをされて、進行が時間通りで良かったと思う。
- \* 時間通りに終わることが出来た。運営の方々に敬意。
- \* 大変良かった
- \* よかったと思う。
- \* スムーズな運営ありがとうございました。
- \* 大変良かったと思います。運営に感謝します。
- \* 円滑な運営に感謝致します。

#### [要望]

- \* 昼食を用意して欲しい。
- \* 飲物持込可の会場の方が良い。
- \* ワークショップの **Digest** がカラーだと有難いのですが、STRJ の予算で節約できるところをみつけてそうして頂くと良いでしょう。(とくに白抜き文字が黒くなっていると見にくい)
- \* レーザーポインタが見えにくい。改善要。
- \* ネームプレートについて首から下げるタイプを用意してほしい。
- \* 故障解析に対してのテーマをもっと活発にお願い致します。
- \* 歩留向上 WG の講演資料の内容変更が多かったので本日の資料が欲しいです。

#### [感想・意見]

- \* 聴衆にわかりやすく伝えることをもう少し意識した発表を望む(一部の発表について)
- \* 複数発表をまとめた質疑が有効に機能していないケースも目立つ。
- \* セッションというくりをつけたことは事体は非常にいいと思う。ただ、1 つのセッションが長すぎました(つめこみすぎ?)
- \* 全体で共通テーマを設定する等工夫が必要。各 WG バラバラの報告は分かりにくい。広範な内容を扱っている事も考慮した運営を期待したい。(発表は一部の WG だけするとか)
- \* 毎年開催されていますが、プログラムに少し変化をつけてはいかがでしょうか?
- \* 非専門家にも判るよう、各 WG の重要技術 Point の解説がプレゼンの中に入ると判り易く良いように思います。(いくつかの WG は、何故課題かが良く判りました。ここから横携が始まるかと思えます)
- \* 日本がこのワークショップをどのように利用し、日本企業の国際競争力 UP に役立てようとしているのかが見えなかった。
- \* 日本としての戦略、公開の場で明らかにする必要はないけれど、明確にあるようには思えなかった。
- \* 2 日間まるまるは長いのでは。
- \* 報告内容と割当時間の見直しが必要
- \* 2 つの WG から複数人での発表では早口になる等、聞き手にとってメリットがない。十分な時間を確保すべき。
- \* 少し時間が不足しているセッションがあった。運営上難しいと思うが、何とかならないか。
- \* 今日の各 WG の発表からすると多少時間が足りないように感じました。
- \* ふみ込んだクロスカットが行えるイベント設定も必要ではないでしょうか?
- \* 質問は各発表後にやっとう方がいと思う。
- \* Q&A は 1 件毎やっとう方が眼がさめるでしょう。とくに午後。
- \* Q&A が活発化する工夫が更に必要と思います。
- \* 用語集は役に立った。多くの人がページをパラパラめくってさがしていた用語の中にもまだ載っていない用語がある。
- \* 予稿集(PPT ファイル)の記述が WG によって、和文が主、英文が主、和英混在と統一性がないように思います。ITRS をもとにした図表類は英文でも仕方ないのですが、説明文や主文はやはり和文とした方が見やすい(理解しやすい)と思います。特に専門外の WG の話は和文の方がわかりやすい)
- \* 中馬先生の講演の企画は大変良かったと思います。質疑応答の時間をもう少し多くとっていただいた方がよいように思いました。
- \* 開始時間 10:30 がありがたいです。関西から参加のため。
- \* 休憩、懇談のスペースが不足しています。講演会場(ホール)は丁度良い規模、場所なのですが
- \* ちょっと人が少ないかな? と思いました。