

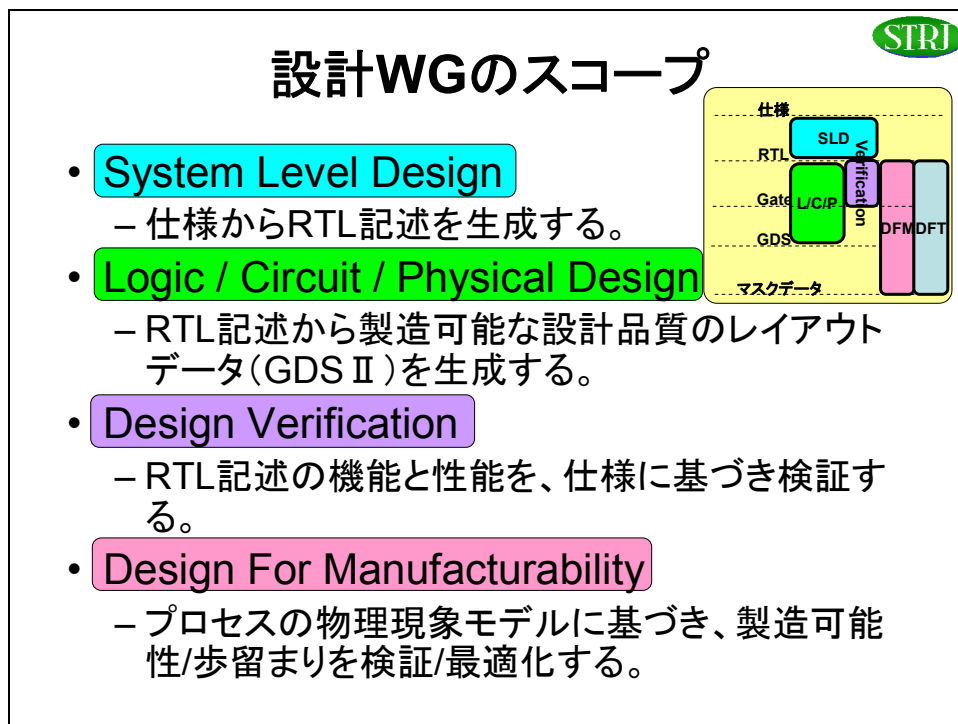
## 第3章 WG1 設計

### 3-1 概要

【設計】とは、SOC の【仕様】から【製造可能なマスクデータ】を作成するまでの作業を言い、図表 3-1 に示すように、SLD (System Level Design)、L/C/P (Logic/Circuit/Physical Design)、Verification、DFM (Design for Manufacturability)、DFT (Design For Test) の 5 つの枠組みで構成される。

STRJ-WG1(設計 WG)はこのうち、SLD、L/C/P、Verification、DFM をスコープとしており、DFT については WG2 が担当することになっている。

このスコープから判るように当 WG の技術範囲は広く、それぞれの要素技術の専門家の寄り合い所帯である。従って、全員参加のテーマを広く浅くなり、特定技術の深耕はサブワーキング活動になる。



図表 3-1 WG1 設計のスコープ

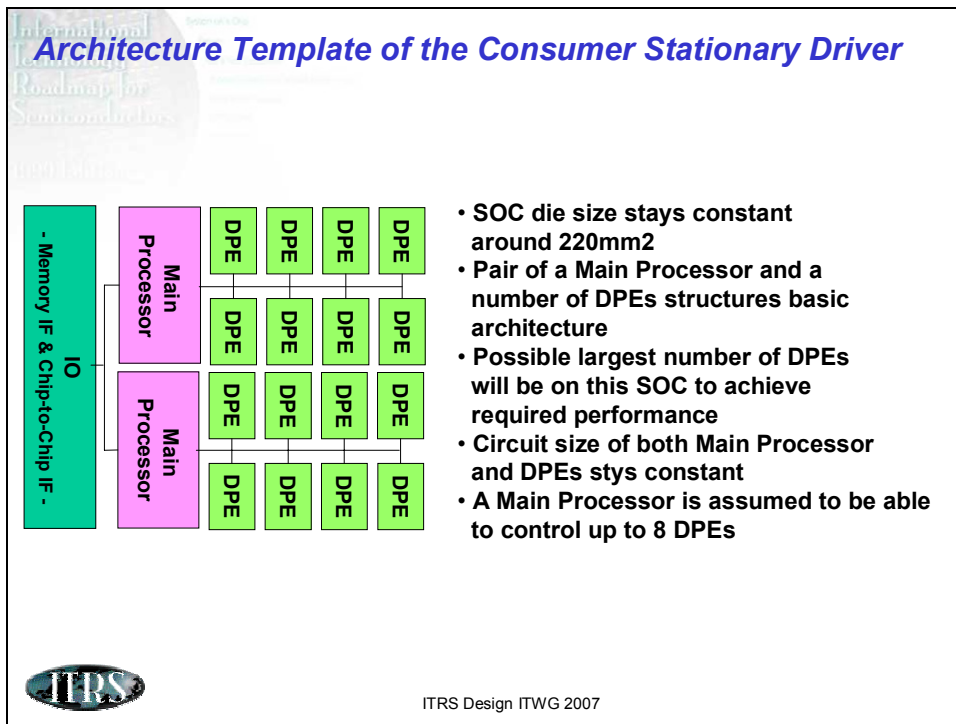
2006 年度活動としては、国際担当を中心とした国際活動を行い、ITRS2006 に対して貢献を行った。国内活動は、微細化、複雑化の設計への影響を定量化すべく、設計遅れ要因変化の分析と提言及びDFMに関するサブワーキング活動を行った。

### 3-2 国際活動

4 月、7 月、12 月、2 月にそれぞれ欧州(オランダ/マーストリヒト)、米国(サンフランシスコ)、台湾(新竹)、米国(サンフランシスコ)で行われた ITRS の Design ITWG に出席した。

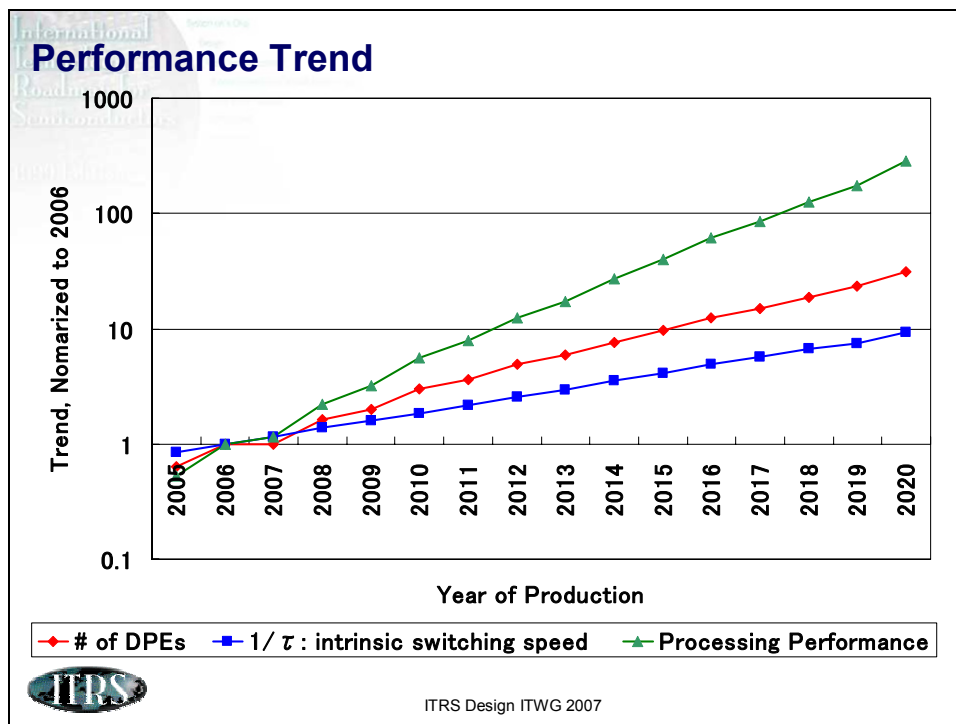
国際担当を中心とした活動では、ITRS2005 System Drivers 章の Consumer Portable ドライバに引き続き、ITRS2006 では Consumer Stationary ドライバを担当。デジタル AV 家電機器の中核 SOC について、アーキテクチャとこれに基づく性能、消費電力ロードマップを作成。主要メッセージまでのドラフティングを行った。

図表 3-2 は本ドライバのアーキテクチャを説明したものである。高度化の進む機能をソフトウェアにより柔軟に実現するために、ソフトウェア実行環境として高度な演算能力を有するデータ演算エンジン DPE (Data Processing Engine) を多数搭載するアーキテクチャを基本とした。



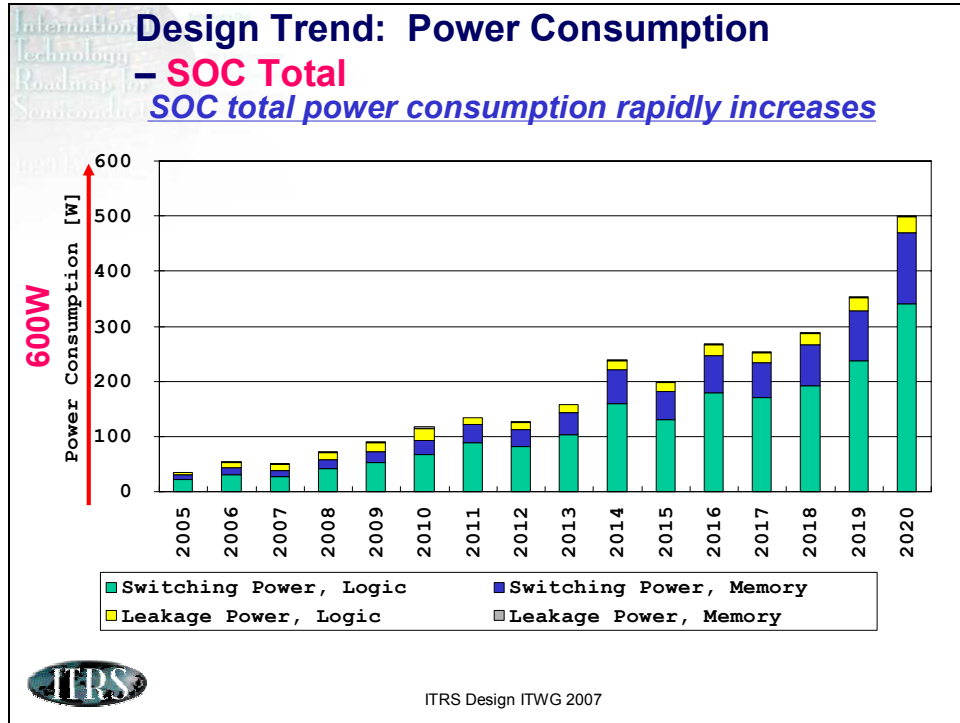
図表 3-2 Architecture Template of the Consumer Stationary Driver

図表 3-3 に示すように、性能は、PIDS テーブルにある  $1/\tau$ : intrinsic switching speed と、DPE の数の積で表される。DPE の数は、ダイサイズを一定とした条件で搭載可能な回路規模の増加に比例しているが、DPE8 個につき少なくとも 1 個の Main Processor が必要という制約がある。



図表 3-3 Performance Trend

図表 3-4 に示すように、SOC 全体の消費電力は毎年急速に増加し、2020 年には 500w に達する。これは、DPE の数が増加していることに起因する。実は、DPE 単体では消費電力は減少する方向にある。DPE 単体では、動作周波数の上昇という消費電力増加要因を、電源電圧の低下、平均配線長の短縮など消費電力減少要因が上回るためである。



図表 3-4 Power Consumption Trend

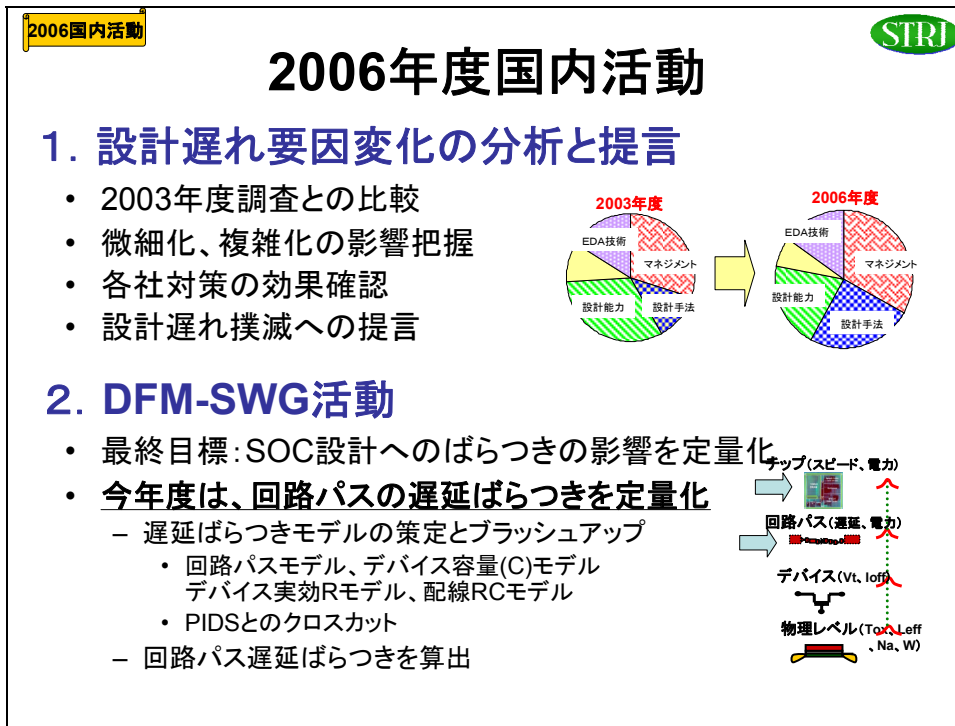
### 3-3 国内活動

#### 3-3-1 背景

2005 年度活動では、SLD、L/C/P、Verification、DFM の枠組みごとに SWG 形式で SOC 設計技術ロードマップの見直しを行った。この中で、DFM-SWG については、技術課題と課題解決策の検討を引き続き進めることを計画していた。

ITRS においては、DFM の一環として製造ばらつきによる回路の動作周波数と消費電力に対する影響を関数として表すことを目標にしているが、DFM-SWG においては、「SOC の性能に対するプロセスばらつきの影響を、時間軸を持った形で定量化し、課題解決に必要な設計技術を示すロードマップ」を作成することを目標に、本年度は回路パス遅延ばらつき評価用モデルを作成し、ばらつきが遅延に与える影響の定量化を試みた。

2003 年度に、実際の設計現場での、微細化、複雑化の影響を把握するために、11 社の設計遅れの事例を収集し、要因分析を実施した。その後の 3 年間の設計において、微細化および複雑化の影響が顕著であれば、設計遅れの要因に少なからず影響があることを予測して、2003 年度と同様の要因分析を行った。



図表 3-5 2006 年度国内活動

### 3-4 設計遅れ要因変化の分析と提言

本節では、2003 年度の設計遅れ要因調査に対する 2006 年度調査の変化を分析した結果について報告する。

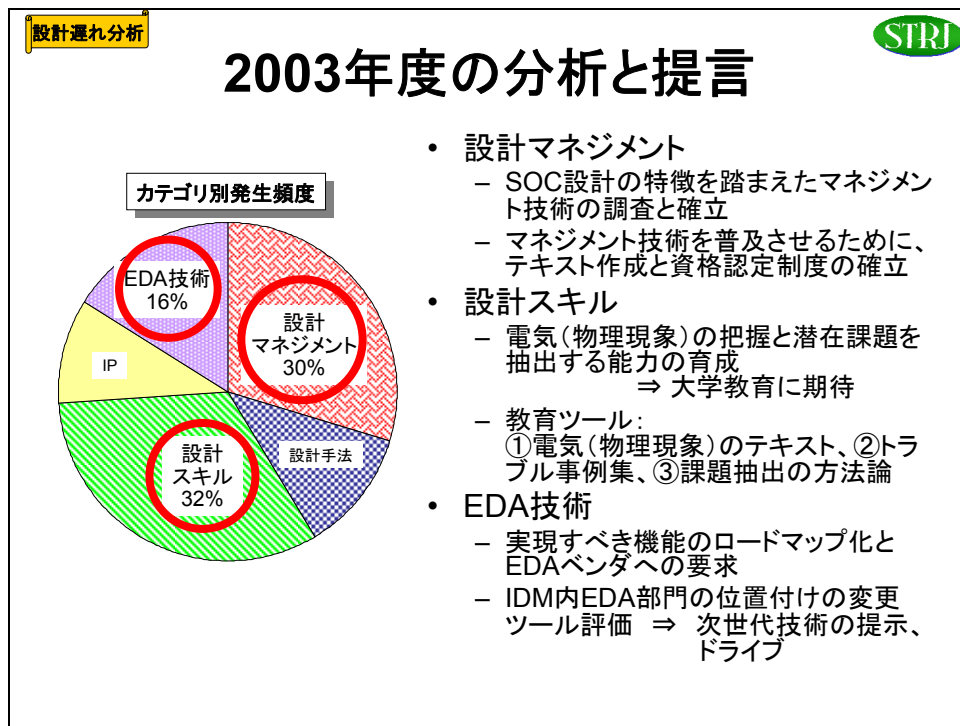
今年度は 2003 年度と同様な調査と分析を行い、その要因がどのように変化しているかを分析し、微細化、複雑化の影響を検証した。併せて、2003 年度以降、各社が設計遅れ撲滅に打ってきた対策の効果を確認する。最後に、主要な要因に対して要因撲滅への提言を行う。

年度	国内活動内容
2003	設計遅れ要因の分析と提言 - 設計現場から課題を抽出 ⇒ Time to market 短縮への提言
2004	設計生産性ロードマップの策定 - ロードマップ策定のための SOC モデルの設定 - 課題抽出とポテンシャルソリューションの検討
2005	SOC のハードウェア設計技術ロードマップ
2006	設計遅れ要因の変化の分析と提言

図表 3-6 WG1 の国内活動内容

#### 3-4-1 2003 年度分析と提言

2003 年度分析結果では、設計マネジメント原因が 30%、設計スキル原因が 32%、EDA 技術原因が 16%とこの 3 つが主な原因であり、それぞれに対して提言を行った。



図表 3-7 2003 年度の分析と提言

### 3-4-2 各社対策

2003 年度以降、各社は設計遅れ撲滅に向けて様々な対策を行っている。これらを分類すると、ほぼ、2003 年度の主要な原因である 3 項目に分類することができる。

以下は、典型的な各社の対策を掲載したものである。

- 設計マネジメント
  - 設計マネジメント教育実施(PMBOK 等)
  - マネジメント体制の整備/強化(組織的リスク管理など)
  - チェック体制の整備/強化(チェック専任組織など)
- 設計スキル
  - 設計スキルの向上(設計教育、設計技能検定など)
  - 検証技術力の強化
  - 不具合事例の分析と情報共有(失敗事例分析のデータベースなど)
- EDA 技術
  - 新技術導入
  - SW/HW 協調設計、高位合成
  - 設計メソドロジプラットフォーム

### 3-4-3 SOC の変化

各社の不具合情報を扱うため、前回同様、調査対象の SOC 像を明確にはしていない。従って、調査対象の SOC プロファイリングはできないが、ロードマップ上でこの 3 年間の SOC がどのように変わっているかを、下記に記載しておく。

項目	2003 年	2006 年
先端プロセス	130nm	90nm
ロジック規模 (STRJ-WG1 モバイルコンシューマモデルより)	4.3Mgates	6.7Mgates
搭載プロセッサ数 (STRJ-WG1 モバイルコンシューマモデルより)	7 個	17 個
Battery Capacity (消費電力制約) (ITRS2003 SoC-LP より)	120 Wh/kg	200 Wh/kg

図表 3-8 ロードマップに見る SOC の変化

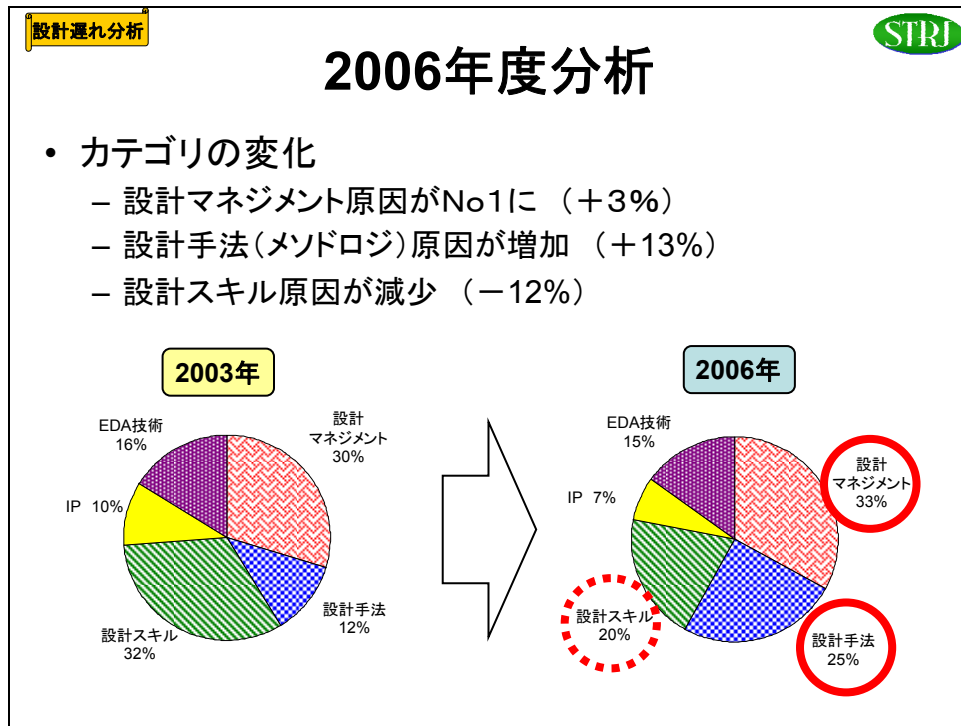
### 3-4-4 2006 年度分析

分析は、設計ボトルネックを各社 SOC 開発事例から抽出し、カテゴリ別に分類することで行った。

- ・ 設計ボトルネックの定義
  - 計画と実績が乖離する原因  
コストが大でも、コントロールできている課題は対象外  
補足: 設計検証は、開発期間増の起因であるとの共通認識だが、制御できていれば調査には表れない。
- ・ ボトルネックの抽出方法
  - 各社の SOC 開発事例から、ボトルネックを抽出
  - 抽出ボトルネック数: 111 件  
注) SOC 設計におけるボトルネック全数ではない。
- ・ ボトルネックの分類カテゴリ
  - 設計マネジメント、設計スキル、設計手法(メソドロジー)、IP、EDA ツール

なお、抽出、及び分類は各社委員が行い、分類の統一性を確保するために、WG 活動 2 回にわたって全員レビューを行った。

分類した結果、設計マネジメント原因が相変わらず多いこと、設計手法原因が倍増したこと、設計スキル原因が減少したことがわかった。以降、設計マネジメントと設計手法についてさらに分析していくことにした。



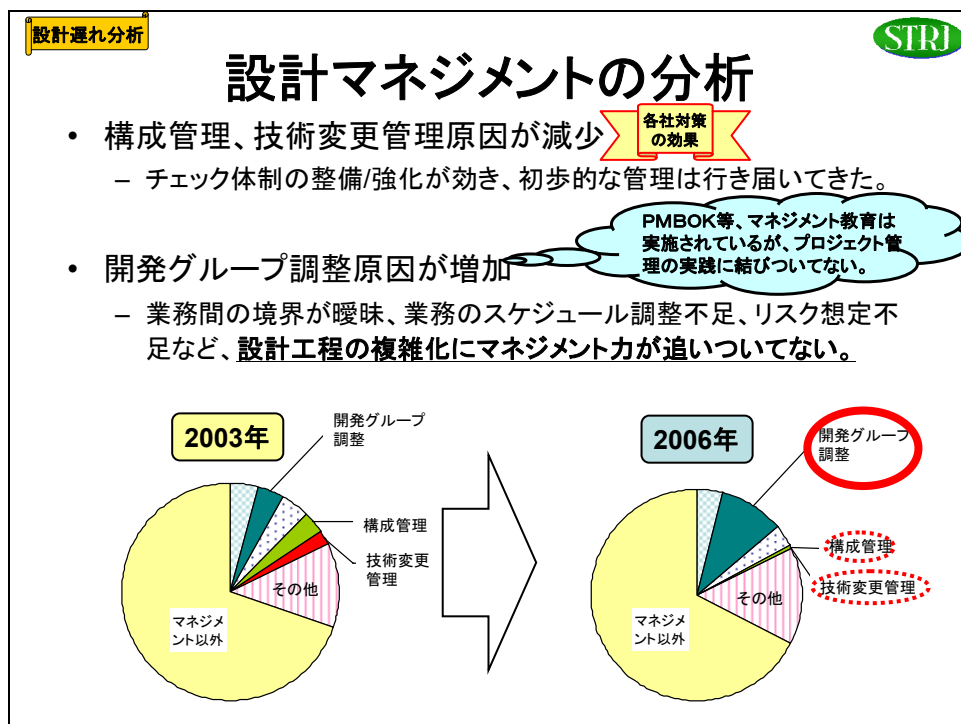
図表 3-9 2006 年度分析

### 3-4-5 設計マネジメントの原因分析

設計マネジメント原因をさらに分析していくと、2つの大きな変化があった。

1 つは構成管理、技術変更管理原因が大幅に減少していることである。これは、各社対策でチェック体制の整備/強化が効果をあげていると推測される。

もう 1 つは開発グループ内の調整原因が増加していることである。具体的な内容は業務間の境界が曖昧であったとか、業務スケジュール調整不足、リスク想定不足など、設計工程の複雑化にマネジメント力が追いついていないと推測される



図表 3-10 設計マネジメントの分析

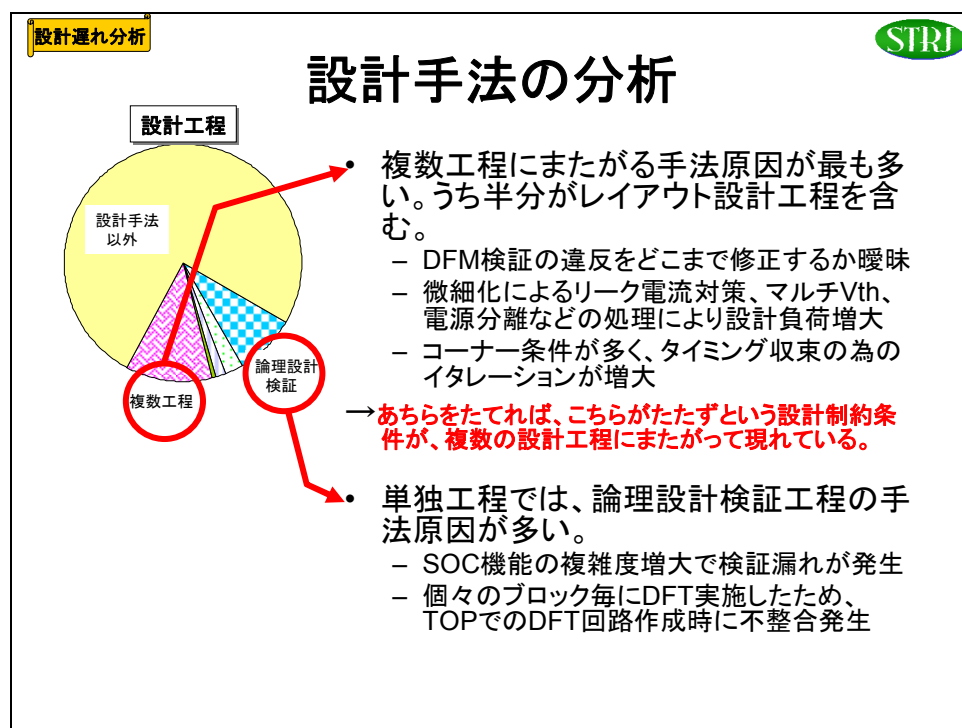


### 3-4-6 設計手法の原因分析

原因となった設計工程の分類を行い、2 つのことがわかってきた。

1 つは、複数工程にまたがる手法原因が最も多く、中でもレイアウト設計工程を含む場合がその半分を占めているということである。具体的には、DFM 検証の違反をどこまで修正するか曖昧、微細化によるリーク電流対策、マルチ Vth、電源分離などの処理により設計負荷増大、コーナー条件が多く、タイミング収束の為にイタレーションが増大、などである。あちらをたてれば、こちらがたたずという設計制約条件が、複数の設計工程にまたがって現れる。これを解決する設計手法が提供されてないことが原因と推察される。

もう1つは、単独工程では、論理設計検証工程の手法原因が多いことである。SOC 機能が複雑になり、検証漏れや、テスト設計に起因する不具合発生が設計遅れの原因となっている。



図表 3-11 設計手法の分析

### 3-4-7 その他の変化

カテゴリ別の原因分析とは別に、2006 年度分析で新たに変化が見られた。

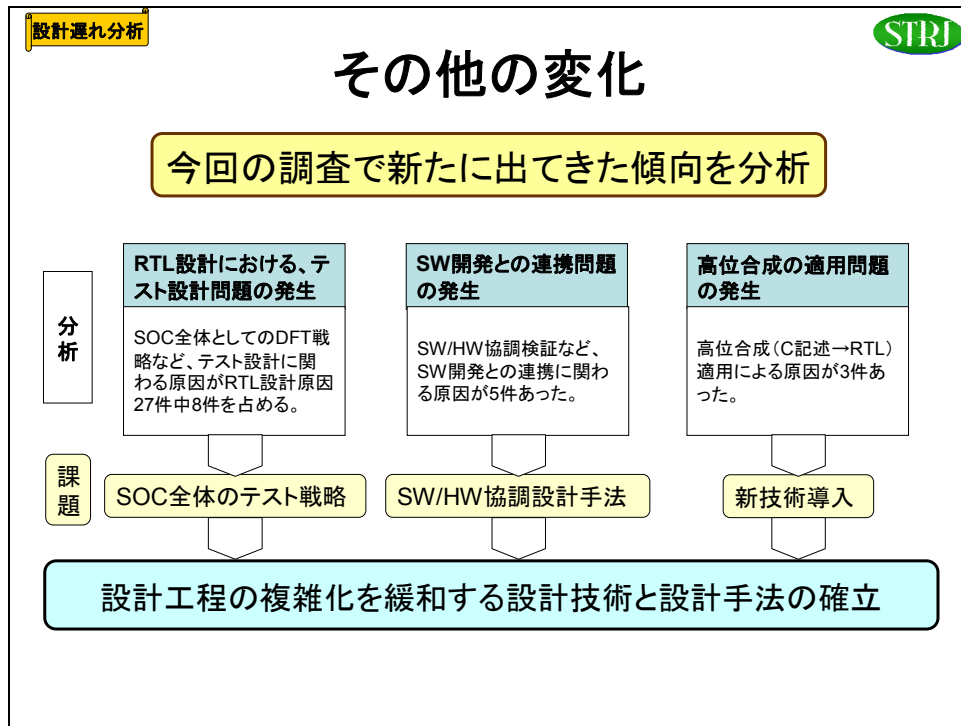
1 つ目はテスト設計問題である。今回も RTL 設計という工程に分類はしたが、明確にテスト設計と言える原因が 27 件中 8 件を占めている。個々のブロック毎に DFT を実施した結果、TOP での DFT 回路作成時に不整合など、SOC 全体としてテスト戦略を今まで以上に意識しなければならない。

2 つ目は SW 設計との連携問題である。今回の調査は SOC の HW 設計を前提に調査したので、SW としてはテストベンチとしての位置付け程度しか出てこないが、それでも 5 件もの原因があった。SW/HW 協調設計の設計手法の確立が必要になっている。

3 つ目は高位合成適用問題である。設計生産性の向上を狙って、C 記述から RTL を合成する高位合成の導入が進んでいるが、RTL が合成できても、レイアウトで問題を発生するなど、新技術導入時には複数の設計工程にまたがる設計手法の確立が必要だと言うことを示している。

これら 3 つはいずれも、設計工程の複雑化を緩和する設計技術と設計手法の確立という大きな課題に結びつくことになる。



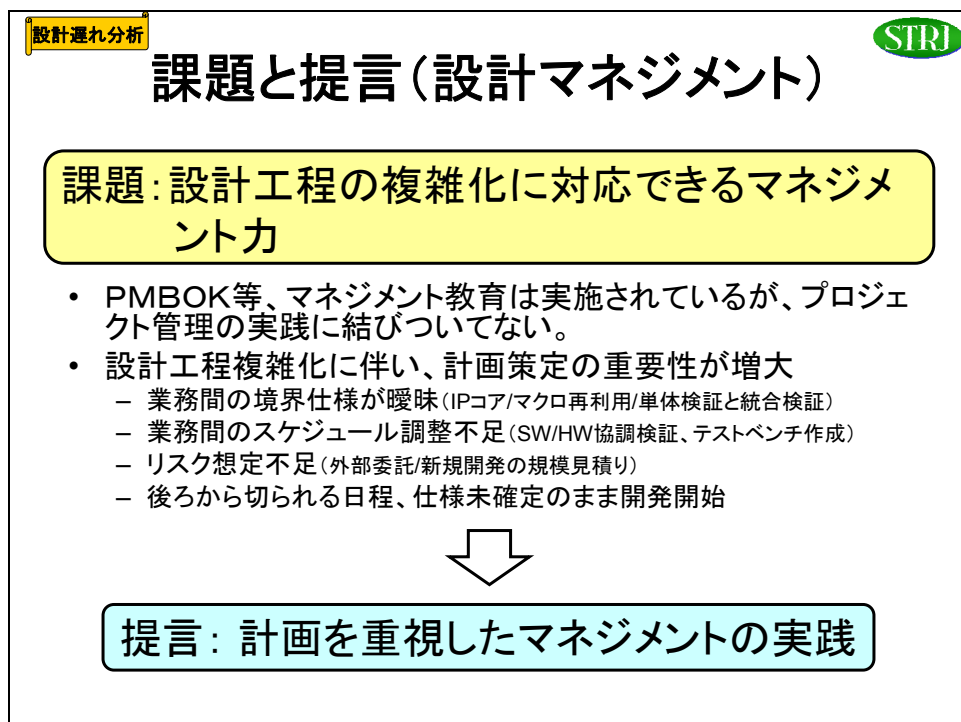


図表 3-12 その他の変化

### 3-4-8 課題と提言:設計マネジメント

設計マネジメント分析の結果は、構成管理、技術変更管理など初歩的な管理は行き届いてきたものの、設計工程の複雑化にマネジメント力が追いついていないということだった。そこで、課題を「設計工程の複雑化に対応できるマネジメント力」とし、この実現のために、提言を行うことにした。

マネジメント力をあげるために、この3年間、各社でPMBOK等の教育が実施されているが、マネジメント力は向上していない。座学で管理手法を学んでも、実践には結びつかないことがわかった。そこで、事例を分析していくと、プロジェクト管理で大切なことはプロジェクト計画をしっかり策定することであることがわかった。そこで、我々は「計画を重視したマネジメントの実践」を提言することにした。



図表 3-13 設計マネジメントの課題と提言

### 3-4-9 提言:設計マネジメント

マネジメント手法としては、PMBOK、CMM、指標としては DPAM など様々なものが研究されているが、大切なことは、計画重視を阻むものをできる限り排除する対策を打って、計画的な業務遂行を実践することである。

業界全体としてやるべき対策は、上記のようなマネジメント手法をベースに SOC 開発に特化したマネジメントガイドを作ることが挙げられる。例えば、組込み業界では、図表 3-15 のような取り組みがされている。

各社でやるべき対策は、SOC 設計専門家とプロジェクト管理専門家による二人三脚のマネジメント体制、プロジェクトマネージャの拒否権確保などがあると考えられる。

設計遅れ分析

## 提言(設計マネジメント)

### 提言: 計画を重視したマネジメントの実践

- マネジメント手法としてPMBOK、CMM、指標としてDPAMなど様々なものが研究され、実在している。
- これらのマネジメント手法を活用して、設計現場として計画的な業務遂行を実践しなければならない。

### 計画重視を阻むもの

<ol style="list-style-type: none"> <li>1. 計画立案が困難                             <ul style="list-style-type: none"> <li>- 落ち着いて計画を立てられない</li> <li>- リスクを読みすぎると、計画が成り立たない</li> <li>- マネジメント技術の実践的な応用力が不十分</li> </ul> </li> <li>2. 無理な計画を強いられる                             <ul style="list-style-type: none"> <li>- 計画をたてても、リソースが確保できない</li> <li>- 後ろから切られる日程</li> <li>- 仕様未確定のまま開発開始</li> </ul> </li> </ol>	<div style="border: 1px solid black; padding: 5px; margin-bottom: 10px; text-align: center;"> <span style="font-size: 2em;">➤</span>                 ・SOC開発向けマネジメントガイドの作成             </div> <div style="border: 1px solid black; padding: 5px; margin-bottom: 10px; text-align: center;"> <span style="font-size: 2em;">➤</span>                 ・SOC設計専門家とプロジェクト管理専門家による二人三脚のマネジメント体制             </div> <div style="border: 1px solid black; padding: 5px; text-align: center;"> <span style="font-size: 2em;">➤</span>                 ・プロジェクトマネージャの拒否権確保             </div>
---	--

図表 3-14 設計マネジメントの提言

## 組込み業界の取り組み

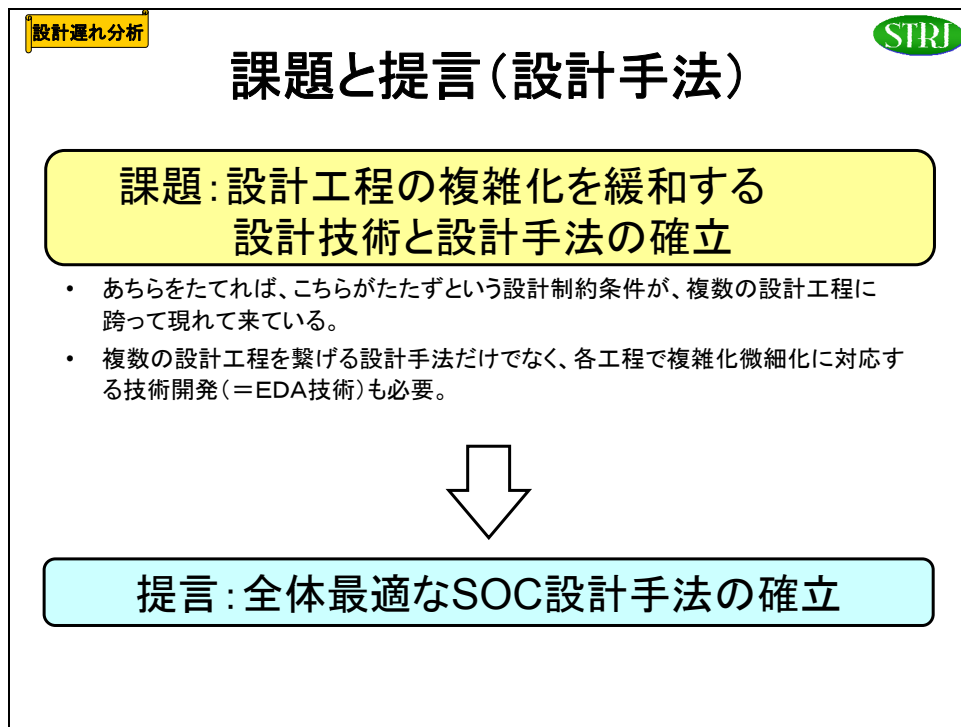
- マネジメント術の整備と適用が規模拡大に追いついていない。
- プロジェクトの基本はきちんとした計画である。
- プロジェクト運営のベースとなる計画書作成の雛形を提供する。

図表 3-15 設計マネジメントに関する組込み業界の取り組み

### 3-4-10 課題と提言:設計手法

設計手法分析の結果は、設計工程の複雑化(相反する設計制約条件が複数の設計工程に跨って現れる)に伴い、従来の設計技術や設計手法では、対応できなくなっているということだった。そこで、課題を「設計工程の複雑化を緩和する設計技術と設計手法の確立」とし、この実現のために、提言を行うことにした。

相反する設計制約条件をトレードオフを取りながら両立させていくためには、特定の設計工程だけしか視野にない設計手法ではなく、複数の工程で最適化をはかる設計手法の開発が必要である。また、単に複数の設計工程を繋げる設計手法だけではなく、各設計工程で複雑化微細化に対応する技術開発(=EDA 技術開発)も必要である。そこで、我々は、「1つの設計工程だけではなく、設計工程全体に対して最適化を行う SOC 設計手法の確立」を提言することにした。



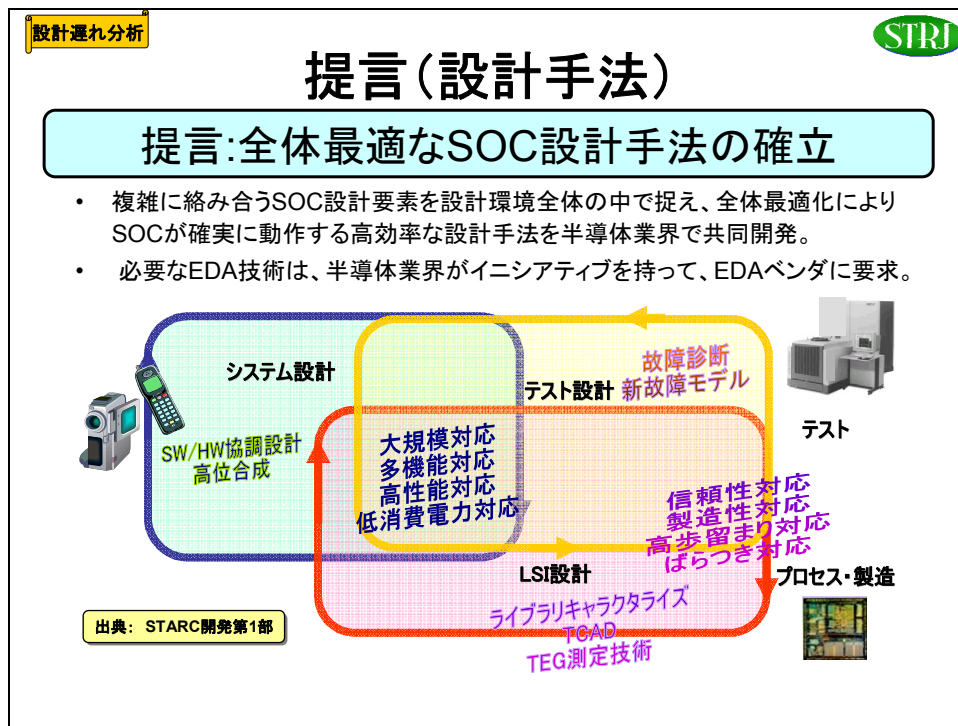
図表 3-16 設計手法の課題と提言

### 3-4-11 提言:設計手法

図表 3-17 は提言である「1つの設計工程だけではなく、設計工程全体に対して最適化を行う SOC 設計手法の確立」の概念図であり、WG1の集中討議で、STARC 開発第1部にお問い合わせいただいた講演の説明資料から引用させていただいたものである。

1つの設計工程だけではなく、複雑に絡み合う SOC 設計要素を設計環境全体の中で捉え、全体最適化により SOC が確実に動作する設計手法を、半導体業界で共同開発することが必要である。

また、これを実現するために必要な EDA 技術も、半導体業界がイニシアティブを持って、EDA ベンダに要求していかなければならない。



図表 3-17 設計手法の提言

### 3-4-12 まとめ

設計遅れの要因分析を行い、微細化/複雑化の影響を確認し、解決に向けて提言を行った。

設計マネジメント原因が3年前と同様3割以上の比率を占め、マネジメント体制の整備により、初歩的な管理は行き届いてきたが、設計工程の複雑化にともない、真のマネジメント力が要求されるようになった。そこで、計画的に業務を遂行するマネジメントの実践を提言とした。

設計手法原因は3年前から倍増した、微細化/複雑化により設計工程が複雑化にもかかわらず、設計手法がこれに追いついていないことが原因である。そこで、設計工程全体を見渡し、全体として最適な解を見つける、設計手法の確立を提言とした。

設計遅れ分析		分析と提言(まとめ)		
	設計マネジメント	設計手法	新たな傾向	設計スキル
比率	33%(前回+3%)	25%(前回+13%)		20%(前回-12%)
分析	A.開発グループ内調整原因が増加 B.構成管理、技術変更管理原因が激減	A.複数の設計工程にまたがる手法原因が多い。 A.単独では論理設計検証の手法原因が多い。	A.テスト設計問題の発生 A.SW開発との連携問題の発生 A.高位合成の適用問題の発生	B.CADを使いこなす力が向上した。 ・考慮すべき事項を考え出す力は向上していない。
課題	設計工程の複雑化に対応できるマネジメント力	設計工程の複雑化を緩和する設計技術と設計手法の確立		
提言	計画を重視したマネジメントの実践	全体最適なSOC設計手法の確立		

図表 3-18 設計遅れ要因変化の分析と提言

### 3-5 DFM-SWG 活動

本節では、2006 年度における DFM-SWG (サブワーキンググループ) 活動について報告する。

#### 3-5-1 活動目標

DFM-SWG の最終目標は、『SoC の性能に対するプロセスばらつきの影響を、時間軸を持った形で定量化し、課題解決に必要な設計技術を示すロードマップを作成』することである。

本最終目標を達成するために、今年度は「パス遅延ばらつき評価モデルの構築」に取り組んだ。

#### 3-5-2 パス遅延ばらつき評価モデルの構築

パス遅延ばらつき評価モデルとは、組合せ回路内のパス遅延に対する、プロセスばらつきの影響を定量化するためのモデルである。ただし、検討の有用性を早期に確認するために、モデルに組み込む要素は限定した。

##### (1) モデル組み込み範囲内

モデルに組み込む要素として、組合せ回路内のパスのばらつき要因はデバイス起因に限定するものだけとした。また、更なる簡単化のために、ばらつきはすべてチップ内でランダムであると仮定した。

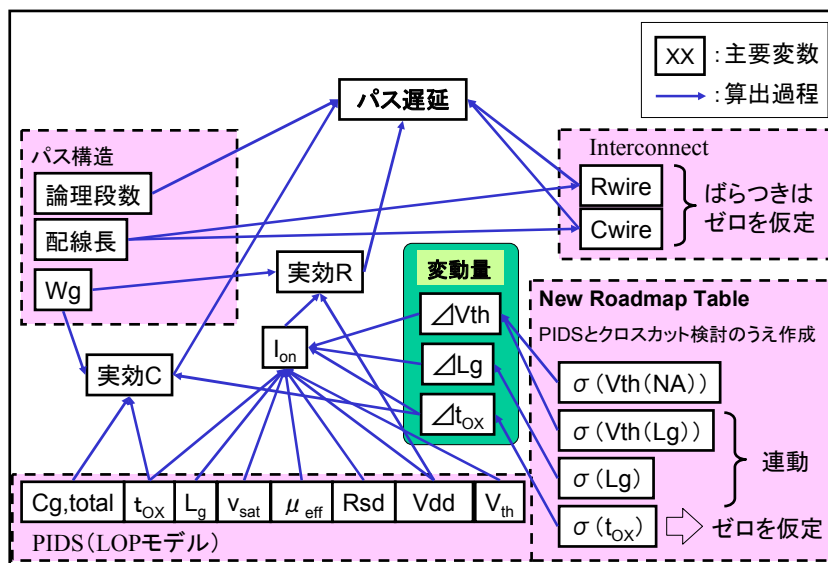
##### (2) モデル組み込み範囲外

検討加速のために範囲外としたのは、クロック回路(同期回路)に対するばらつきの影響、配線ばらつき、ばらつきのランダムとシステムティックの分離である。これらは、次年度以降の活動テーマ候補と考えている。

#### 3-5-3 パス遅延ばらつき評価モデルの構造

本評価モデルの入力は、PIDS 及び Interconnect の Roadmap であり、設計 WG で設定したパス構造に基づいて、SoC 性能の決定要素であるパス遅延を算出する(図表 3-19)。図中の白い 4 角形は主要な変数を示しており、矢印は算出過程を示す。

本モデルでは、パス遅延に対する製造ばらつきの影響をモンテカルロ手法で評価可能とした。具体的には、新たに設定した New Roadmap Table に基づき、 $V_{th}$  及び  $L_g$  の変動量を乱数発生させ、パス遅延への影響を評価する。この New Roadmap Table は、STRJ-WG6(PIDS)とクロスカット検討のうえ作成した Table であり、各要素のばらつき度を示しめす。

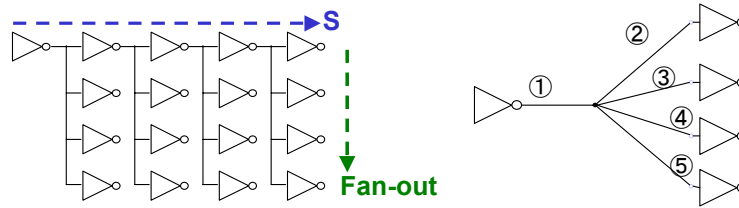


図表 3-19 パス遅延ばらつき評価モデル



### 3-5-4 パス(組合せ回路)構造

評価モデルにおけるパス構造として、回路構造及びレイアウト構造を定義した(図表 3-20)。



図表 3-20 回路構造(左)とレイアウト構造(右)

#### (1) 回路構造

回路構造は、簡単化のため S 段の Inverter で構成するとした。このとき、高速回路部分を検討対象として、S=8を設定し、典型的な構造として Fan-out は全段で 4 であるとした。

なお、構成要素である Inverter のトランジスタ・サイズとしては、NMOS ゲート幅を配線ピッチの 2.5 倍、PMOS ゲート幅を NMOS の 1.5 倍とした。

#### (2) レイアウト構造

レイアウト構造としては、各信号の接続は「図表 3-20」に示すように、5 個のセグメントで構成するとした。各セグメントの配線長は、配線ピッチ×50 とし、使用配線は中距離用の Intermediate Wiring とした。

### 3-5-5 実効抵抗の算出

評価モデルでは、パス遅延を算出するために、各トランジスタの実効抵抗を算出する。実効抵抗の算出における入力は PIDS Table であり、一般的に利用されている下式を使用した。(各要素の定義は、ITRS における PIDS の Table 「Low Operating Power Technology Requirements—Near/Long-term」を参照のこと。)

$$\mu_{eff} = (\text{Mobility Enhancement Factor for Idsat}) \times (\text{Ideal NMOS Mobility})$$

$$I_{\text{drain\_ideal}} = v_{\text{sat}} \frac{\epsilon_{\text{SiO}_2}}{t_{\text{OX\_gate\_inv}}} (V_{\text{dd}} - V_{\text{th}}) \frac{(V_{\text{dd}} - V_{\text{th}})}{(V_{\text{dd}} - V_{\text{th}} + 2L_g v_{\text{sat}} / \mu_{\text{eff}})}$$

$$I_{\text{ON}} = \frac{I_{\text{drain\_ideal}}}{1 + R_{\text{sd}} I_{\text{drain\_ideal}} / (V_{\text{dd}} - V_{\text{th}})}$$

$$R_{\text{gate\_unit}} = \frac{V_{\text{DD}}}{I_{\text{ON}} \times W_{\text{gate}}}$$

ばらつき評価では、モンテカルロ手法を用いるために、 $V_{\text{th}}$ 、 $L_g$ 、 $t_{\text{OX}}$  をランダムに変動させ、実効抵抗のばらつきを実現する。



### 3-5-6 ゲート長と酸化膜厚の変動量

#### (1) ゲート長変動量( $\Delta L_g$ )

ゲート長の変動量 $\Delta L_g$ は、 $\sigma(L_g)$ を標準偏差とする正規分布に従い、発生すると仮定した。ここに、 $\sigma(L_g)$ は、Lithography Roadmapにおける Gate CD control (3sigma)におけるばらつき成分のうち50%はチップ内ランダムであると仮定して設定している。

#### (2) 酸化膜厚変動量( $\Delta \text{tox\_gate\_inv}$ )

酸化膜厚の変動量に関しては、評価モデルでは検討を加速するためにばらつきをチップ内に限定したので、変動はない(=0)と仮定した。

### 3-5-7 $V_{th}$ の変動量

#### (1) 仮定: $V_{th}$ ばらつきにおけるゲート長と不純物密度の独立影響

$V_{th}$  の変動量 $\Delta V_{th}$ は、独立に発生する変動 $\Delta V_{th}(L_g)$ と $\Delta V_{th}(NA)$ の和であると仮定した。ここに、 $\Delta V_{th}(L_g)$ とは、ゲート長( $L_g$ )の変動を起因とする  $V_{th}$  変動量であり、 $\Delta V_{th}(NA)$ とは、不純物密度の変動を起因とする  $V_{th}$  変動量である。

#### (2) $\Delta V_{th}(L_g)$ と $\Delta V_{th}(NA)$ に対する Pelgrom モデルの導入

$\Delta V_{th}(L_g)$ と $\Delta V_{th}(NA)$ に対して独立に Pelgrom モデルが成立すると仮定した。すなわち、 $\Delta V_{th}(L_g)$ と $\Delta V_{th}(NA)$ の Pelgrom 係数を  $A(L_g)$ 、 $A(NA)$ とすると各変動量の標準偏差は、 $L_g \times W_g$  の平方根に反比例し、下式が成立する。

$$\sigma(\Delta V_{th}(L_g)) = \frac{A(L_g)}{\sqrt{L_g * W_g}}$$

$$\sigma(\Delta V_{th}(NA)) = \frac{A(NA)}{\sqrt{L_g * W_g}}$$

このとき、 $V_{th}$  ばらつき全体に対する Pelgrom 係数  $A(all)$ は、各変動量に対する Pelgrom 係数( $A(L_g)$ 、 $A(NA)$ )の自乗平均に等しくなる。

$$A(all) = \sqrt{A(L_g)^2 + A(NA)^2}$$

#### (3) $V_{th}$ ばらつきにおける Pelgrom 係数

$V_{th}$  ばらつきにおける Pelgrom 係数に対して、2つの仮定を設定した。

仮定1:  $V_{th}$  ばらつき全体に対する Pelgrom 係数  $A(all)$ は、 $3.0[\text{mV} \cdot \mu\text{m}]$ で一定である。

仮定2:ゲート長及び不純物密度の変動による  $V_{th}$  ばらつきに対する影響は等しい。

$$A(all) = \sqrt{A(L_g)^2 + A(NA)^2} = \sqrt{2.12^2 + 2.12^2} = 3.0$$

結果として、ゲート長及び不純物密度の変動による  $V_{th}$  ばらつきに対する Pelgrom 係数( $A(L_g)$ 、 $A(NA)$ )は、 $2.12[\text{mV} \cdot \mu\text{m}]$ で一定となる。

<補足>

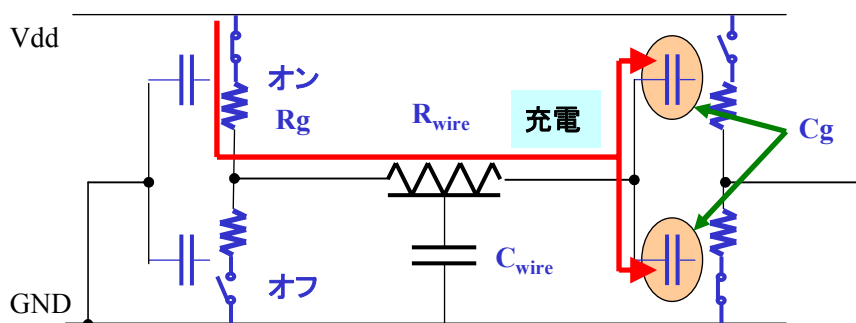
このとき、2005年におけるゲート長(Lg)は45nm、ゲート幅(Wg)は500nmであるため、 $\sigma(V_{th}(Lg))$ および $\sigma(V_{th}(NA))$ は、14.1mVとなる。この14.1mVという値は、2005年における $V_{th}=288mV$ の4.9%に相当する。

3-5-8 パス遅延の算出

パス遅延は、各論理段の遅延時間を算出のうえ、その合計値として求める。

各段の遅延時間算出における入力は、トランジスタの実行抵抗と容量( $R_g$ 、 $C_g$ )、配線に寄生する抵抗と容量( $R_{wire}$ 、 $C_{wire}$ )である。単純化したRC回路モデルを構築(図表 3-21)のうえ、下式を用いて遅延時間を算出する。なお、RC回路モデル及び遅延時間算出式は、説明簡単化のため fan-out=1のケースを示したが、評価モデルでは fan-out=4 に拡張した計算式を使用している。

$$T = 0.693 * R_g * (C_{wire} + C_g) + 0.693 * R_{wire} * \left( \frac{1}{2} C_{wire} + C_g \right)$$

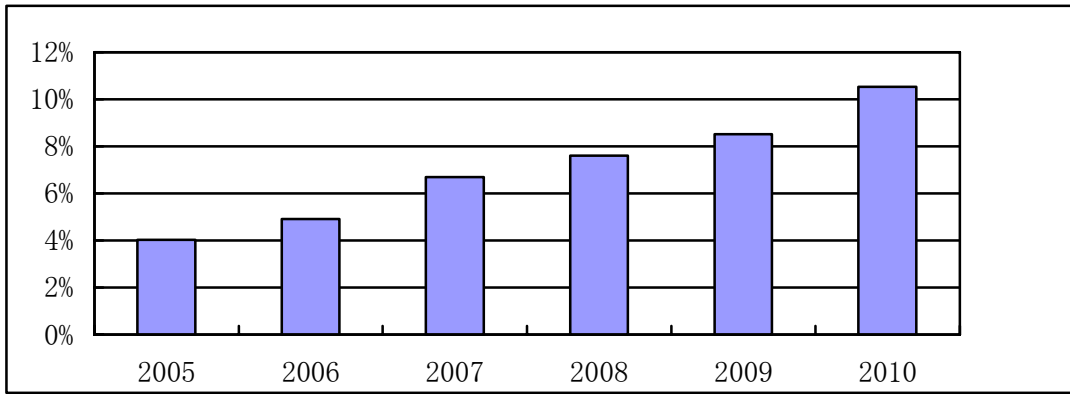


図表 3-21 RC回路モデル

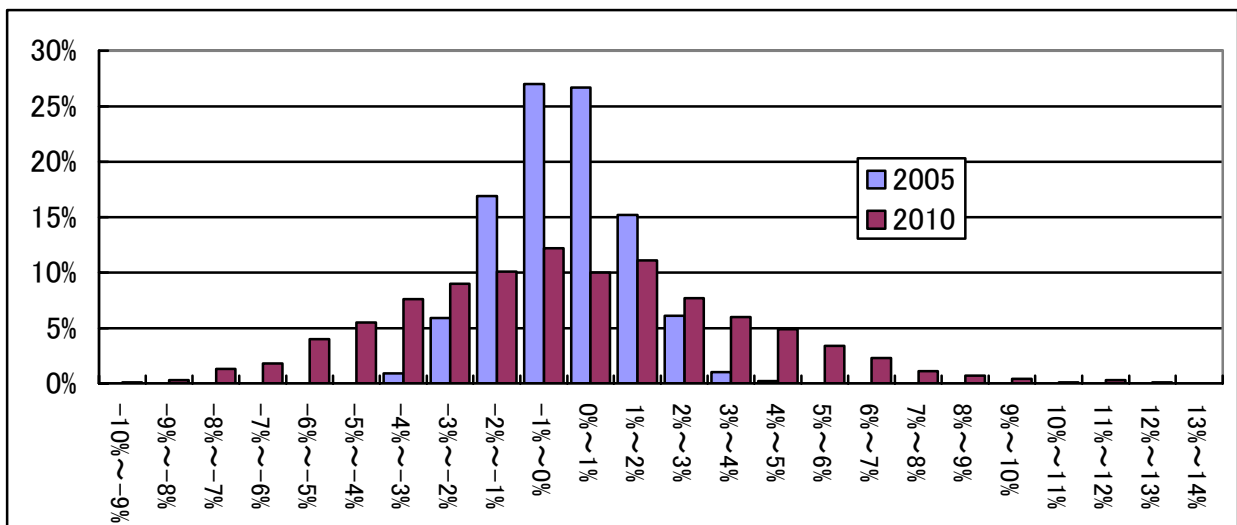
3-5-9 パス遅延ばらつきトレンド:高速化への影響

評価モデル利用方法の一例として、パス遅延ばらつきが回路の高速化に対して与える影響を、「図表 3-22」及び「図表 3-23」に示す。

遅延ばらつき  $3\sigma$  の平均遅延に対する割合は、2005年から2010年で2.7倍に増加する。ここに、遅延ばらつき  $3\sigma$  の対平均遅延比率とは、遅延ばらつきの  $\sigma$  を3倍して遅延の平均値で割った値であり、ばらつきに対して確保すべきタイミング・マージンの概数を示す。すなわち、2010年ではばらつきに対するタイミング・マージンを2.7倍に増加する必要がある、デバイス性能向上による高速化は、遅延ばらつき増加分だけ削減されることになる。



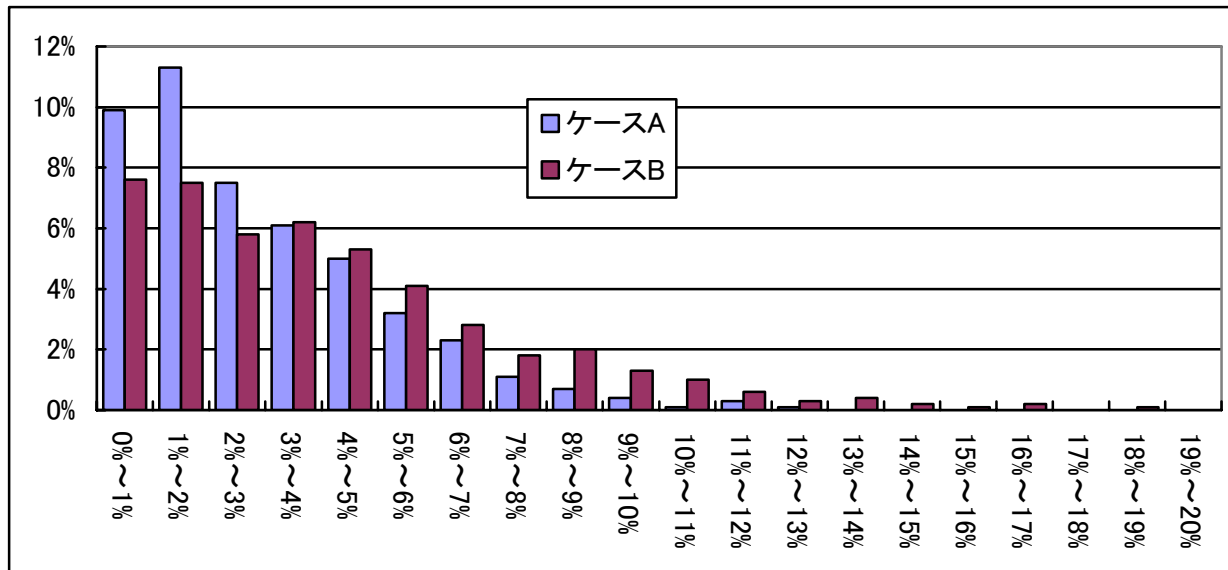
図表 3-22 遅延ばらつき 3σ の対平均遅延比率



図表 3-23 パス遅延ばらつきの発生確率(S=8、パス数(母数)=1,500)

### 3-5-10 パス遅延ばらつきのトレンド:統計的手法の利用

評価モデル利用の 2 番目の例として、設計及びテストにおける統計的手法導入の必要性を、「図表 3-24」を用いて示す。



図表 3-24 パス遅延ばらつき発生確率 (Year = 2010)

本グラフは、2つのケース「ケース A 及びケース B」におけるパス遅延ばらつきの発生確率を示す。

ケース A は、論理段数=8 段、論理段間の配線長=50 配線ピッチで、ケース B は、論理段数が4段とケース A の半分とした。ただし、両者の平均パス遅延を一致させるためにケース B の論理段間の配線長は 129 配線ピッチとした。

このとき、両者の平均遅延時間は一致するが、グラフが示すようにケース B のパス遅延ばらつきはケース A に対し 1.4 倍も大きくなる。これは、ケース A とケース B で論理段数の違いから、ばらつきの影響度に差が出るためである。

この結果から、従来のワーストケースに基づく遅延解析では結果が悲観的になりすぎて設計が困難になることが分かる。今後はパス遅延ばらつきを統計的に処理するタイミング設計技術が重要となるのみならず、テストにおいてもパス遅延ばらつきを統計的に扱うテスト技術が必須となるといえる。

### 3-5-11 まとめと提言

#### (1) 今年度の取り組み

本年度は、パス遅延に対する、プロセスばらつきの影響の定量化に取り組んだ。モデルに取り込む要素は限定したが、2005 年から 2010 年で、遅延ばらつきの広がりが 2.7 倍になるトレンドを示すなど、年度目標とした「モデルの有用性確認」は達成できたと考えている。

#### (2) 設計 WG からの提言

設計 WG からの来年度に向けた提言は、プロセスばらつき量の定量化、すなわちロードマップ化である。プロセスばらつき量のロードマップ化により、SoC 性能に対する影響度が定量評価可能となり設計+テスト+プロセスの技術開発における注力ポイントが明確化できると考える。

#### (3) 来年度以降の検討候補

来年度以降の活動テーマはこれから具体化するが、今回考慮外とした要因を含めて、より現実に近いばらつき評価を実施したいと考えている。このためにも、各 WG の連携でばらつきの定量化に取り組む必要がある。

### 3-6 今後の予定

2005 年度は SOC 設計生産性ロードマップの改訂、2006 年度は設計遅れ要因分析を実施した。設計技術の世界は、3 年を 1 世代として、新技術、設計手法が開発され、設計工程が確実に変化している。生産性ロードマップ、設計遅れ要因分析は各社で行っているはずであるが、11 社が重要なポイントを共有し、協力して業界の改善／改革を進めていくためには、3 年毎のロードマップ見直しと設計遅れ要因分析活動を続けていくべきであろう。

また、DFM-SWG 活動として行った「パス遅延ばらつき評価モデルの構築」は、「SOC の性能に対するプロセスばらつきの影響を、時間軸を持った形で定量化し、課題解決に必要な設計技術を示すロードマップの作成」に重要なステップであり、今後も活動を継続したい。

この評価モデルの精度を上げていく方向は 2 つあり、1 つは今回簡単化した物理パラメータを詳細化していくことである。

もう 1 つは「3-5-4 パス(組合せ回路)構造」に示した回路パスのモデル化であり、実際の論理回路の特性を如何に正確にモデルとして取り込んでいくかである。

今後は、前者は PIDS や配線等の他 WG とのクロスカットで、後者は設計 WG 内で、さらなるモデルの詳細化を進めていきたい。