

## 第 4 章 WG2 テスト

### 4-1 はじめに

WG2(テスト)は、ITRS2006改訂への貢献とともに、STRJ独自のDFT (Design for Test)とATE (Automatic Test Equipment)の融合による品質とコストの両立するテスト技術を目指し、昨年度と同じくDFT-SWGとATE-SWGの2つのサブワーキンググループ活動によってテストのロードマップを検討した。以下に、ITRS2006のテスト概要とDFT-SWGとATE-SWGの独自の活動内容を報告する。

### 4-2 ITRS2006 について

#### 4-2-1 ITRS2006 テストの概要

ITRS2006updateのWorking Group SummariesからTest and Test Equipmentの記述を邦訳して掲載する。

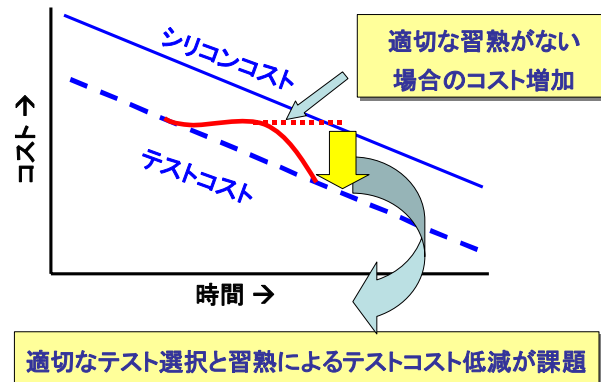
【ITRS2006のテスト章はITRS2005で示したトレンドの小修正に注力した。マルチサイト・ウェーハプロービングのテーブルにおいては、低性能のマイクロコントローラの並列度を下げた。またITRS2005では省略されていた2014年から2020年にわたる長期のマルチサイトテストの同時測定効率も追加された。NANDフラッシュメモリのウェーハやパッケージテストの並列度は2年前倒しされた、また2010年から始まる高速バス性能を反映するように見直された。SoCテストのロードマップテーブルでは、いくつかの欠陥モデルやアナログテストの標準化が、予測した進展に乗らないので後ろ倒しされた。ミックスドシグナルテストのバンド幅やサンプリングレートのロードマップは2年前倒しされたが、本質的な変更を意味するものではない。

ITRS2005においては、テーブルで用いた様々なデバイスの種類に対して、高／中／低性能の定義が明確でなかった。ITRS2006では、低性能のロジックは150信号ピン以下でI/Oビットレートが400Mbps以下とした。高性能のフラッシュメモリは125Mps以上のI/Oビットレートとした。これら性能の定義は固定的なものでなく、ロードマップの区間を通じて変わっていくべきものである。ITRS2007では高／中／低性能の使い分けが更にテーブルに反映される見込みである。

2007年のITWGの活動は、ITRS2005のテスト章全体の書き換えと、十分言い尽くせてない領域の刷新に注力する予定である。SiP、SoCやNANDフラッシュは予想より早くテスト技術を牽引し、いくつかの“困難な課題”を克服したが、SiPにおける他のダイに隠れたダイのテストのような新たな課題も生み出している。】

図表4-1は新プロセスにおけるテストの生産コストに対する位置づけを示している。ダイあたりのシリコンコストはウェーハの大口径化により低減していくが、テストコストも同じ比率で低減が求められる。しかし、生産の習熟に伴い適切なテスト内容を選択してテストコスト低減が図られないと、図に示すようにコスト増になってしまう。テストの課題はまさにこのコストカーブで表現される。

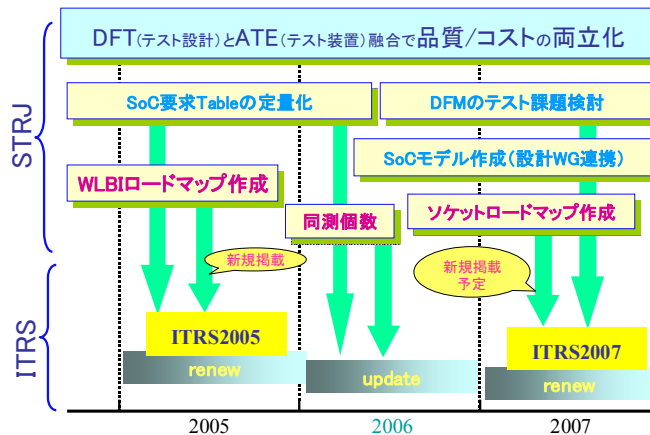
新デバイスにおける開発初期でのテストコスト増加



図表 4-1 ITRS2006 でのテスト課題

#### 4-2-2 ITRS2006 への日本からの貢献—DFT

図表4-2にSTRJにおけるWG2の活動とITRS2006への貢献の関係を示す。DFT-SWGはITRS2005 に引き続き、SoC 要求テーブル (ITRS2003-Table24) の見直しを行った。SoC 要求テーブルは、SoC におけるDFT 技術に対して、論理部、メモリ部等におけるテスト回路およびテストパターンの技術要求を纏めたもので、ITRS2005ではテストインヴェストメント(Test Investment、従来は回路オーバーヘッドと呼ばれてきたが、テストコスト回収のための積極的な投資の意味合いを出すためこう命名している)の見積もり、あるいは微細製造プロセスでの品質確保のためのテストパターン数増加の見積もり等を行って技術目標を示したが、ITRS2006では4-2-1項にも述べたようにその見直しを行った。アナログコアテストについてはIEEE P1450.7が具体化に向けて審議中なのを反映し、レッドブリックを除去した。RTレベルでのDFT設計については、テスト制御回路や一部のテスト容易化回路については実用化されつつあるものの、全体としては依然ゲートレベルのスキャン挿入に留まっている実態を反映し、2年後ろへシフトした。また同様に非スキャンテストによるDFT技術も課題が多いと判断し3年シフトした。故障モデルの拡充については内容を更に具体化すべきとのITWGからの意見があったが、ITRS2007で分かり易く前面見直しをすることにした。ITRS2007ではその他に、要求見積りに使ったSoCモデルを設計WG(WG1)と共同で見直す作業やDFM (Design For Manufacturability) に対するテスト課題を洗い出し、その解決策の動向を纏める作業を行っている。



図表4-2 STRJからのITRS2006への貢献

#### 4-2-3 ITRS2006 への日本からの貢献—ATE

ウェーハ、パッケージのテスト検査工程においては、SoC、DRAM、フラッシュメモリの同測試験の動向に変化が現れており、それぞれのロードマップにおいて個別の検証が必要であると考えた。ATE サブワーキングはITRS2005より下記の見直しを行なった。

- (1) Table 23a : Low Performance Microcontroller の同測個数(ウェーハ、パッケージテスト)
- (2) Table 23a : Commodity Memory (フラッシュメモリ)の同測個数(ウェーハ、パッケージテスト)
- (3) Table 32a : Memory の同測個数(Pick and Place ハンドラ)
- (4) Table 38a : Wafer Probe におけるプローブエリアサイズ(フラッシュメモリ)

(1)については下方修正、(2)、(3)については上方修正、(4)については項目追加を検討した。これは、フラッシュメモリにおいて DFT が今後も更に積極的に取り込まれると見込まれる為である。STRJ より上記を ITRS TEST TWG に提案し、ITRS2006 にて反映させる事ができた。

### 4-3 DFT-SWG の活動

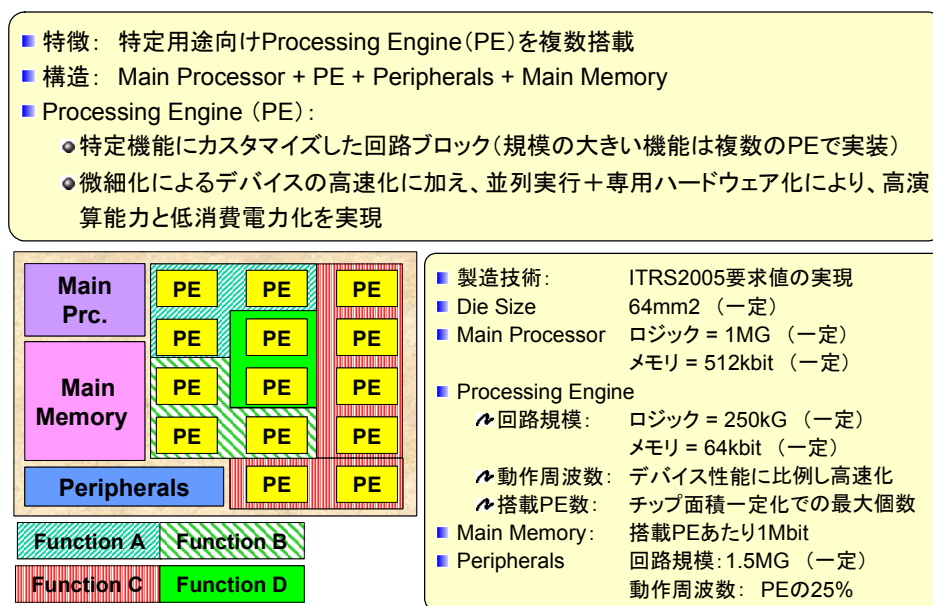
DFT-SWG では、ITRS2007 の SoC テスト要求テーブル改版に向けて検討を開始した。以下に方針を示す。

- ・ 要求テーブルとソリューションテーブルを示す
- ・ 上記テーブルの検討に使用する SoC モデルを見直す
- ・ 研究開発課題が容易に理解されるように見直す

今年度は、上記方針を基に SoC モデルの作成、SoC テスト課題の検討を行った。

#### 4-3-1 SoCモデルの作成

DFT-SWG は、ITRS2005 から SoC 要求テーブルについて DFT に関わる面積・TAT などの指標を定量化している。定量化の検討に、設計TF/PIDS/FEPクロスカット活動報告(2002)に基づいた SoC モデルを使用している。しかし、従来のモデルは、ITRS システムドライバ章に示す SoC モデルと異なるものであり、他の章のロードマップと整合が取られていなかった。今年度は SoC モデルの整合を目的に、ITRS システムドライバ章に示す SoC モデルに、DFT 技術課題の検討に必要なパラメータの追加検討を行った。検討は、WG1 と共同で行った。具体的には、WG1 が ITRS の中で担当している SoC Power-Efficient モデルに、DFT 技術課題の検討に必要なパラメータの追加を実施した。SoC モデルのプロファイルを図表 4-3 に、SoC モデルのロードマップを図表 4-4 に示す。DFT 課題抽出に必要なパラメータとして、搭載するメモリ構成と個数、スキャンフリップフロップ数を追加した。



図表 4-3 SoC モデルのプロファイル

↓○印の項目は、DFT技術課題抽出に必要なパラメータ

Year	単位	2006	2007	2008	2009	2010	2011	2012	2013
Metal-1 Half Pitch	nm	78	67	58	50	45	40	35	32
チップ面積に対する論理回路の割合	%	25%	23%	21%	20%	20%	19%	19%	19%
チップ面積に対するメモリの割合	%	48%	50%	52%	52%	53%	53%	53%	53%
チップ面積に対するオーバヘッドの割合	%	27%	28%	28%	28%	28%	28%	28%	28%
Die Size	mm <sup>2</sup>	64	64	64	64	64	64	64	64
搭載論理規模	M gates	8.3	11	14	18	22	28	36	43
論理回路中のFFの割合(トランジスタ数比)	○ %	50%	50%	50%	50%	50%	50%	50%	50%
FFを構成するトランジスタ数	○	40	40	40	40	40	40	40	40
Number of Flip-Flops	○ M個	0.41	0.53	0.70	0.91	1.11	1.39	1.79	2.14
搭載メモリ容量	M bits	26	35	51	69	86	110	145	176
平均メモリ規模	○ K bits	32	32	32	32	32	32	32	32
Number of Memories	○ 個	798	1,104	1,580	2,158	2,702	3,450	4,538	5,490
電源電圧	V	0.9	0.8	0.8	0.8	0.7	0.7	0.7	0.6
動作周波数	MHz	448	507	577	660	757	859	972	1,111
Processing Engine (PE) 数	個	23	32	46	63	79	101	133	161

図表 4-4 SoC モデルのロードマップ

来年度は、今回検討した SoC モデルを基に DFT 技術要求の定量化を図り、ITRS2007 の SoC 要求テーブルに反映させる予定である。なお、ITRS システムドライバ章の SoC モデルには各種あり、今回検討の SoC モデルは WG1 が担当している Power-Efficient モデルである。ITRS の中で特定の SoC モデルに対する SoC 要求テーブルを作成することになるわけだが、全ての SoC モデルに対してテストメニューとしては変わらないので、DFT 技術定量化の考え方、算出方法も明確に示す予定である。

### 4-3-2 SoC テストの課題に関する検討

今年度は、ITRS2007 の SoC テスト要求テーブルについて読者が容易に理解できるように、その第 1 ステップとして SoC テストの課題について検討、明確化した。昨年度検討した DFM に関するテストの課題を考慮すると共に、新規の課題としてテスト品質とテスト設計生産性について検討した。来年度は、本検討結果を基に、要求テーブルとソリューションテーブルの検討を行い、ITRS2007 に掲載する予定である。

#### 4-3-2-1 背景

プロセスの微細化は、回路規模増大や回路動作の高速化、低消費電力化と共に、各種回路ブロックを搭載する SoC のテストに様々な問題を発生させる。

プロセスの微細化に伴い新たな製造技術や設計手法が採用され、チップ内バリエーション増大に伴う SoC 特性の不安定化や新たな欠陥が問題となってきた。このような問題が故障発生率の増加をもたらし、テスト品質低下および歩留まり低下の問題を発生させる。テスト品質や歩留まり低下の問題に対処するために、今後 DFT で何らかの対応が必要になると、回路挿入やテスト生成などテスト設計作業の TAT が増加する問題が発生するとともに、新たなテスト追加によるテストコスト増加の問題も発生する。テスト設計 TAT の増加に関しては、回路規模増大がさらに追加の TAT 増加を引き起こすことが懸念され、また、再利用する各種回路ブロックが増加するため、DFT 再利用の複雑化が懸念される。テストコスト増加に関しては、例えばロジック部のテストについては、システムティック不良やパラメトリック不良等、従来の故障モデル(Stuck-at、Transition、Path Delay)では対応できない不良をスクリーニングするための新たなテストパターンが必要となってくるため、テストデータ量およびテスト時間の増加が懸念される。

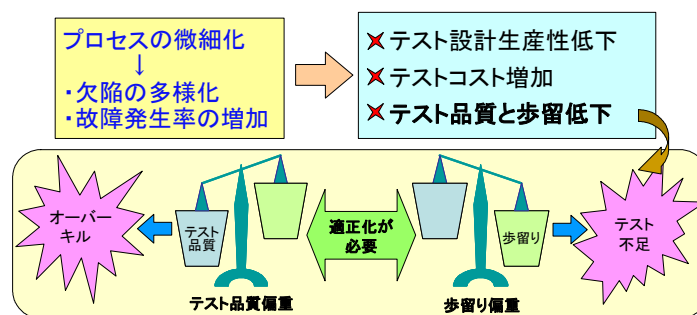
また、プロセスの微細化に加え回路動作の高速化や低消費電力化は、DFT によるテストでさらに深刻な問題を発生させる。例えば、DFT による実速度テストは、オーバーキルを引き起こす可能性がある。これは、DFT

によるテストの動作率は実動作の動作率より大きく動作条件が厳しいためであり、このような観点からも歩留まり低下が懸念される。

このような課題は、各種回路ブロックを搭載した SoC のテスト上の問題を、さらに複雑化させる。今回、以下の観点から、SoC のテスト課題について検討する。

- ・ テスト設計の課題 — 設計効率化、DFT 用テストインヴェストメントの観点からの課題である。テスト品質向上および歩留り向上も考慮してテスト設計を効率よく実施するための課題を検討する。
- ・ テストコストの課題 — ロジック部とメモリ部のテストに着目し、テスト品質や歩留り低下問題の対処および、回路規模増大により増加するテストコストについて課題を検討する。
- ・ テスト品質の課題 — 歩留まりや信頼性も考慮したテスト品質の課題を検討する。物理欠陥に対応した故障のモデル化の課題、テスト状態と実使用状態の乖離に関する課題、製品ライフタイムでプロービングテスト、パッケージテストなど各テスト工程別の課題などについて検討する。
- ・ 故障診断の課題 — 歩留まり改善のための診断技術を中心に課題を検討する。また、欠陥の多様化に対応した診断技術の課題を検討する。
- ・ 将来技術 — 現行DFT技術の限界への対応として、非スキャンを実現する高位DFT技術とフォールトトレラント設計について課題を検討する。

以降の各節で各課題の詳細を示すが、先に述べたようにテストの各問題は関連して現れる。例えば、テスト品質向上とテストコスト低下は相反する面があり、これらのバランスを考慮して低負荷で実現する DFT が重要になる。また、現状の DFT によるテストは、歩留り向上とテスト品質向上の点で相反する面があり、フィールド使用状態より厳しすぎるとオーバーキルによる歩留り低下の問題を招き、フィールド使用状態より緩すぎるとテスト不足によるテスト品質低下の問題を招く。図表4-5には、歩留りとテスト品質についてバランスの重要性を示している。今後はバランスを考慮して適正化する必要がある、対応の例としてフィールド使用状態に近いテストを実施することが必要になる。このように、各課題全てについて総合的に留意してバランスを取った対応が必要となる。



■ テスト品質・歩留り・信頼性

製品ごとの要求に合わせた適正化が課題

→ 大規模・微細化に対応した技術の掘下げが必要

図表 4-5 SoC テストの課題

4-3-2-2 テスト設計の課題(設計効率、TAT、テストインヴェストメントなど)

高集積化に伴う搭載トランジスタ数の増大、プロセスの微細化に伴う欠陥の多様化、設計／製造マージンの減少に伴う種々の問題等、様々な要因がテスト設計期間を増大させている。この増大を緩和させるためにはテストインヴェストメントが必要となるが、テストコストの観点からはその増加を抑制する必要がある。

ここでは、以下の観点から、テスト設計の課題について検討する。

- ・ ロジック部テスト設計の課題
- ・ メモリ部テスト設計の課題
- ・ テスト設計TAT短縮のための標準化
- ・ I-IP(Infrastructure-IP)の利用

## 1) ロジック部テスト設計の課題

ゲート規模の増大に伴い、テスト設計(DFT 挿入及びテスト生成)に要する期間の増加が大きな問題となっている(少なくともテスト生成の CPU 時間はゲート数の多項式オーダーで増加する)。

また、4-3-2-3 節以下に示す、テストコスト削減やテスト品質向上のための課題への対応もテスト設計期間を一段と増加させる要因となる。

さらに、プロセスの微細化に伴う歩留りの低下に対しては、メモリの冗長救済と同様にロジックに対しても冗長救済機構を導入することや歩留り改善のための I-IP (Infrastructure-IP: モニタ用回路、BIST 用回路、診断用回路、等)を搭載することが必要になると考えられる。これらは、必ずしもすべてがテスト設計の一環として組み込まれるわけではないが、当然テスト設計に対してかなりのインパクトを与えるものである。

このような状況から、今後テスト設計期間の増加が設計 TAT 全体のボトルネックとなる可能性がある。そこで、これを回避するため以下の課題に取り組む必要がある。

- ・ DFT挿入(テストポイント挿入を含む)、テスト生成の処理時間を短縮するための技術(並列処理等による高速化、階層処理等による効率化、等)
- ・ 設計の再利用に合わせたテスト(テスト回路情報やテストパターン)の再利用を容易にするためのテスト設計支援技術
- ・ ロジック冗長救済機構や各種I-IPを含めた種々のトレードオフを考慮できるテスト最適設計ツール及びテスト設計支援技術

## 2) メモリ部テスト設計の課題

SoC の埋め込みメモリはその数や種類が増大し、メモリ DFT に求められる機能もプログラマブル化、オンチップ救済・診断など高度化・複雑化する。メモリ DFT の設計環境は、SoC 内のメモリ構成やテスト品質・歩留まり要求などに応じた最適な回路の設計を支援するよう、高度に自動化される必要がある。また不揮発性メモリを含む新規埋め込みデバイスに関しては、その採用に応じメモリ DFT 技術を迅速に対応させる必要がある。

メモリのテスト・救済・診断回路は、高速動作が必要な回路部分とそれ以外に分離することにより、回路サイズやタイミング収束作業時間などのコストを削減することができる。例えば高速に動作させるアドレス・データカウンタや出力比較器などは、回路をメモリマクロに内蔵させることにより、高速クロックで動作させてのテストが容易となるようにできる。その他テストのスケジューリングやパターンプログラムを受け持つ部分は、低速クロックで動作するよう設計したり、複数メモリで回路を共有したりすることで、回路サイズを削減し、論理・レイアウト設計の難度を下げることができる。このような設計を自動化するには、この高速部切り分けのインタフェースが、メモリの異なる構成・デバイスにわたって統一されている必要がある。

メモリのオンチップテストを、テストインヴェストメント(回路サイズ増)を伴うハードウェアによらず、システム内蔵の CPU を介して行おうとすると、テスト設計の手法は CPU の種類やシステムバスの構造に大きく依存することとなる。このような状況で設計を効率的に行うには、システムに応じて最適化された自動化環境が必要となる。すなわち、設計のプラットフォーム構造に最適な DFT の枠組みをあらかじめ用意する DFT のプラットフォームベース化が、特にメモリ DFT の領域において進展する可能性があり、その場合にはこれに応じた技術開発が必要となる。

### 3) テスト設計 TAT 短縮のための標準化

先に述べたように、設計の再利用に合わせてテストに関連する種々の情報の再利用を可能にするためにはインターフェース(回路仕様、記述形式、等)の標準化が必要である。

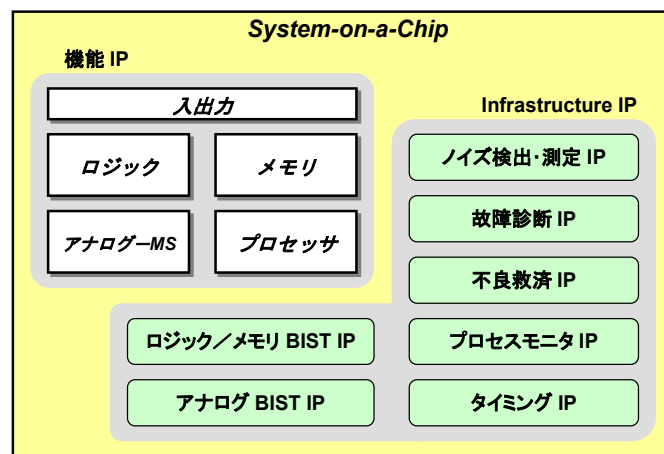
また、SoC に搭載される多様なモジュールに対応するための多様な課題(テスト回路の最適構成、I-IP の最適設計等)を効率的に解決するためには、個々のテスト回路設計ツール、テストパターン生成ツール、故障診断ツール等をうまく組み合わせて利用する必要があり、ツール間のインターフェースの標準化も必要となる。

すでに様々な標準化の動き(例えば、コアベース設計における Wrapper 回路の標準化(IEEE Std.1500)等)が見られるが、テスト設計者にとって真に使い易いものとなるよう留意する必要がある。

### 4) I-IP の利用

SoC の歩留り向上及び信頼性向上のために、テスト機能、診断機能、実動作時のモニタ機能、自動修復機能等をハードもしくはソフト的に開発し SoC に搭載する必要がある。これらの資産化、流通化を促進することで、SoC 設計の生産性を向上できる。

図表 4-6 に、I-IP を搭載した SoC のイメージを示す。I-IP は、機能 IP とは異なり、SoC の通常動作には影響を与えず SoC の製造可能性およびライフタイム間の信頼性を保証するものである。ロジック BIST (Built-In Self-Test)、メモリ BIST、アナログ BIST などのテスト用 IP のほかに、プロセスモニタ用 IP、タイミング測定用 IP、ノイズ検出・検出用 IP、診断用 IP、リペア用 IP などが挙げられる。例えば、プロセスモニタ用 IP を用いることで、製造欠陥のほとんどをモデル化し高精度の歩留り予測結果を得られるようになる。これにより、マスク生成やシリコン化前の設計段階で歩留り予測が可能になり、設計者が高歩留り向けの設計最適化を行うことが可能になる。



図表 4-6 I-IP を搭載した SoC のイメージ

#### 4-3-2-3 テストコストの課題(テストデータ量、テスト時間)

##### 1) ロジック部のテスト

プロセスの微細化が進んでも単位面積当たりの SoC の価格は変わっていないのが現状であり、SoC の面積を一定と仮定するならば、それにかかるテストコストも一定であることが要求される。すなわち、ATE のコストが一定であるとすると、テスト時間は面積に対して比率一定を保つことが要求される。スキャンテストの場合、キャプチャ時の時間を無視できるとすると、テスト時間は簡単に下記のような式でモデル化される。

$$(\text{テスト時間}) \approx (\text{クロックサイクル時間}) \times (\text{パターン数}) \times (\text{チェーン段数})$$

すなわち上記式の右辺の各要素、クロックサイクル時間、パターン数、チェーン段数を低減することが、ロジックのテストコストを削減することになる。

パターン数の低減に対しては、実速度テストに対して複数のクロックドメインを順次テストするのではなく、同時に複数のクロックドメインをテストすることで、見かけ上のパターン数を減らすことが可能である。また、今後増加してくる多電源の SoC の場合、複数の電源ブロックを同時にテストすることも、見かけ上のテストパターン数を削減するのに効果的である。ただ、この手法はテスト時の電力やノイズを増加させることが懸念される。そのため、ATPG ツールの革新も必要である。従来、縮退故障、トランジション故障、ブリッジ故障などの故障モデルごとにパターン生成を行うことが一般的であったが、今後はさまざまな故障モデルに対して包括的にパターンを生成することで、総計のテストパターン数が短くなるような ATPG ツールが必要になる。

チェーン段数を低減するには、SoC 内部のスキャンチェーン本数を増やすことが有効である。そのため昨今多くの SoC で導入されている圧縮パターンテストやロジック BIST といったテスト手法が今後も使用される。特に、現状よりも劇的にチェーン本数を増やし、チェーン段数を大幅に削減できるような圧縮パターンテスト手法が要求される。

シフト速度を速くすることもテスト時間を一定に保つために有効な手段となるが、シフトアウトされたデータを ATE で比較する方式では、安定した ATE とのインタフェースが要求される。測定対象回路(CUT)内のシフトは速く、ATE とのインタフェースを遅くすることが可能な時間圧縮方式や、SoC の内部でシグネチャ比較されるロジック BIST は、シフト速度を速くするには有効な手段である。また、シフト速度を速くした場合、通常動作時に比べて過剰な電流が流れる。安定したテストが可能なように、シフト時の消費電流を抑制するためのテスト設計手法や ATPG 技術が必要になる。

複数の SoC を同時に検査する、マルチサイトテストも、1 チップあたりのテストコストを削減するには有効な手法である。ATE の電源強化、電源数増設、少ピンによるテスト手法などが確立され、マルチサイトテストが容易に実施されることが望まれる。

## 2) メモリ部のテスト

SoC 内に占めるメモリサイズは年々増加の一途をたどっており、それに伴ってテスト時間はますます増加すると予想される。内蔵 SRAM では BIST による並列テストによってテスト時間の増加を防ぐ手法がとられているが、消費電力増加が許容量を超える場合が予測されるため、BIST 実行を分割して複数回実行する必要性がある。これを防ぐため、低消費電力を考慮した並列テスト手法(テストスケジューリングなど)が必要となる。今後、多様化する BIST 対応によるテスト時間も増加傾向が予測される。

また、メモリ規模増加に伴いメモリに対するテスト・救済手法として使用される BIRA (Built-In Redundancy Allocation) / BISR(Built-In Self Repair) / BIRD(Built-In Self Diagnosis)におけるデータ転送時間、テスト時間、診断時間増加が懸念されており、それらを高速化する必要がある。

### 4-3-2-4 テスト品質(故障モデル、信頼性、歩留り)

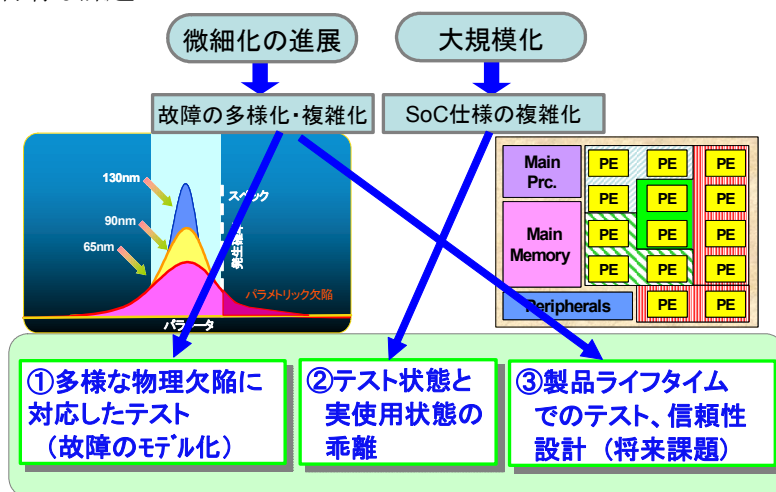
#### 1) SoC テスト品質において考慮すべき課題

SoC テストの目的は、それを搭載するセット製品から求められる水準の品質を保証することである。微細化の進展による故障の多様化、複雑化や大規模化による SoC 仕様の複雑化により、下記のような課題が顕在化している(図表 4-7 参照)。

- ・ 物理欠陥に対応した故障のモデル化の課題
  - 多様な物理欠陥に対応する課題、チップ全体のテスト品質指標に関する課題
- ・ テスト状態と実使用状態の乖離の課題
  - 両者の違いによる、テスト不足による不良流出とオーバーキルによる歩留り低下の課題



- ・ 製品ライフタイムでのテスト、信頼性設計の課題  
製造テスト(ウェーハ/パッケージテスト)、ボードテスト、システムの実使用での課題
- ・ メモリのテスト品質の課題  
メモリ回路に特有な課題

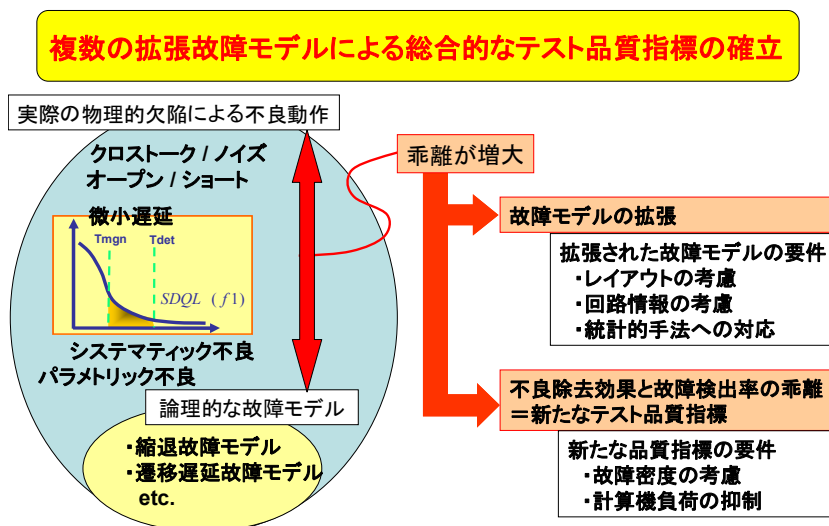


図表 4-7 テスト品質・歩留り・信頼性の課題

## 2) 物理欠陥に対応した故障のモデル化

ATPG で自動的に効率的なテストパターンを作成するため、物理欠陥の動作をソフトウェアで扱い易いように論理的にモデル化した故障モデルが用いられてきた。例えば、縮退故障モデルや遷移遅延故障モデルは広く用いられ、その効果が確認されてきている。しかし、近年の製造プロセスの微細化や SoC の高速化に伴い、複雑な故障モードが多くなり、故障モデルも見直されねばならない(図表 4-8 参照)。例えば、実際の物理欠陥は千差万別であり、欠陥抵抗値が少し異なるだけでもその動作が全く異なることも珍しくない。またプロセスバリエーションの増大のため、実際のデバイスパラメータ値の把握も困難化している。

### 多様な物理欠陥に対応したテスト(故障のモデル化)



図表 4-8 物理欠陥に対応したテスト

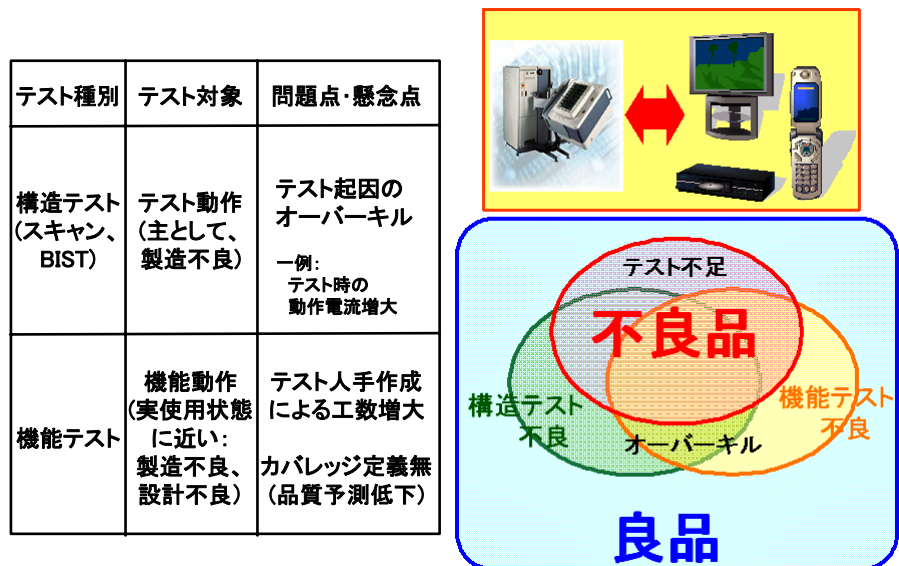
こうした中で、故障モデルは従来の論理的な枠にとらわれず、見直され拡張されねばならない。論理的な情報だけでなく、レイアウトや回路情報も用いたモデル、あるいは統計的な扱いも考える必要がある。一方、これらは計算機処理の大きな負荷にもなるので、効果と負荷を睨み合わせたバランスを取って発展していく必要がある。また故障検出率は、IP コア毎、あるいは故障モデル毎に ATPG より出力されている。SoC チップ全体のテスト品質を評価するには、故障検出率を IP コアの故障密度で重み付けて加算した指標を求める等の手法も必要になる。複数の故障モデルによるテスト効果の相関関係を求めるのは容易ではないが、総合的な品質指標の開発も期待される。

### 3) テスト状態と実使用状態の乖離

現状、DFT が生成したテストパターンによる SoC 選別テストでは、テスト不足による見逃し不良に起因して、セットラインでの機能テストにおける顧客要求品質レベルを達成出来ない場合が多々あると言われている。現在のスキャンテスト/ATPG や BIST といった DFT 技術は SoC の、主として製造不良を選別するための構造テストであり、SoC の機能をテストするものではないというのがその最大の理由である。もちろん DFT 技術は、伝統的な縮退故障のみでなく SoC の高性能化に対応したタイミング不良も扱う実速度テストを実現するように進化して来ている。ただしこれも構造テストの範囲であり、実機能を実速度でテストするものではない。(機能を考慮しない構造テストの限界は、SoC の設計に誤りがあった場合は、その誤りも『正しく』デバイスで実現されていることを検証するに過ぎないというところに有る。)従って、SoC 品質目標を達成するためには、DFT によるテストを補完する機能テストや実機テストが未だに必要と考えられる場合がある。

一方、DFT の歩留まりへの影響として、オーバーキルによる歩留まり悪化がある。不良流出低減に向けた試験精度向上施策の一つとして、実速度の構造テストが広まりつつある。これにより、従来からシステム動作時と比較して高いと言われてきたテスト動作時の動作率と、システム動作時の動作率の乖離が大きくなってきた。その結果、テスト動作時のチップ内条件が必要以上に厳しくなり、厳しい条件でのテスト実施によるオーバーキルを引き起こすことが考えられる。但し、これを緩めすぎるとテスト不足による見逃し不良を引き起こす(図表 4-9 参照)。

しかし一般的な設計作業においては、システム動作時のチップ内条件に関する見積もり、対策または検証が行われはじめているが、テスト動作時の見積もりおよび、検証が行われていないという問題がある。また、フォールスパスやマルチサイクルパスなどの実速度テスト不要箇所を考慮のテスト設計環境が不十分であることも、オーバーキルを引き起こす要因になると考えられる。



図表 4-9 テスト状態と実使用状態の乖離

更に、上述のテスト時の過剰な動作率は、多大な最大消費電力や平均消費電力を発生させ、これが動作不良を生ずることに加え、エレクトロマイグレーションによる信頼性低下やデバイス破壊を招くことにもなる。

上述の構造テストと機能/実機テストの差異に加え、LSI テスタによるテスト状態はセット上での SoC の実使用

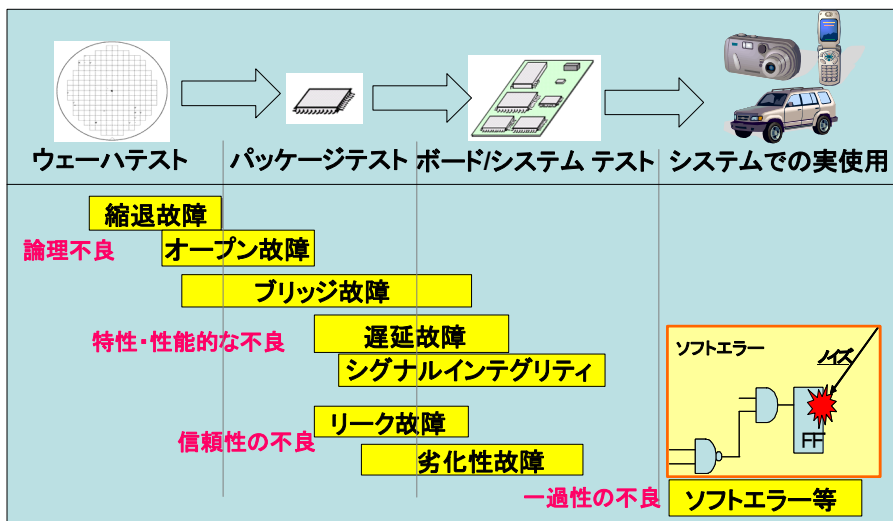
状態とは電源供給・温度・テスト用プローバ/ソケット/ボードのキャパシタンス/インダクタンス等の条件が異なり、これらが電氣的特性に与える影響によりテスト不足やオーバーキルを発生する可能性もある。

従って、本章の冒頭にも述べた「搭載セット製品から求められる水準の品質を保証する」という SoC テストの目的を果たすためには、以上に述べたようなテスト状態と実使用状態の乖離がもたらす影響や懸念の全てを勘案し、全体のバランスを取ることが大きな課題となっている。

#### 4) 製品ライフタイムでのテスト、信頼性設計

SoC の信頼性向上は、製造工程でのテスト能力と限界を十分認識した上で、製品のライフタイム全体を通じて考える必要がある。SoC 製造工程でのテストは一般に、ウェーハテストとパッケージテストがある。ウェーハテストでは各入出力端子に対してプロービングして測定が行われるが、その信頼性や電源供給が製品レベルより弱い等の理由から、高速なディレイテストや加速テストはパッケージテストで行われることが多い。SoC がボード上に搭載された後は、パッケージピンとボードとの接続テストの他、4-3-2-4 の 3) 節で示した構造テストの弱点を補う目的で、機能動作を目的としたシステムテストも実施される。また製品の市場出荷後も劣化性欠陥や宇宙線などによる一過性の故障 (Intermittent Failure) の可能性もある。これらを SoC 出荷レベルで確認することは原理的に困難であり、たとえ一過性のエラーがあってもシステムが動作する、いわゆるフォールトトレラント設計の必要な場合もある。またテスト IP をチップ上に組み込み、実使用で定期的にテストを行うようなアプローチも、高信頼性システムでは行われている。いずれにせよ、製品の要求する信頼性レベルとコストとの見合いで、これらは検討されなければならない。

図表 4-10 に、各テストフェーズと対象とする欠陥の関係を示す。スタティックな欠陥はウェーハテストで大方除去される。ダイナミックな欠陥はその検出が微妙なテスト環境に依存するため、パッケージ、一部はボードテスト/システムテストまで考える必要がある。また劣化性欠陥や一過性の故障は、前述のようにシステムでの実使用で何らかの対策が必要である。



図表 4-10 各テストフェーズと対象とする欠陥の関係

## 5) メモリのテスト品質

メモリのテストに関しては、伝統的に物理欠陥を考慮したテストアルゴリズムが存在し、ソフトウェアに関して ECC (Error Correcting Code) などに対応可能である。しかし、テストアルゴリズムが存在していても、セル干渉不良について全ての場合を考慮したテストなど、テストコストの問題から現実的に採用が難しいものもある。さらに、今後、微細化により、動作マージンの減少、ソフトウェアの増大などに対し、新たなメモリ構造による対応が必要になると、テストに関しても新たな物理欠陥に対するテストアルゴリズムや、マージン系の不良をスクリーニングする技術が必要となってくる。また、これらを用いたテスト結果からの冗長救済範囲も拡張される必要がある。したがって、BIST/BIRA/BISR が、各種テストアルゴリズムに柔軟に対応可能に高機能化される必要がある。

### 4-3-2-5 故障診断の課題

従来故障診断は、物理欠陥をスクリーニングするテストに対し、テストの二次的な役割と考えられてきた。それは、物理欠陥構造とプロセス限界を理解するための手段として、また製造プロセスの歩留り習熟と改善を実現する手立てとして考えられてきたからである。ところが、新しい将来のプロセス技術においては、以下のような故障解析の課題が現れてくるため、その前段階の故障診断技術がテストにおける最優先課題となりつつある。

- ・ 光波長よりも下回るサイズ(形状、欠陥)による見えない欠陥(Non-visual Defects)の存在
- ・ PICA (Pico-second Image Circuit Analysis)、レーザープローブ等の物理的技術の事実上の限界への接近
- ・ 故障解析スループット時間の急速な増加
- ・ 故障解析有効性・故障同定精度の減退

そこで、歩留向上設計 (DFY) と診断容易性設計 (DFD)、および故障診断技術の観点から故障診断の課題についてまとめる。

## 1) 歩留向上設計 (DFY)、診断容易性設計 (DFD)

### (1) 歩留向上設計 (DFY)

故障診断の必要性を少なくするため、あるいは歩留改善のための、歩留向上設計が注目されている。ロジック部、メモリ部のテスト設計の課題でも述べられているように、プロセスの微細化に伴う歩留りの低下に対して、歩留まり向上を意図した I-IP の導入が今後必要になる。またメモリでは既に取り入れられている冗長機構を、ロジック部に対しても導入して歩留り向上を図ることが必要となる。

### (2) 診断容易性設計 (DFD)

スキャンテストやロジック BIST では、本来の物理欠陥をより迅速かつ少ないパターンで検出するという目的のため、データ圧縮やシグネチャ化が取り入れられている。このような DFT 手法では、故障診断ツールにとってはその故障診断処理が困難になるため、故障診断の容易化も考慮される必要がある。データ圧縮やシグネチャ化を採用する際には、故障診断データを容易に収集するための手法と設計が必要となる。

## 2) 故障診断技術

### (1) 物理欠陥に対応した診断用テストパターン、診断手法、故障モデル

ソフトウェアベースの故障診断(絞込み)方法には、スキャンやロジック BIST、およびメモリ BIST などから生成されたパターンを使用する方法が考えられる。各テストパターンで検出された故障の診断のために、各テスト方式での診断手法が使用される。この診断手法に基づいて故障絞込みを行う故障診断ツールは、抵抗性のブリッジや抵抗性のコンタクト/ビアやオープン等を含めて起こりえる物理欠陥全てを扱う必要がある。各種物理

欠陥に対応した診断用テストパターンと診断手法が必要となっている。そのためには、まず故障診断ツールが扱う診断用のモデルが重要で、設計とプロセスの相互作用を研究して定義される必要がある。このモデルは、テスト容易化手法および診断容易化設計での、欠陥原因箇所を特定する能力(診断精度)を向上させるために、必要とされる。

## (2) 大量データ処理のための診断データの統計的解析手法

先端テクノロジーの歩留まり向上において重要な要素となる不良解析においては、統計的な発生頻度を把握するため、ウェーハやロット単位の不良サンプルを解析する必要がある(Volume Diagnosis)。この場合、従来の故障診断での対応で困難となる点を次に挙げる。

- ・ 必要テストログ容量の増大:運用の困難化

論理規模の増大による診断テストパターン数の増加、対象故障(欠陥)数の増加、および 300mm ウェーハなどによる診断対象の増加により必要テストログ容量が増大、ATE や計算機リソースの容量限界に近くなり、運用が困難になっている。故障箇所の絞り込み精度をあげるためにも、診断データ量は増える傾向にある。

- ・ 診断時間の長時間化

十分なボリュームの生産プロセスに対し、タイムリーなフィードバックを提供するために、診断のためのスループットタイムは短くなければならない。しかし、多数個の故障診断を行うため、ATE でのテストログ収集時間や、計算機 CPU 時間が大幅に長くなる。

これらの課題に対して、故障診断において区分された特定のクラスから、故障しているダイを事前を選び、物理故障解析の入力の優先度をつける手法が有効である。より長期的には、物理故障解析を行わなくても、故障診断結果から根本原因を特定可能な手法を開発しなければならない。

## (3) 故障診断ツールとハードウェア解析装置の連携

実際の物理欠陥は非常に小さくなっているため、解析装置と組み合わせて有効に解析するために、故障診断ツールでのさらなる絞り込みが必要である。故障診断ツールはゲートレベルの故障ネットを特定するだけでは範囲が広すぎて十分ではなく、ゲート内部のトランジスタレベルでの故障ノードや故障した配線層をも特定する必要がでてきている。さらに 90nm 以下の技術世代では、原子レベルの欠陥領域まで検出可能な、拡張性のある故障診断技術と不良解析技術の開発が要求されている。解析装置の分解能とテストコストオーバーヘッドのトレードオフを考慮しながら、生産歩留まりに価値ある故障診断データの収集が望まれる。また、その故障診断データとハードウェア解析装置の連携が必要である。

## (4) DFT/ATE/解析装置間インタフェースの標準化

解析装置を使用した解析には、スループットタイムを短くするために、レイアウト情報とインライン試験結果の両方、またはどちらかを故障診断ツールと統合するために、データインターフェースの標準化や STIL の利用などで、データの受け渡しを容易にする必要がある。

### 4-3-2-6 将来技術

#### 1) 高位設計での DFT 技術

プロセス微細化に伴い、必要なテスト量の増大を DFT で補うために DFT 回路の規模は増大している。また、プロセス微細化に伴い歩留まりの低下が進み、テスト回路はいわゆる従来形の DFT だけではなく、歩留まり改善のための回路も必要となるため、さらに回路規模は増大する。歩留まり改善のための回路の一つは故障診断用回路であり、今後必須化していくものと思われる。また、次節で述べるフォールトトレラント設計も将来、DFY 技術として有力になるとと思われる。これら、DFT/DFY 回路の面積増大を防ぐために、既に様々な手法

が、ゲートレベル及び RT レベルで行われているが、高位設計において DFT/DFY を考慮することにより、更なる面積削減を行うことができる余地がある。例えば、高位設計あるいは高位合成において、論理のテストバリエーションを考慮することにより、ロジック BIST や非スキャン・パーシャルスキャンにおけるテストポイント挿入量を抑える等の技術の実用化が必要である。高位合成でのメモリマクロ割り付け方法の考慮により、メモリ BIST 回路サイズやテスト時間を削減することも考えられる。また、高位記述や高位合成により、スキャン回路や BIST などの DFT/DFY 回路を組み込むことにより、DFT/DFY 自身の性能やサイズを最適にするような技術の実用化が必要である。

## 2) フォールトレラント設計

欠陥が含まれた LSI をテストでスクリーニングすることを目的とした DFT とは異なる対応として、欠陥が含まれていてもシステムの動作には影響しないように設計するフォールトレラント設計がある。フォールトレラント設計に似た手法として冗長救済手法があるが、出荷試験時に欠陥箇所を取除く冗長手法とフォールトレラント設計とは異なる手法である。

フォールトレラント設計では、一定の欠陥を含んでいてもシステムは正しく動作する。そのため、主に初期欠陥を対象としている DFT とは異なり、経年劣化により発生する欠陥や過渡的な欠陥に対しても効果が期待できる。その結果、市場不良率の改善が見込まれるが、大規模な論理の不良救済のためには回路の面積オーバーヘッドが飛躍的に増大することが考えられ、追加回路の不良も無視できなくなる。また、フォールトレラント設計を使用する場合でも、あらかじめ、テストによるスクリーニングの実施や、単純な多重化ではないディペンダブルコンピューティングの考え方の導入等、新たなアプローチが求められる。更に、どこまでテストでスクリーニングして、フォールトレランスで救済するか等の最適化も必要となってくると思われる。

設計フェーズの観点では、アーキテクチャに踏込んだ検討が必要となることから、高位設計で検討を行うのが適切と考えられる。DFT も高位設計に組み込まれていくことが考えられ、DFT とフォールトレランスをコスト及び品質の観点から最適化する設計技術が求められる。

## 4-4 ATE-SWG の活動

### 4-4-1 活動の概要

WG2 (テスト)の活動基本方針である「品質とコストの両立するテスト技術ロードマップに向けて」ATE-SWGでは下記のように2006年度の活動を進めた。

これらの活動成果が、品質向上とコスト低減の両立が求められるテストへの取り組みの参考になると考える。

#### ◆ ITRSロードマップにおける同測個数の見直し

ITRS2005の各テストロードマップを同測個数の観点から見直しを行い、テーブル23,32,38の同測個数の修正を提案し、ITRS2006アップデートに貢献した。

#### ◆ テスト・ソケット・ロードマップ

ITRSから要望のあったテスト・ソケット・ロードマップをSEAJ検査WGと連携して検討を行った。12月のITRS台湾で提案を行いITRS2007に新規掲載することを合意した。

#### ◆ SiPテストニング

具体的なSiPモデルを設定(DSC向け)し、テストコストと品質を考慮した課題マップ作成とポテンシャル・ソリューションの検討を行った。

#### ◆ 高速IFテストニング

SoC/SiPにおける高速IFのテストニングが技術的最大の課題と考え、テストコストと品質のトレードオフを図るため、ミドルレンジのATEで如何に高品質を実現するかを重視したポテンシャル・ソリューションの検討を行った。

#### ◆ ディスプレイ・ドライバIC・テストニング

ディスプレイ・デバイスは日本が得意とする製品分野の1つであるが、その特殊性からITRSのロードマップで触れられることは少ない。そのためSTRJ推進委員を通じて本年度日本独自の調査を実施し、デバイス動向調査を行った。その結果を今後関連技術/設備のロードマップ化に生かしていく。

#### ◆ テスト開発の経済性検討

テスト開発/量産検査における工数/コストの課題を半導体各社に調査し、テスト経済性の観点から現在または将来課題となるポイントの分析・検討を行った。

#### ◆ 勉強会

4回に渡る勉強会で述べ8名の外部講師の方々にご講演して頂いた。“課題の共有と言葉/レベル合わせ”を進めることができた。

品質とコストの両立はテストにおける永遠の課題でもある。今後は、これらの課題を踏まえたロードマップ作成とポテンシャル・ソリューションの提案を行い、ITRSへの貢献を通して広く発信することを目指して活動する。

### 4-4-2 テスト・ソケット

#### 4-4-2-1 背景

今年度の活動内容は、かねてからの ITRS 要求であったテスト・ソケット・ロードマップ新規掲載のため、SEAJ (日本半導体製造装置協会)の装置技術ロードマップ専門委員会・検査 WG ハンドラ・ソケット SWG との連携により、ITRS 国際会議に向けたソケット・ロードマップの作成を行った。

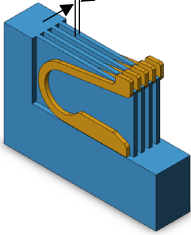

2006年12月に開催されたITRS国際会議(台湾)の間では、その提案を行い、2007年のロードマップ新規掲載に向けたITRSへの合意を得た。コンタクト技術(テスト・ソケット)はテストの基本であるため、今後、調査中の項目含め更に精査を行い、解決策を検討していく。

## 4-4-2-2 テスト・ソケットの分析

### (1) テスト・ソケット接触子の分類

テスト・ソケットのロードマップ化のため分類方法を議論し、STRJ で議論されているパッケージ・タイプをアプリケーション別に分け、対応可能なテスト・ソケットを適用し分類を行った。図表 4-11 にその結果を示す。

分類により 7 種類に分類し①TSOP (Thin Small Outline Package) - Flash (NAND) - Contact Blade、②BGA (Ball Grid Array) - DRAM - Spring probe、③BGA - SoC - Spring probe (50 ohm)の 3 種類についてテスト・ソケットのロードマップ化を行った(図表 4-12、図表 4-13、図表 4-14)。高密度実装を要求されるデバイスのリード・ピッチと、伝送系の高速化がソケットの要求仕様に大きく影響を与える事から、それぞれのパッケージ・ロードマップからピン数、リード・ピッチ、そして高周波特性としてデータレートの項目をピックアップし、ソケット・ロードマップ化を検討した。

パッケージ・タイプ	アプリケーション	コンタクタ・タイプ	(Contact Blade type)	(Spring probe type)
TSOP	Flash (NAND)	Contact Blade		
QFP	SoC (ASSP/ASIC)	調査中		
BGA	DRAM	Spring probe		
	Flash (NOR)	調査中		
	SoC	Spring probe (50 ohm)		
FBGA/CSP	DRAM	調査中		
	SoC	調査中		

図表 4-11 テスト・ソケット接触子の分類

### (2) Contact Blade 技術

TSOP - Flash (NAND) のパッケージ測定で主に使われている Contact bladeタイプのテスト・ソケットは、接触子自体にバネ性を備え、変位を与える事により接触荷重を発生させる。プレス金型技術を用い量産に適したシンプルな構造である反面、接触子にバネ性を持たせている制約として、接触力・ストローク・機械的寿命を確保するために導体長(バネ長)を長くする必要性が生じ、高周波特性が必要な場合に不向きである。また、隣接した接触子間に絶縁壁を形成する構造上、狭ピッチ化の観点からは接触子の板厚を薄くする必要性が有り、十分な接触力・ストローク・寿命の確保が厳しくなると同時に絶縁壁自身の形成が困難である。

Flash (NAND) パッケージのロードマップによると、2008 年にはリード・ピッチ 0.3mm が主流となり、接触子の板厚を薄く、絶縁壁の幅も狭くする必要性がある(例:0.22mm から 0.17mm)。絶縁壁はモールド成形で形成しているため、絶縁壁の幅を狭くすると樹脂の流れ性も落ちるため、絶縁壁形状やピン形状を見直し樹脂の流れ性改善が課題となる。データレートの高速化に対しては接触子の小型化により十分なインダクタンス特性を得る事が確認されている。

### (3) Spring Probe 技術

BGA - DRAM のパッケージ測定で主に使われている Spring Probeタイプのソケットは、小径パイプや円柱状の部品と圧縮スプリングを組み合わせたもので、バネ性を圧縮スプリングから発生させる。そのため十分な機械的寿命を確保するためには、パイプ径を太く、パイプ長を長くする必要性が生じる。部品の構成と構造より 1~2 箇所の接触部分しか得る事が出来ず、他の接触子と比較して接触抵抗値が高い傾向にある。しかし、パッケージ接触部から基板パターンへ垂直につながっていくシンプルな形のため、DUT 基板の設計が容易で、メンテナンス性が非常に優れているなどの特徴を有する。

BGA - DRAM のロードマップによると、パッケージ・ボールの狭ピッチ化により、Spring Probe 自体の極細化や、高周波特性であるデータレートの高速化により、低インダクタンスを実現するため、Spring Probe 自体の短尺化が求められている。



(4) Spring Probe (50 ohm)技術

BGA - SoC (高周波)のパッケージに使用可能な Spring Probe (50ohm)は、同軸構造を採用し、インピーダンスマッチングに注意を払う事によって、Spring Probe 長が伝送特性に与える影響を極力小さく出来る構造が実現可能である。ただし、BGA - SoC のパッケージ・ボールの狭ピッチ化及び多ピン化が進むと、一部ピン配列に同軸構造が取れないという制約が発生する(2016 年のボールピッチ 0.5mm、総ピン数 4,200 ピン)。また、2016 年はデータレートが 20GT/s まで高速化するが、Spring Probe(50 ohm)の構造上の問題から、十分な電気特性を発揮出来なくなる。構成部品が多いという問題から Spring Probe の接触抵抗は高い傾向を示すが、2010 年から要求される接触抵抗値 50m ohm に対応するには、材質、メッキ、構造の見直しが課題となっている。

(5) その他(技術課題)

微細化、多ピン化、高速化、鉛フリー化など進化するパッケージに対応するため、ソケットには様々な要求があるが、これらの要求はコンタクト技術(テスト・ソケット)の基本となるもっとも重要とされる安定性(寿命)の機能を低下させるものである。その要求に対し、素材、メッキ、形状等の改善が課題となる。

今回、寿命の観点から議論する事が出来なかったが、今後益々問題が大きくなる事は明白で非常に重要である。例えば、理想とする接触荷重により接触の安定性を維持出来るが、微細化、多ピン化の要求から低荷重化が要求され、理想とする接触荷重とは反対の要求が発生する。一方、パッケージのリードメッキやボール端子の半田が鉛フリー化されると、これまで理想とした接触荷重よりも高い接触荷重が必要となったりすることも顕在化している。

TSOP - Flash (NAND) - Contact blade

	2006	2007	2008	2009	2010	2013	2016	2019
Table 28: Commodity Flash Memory								
Lead Pitch (mm)	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3
Data Rate (Mbs)	40	50	50	50	66	100	133	133
Contact Blade								
Inductance (nH)	10-15	10-15	5-10	5-10	5-10	5-10	5-10	5-10
Contact Stroke (mm)	0.3-0.5	0.3-0.5	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact Force (N)	0.2-0.4	0.2-0.4	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact Resistance (m ohm)	30	30	30	30	30	30	30	30
Slit Width (mm)	0.22	0.22	0.17	0.17	0.17	0.17	0.17	0.17

図表 4-12 TSOP - Flash (NAND) - Contact blade ロードマップ

BGA - DRAM - Spring Probe

	2006	2007	2008	2009	2010	2013	2016	2019
Table 27: Commodity DRAM (Mass Production)								
Lead Pitch (mm)	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
Data Rate (Gbs)	0.8	1.0	1.2	1.2	1.33	1.5	2.0	2.25
Spring Probe								
Inductance (nH)	1.5	1.5	1.5	1.5	1.0	1.0	1.0	0.5
Contact Stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.2
Contact Force (N)	<0.4	<0.4	<0.4	<0.4	<0.3	<0.3	<0.3	<0.2
Contact Resistance (m ohm)	100	100	100	100	100	100	100	100

図表 4-13 BGA - DRAM - Spring Probe ロードマップ

## BGA - SoC - Spring Probe (50 ohm)

	2006	2007	2008	2009	2010	2013	2016	2019
Table 26: Logic (High Volume Microprocessor)								
Lead Pitch (mm)	0.8	0.8	0.8	0.8	0.65	0.65	0.5	0.5
Pin Count	2,600	2,600	2,800	2,800	3,000	3,600	4,200	4,200
I/O Data (GT/s)	0.1-6	0.1-6	0.1-6	0.2-12	0.2-12	0.2-15	0.2-20	0.2-40
Spring Probe (50 ohm)								
Impedance (ohm)	50	50	50	50	50	50	50	50
Contact Stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Contact Force (N)	<0.4	<0.4	<0.4	<0.4	<0.3	<0.3	<0.2	<0.2
Contact Resistance (m ohm)	100	100	70	70	50	50	50	50

図表 4-14 BGA - SoC - Spring Probe (50 ohm)ロードマップ

## 4-4-3 SiP のテストイング

## 4-4-3-1 検討の背景

SiP(System in a Package)テストイングについては、昨年度、設計・製造から品質まで含めた幅広い議論を行い、「半導体技術ロードマップ専門委員会 (STRJ) 2005 年度報告」に SiP 製品の課題とそのポテンシャル・ソリューションの提言を行った。昨年度の提言を整理すると、「SiP/チップセットメーカーに対するポテンシャル・ソリューション」として、

- (a) パッケージ、チップ外形形状の標準化  
NRE (Nonrecurring Engineering) コストの低減、開発期間の短縮、調達利便性の向上
- (b) SiP 構造の役割分担の明確化  
品質レベルに応じた構成チップの観測性、DFT (Design for Test) 設計の分担
- (c) 相互影響、配線の影響を考慮した設計  
構成 IC チップ間の影響も考慮した電氣的、機械的シミュレーション技術
- (d) コンカレント・テスト可能な製品設計、テストモード  
IC チップ間、IP 毎の平行テスト実現によるテスト時間短縮
- (e) 要求性能に対応したテスト設計  
Wafer test 重視のテスト設計とパッケージ後の実機動作確認テストトレードオフ
- (f) 冗長回路、解析技術、調整回路搭載、IC の可逆的接続技術開発  
パッケージ後の不良ロスを低減し、高価な IC チップを救済する技術
- (g) KGD/KTD の定義とガイダンス  
KDG (Known Good Die) と KTD (Known Tested Die) の定義の明確化と認識の共有化の重要性
- (h) エンジニアリングコストの最適化(少量多品種生産)  
構造可変テストの有効性検証。JTAG の積極的活用
- (i) SiP 生産コストの低減  
IC チップパッド配列の標準化推進によるコスト低減

また、「SiP 用テスト装置に対するポテンシャル・ソリューション」として、以下が挙げられる。

- (a) SiP 用テスト  
多機能テスト、簡易型テストの製品レベル/品質レベルによる棲み分け
- (b) SiP 用ハンドラ/ソケット  
NRE 低減に向けた標準化と機能集約化による多ピン対応
- (c) SiP 用プローバ/プローブカード

SiP の不良ロス低減のため、KGD 実現で克服すべき低抵抗接続、高速動作対応の課題

SiP は医療、車載、産業分野の高品質・高信頼性を求められる分野から、携帯電話、家電機器分野の民生品、そして、ゲーム機、おもちゃ分野まで幅広く使用されてきている。これらに要求される品質も一様では無いことから、テストの課題解決にあたっては、「品質とコストとのトレードオフ」を考慮した上で、半導体ベンダの設計、製造、品質、テストの総合的ソリューション、および、半導体セットメーカ、半導体ユーザを含めた総合的ソリューションの重要性を提言した。

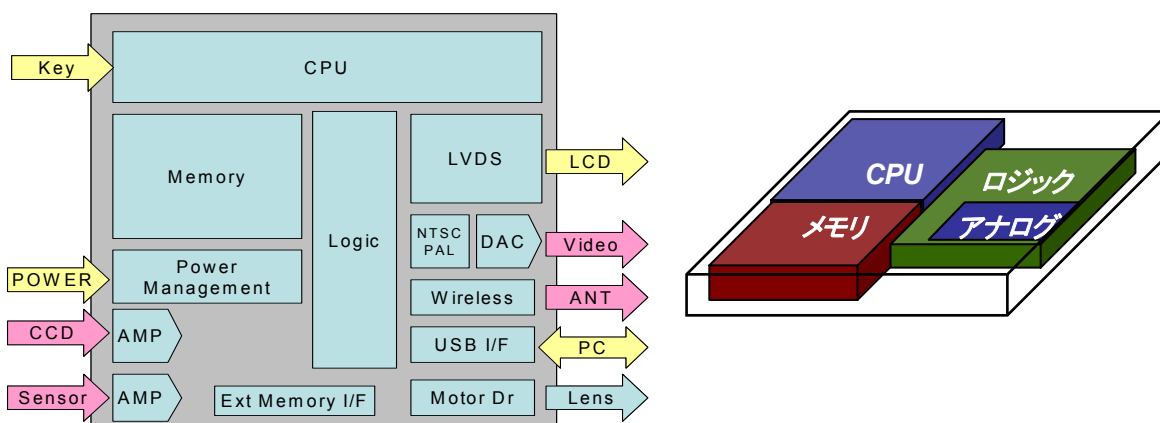
今年度は、この昨年度の活動を踏まえ、幅広かった対象アプリケーションを限定し、使用される IP (Intellectual Property)、機能、インタフェース等を想定し、より具体性を高め検討を進めてきた。

また、今後の技術革新の中で、SiP/SoC の双方においてテスト技術的の視点から大きな課題となり、目的のテストを実現するのに困難であろう高速インタフェース IP について深堀を進めた。

#### 4-4-3-2 モデル SiP の検討

今年度検討を行う SiP として、DVC (Digital VIDEO Camera) / DSC (Digital Still Camera) 用必要機能を盛り込む SiP を仮想した。この仮想デバイスは現在製品化の中で SiP 内部に取り込まれているもの、および、将来、SiP に取り込まれる可能性があるものを想定したものである。

この SiP に取り込まれる機能を大きく分割すると、①システムをコントロールする CPU 部、②画像データを一時的にキャッシュしておくメモリ部、③キャッシュされた画像データを高速に演算する DSP (Digital Signal Processor) などの Logic 部、④画像データを取り込む CCD (Charge Coupled Device) を始めとして、露出演算用光学センサ、手ブレ補正用ジャイロセンサ等のアナログセンサ・インタフェース部。⑤外部からのシステム制御、画像データの通信に活用される微弱無線インタフェース部、⑥レンズ絞り、ズーム機能等のカメラのハードウェアを制御するドライバ部、⑦撮影映像を表示するディスプレイ・ドライバ部、⑧撮影データを高速でメモリカード・HDD (Hard Disc Drive) や外部ストレージに高速転送するインタフェース部等が挙げられる。



図表 4-15 SiP の IP 構成ブロック図

#### 4-4-3-3 モデル SiP のテスト(ATE)技術 MAP

本モデル SiP の各機能(IP)において、それぞれ特徴的なテスト項目が存在するが、それらの項目をテストするための ATE は、①High End ATE、②Mid Range ATE、③Low End ATE、④微弱無線インタフェース部やディスプレイ・ドライバ部などを測定するための専用 ATE に大別される。ATE の選択は、品質 / コストへの影響が大きいため、重要でかつ慎重に行う必要がある。そこで、各 IP に対して、選択する ATE と品質 / コストへの影響について下表のような MAP 化を行った。なお、④の専用 ATE については個別対応となるためここでの議論は省略する。上記①High End ATE は、ほとんどの IP について品質(精度)良くテストすることができるが、ATE そのものが②または③の ATE に比較して高価なため、量産での使用はコスト的に見合うことが比較的少ない。②Mid

Range ATEは、大よそのIPについて一通りにカバーでき、量産での使用も比較的コストに見合うことが多いが、高品質を要求される場合は、①のHigh End ATEとの組合せなどの検討も必要となる。③Low End ATEは、ATEの仕様限定されるテストしかできないが、コストメリットは最も高い。

DSC対応 SiP IP		ATE					
		High End		Mid Range		Low End	
		品質	コスト	品質	コスト	品質	コスト
Logic	CPU 32bit RISC	○	×	○	○	×	×
	16bit/ARM/SH	○	×	○	△	△	○
	Logic IP(DSP, etc)	○	×	○	△	○	○
Memory	User logic	○	×	○	○	○	○
	SRAM	○	×	○	○	△	○
	DRAM	○	×	○	△	△	○
Analog	Flash	△	×	△	△	△	○
	ADC	○	×	○	△	×	×
	DAC	○	×	○	△	×	×
	AMP	○	×	○	△	×	×
	Sencer AMP(〜uV Range)	△	×	△	△	×	×
	Digital AMP	○	×	○	○	○	○
	Video/Audio AMP	○	×	○	○	×	×
High Speed I/F	PLL	○	×	○	△	×	×
	Parallel I/F ≦500MHz	○	×	○	△	△	○
	500MHz - 1.5GHz	○	×	×	×	×	×
	Over 1.5GHz	△	×	×	×	×	×
	Serial I/F ≦500MHz	○	×	○	○	△	○
	500MHz - 3GHz	○	×	×	×	×	×
Power Control	Over 3GHz	○	×	×	×	×	×
	Regulator	△	×	△	△	△	○
	Analog Switch	△	×	△	△	△	○
品質	充分な精度でテストができる	○					
	精度は劣るがテストができる	△					
コスト	技術的にテストは行えない	×					
	コスト的に充分である	○					
	満足はしないが許容できる	△					
	量産には使えない	×					

図表 4-16 各 IP をテストするための ATE と品質／コストへの影響

#### 4-4-3-4 個別 IP の技術的課題

##### (1) 単体メモリ部

###### ① SiP 化の目的

SiP 化の目的の 1 つは、DDR2/XDR 等の高速メモリとの信号伝達を容易にすることである。SoC と外部メモリ間は数百 Mbps～1Gbps 超のスピードで信号伝達を行う必要があるが、別パッケージに実装されている場合、パッケージからセットボードを通して別のパッケージに配線をつなぐ必要があるため、伝送経路が長くなり、配線の等長性、インピーダンスマッチング、放射ノイズなどに対する特別な配慮が必要となる。これを SiP の形態を用い 1 つのパッケージの中で短い配線で接続することにより、信号品質確保の難易度を格段に下げることができる。

###### ② SiP 内の高速メモリテストの技術的課題

パッケージの外に配線を引き出さないことが、高速メモリ SiP 化の大きなメリットであるが、このことはテストの観点においては観測性を著しく低下させることになる。単体メモリの場合、汎用性／性能／コストを追い求めるため、BIST 回路等を搭載することは容易に受け入れられない。そこでテスト容易化のために、やむを得ず単体メモリの端子を SoC への接続から分岐させ外部に出す場合もあるが、信号特性劣化、テスト専用端子数増加の課題がある。特に信号特性劣化への影響は、今後のメモリ I/F の高速化や SiP のメリットに逆行するため、SoC／メモリ間の配線分岐を行わないテスト手段が必要となる。

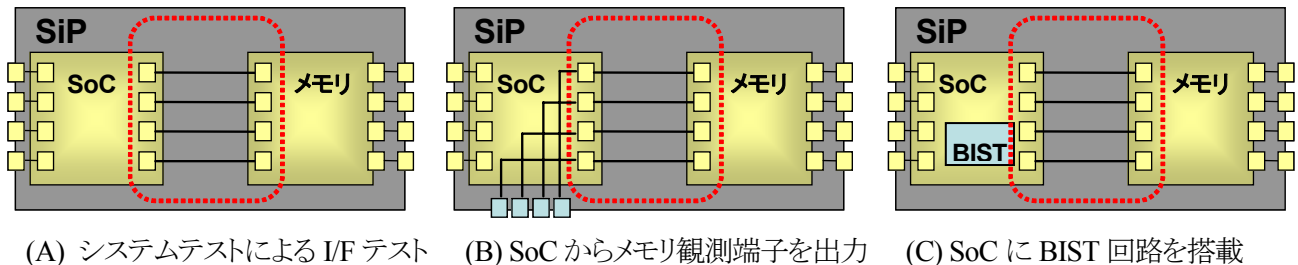
###### ③ SiP 内高速メモリテスト手段

SoC ではどんなメモリがきても動作するように I/F の AC タイミング保証を厳密に実施する必要があるのに対し、保証されたチップを SiP 化する場合は、実速度(またはそれ以上に負荷をかけた条件で)動作すれば品質を保証できるという考え方もある。このようにシステムテストで保証しようとするのが図表 4-17 (A)の例である。この方法では特性面で特別な配慮が必要なく端子数の増加もないためコスト的に有利であるが、SiP 後にメモリセルの検査が出来ない(KGD で保証)、解析が困難という課題がある。

そこでメモリセルの検査、解析容易性のために SoC を経由してテスト端子を出力する方法が 図表 4-17(B)である。この方法は SoC 側にテスト専用の経路／出力端子を設ける必要があり検証環境の構築が必要であ

る。

テスト端子の削減及びメモリセルのテストを SiP 状態で効率的に行う方法の 1 つが、SoC 側に BIST 回路を実装する方法 (C)である。メモリ BIST は SoC 内蔵メモリの検査手法として一般的であり、I/F 部の実動作特性、外部端子削減を兼ね備えた方法となるため、SiP 内メモリテストの手法として有力である。ただし解析容易性は直接出力に劣るため、フェイルビット情報の出力など解析容易性を高めた BIST の適用が必要である。



図表 4-17 SiP 内単体メモリのテスト手法

## (2)アナログ部

アナログ回路を SiP 化した場合、①ロジック/アナログ回路間のインタフェース、②ロジック回路がアナログ回路に及ぼすノイズ、③専用ユニットまたは外部計測器の必要性の問題がある。アナログ回路搭載 SiP を SoC テスタでテストする場合、以下の 3 方式がある。

- ・品質重視で High End ATE を使用してテストする方式
- ・品質とコストのバランスを考慮し、Mid Range ATE を使用してテストする方式
- ・既存設備の有効活用を図るため Low End ATE と外部計測器を組み合わせる方式

High End ATE を使用する場合、多数ピン化構成および高精度の測定ユニットを搭載しているため上記①～③の問題は無くなり、品質面で十分な精度が確保できるが、ATE 自体が高価であるため、コスト面に問題がある。Mid Range ATE を使用する場合は、オプションで高精度の測定ユニット搭載も可能であるため上記②③の品質問題は無くなり十分な精度が確保でき、コスト面は量産展開可能な範囲である。最後に Low End ATE と外部計測器を使用する場合は、外部計測器を使用することで精度は確保できるが、他の回路機能をテストできないため、多工程化となりコストが削減できない問題がある。対象とする製品と工程の特性に合わせて、品質/コスト面で満足できる様なテスト方式を選択する必要がある。

## (3) 高速インタフェース部

高速インタフェース(I/F)部分の回路は CPU や DSP などのロジック回路と同じプロセスで作られるため、SiP となっても高速 I/F 部分だけのチップを搭載する例はおそらく多くはない。SiP 内部に搭載される高速メモリチップ(例えば、DDR2、XDR)などとロジックチップの高速 I/F とを SiP 内部で接続する形態の場合、接続自体は距離も短く所要の性能を得られやすいが、この部分のテストを SiP 組み立て後に外部から直接行おうとすると、接続部分から外部端子へテストのためだけの配線を行うことになり、性能劣化含めて課題が多い。従って、ロジックチップ側から内部接続されるメモリチップをテストする手法を持つことも考える必要がある。これらについては SiP に搭載されるメモリチップ全体の話であり、(1)の単体メモリ部にて述べた。

ここでの仮想 SiP では SiP 外部とのインタフェースに用いられる高速 I/F のテストを考えることとし、それらは一般の SoC に搭載される高速 I/F のテストと基本的には同じである。高速 I/F のテストを実動作周波数で行うのは課題が多く、コストもかかる。品質とコストのバランスを考えて DFT 含めた手法を検討する必要がある。それについては後述する。

#### 4-4-4 高速インタフェースのテストインテグ

##### 4-4-4-1 高速インタフェースの種類とその仕様

代表的な高速インタフェースの種類と大まかな仕様を図表 4-18 に示す。

Device	PCI Express	Serial ATA	DDR2 Memory	USB2.0
Speed	2.5Gbps 5.0Gbps	1.5Gbps 3.0Gbps	400/533/667 /800Mbps	480Mbps
I/O	separate	separate	common	common
Single or Differential	Differential	Differential	Differential	Differential
Source Synchronous	No	No	yes	No
Clocking scheme	Embedded	Embedded	Embedded	Embedded
Encoding	8b10b	8b10b	8b × n	NRZI

図表 4-18 高速インタフェースの代表例

一般的には超高速 I/F は SerDes と呼ばれるシリアルで信号をやり取りする I/F が多い。パラレルでビット数を増やすとビット間での同時性やスイッチングノイズが課題となるからであり、テスト時にもこの点に注意が必要となる。シリアルでの通信速度を上げるためにいくつかの手法が取り込まれている。

##### 1)小振幅化、差動化(例:Serial ATA では 0.5V, Differential)

これにより遷移時間が短縮でき、同相ノイズに強くなり、スイッチングノイズの低減を図る。

##### 2)Embedded clock 化(データにクロックを重畳させる)

これにより、クロックとデータとのセットアップ・ホールドタイムをなくすことを図る。

上述の手法により高速シリアル通信の性能は向上するが、テストでは小振幅差動信号の取り扱いとデータからクロックを取り出す(リカバリ)手法が必要となる。

##### 4-4-4-2 高速インタフェースのテスト課題とポテンシャル・ソリューション

高速 I/F のテストとして、ここでは実際に外部との信号を送受する部分(物理層)のテストについて言及する。アプリケーション層、トランスポート層、リンク層はロジックのテストと同様の手法にてテストされることが多く、実際に上述のような、高速で、振幅が小さく、差動化され、クロックが埋め込まれた信号を扱う回路のテストがここでの主題である。代表的なテスト手法としては、以下がある。

##### ①高速(ハイエンド)ATE の超高速測定ユニット/モジュールを用いて実速度で測る方法

##### ②通信する相手側デバイスをテストボード上においてそれとの通信にて実速度で測る方法

(BOST の定義はいくつかあるが、ここではこれを BOST と称しておく)

##### ③ループバック

デバイス内に送信側と受信側の機能を持ち、それが同じ通信速度に対応する場合に送信出力を受信回路に戻すことによって実速度で測る方法。パッケージ内(ペレット内)で戻す場合を内部ループバック、ピンの外で戻す場合を外部ループバックと称する。高速シリアル及びパラレル I/F の代表例として Serial ATA と DDR2 について後述する。

### 4-4-4-3 Serial ATA インタフェースの課題とポテンシャル・ソリューション

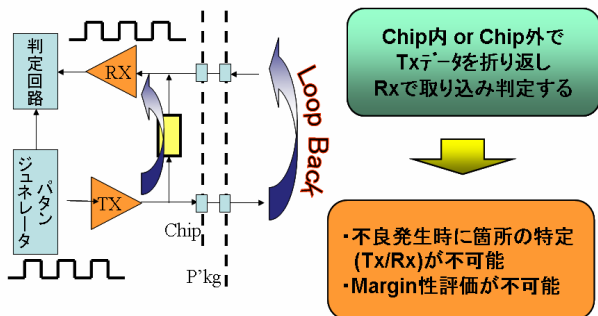
ここでは高速シリアル インタフェースの例として Serial ATA をとって議論していく。テスト手法の簡単な技術的紹介を図表 4-19、図表 4-20、図表 4-21 に示す。

#### 1) ループバック手法

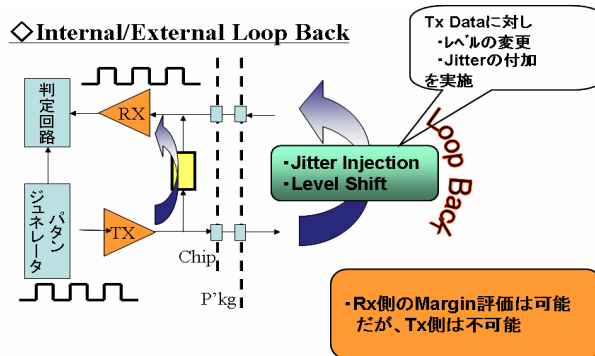
送信側(Tx)データを受信側(Rx)に戻してテストする手法。

#### 2) ループバック手法の応用例

##### ◇Internal/External Loop Back

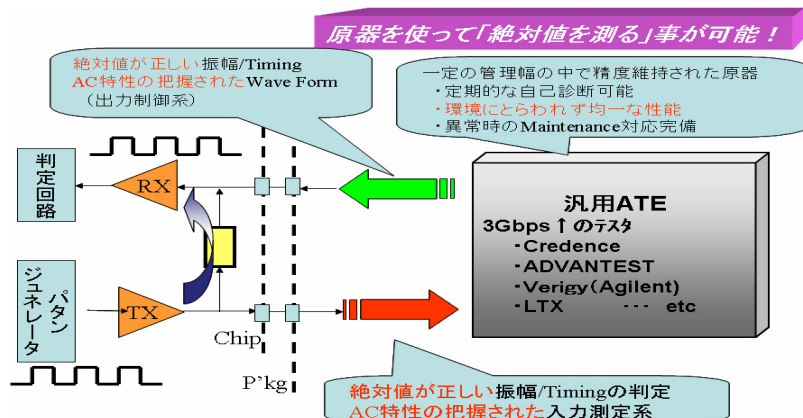


図表 4-19 ループバック手法の応用例(その 1)



図表 4-20 ループバック手法の応用例(その 2)

#### 3) ハイエンド ATE によるテスト手法



図表 4-21 ハイエンド ATE によるテスト手法

なお、上記において、デバイス内のループバック経路をデバイス内部回路から切り離して、ATEからの入力信号を ATE へ戻すループバックを形成し、ATE からの測定系の自己評価を行う手法も用いられている。

#### 4) ハイエンド ATE にてテストする場合に必要な要素技術

ハイエンド ATE による実動作速度での測定では、デバイスの実動作速度以上の信号を扱える ATE が必要となる。ATE のリソースだけでなく、その周辺に以下のような要素技術が必須となる。

周波数	~50MHz	~100MHz	~500MHz	~1GHz	1GHz~
ソケット	Not Critical		Critical (Inductance)		
ボード	Not Critical	Critical (線長・層構成・パターン引回し・基板材質)			
デバッグ手法	Digital式: ロジアナ		Analog式(Jitter/干渉):		
パターン作成	Not Critical		Critical (ボード上の遅延)		

図表 4-22 ハイエンド ATE にてテストする場合に必要な要素技術

#### 5) BOST 手法

ハイエンド ATE (及び超高速モジュール) は一般的に高価なので、テストボード上に通信相手となるデバイス(対向試験と称することが多い)、あるいは入力波形生成回路などを配置する手法である。

ループバック試験をしたくても送受信の片方しかないインタフェースの場合にも適用される手法である。

### 6)各手法の比較

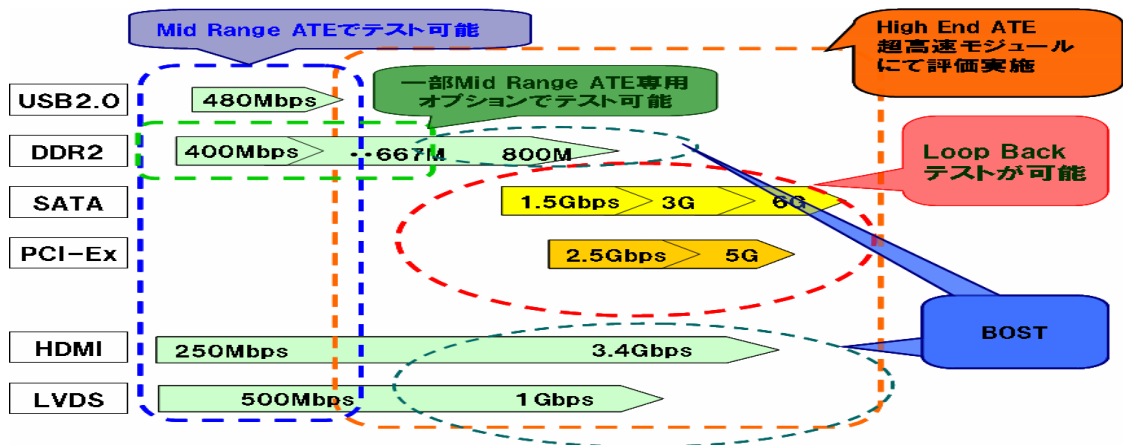
ここでは、今まで述べてきた手法をいくつかの評価項目で比較してみる。

High End ATE による場合は、その ATE のみでテスト、Mid Range ATE の場合は、表にある手法を組合せるといふ前提で図表 4-23 になる。ここで実機テストとは顧客のシステム(の一部)を再現したセットを作製し、それを用いて良否を判定する手法である。

	ATE					ATE 不使用	
	High End	Mid Range				計測器 PC制御	実機テスト
		BOST (対向)	外部計測器	BIST (ループバック)	実機と2パス		
ウェアハで出来るか？(超高速,小振幅,ジッタ等)	×(治具起因)	×(治具起因)	×(治具起因)	○(制約あり)	×	×	×
コスト面	量産コスト(時間)	○	△	○	×	△or×	○
	投資コスト(装置)	×	○	○	○	○	○
	テストプログラム/パターン開発	○	○	○	○	○	○
	テストボード開発	×	×	×	○	×	△
	プローブカード,ソケット開発	×	×	×	×	×	×
設計負担/オーバーヘッド	○	○	○	×	○	○	○
TAT面 (テスト開発のTAT)	○	×	○	○	○	○	○
品質面	○	△*	○	△*	○	×	×
解析(不良時の故障箇所絞り込み,歩留向上のため)	○	△	○	×	×	△	×
測定システムの汎用性	○	△	○	○	×	○	×
プローブカードへの要求	@speed動作	@speed動作	@speed動作	-	@speed動作	@speed動作	@speed動作
ソケットへの要求	@speed動作	@speed動作	@speed動作	@speed動作	@speed動作	@speed動作	@speed動作
備考				送受信前提			

\*ジッタ付加, レベルシフト等によるスクリーニングマージン確保手法の確立が必要  
図表 4-23 各手法の比較

図表 4-23 のように測定手法により、評価項目がどのようにカバーされるかが変わってくる。これらのうちのどの手法を用いるかは、その製品のアプリケーションによって許容される不良率やコストおよび製造のばらつきによって異なり、一概にどれがベストかは言い切れない。製品開発と設計評価段階ではその高速 I/F の規格を満足していることを確認する手段を確立しつつ、量産段階(現場)では、コストと品質をバランスさせてより最適な方法を選択することになる。一例を図表 4-24 に示す。例えば、ここでは、SiP に搭載することを考えているので、各ペレットは KGD であることが望ましい。しかし、GHz 級の信号を波形品質低下なく通過させるプローブカードは現実的な価格では存在しない。従って、ループバックによるテストを重視する(回路面積的オーバーヘッドがあっても)必要がある。ハイエンド ATE のコストを負担できない製品(アプリケーション)では、ループバックと BOST が主流となる。



図表 4-24 各種高速インタフェースとテスト手法選択例

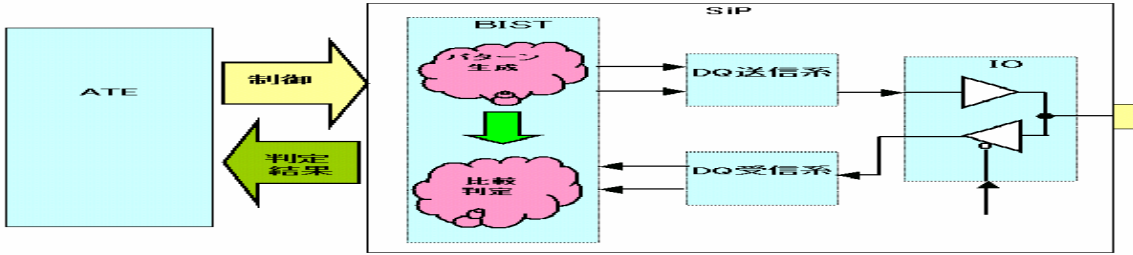
#### 4-4-4-4 DDR2 インタフェースの課題とポテンシャル・ソリューション

DDR2 は高速でメモリ動作をさせるものであり、Mid Range ATE で 400Mbps までテスト可能であるが、400Mbps 以上の高速動作を保証するテスト手法としては以下 3 通りの手法がある。

- 1.Internal Loop Back 手法(高速データを Chip 内部でループさせる手法)
- 2.External Loop Back 手法(高速データを Chip 外部でループさせる手法)
- 3.BOST(SDRAM)手法

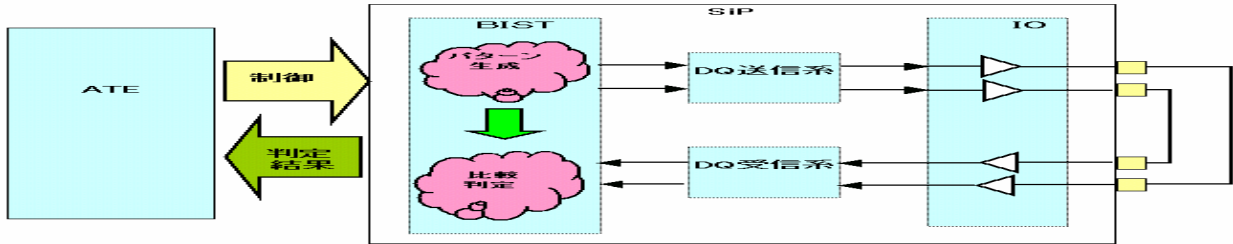


1) Internal Loop Back 手法



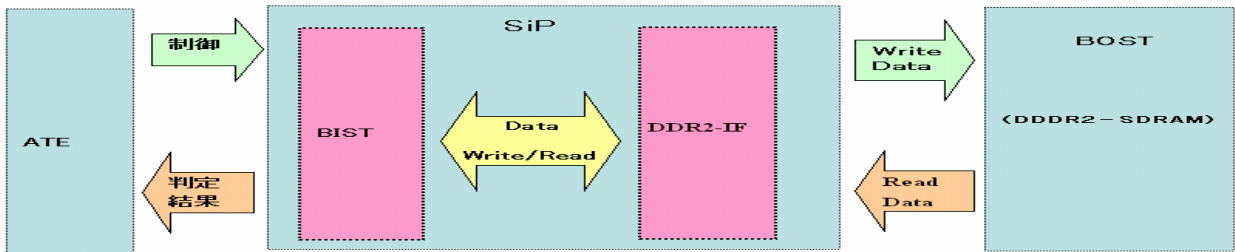
図表 4-25 Internal Loop Back 手法

2) External Loop Back 手法



図表4-26 External手法

3) BOST(SDRAM)手法



図表 4-27 BOST(SDRAM)手法

チップ外部に BOST(DDR2-SDRAM)回路を搭載しチップ内部の BIST 回路を介して SDRAM を動作させる事で、データの Write/Read を行ない DDR2 インタフェースの動作保障を行う方式である。データの送受信確認は BOST 内に搭載した SDRAM をアクセスさせ、Write/Read 動作させることで検証がなされるものである。動作検証の為、チップ外部に SDRAM 搭載回路をボード基板上に構成する必要がある。高速 I/F(DDR2 I/F)の回路構成では、External Loop Back 方式同様に配線長によるスキューバラツキが発生する可能性がある。

4) 各テスト手法のメリット/デメリット

Loop Back 手法には Internal と External 手法があり共にパターン発生及び比較用の DFT が必要である。Internal 手法では外部ボード基板上に回路配線が不要であるため、取り扱いが容易である。BOST 手法は S-ATA とは違い DDR2-SDRAM を直接動作させる事ができシステム搭載時と同様な実動作が可能である。

	メリット	デメリット
Internal Loop Back	<ul style="list-style-type: none"> <li>・テスト制約を受けない。</li> <li>・基板に特殊仕様が不要。</li> </ul>	<ul style="list-style-type: none"> <li>・基板の影響(遅延、ノイズ等)が考慮されない為、品質レベルが低い。</li> <li>・パターン発生・比較用の DFT が必須。</li> <li>・DQ, DQS 以外の信号には非適用。</li> </ul>
External Loop Back	<ul style="list-style-type: none"> <li>・テスト制約を受けない。</li> </ul>	<ul style="list-style-type: none"> <li>・パターン発生・比較用の DFT が必須。</li> <li>・DC測定時には、Loop Back 経路を切り離し、テストchに切り替えが必要。(スイッチICが必要)</li> <li>・DQ, DQS 以外の信号には非適用。</li> </ul>
BOST	<ul style="list-style-type: none"> <li>・テスト制約を受けない。</li> <li>・ユーザシステムに近い動作を再現。</li> </ul>	<ul style="list-style-type: none"> <li>・ユーザパターンが必要。</li> <li>・ボード開発が難しい。</li> <li>・DC測定時には、DDRxメモリ経路を切り離し、テストchに切り替えが必要。(スイッチICが必要)</li> </ul>

図表 4-28 各テスト手法のメリット/デメリット

### 5)各手法の比較

DDR2 について、Internal Loop Back 手法、External Loop Back 手法と BOST 手法について比較した。上記 3 手法において、送受信の機能を持つインタフェースの場合は Loop Back 手法、BOST 手法共にデータの送受信ループが形成可能。送信、受信単体機能のインタフェースは Loop Back 手法ではデータの送受信ループが形成されず、SDRAM を用いた BOST 手法のみデータの送信、受信動作が確認できる。

Internal Loop Back 手法は、チップ内部の面積が大きくなり、チップコストが増大するが、他の 2 手法と比べてテスト環境構築コストが低く、チップ内部で送受信ループを形成するので、配線長によるスキューのバラツキの問題が少ない。External Loop Back 手法は、チップ外部に Loop Back 回路を設けるのでチップ面積は小さくチップコストが低くなる。但し、チップ毎に Loop Back 回路が異なるため、共通化が図れないデメリットがある。BOST 手法は、BOST 回路を共通化できるメリットがあるが、テスト環境構築開発が難しくテスト時にユーザパターンを準備する必要があることがデメリットである。上記 3 手法ともに、メリット/デメリットがあるが、製品にあわせたインタフェース機能及びコストニーズにあった手法を選定する必要がある。量産段階ではコストと品質の面からみた場合、DQ/DQS 以外の信号も高速動作保証できる BOST 手法が今後主流となろう。

#### 4-4-4-5 高速インタフェースのテストに向けた技術課題

##### 1) LSI テスターシステム

高速インタフェース測定に対しては、その特性に起因し、図表 4-29 に示すような通常と異なる LSI テスタへの要求が提起される。

- ① EYE パターンに代表されるテンプレートマスク測定
- ② 多くの場合、基準クロックはデバイス側により定義される
- ③ 高速通信は誤り訂正技術に依存するところ大であり、通信時のエラーが容認される
- ④ 上記要求等を満たしながら、多ピンが要求される場合も存在する

高速 IF の特性			テスタへの要求	
			Rx (デバイス)	Tx (デバイス)
テンプレートマスク	時間方向	帯域	低誘電材 Load Board 等による高周波帯域の確保 帯域に応じたエンファシス技術	→
		ジッタ	ジッタインジェクション	ジッタ測定
	レベル方向	差動時の平衡バランス	完全差動系を採用したドライバ	完全差動系を採用したコンパレータ
		ノイズ	完全差動系を採用したドライバ	完全差動系を採用したコンパレータ
		レベルシフト	レベルシフト機能	シングルコンパレータ機能
基準クロックがデバイスサイド			Multi Time Domain	Multi Time Domain Source Sync 対応 Clock Embedded 対応
誤り訂正技術に依存			Bit Error Rate 測定対応 PG	→
多ピン			多ピン構成が可能	→

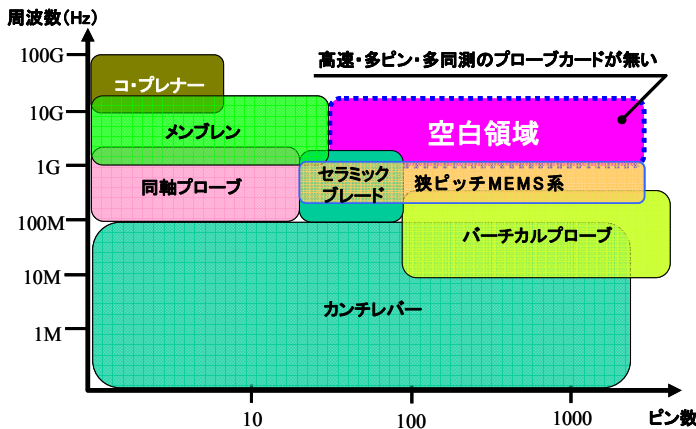
図表 4-29 高速 IF デバイスの特性とテスタへの要求

高周波伝送に特別な設計配慮を行わない Mid Range ATE でサポートされる帯域は通常 500Mbps までとなり、性能・機能的に上記要求に対応できない。各社 High End ATE では上記要求に対するカバーリングを考慮した提案を行っており、技術的には要求事項に対し大幅な乖離のない状況にあると思われる。ただし、ここでも品質とコストの問題が存在し、価格の問題から High End ATE を量産へ適応する事は容易とは言い難い。今後 High End ATE の技術を如何に Mid Range 方向に普及させていけるかが課題となっている。

## 2) コンタクター (プローブカード、ICソケット)

プローブカードは現在のところ高速インタフェースの差動信号をダイレクトに伝送可能なものがまだ見当たらない。(図表 4-30) MEMS (Micro Electro Mechanical Systems) やフォトリソに依るプローブ構造の微細化、プリント配線基板の低誘電率化や設計ならびに検証技術、高速信号のコネクト技術など At speed test に係る課題は多い。また同時測定の要求に対し配線密度が上がる事でクロストークやスキューに対する精度は更に悪化する。これら課題に対しコスト要求、納期要求とも見合ったプローブカード開発が今後望まれる。

これに対し IC ソケットではコンタクトピンの小型化が進んでおり、中にはシートタイプで殆んどインダクタンス



成分を持たない物も見受けられる。またプローブカードに比べ接続点が少なく基板の配線密度もあまり高くはならないので At speed test には向いている。

KGD や KTD を得る手段としてチップソケットのような手法の高度化もソリューションの候補の一つである。

(図註:左図でコ・プレナー、メンブレン、同軸プローブのピン数範囲は高速信号ピンのみの数を示す)

図表 4-30 各種プローブカードの周波数とピン数対応状況

### 4-4-5 ディスプレイ・ドライバIC・テストインゲ

フラットパネルディスプレイの普及により、ディスプレイ・ドライバ IC に関するビジネスが日本の半導体産業の一角として定着している。しかしながらディスプレイ・ドライバ IC のテストについては指標がなく、ロードマップ化によりテストの課題を検討する必要があると考えた。テストはデバイス製品仕様のトレンドを把握した上で検討する必要があるとの共通認識から、半導体メーカーからの協力を得てデバイス・ロードマップを図表 4-31 の通りまとめた。対象デバイスは、TFT ソースドライバ(大型 TV 32 インチ以上ハイビジョン用)とした。

TFTソースドライバICロードマップ(大型TV32インチ以上ハイビジョン用)

NO.	項目	2006	2007	2008	2009	2012	2015	2020
1	プロセス ルール( $\mu\text{m}$ )	0.35	0.25	0.18	0.18	0.18	0.11	0.11
2	ウェーハサイズ(mm)	200	200	200	200	300	300	450
3	出力ピン数(先端)	700-900	700-900	900-1100	900-1100	1100-1300	1300-1500	1300-1500
4	出力ピン数(量産)	500-700	700-900	900-1100	900-1100	900-1100	1100-1300	1100-1300
5	総ピン数	700未満	700-900	900-1100	1100-1300	1300-1500	1500-1700	1701以上
6	データビット数(bit)	10以下	10以下	11-12	11-12	13-14	15-16	17-18
7	クロック周波数(MHz)	200未満	200-400	200-400	200-400	401-600	601-800	601-800
8	入力レベル(高速ピン)	RSDS/miniLVDS	miniLVDS	miniLVDS	miniLVDS	Point to point等	Point to point等	Point to point等
9	ガンマ補正電圧本数	16-20	16-20	16-20	16-20	11-15	11-15	10以下
10	出力電圧範囲(V)	16-20	16-20	16-20	16-20	10-15	10-15	10-15
11	出力 $T_r$ 時間( $\mu\text{s}$ ) *	3.0-5.0	3.0-5.0	3.0-5.0	3.0-5.0	2.5-4.0	2.5-3.0	2.0-2.5
12	出力 $T_f$ 時間( $\mu\text{s}$ ) *	3.0-8.0	3.0-8.0	3.0-8.0	3.0-8.0	2.5-7.0	2.5-6.0	2.5-5.0
13	入力部電源電圧(V)	10-15	16-20	16-20	16-20	10-15	10-15	10未満
14	出力部電源電圧(V)	16-18	16-18	16-18	16-18	11-15	11-15	11-15
15	消費電力(W)	1.0以下	1.0以下	1.0以下	1.0以下	1.0以下	1.0以下	1.1-1.5
16	PADピッチ( $\mu\text{m}$ )	35-31	30-26	30-26	30-26	25-21	20-16	20-16
17	デバイスサイズ(mm <sup>2</sup> )	30-26	30-26	30-26	30-26	30-26	30-26	30-26
18	パッケージ形態	COF/COG	COF/COG	COF/COG	COF/COG/ILB対応	COF/COG/ILB対応	COG/ILB対応	COG/ILB対応
19	パターンピッチ(TCP,COF)( $\mu\text{m}$ )	50以下	50以下	50以下	50以下	50以下	50以下	50以下
20	テープ厚(TCP,COF)( $\mu\text{m}$ )	31-50	31-50	31-50	31-50	31-50	31-50	31-50
21	ファンクション試験方法	コンパレータ比較	コンパレータ比較	コンパレータ比較	コンパレータ比較	コンパレータ比較	コンパレータ比較	コンパレータ比較
22	出力電圧試験方法	デジタイザ	デジタイザ	デジタイザ	デジタイザ	デジタイザ	デジタイザ	デジタイザ

\* 負荷容量 100-200pF、10-40k $\Omega$

図表 4-31 2006 年度 デバイス・ロードマップ調査結果 (TFT ソースドライバ IC)

## 4-4-6 テスト開発の経済性検討

### 4-4-6-1 背景

昨年度まで DFT 活用によるテストコストの削減を議論し、日本が目指すデジタル家電向け SoC では DFT 技術の波及範囲がまだ十分でないこと、テスト戦略およびその作業工数が課題であることを把握した[1]。そこで、過去に STRJ で検討した仮想テスト技術[2]やオープン・アーキテュア・テスト[3]、構造可変テスト[4]、テスト構造表現言語[5]などの技術的議論を活用して上記問題点を解決するために、「テスト開発の経済性」を取り上げ、委員間のアンケートによる現状調査を行った。

アンケートは 2 回実施した。第 1 回目は課題について自由意見集約の形であったため様々な意見が出されたが、回答のキーワードは (1)テスト言語標準化、(2)テスト/ボード・シミュレーション、(3)DFT/ATE 最適化であった。アンケート回答を討議したところ、テストコスト削減効果はむしろ量産時がポイントということになり、追加で量産テストにフォーカスして第 2 回目のアンケートを実施した。その結果、キーワードとして新たに (4)テストプラン設計、(5)テスト治工具などのコスト増大、(6)評価解析における不良場所特定の困難化、(7)量産時(歩留まり向上)が挙げられた。以下に各キーワードについてアンケートのポイントをまとめる。

今後、今回のアンケート結果で得られたキーワードについてさらに深堀し、解決策を検討していく。

### 4-4-6-2 キーワードの分析

#### (1)テスト言語標準化

SoC の大規模化/アナログ混在/高速インタフェースの混在化加速により、テストプログラムの作成困難性が増大し、その有効活用に従来テストプログラム財産の活用が不可欠である。また、テストコスト削減努力には既存テストの活用が要求されている。その中、テストメーカはテスト言語を繰り返し変えてきているために、テストプログラム変換作業に負担が掛かっている。読解や変更はテストメーカ毎に言語が違っているので、負担も増えている。STIL (Standard Test Interface Language)が共通言語と言う事で解決策が提示されているが、STIL でもテスト上では個別のテスト言語を扱わなければならない場合もある。

これに対して今までの報告ではテスト構造表現言語[5]の提案もあるので継続議論としてエンジニアの負担を軽減する活動が必要である。

#### (2)テスト/ボード・シミュレーション

SoC は (1)でも述べた混在加速化のために、テスト、テストボードやプローバ、プローブカードが複雑になり、量産測定環境立ち上げに負担が増している。また、テストコスト削減のための同時測定個数増加は、ボード設計および検証に多大の時間が掛かり、且つ、同時測定 DUT 間でのコリレーション(相関)は幾何級数的に増大するものであり、量産立ち上げが困難になってきている。

これに対しては継続議論しているテストボード・シミュレーションのロードマップ作成[6]とその開発が必要であると考えられる。

#### (3)DFT/ATE 最適化

SoC は上記の如く技術要求の進歩が早くなり、且つ、短 TAT 開発の要求や立ち上げ品種が多くなり、テスト技術者が不足となっている。技術者はテスト技術に留まらず製品技術も必要で関連する分野の理解も求められている。また、設計部門とテスト部門とのデータ情報(テスト仕様等)が不十分で、情報交換の不足が指摘されている。

テスト工程は一般に半導体工程の後工程として位置づけられているが、テスト工程は製品仕様を決める最初の工程とし位置づけ、設計段階からその製品ロードマップ策定と同時にターゲットとなるテストコスト策定と、それを達成するためのロードマップを開発時に策定する事が肝要である。

#### (4)テストプラン設計

SoC デバイスが多機能化となり、DFT 導入や SiP 対応等も含め、テストを構成する要素が複雑化してきている。

そのために、テスト仕様書やATE機種選定などのテストプランの検討や作成に多大な工数を要していることが半導体メーカーの多くで指摘されている。

#### (5) テスト治工具などのコスト増大

対象デバイスをSoCとしたが、テスト治工具(プローブカード、パフォーマンスボード等)の技術的課題は従来と同等であった。一方、多ピン化によりテスト治工具のコストが今後ますます増大し、SoCデバイスの生涯生産数量の減少化で、更に製品1個当りのテストコストが増すと今回のアンケートでも再確認できた。コメントの一つに治工具を含めたテスト環境のシミュレーション技術の確立が、このコスト増大の対策になるかどうか見極める必要がある。

デバイスの多ピン化、同測数の増加の影響で治具費用が増大する傾向にある。デバイス固有の問題としては同測数を増加させた場合の相関取りなど、生産計画及び設備状況も考慮し、経済的な同測数を決定する必要がある。また品種展開の観点からはデバイス設計から量産に移行する時間の短縮化により、各種治具がタイムリーに準備できない課題も顕在化している。

#### (6) 評価解析における不良場所特定の困難化

デバイスの高集積化、多機能化に伴い、テストプログラムが長大化し、評価解析時間増加の要因となっている。また微細化、高速化、構造の複雑化に伴い、従来は問題となっていなかった微少遅延やクロストーク、素子の不均一性などがデバイス動作に影響するようになり、不良原因箇所を特定することが困難となってきた。

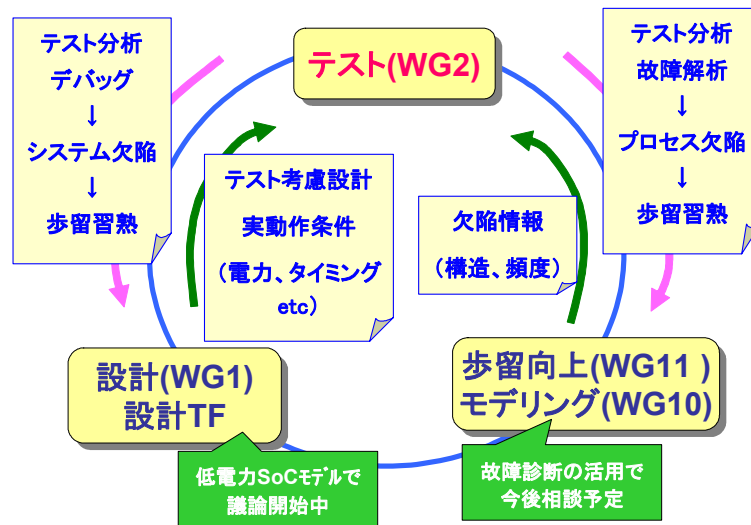
#### (7) 量産時(歩留まり向上)による多量の不良データ収集、解析

量産におけるテストには、良・不良品の判定の他にテストデータを用いた歩留まり向上への貢献が期待されている。テスト工程から得られる大量のデータを、リアルタイムに集計、解析を行い、前半製造工程へのフィードバックを迅速に行うため、オンライン化されたテストと高度な解析機能を有するサーバの統合的なシステムが求められる。

#### 4-5 おわりに（まとめと 2007 年度活動に向けて）

以上のように2006年度の活動では、ITRSへの貢献と共にテストの品質とコストの両立を目指し、DFT-SWGがSoCモデルの作成とSoCテストの課題、そして、ATE-SWGはSiPテスト及びテスト経済性の検討を行なった。限られた活動時間の制約の中でのサブWG活動が主体であったが、永遠の課題であるテストの品質とコストの両立を目指すための課題の共有化とそのポテンシャル・ソリューションの一例を提案することができた。

来年度 WG2 活動では、本年度の活動方針である『テストの品質とコストの両立を目指し、DFT と ATE の融合』を継続して推進する。特に、テストは設計や故障解析など各技術分野と密接な関係があるので、設計 (WG1)とは今後も連携を図っていき、更に、他 WG とも情報交換していく予定である。(図表 4-32 参照)



図表 4-32 テストの役割

#### 参考文献

- [1] 2005 年度 STRJ 報告書第 4 章 WG2 テスト 4-4 ATE-SWG の活動 4-4-5 DFT テスタ
- [2] 1999 年度 STRJ 報告書 2-2 テスト 2-2-4 課題 (8)ATE
- [3] 2002 年度 STRJ 報告書(ロードマップ) 3-2 WG2 テスト 3-2-3 2002 年度国内活動成果 3-2-3-2 ATE-SWG (2) 活動内容 1)活動内容に概要 3)ATE オープンアーキテクチャ
- [4] 2002 年度 STRJ 報告書(ロードマップ) 3-2 WG2 テスト 3-2-3 2002 年度国内活動成果 3-2-3-2 ATE-SWG (2) 活動内容 1)活動内容に概要 2) 新テスト技術(構造可変テスト)
- [5] 2003 年度 STRJ 報告書 第 4 章 WG2 テスト 4-3 国内活動成果について 4-3-2 ATE-SWG の活動 6) テスタ構造表現言語
- [6] 2003 年度 STRJ 報告書 第 4 章 WG2 テスト 4-3 国内活動成果について 4-3-2 ATE-SWG の活動 7) Modeling & Simulation(テストボード検証技術)