

第 6 章 WG4 配線

6-1 WG4(配線 WG)の活動概要

配線 WG4 では、2003 年度で掲げた「論理的根拠に基づいた、合理的かつ現実的な配線技術ロードマップ」という基本方針のもと、継続的な微細化ロードマップの見直しと、微細化に伴う本質的な限界の予測、それを乗り越えるための候補技術の検討を行っている。2005 年度からは、さらなる微細化を推し進めるための候補技術に加え、微細化に伴う本質的な問題の解決に向け、従来のスケーリング(微細化)路線とは異なる配線技術の検討を行っている。

2006 年版 ITRS ロードマップでは、技術要求テーブルの数値に関し、以下の 2 点の見直しを行った。

- (1) バルク誘電率(κ 値)の表記変更:絶縁膜のバルク誘電率(κ)の表記をレンジ表記に変更
- (2) 配線の消費電力指標を掲載:定量的で普遍性のある指標として[W/GHz \cdot cm²]を掲載

上記活動に際し、以下の 4 回の国際技術会議に参加し、エマージング配線技術に関する国際電話会議を行った。

- ・ 2006 年 4 月 ファールス/ITRS Spring Meeting
- ・ 2006 年 6 月 サンフランシスコ/ITRS TWG (IITC 会議)
- ・ 2006 年 7 月 サンフランシスコ/ITRS Summer Meeting
- ・ 2006 年 12 月 台湾/ITRS Winter Meeting
- ・ 2007 年 2 月 第 1 回 Emerging 配線 国際電話会議
- ・ 2007 年 3 月 第 2 回 Emerging 配線 国際電話会議

STRJ 独自の活動として、2010 年以降の Red Brick Wall (RBW) に対する候補技術の検討を行っている。2006 年度は、エアギャップ配線、Carbon Nanotube (CNT) 配線、ワイヤレス配線、光配線の調査を行い、Cu/Low- κ 代替技術としての可能性を検討した。

6-2 微細化技術の深耕

6-2-1 配線技術の現状

①配線の階層構造と配線遅延

Cu/low- κ 配線は Metal 1、Intermediate、Global の 3 種から構成される。Metal 1 はセル内結線を目的とする短距離配線、Intermediate は比較的短距離のブロック内配線と中長距離のブロック間配線、グローバルはブロック間の長距離配線、クロック、電源配線として用いられる。配線長が比較的短い Intermediate 配線では、遅延時間に配線容量 C(アーキテクチャによれば配線抵抗 \cdot 容量積 RC も)が強く影響する。

一方、配線長が長い Global 配線では RC 積がクリティカルパスの遅延時間に大きく影響する。最適 Repeater の挿入によって RC 遅延を配線長の 2 乗から 1 乗への改善が図られるが、一般的に Repeater 挿入だけでは不十分であり、配線幅と配線膜厚の逆スケーリング^{注1)}が必要である。ITRS ロードマップの表は、世代毎に遅延時間 30%改善を達成できるよう、配線容量と配線抵抗のスケーリングが考えられている。

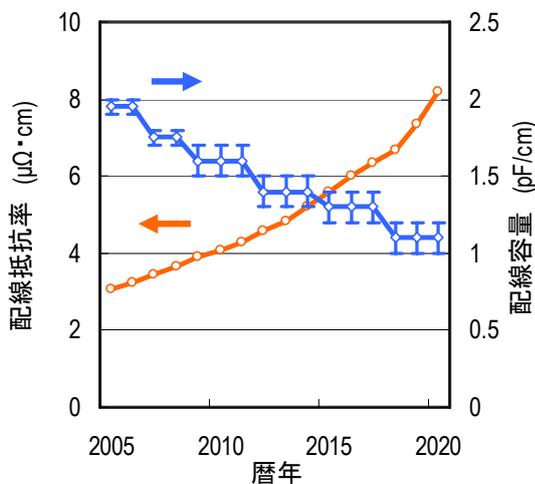
注 1: Global 配線では配線抵抗の低減が RC 遅延改善に有効であるため、配線幅のスケーリングを遅らせる、より積極的には必要箇所の配線幅をむしろ広げる配線レイアウトが有効になる。この設計思想から、Global 配線ピッチの上限は世代に依らず横這い状態になると予想される。

②電子散乱による配線抵抗増加

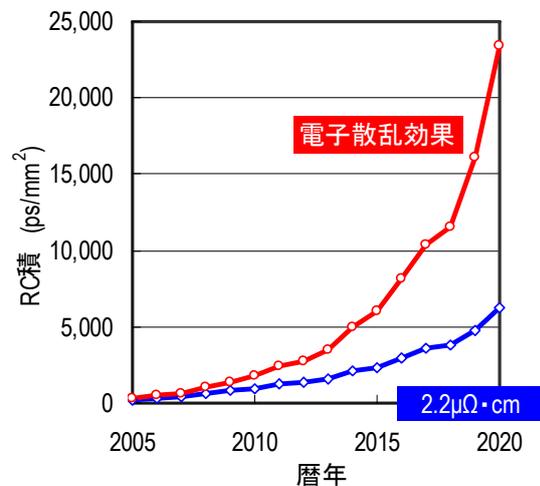
Cu 配線のディメンジョンが大きい間はバルクの電気抵抗率が支配的であったが、配線を微細化すると結晶粒界や配線側面における電子散乱が無視できなくなり余分の抵抗が付加される。加えて、ダマシン構造ではバリア膜厚効果(Cu/全断面積比の低下)による配線抵抗の増大も考慮しなければならない。

バリア膜厚効果についてはバリア薄膜化技術(ALD: Atomic Layer Deposition、自己形成バリア)によって抵抗増を緩和する技術が用意されている。しかし、電子散乱効果については結晶制御や界面制御など高度な成膜技術を必要とし量産上の対応は極めて困難である。

これらの抵抗増加要因を織り込んだ RC 遅延を図表 6-1 に、その計算の根拠となる配線抵抗率および配線容量の推移予想を図表 6-2 に示す。RC 遅延の上昇を少しでも抑制するためには配線容量をロードマップにしたがって着実に低減していかなければならないが、その効果を加味しても RC 積の推移は 2013 年以降非常に急激である。



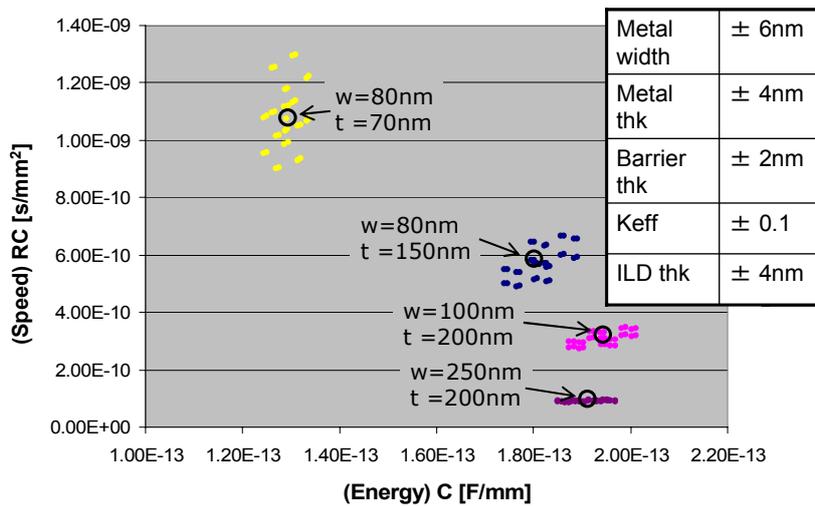
図表 6-1 RC 遅延の推移予想



図表 6-2 配線抵抗率及び配線容量の推移予想

③配線微細化と RC 遅延のばらつき

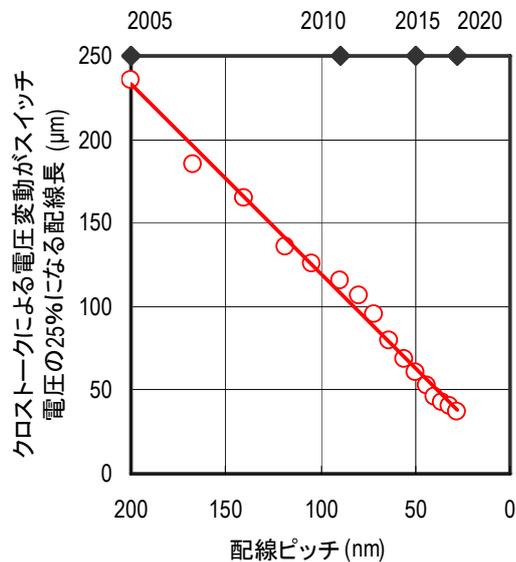
配線ピッチが広い場合は抵抗 R と容量 C のばらつきが相補的に作用するために RC 積は一定に保たれていたが、配線ピッチが狭くなり電子散乱によって電気抵抗率が配線寸法に依存するようになると RC 積にもばらつきが見えてくるのではないかと懸念されている。例として ITRS 会議で IMEC から提供された数値シミュレーションの結果を図表 6-3 に示す。RC ばらつきは、配線幅 100nm までは殆ど見えていないが、線幅 80nm では±10%程度ばらつきと予想されている。絶対値の推移に比べると、ばらつきの問題はまだ危急を要する問題ではないようにも見えるが、将来懸念される要注意事項であることは確実であり、設計 WG/TF の協力を得て見積もり精度を上げていく必要がある。当然のことながら、抵抗や容量を個々に見た場合、あるいは歩留や信頼性の観点から見た場合、加工ばらつきはますます深刻な問題になるため、限界把握とポテンシャル・ソリューションの発掘に努める必要がある。



図表 6-3 RC 積および C のばらつきに関する数値シミュレーション

④クロストークと IR ドロップ

RC 遅延以外にもクロストークや IR ドロップの問題がある。クロストークに関して 2005 年度版から ITRS ロードマップに指標が掲載されている。図表 6-4 に示すように供給電圧がスケーリングあるいは減少されるにしたがってクロックと信号配線層で問題になってくる。クロストークによって隣接配線に予期せぬ電圧変動が発生する恐れがある。電圧変動が小さければ問題ないがスイッチ電圧の 25%に達すると回路が誤動作してしまうため、配線ピッチ微細化とともに配線長に制限がかかると予想されている。



図表 6-4 クロストークの予想

⑤配線最大電流密度 J_{max}

ITRS2006 年アップデートでは、設計タスクフォースと共同で、マルチコアの影響や J_{max} 計算モデルの妥当性について再検討を行ったが、結果的に配線最大電流密度の変更はなく、ITRS2005 年版と同じである。従って、 J_{max} の計算方法は、ITRS2003 年版以来変わらず、ITRS2005 年版と同じであるが、再度ここに記載する。

図表 6-5 に用いた計算モデルを示す。計算モデルを再検討した結果、エレクトロマイグレーションに作用する DC パルス電流が流れる critical point を●で、モデル図に追加表記することにした。モデル図で Vdd にビア接続した上層配線には、常に上層配線方向に流れる電子流がストレスとしてかかることになる。次段の負荷として Fan out(N)=3 の単純な Inverter 回路に接続された信号線に流れる平均電流密度(J_{max})を、ITRS 2005 記載の Table 4c、d、Table 40a、b、Table 80a、b のパラメータを用いて計算した。モデルに使用した前提条件は以下の通りである。

- (1) 最小のトランジスタ幅 (W_{min})として、NMOS=(ASIC の Half-pitch)×4、PMOS=(NMOS のゲート幅)×2 を仮定
- (2) モデル回路のトランジスタ幅(W_g)は、 $W_g = W_{min} \times 8$ を仮定し、このゲート容量(C_g)の算出には、2005 年版 ITRS の記載値(Table40a、b)を使用
- (3) 信号線は最小 Pitch で置かれた最小線幅の Intermediate 配線が使われるとして、その配線長(L)は、 $L = \text{配線ピッチ} \times 200$ と仮定
- (4) 配線容量(C_i)の算出は、2005 年版 ITRS の Table 80a、b の値(K_{eff} を含む)を使用。
- (5) 周波数(f)の値は、2005 年版 ITRS の Table.4c、d の値を使用。

これらの前提条件の下で信号線に流れる平均電流値(I_{max})および電流密度(J_{max})を以下の式によって算出した。

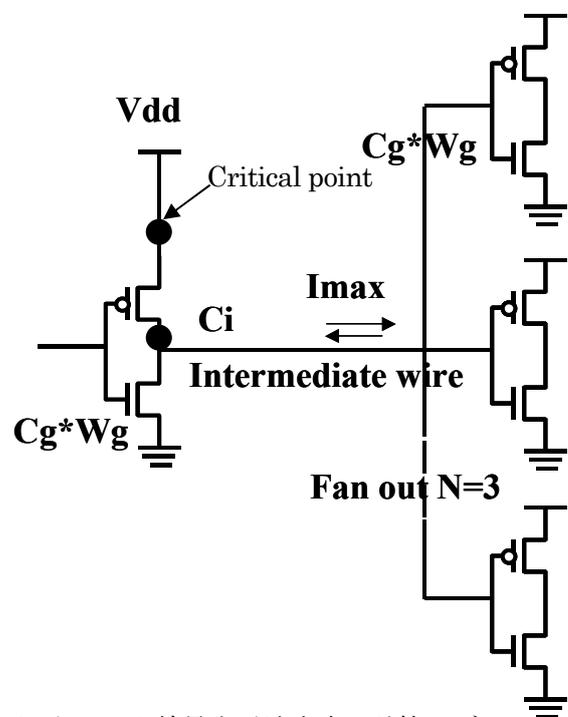
$$I_{max} = f \cdot (C_g \cdot W_g \cdot N + C_i) \cdot V_{dd}$$

$$J_{max} = I_{max} / (W \cdot H)$$

ここで、f:周波数、N:Fan out、
Vdd:電源電圧、W:配線幅、H:配線厚である。

上述のモデルに基づいて J_{max} を計算した結果を、図表 6-6、図表 6-7 にそれぞれ示す。周波数の増加と配線断面積の縮小を反映して、毎年電流密度が上昇する。

一方、ここではまだ反映されていないが、消費電力と発熱を抑制する観点から、マルチコアなどアーキテクチャの工夫により、周波数の増加を抑制しようとする動き[1]があり、今後の電流密度の動向を予測する上での検討課題である。



図表 6-5 配線最大電流密度の計算モデル

マルチコアの影響に関しては、配線長への影響を定性的に考察した。その結果、論理ゲートレベルの配線構造に関して、技術ノード、クロック周波数、パイプライン当たりの論理段数が同じとすれば、マルチコア化しても、配線構造は同様と考えられる。また、セミグローバル

ル、グローバルレベルの長距離配線に関しては、シングルコアでもマルチコアでもリピータが挿入されるため、配線長の差はあまりないと考えられ、マルチコア化しても配線構造への影響は小さいと考えられる。以上のことから、周波数の動向の変化がないとすれば、マルチコアの配線電流密度への影響はないと考えられる。一方、前述のように、マルチコア化と同時に周波数の増加を抑制する動きがあるため、その点は今後、ITRS 全体の周波数動向の見直しを含めて、再検討が必要である。

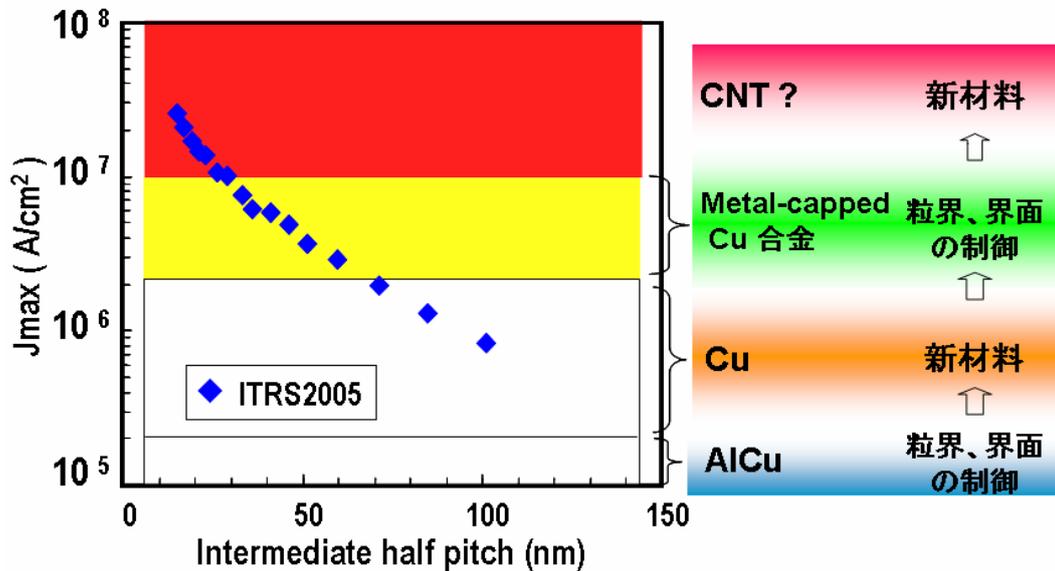
Year		2005	2006	2007	2008	2009	2010	2011	2012	2013
MPI/ASIC 1/2pitch (Uncontacted Poly)		80	70	65	57	50	45	40	35	32
Nominal power supply voltage(Vdd) (V)	Table 40a,b	1.1	1.1	1.1	1	1	1	1	0.9	0.9
×1 Gate Width(um)*		0.96	0.84	0.78	0.684	0.6	0.54	0.48	0.42	0.384
×8 Gate width = Wg (um)		7.680	6.720	6.240	5.472	4.800	4.320	3.840	3.360	3.072
Physical gate length (um)	Table 40a,b	0.032	0.028	0.025	0.022	0.020	0.018	0.016	0.014	0.013
Total gate capacitance for calc. τ (fF)	Table 40a,b	0.813	0.765	0.699	0.804	0.755	0.735	0.650	0.629	0.628
Cg - Wg (fF)		6.244	5.141	4.362	4.399	3.624	3.175	2.496	2.113	1.929
On -chip local clock(MHz)***	Table 4c,d	5204	6783	9285	10972	12369	15079	17658	20065	22980
Fan out : N		3.000	3.000	3.000	3.000	3.000	3.000	3.000	3.000	3.000
Effective dielectric constant(average)	Table 80a,b	3.25	3.25	2.85	2.85	2.65	2.65	2.65	2.25	2.25
Intermediate wiring 1/2 pitch(nm)	Table 80a,b	100	83.5	70	58.5	50	45	40	35	32
Intermediate wiring A/R	Table 80a,b	1.7	1.7	1.8	1.8	1.8	1.8	1.8	1.9	1.9
Intermediate via A/R	Table 80a,b	1.5	1.6	1.6	1.6	1.6	1.6	1.6	1.7	1.7
Intermediate wiring hight (nm)		170	141.95	126	105.3	90	81	72	66.5	60.8
Via depth (nm)		150	133.6	112	93.6	80	72	64	59.5	54.4
Wiring C(k=1)by Sakurai model (fF/um)		0.05937	0.05907	0.06109	0.06109	0.06109	0.06109	0.06109	0.0629	0.0629
Wiring C(@K) (fF/um)		0.19296	0.19198	0.1741	0.1741	0.16188	0.16188	0.16188	0.14152	0.14152
Wire length :Pitch*200(um)		40.000	33.400	28.000	23.400	20.000	18.000	16.000	14.000	12.800
Total Wire Cap(fF)		7.718	6.412	4.875	4.074	3.238	2.914	2.590	1.981	1.811
Total Cap(fF)		26.450	21.835	17.960	17.272	14.110	12.439	10.078	8.322	7.599
Average I _{max} (nA)		151410	162914	183434	189512	174521	187574	177958	150275	157164
Average J _{max} -Wire(MA/cm ²)		0.891	1.374	2.080	3.076	3.878	5.146	6.179	6.456	8.078

Year		2014	2015	2016	2017	2018	2019	2020
MPI/ASIC 1/2pitch (Uncontacted Poly)		28.5	25	22	20	18	16	14
Nominal power supply voltage(Vdd) (V)	Table 40a,b	0.9	0.8	0.8	0.7	0.7	0.7	0.7
×1 Gate Width(um)*		0.342	0.3	0.264	0.24	0.216	0.192	0.168
×8 Gate width = Wg (um)		2.736	2.400	2.112	1.920	1.728	1.536	1.344
Physical gate length (um)	Table 40a,b	0.011	0.010	0.009	0.008	0.007	0.006	0.005
Total gate capacitance for calc. τ (fF)	Table 40a,b	0.559	0.525	0.525	0.487	0.448	0.410	0.362
Cg - Wg (fF)		1.529	1.260	1.109	0.935	0.774	0.630	0.487
On -chip local clock(MHz)***	Table 4c,d	28356	33403	39683	45535	53207	62443	73122
Fan out : N		3.000	3.000	3.000	3.000	3.000	3.000	3.000
Effective dielectric constant(average)	Table 80a,b	2.25	2.05	2.05	2.05	1.75	1.75	1.75
Intermediate wiring 1/2 pitch(nm)	Table 80a,b	28	25	22	20	18	16	14
Intermediate wiring A/R	Table 80a,b	1.9	1.9	2	2	2	2	2
Intermediate via A/R	Table 80a,b	1.7	1.7	1.8	1.8	1.8	1.8	1.8
Intermediate wiring hight (nm)		53.2	47.5	44	40	36	32	28
Via depth (nm)		47.6	42.5	39.6	36	32.4	28.8	25.2
Wiring C(k=1)by Sakurai model (fF/um)		0.0629	0.0629	0.06479	0.06479	0.06479	0.06479	0.06479
Wiring C(@K) (fF/um)		0.14152	0.12894	0.13282	0.13282	0.11339	0.11339	0.11339
Wire length :Pitch*200(um)		11.200	10.000	8.800	8.000	7.200	6.400	5.600
Total Wire Cap(fF)		1.585	1.289	1.169	1.063	0.816	0.726	0.635
Total Cap(fF)		6.173	5.069	4.495	3.868	3.139	2.615	2.095
Average I _{max} (nA)		157544	135466	142708	123281	116905	114300	107210
Average J _{max} -Wire(MA/cm ²)		10.576	11.408	14.743	15.410	18.041	22.324	27.350

図表 6-6 最大電流密度(J_{max})の計算結果

解決策の候補技術に関して、図表 6-7 に示しているように、Cu 配線によって AlCu 配線の 1 桁程度まで、電流密度を高くできると考えられるが、 $\sim 2 \times 10^6 \text{ A/cm}^2$ を超える電流密度では、Cu 配線を上回る EM 耐性の配線が必要になる。Cu 合金によって、Cu の数十倍程度の EM 寿命が得られることが報告されていることから[2]、

電流密度では、5 倍程度以上の向上が期待される。またメタルキャップ[3]などの界面制御によって、100 倍以上の EM 寿命が得られることも報告されており、10 倍程度以上の電流密度向上が期待される。これらの技術は、実用化に向けた開発が続けられている段階である。さらに、その先の EM 改善方法として、カーボンナノチューブ(CNT)[4]が EM 耐性の高い材料として期待されているが、成膜プロセスなど要素プロセスの検討が必要な段階にある。



図表 6-7 最大電流密度の動向 (ITRS2005)

参考文献

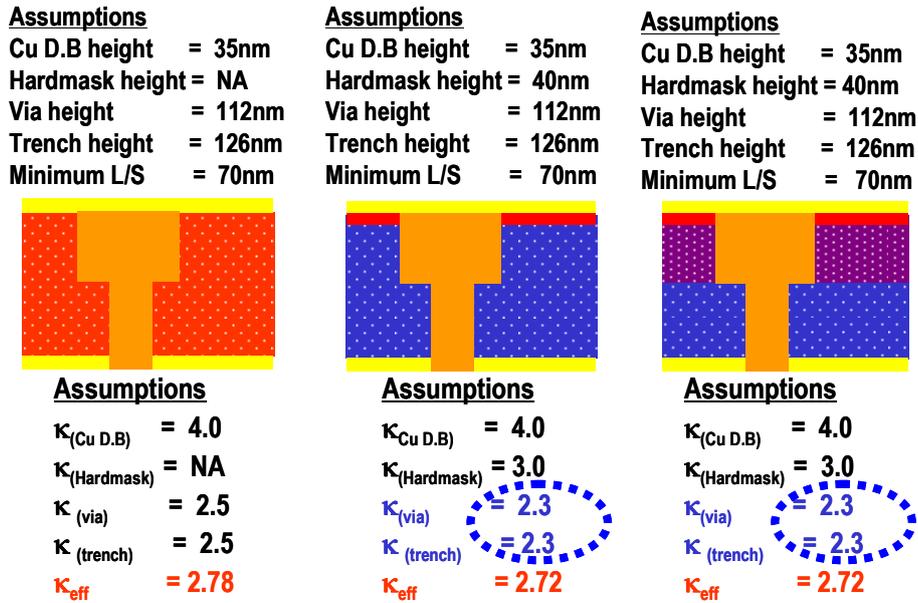
- [1] M. Bohr, Electrochemical Society Proc. Vol. 2005-06 (2005)p.3.
- [2] T. Tonegawa et al., Proc. IITC2003 (2003), p. 216.
- [3] C.-K. Hu et al., Appl. Phys. Lett, 81, 1782 (2002).
- [4] M. Nihei et al, Proc. IITC 2004 (2004), p.251.

6-2-2 ITRS2006 改訂

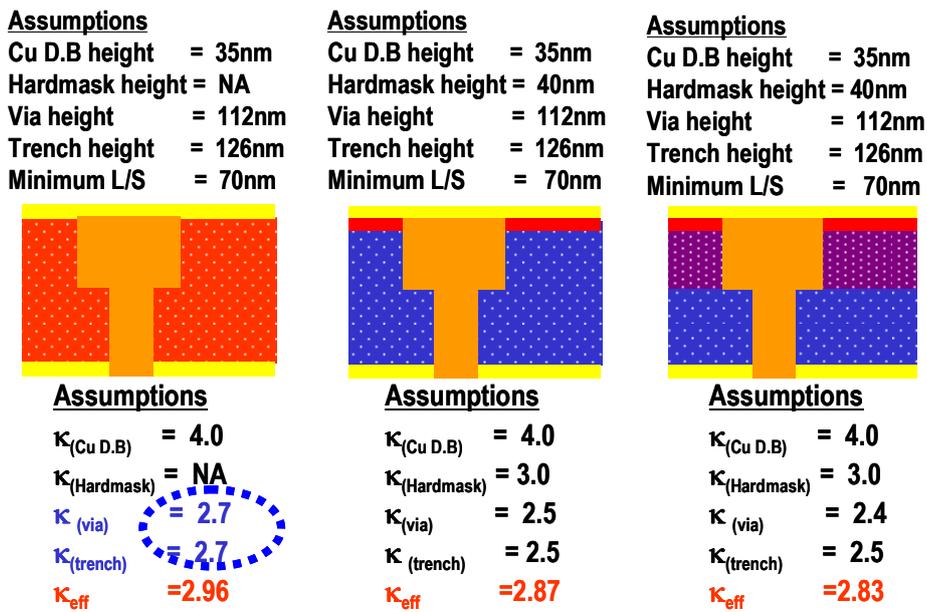
① Low-κ材のκ及びκ_{eff} 値の表記見直し

2005 年度は、ITRS2003 年度版から採用している典型的な 3 種類の絶縁膜構造を構成する配線間及びビア層間 Low-κ材料や Cu 拡散防止膜、CMP 保護膜などのκ値及び膜厚を Aggressive Case と Realistic Case に分けて検討した。今年度は、より現実的な指標として、用いられる Low-κ材料の誘電率(κ値)をレンジで表記した。

図表 6-8 及び 6-9 は 2007 年の IM 配線を想定した、Aggressive Case 及び Realistic Case におけるκ_{eff} 計算結果と、これに用いた各種絶縁膜材料のκ値、膜厚、寸法を示したものである。トレンチエッチストッパー有無 2 通りの場合のホモジニアス構造と、トレンチ部にビア部より誘電率の低い Low-κ膜を用いたハイブリッド構造を前提とした配線構造を示している。



図表 6-8 2007 年の Aggressive Case で想定される ILD 構造の κ と κ_{eff}



図表 6-9 2007 年の Realistic Case で想定される ILD 構造の κ と κ_{eff}

今年度採用した κ 値のレンジ表記は、図表 6-8、及び 6-9 において破線で囲まれた、Realistic Case で用いられる最大 κ 値と Aggressive Case での最小 κ 値に基づくものである。前年度の記述との重複になるが、Low- κ 材料の κ 値は、Aggressive Case ではリスクは大きいが入手可能と判断されるもの、Realistic Case では現実的に入手可能と判断されるもの採用して κ_{eff} 値の計算を行った。これらの計算の結果得られた κ_{eff} 値は、2009 年までは 2 年毎に 3 種類×2 Case=6 種類、2010 年以降は 3 年前に 3 種類×2 Case=6 種類となる。

Table 80a MPU and ASIC Interconnect Technology Requirements—Near-term Years *UPDATED*

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 ½ Pitch (nm) (contacted)	90	78	68	59	52	45	40	36	32
Number of metal levels	11	11	11	12	12	12	12	12	13
Metal 1 wiring pitch (nm)	180	156	136	118	104	90	80	72	64
Interlevel metal insulator – effective dielectric constant (K)	3.1–3.4	3.1–3.4	2.7–3.0	2.7–3.0	2.5–2.8	2.5–2.8	2.5–2.8	2.1–2.4	2.1–2.4
WAS Interlevel metal insulator (minimum expected) – bulk dielectric constant (K)	≤ 2.7	≤ 2.7	≤ 2.4	≤ 2.4	≤ 2.2	≤ 2.2	≤ 2.2	≤ 2.0	≤ 2.0
IS Interlevel metal insulator – bulk dielectric constant (K)	<u>2.6-3.0</u>	<u>2.6-3.0</u>	<u>2.3-2.7</u>	<u>2.3-2.7</u>	<u>2.1-2.4</u>	<u>2.1-2.4</u>	<u>2.1-2.4</u>	<u>1.8-2.1</u>	<u>1.8-2.1</u>

図表 6-10 絶縁膜の誘電率(κ)及び実効誘電率(κ_{eff})の表記の変更 (Near Term)

Table 80b MPU and ASIC Interconnect Technology Requirements—Long-term Years *UPDATED*

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
Number of metal levels	13	13	13	14	14	14	14
Metal 1 wiring pitch (nm)	56	50	44	40	36	32	28
Interlevel metal insulator – effective dielectric constant (K)	2.1–2.4	1.9–2.2	1.9–2.2	1.9–2.2	1.6–1.9	1.6–1.9	1.6–1.9
WAS Interlevel metal insulator (minimum expected) – bulk dielectric constant (K)	≤ 2.0	≤ 1.8	≤ 1.8	≤ 1.8	≤ 1.6	≤ 1.6	≤ 1.6
IS Interlevel metal insulator – bulk dielectric constant (K)	<u>1.8-2.1</u>	<u>1.6-1.9</u>	<u>1.6-1.9</u>	<u>1.6-1.9</u>	<u>1.4-1.7</u>	<u>1.4-1.7</u>	<u>1.4-1.7</u>

図表 6-11 絶縁膜の誘電率(κ)及び実効誘電率(κ_{eff})の表記の変更 (Long Term)

② 配線消費電力の指標掲載

消費電力の増加は、high-performance MPU の性能向上を制限する最も深刻な問題であり、チップ全体の Dynamic power に占める配線の影響が急増している。配線の微細化が消費電力の増加に及ぼす影響を把握し、代替配線技術 (Optical、CNT、ワイヤレス etc.) との性能比較を行うため、2006 年度版 ITRS の技術要求テーブルの中に配線消費電力の指標を追加した。

指標は、可能な限り単純・定量的で、配線パラメータを反映し、設計・製品に依存しない普遍性を備えていることが望ましい。

消費電力の表現法	k 値	Vdd	寸法	周波数	設計パラメータ依存性
容量 (pF/?m)	Y	N	N	N	・設計パラメータに依存しない
容量 (nF/cm ²)	Y	N	Y	N	・設計パラメータに依存しない
エネルギー (fJ/bit ?m)	Y	Y	N	N	・設計パラメータに依存しない
エネルギー (fJ/bit cm ²)	Y	Y	Y	N	・設計パラメータに依存しない
電力密度 (W/cm ²)	Y	Y	Y	Y	・周波数の設計パラメータ依存性が不明 ・activity factor を使う
NAF (GHz)	Y	N	N	Y	・設計パラメータが必要 ・製品品種に依存
総配線消費電力 (W)	Y	Y	Y	Y	・設計パラメータが必要 ・製品品種に依存 ・省電力技術に依存

図表 6-12 配線の消費電力指標の比較

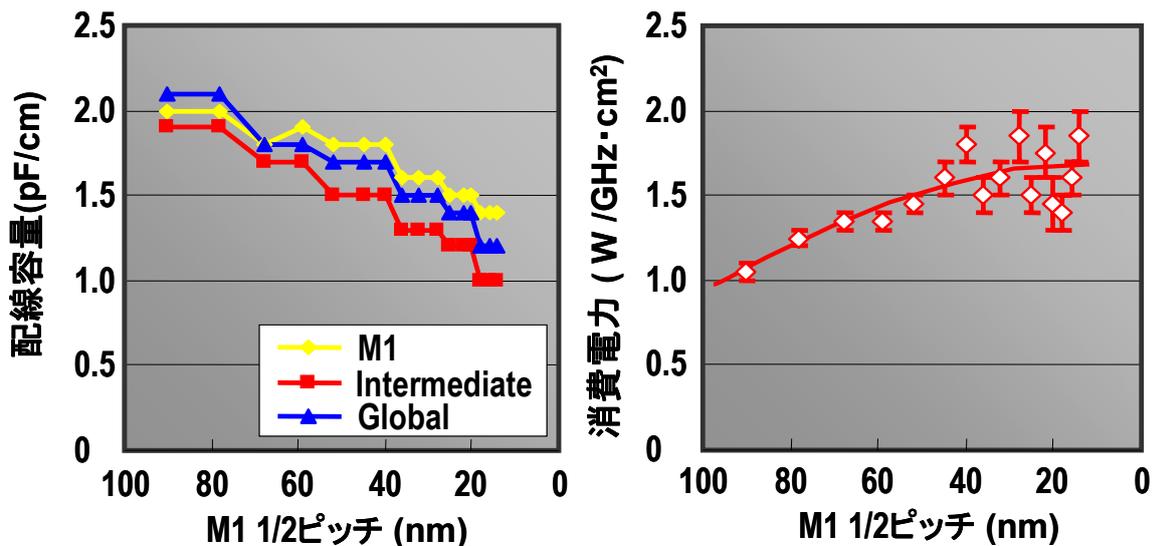
ITRS 配線 WG では、図表 6-12 に示した 7 種類消費電力指標の候補を比較検討した。どれも一長一短があるため、この中から一つに絞ることはできず、複雑ではあるが単位周波数あたりの電力密度;

$$P [\text{W}/\text{GHz}\cdot\text{cm}^2] = CV^2 \cdot a \cdot (1\text{GHz}) \cdot \{e_w \cdot (1\text{cm}^2)/p\}$$

C : 単位長さあたりの容量、 V : 電源電圧、 p : 配線ピッチ、

a : average activity、 e_w : wiring efficiency

を採用した。



図表 6-13 微細化に伴う、配線容量と消費電力の推移

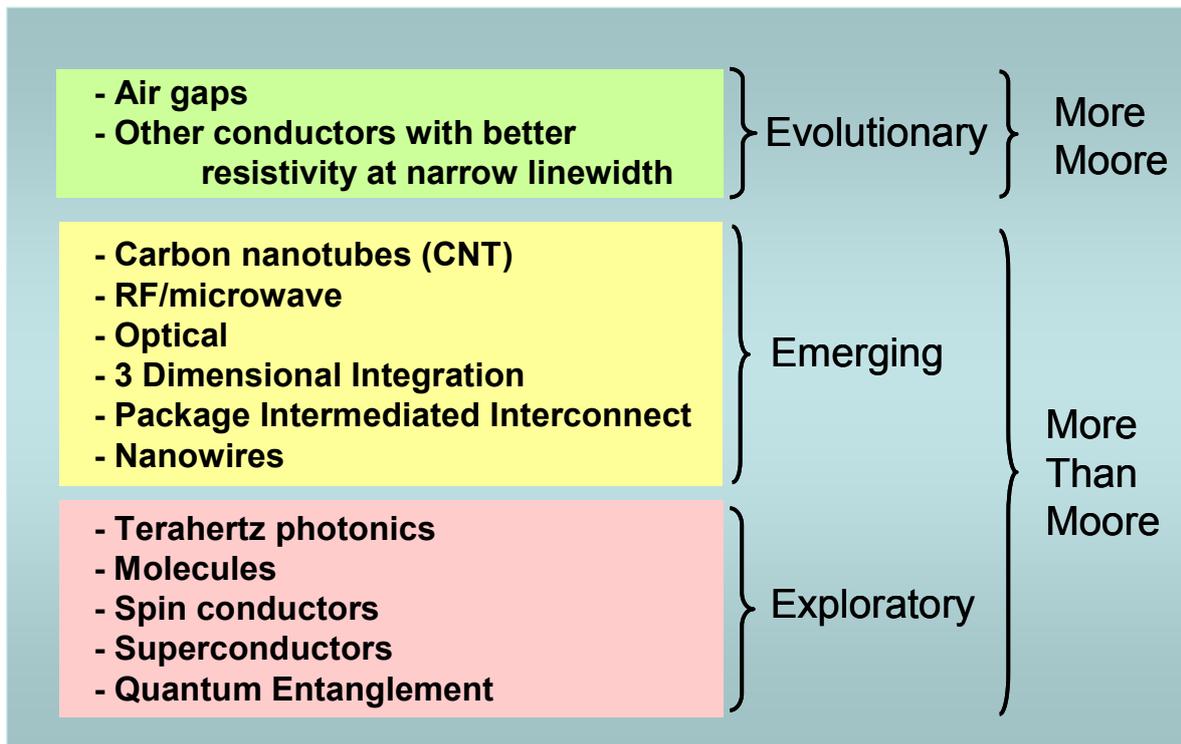
図表 6-13 は、微細化に伴う単位長さあたりの配線容量と、本消費電力指標の推移を示している。隣接配線との対向面積が減少するため配線容量は減少傾向にあるが、配線密度が増加するため、単位面積あたりの消

費電力指標は増加する。周波数を掛けるとこの効果はいっそう加速される。

6-3 Beyond Cu/Low-Kの技術の展望

ITRS 配線 WG では、Cu/Low-K配線に替わる候補技術の検討を行っている。図表 6-14 は候補技術の一覧で、実現の可能性から Evolutionary、Emerging、Exploratory に分類されている。

STRJ 配線 WG (WG4) では、国内での研究開発活動が盛んな、エアギャップ配線、CNT 配線、ワイヤレス配線、光配線を取り上げてヒアリング調査を行った。

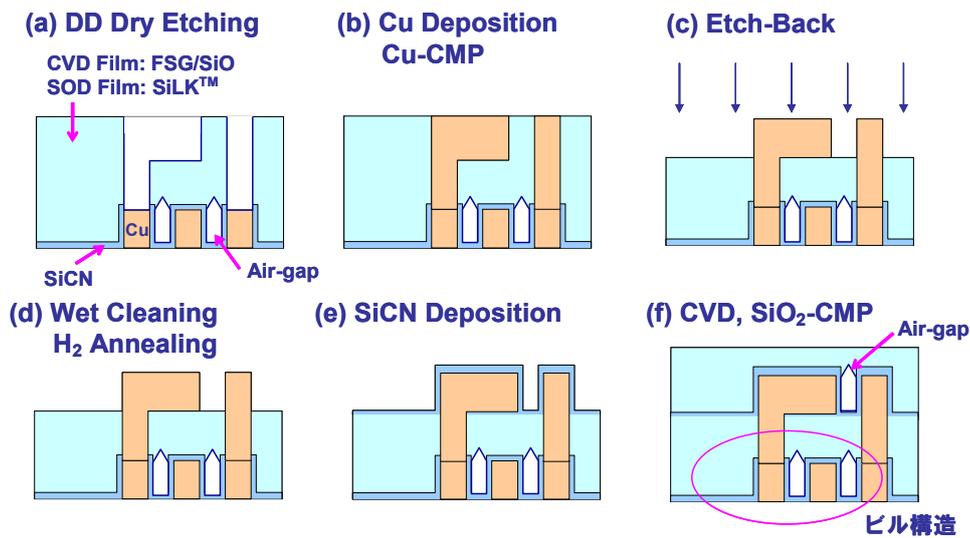


図表 6-14 ポスト Cu/Low-K配線技術

6-3-1 エアギャップ配線

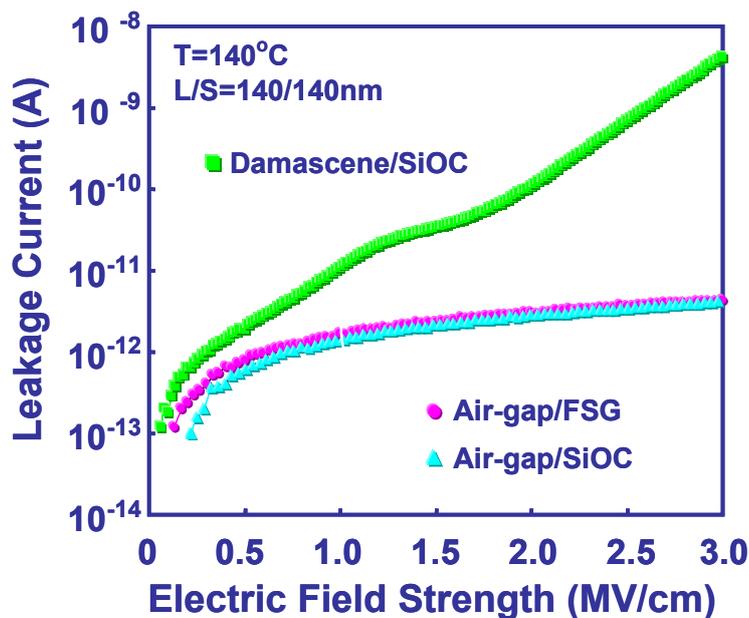
エアギャップを用いた配線技術は、エマージング技術の中で、More Moore 技術における“究極の Low-K 材”の候補となっている。自重たわみ、セミグローバルやグローバル配線からの外部荷重による変形、熱膨張による変形などといった構造面からの検討課題はあるものの、プロセス技術としては IITC (International Interconnect Technology Conference) で量産化に向けた提案がなされるなど、加工技術としては徐々にその進展が見えている。その代表例として、(株)日立製作所の野口純司氏に現状を報告いただいた。

今回のエアギャップ技術は、従来、絶縁膜技術者を悩ませてきた、カバレジの悪いプラズマ CVD 膜により形成された配線間のボイドをエアギャップとして活用するという手法である。そのプロセスフローの概要を図表 6-15 に示した。図表中の (f) の工程で、プラズマ CVD 膜が成膜され、その際に形成される旧来の“ボイド”が、絶縁膜の CMP 後に“Air-gap”となる。



図表 6-15 日立製作所が提案したエアギャップ配線フロー (IITC2006)

また図表 6-16 は、SiOC(カーボンドープドオキサイド)を用いたダマシンプ配線と、FSG (Fluorinated silicate glass)、SiOC に本エアギャップ技術を適用した配線とのリーク特性を比較したものである。

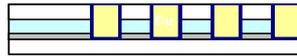


図表 6-16 エアギャップと通常ダマシンプ法による配線間リーク特性の比較 (IITC2006)

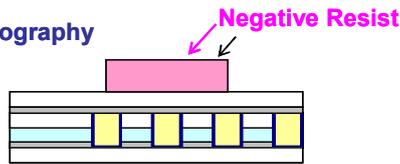
本手法では Cu 配線間のリークを誘発する Cu と絶縁膜間の CMP 界面を持たないことから、配線間 TDDB 特性を改善できる。

一方、エアギャップの高さ、位置ずれによる加工時の不具合解消のため、ビア周辺にはエアギャップを配置させない、“ビアベース構造”というマスクを採用しプロセスの安定化を図っている。

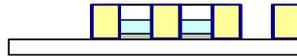
(1) Cu-CMP



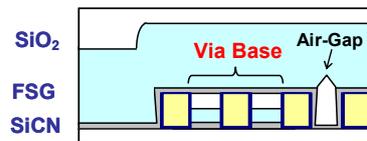
(2) Via-base Lithography



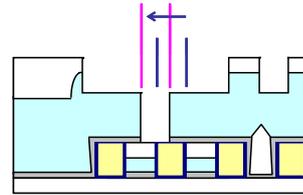
(3) Etch-back (CF₄ Plasma Etching)



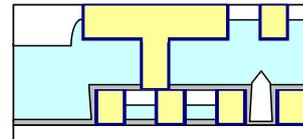
(4) FSG/SiO₂ Deposition and ILD-CMP



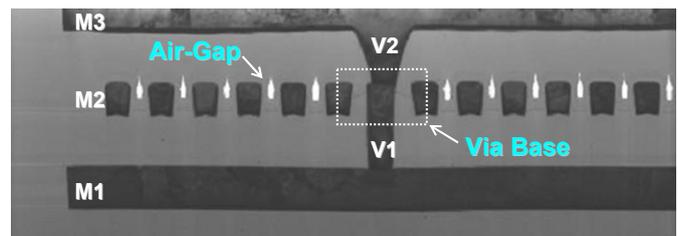
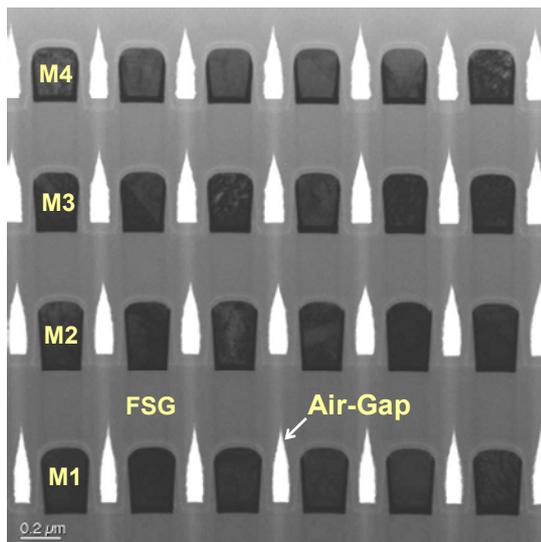
(5) Dual Damascene Processing with Via Misalignment



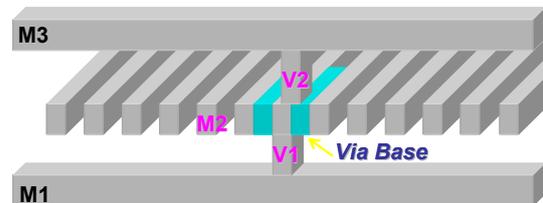
(6) M2 Cu-CMP



図表 6-17 ビアベース構造のフロー (IITC2006)



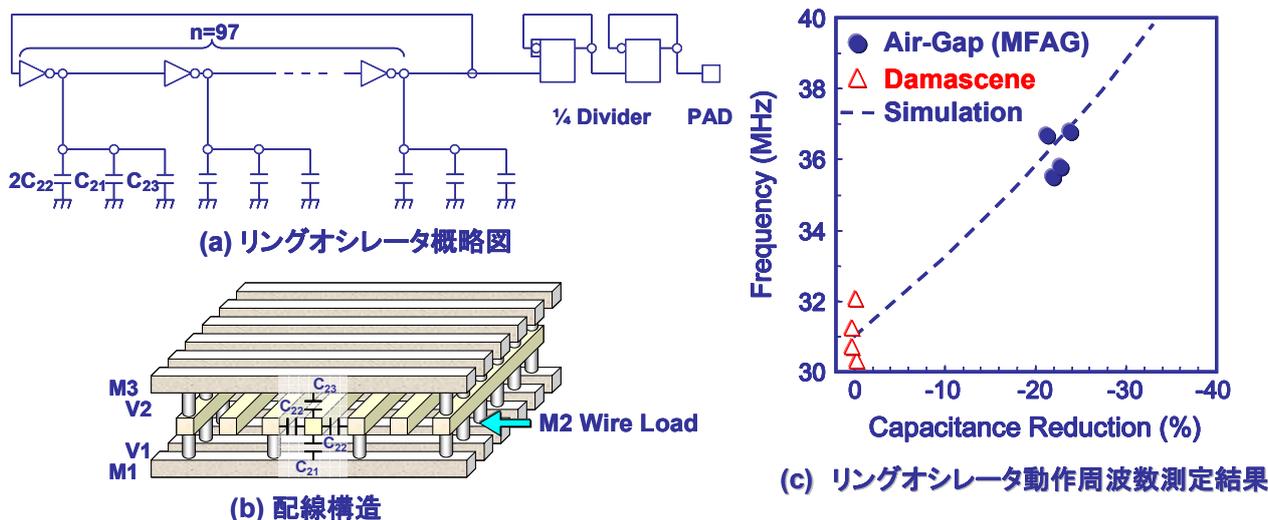
<断面TEM写真>



<配線構造の概略図>

図表 6-18 今回形成されたエアギャップの配線部断面(左)とビアベース構造の断面(右) (IITC2006)

エアギャップ配線を実装したデバイスの動作可能性と、エアギャップによる遅延改善効果を見積もるため、97 段のリングオシレータを作製し、周波数特性を評価した。その結果、容量低減に比例して動作周波数が向上することが明らかになった。配線容量低減効果はダマシン構造に比べ、約 22%向上し、これは約 18%の高速動作に相当する。



図表 6-19 エアギャップリングオシレータの構造と周波数特性

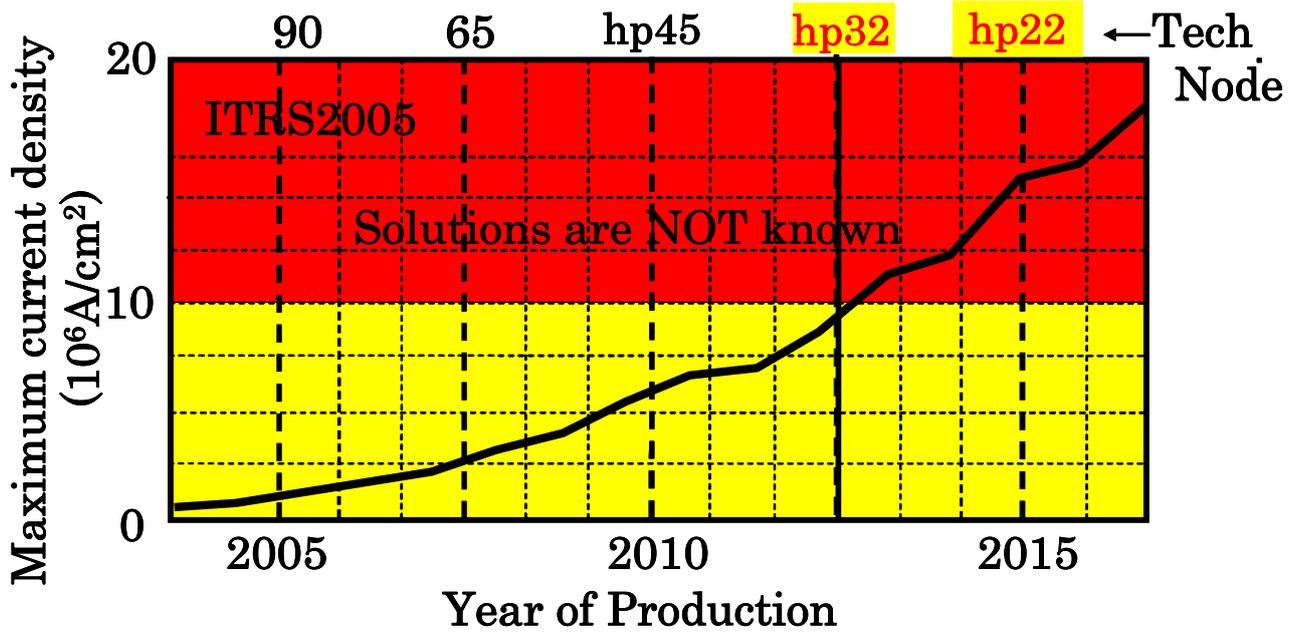
以上のように、冒頭に記述した構造的な課題に対してはまだ明快な解が得られていないものの、強度の点からは隣接配線間のみエアギャップを配置し、その派生効果としてリーク特性の改善を図り、また、エアギャップへの開口を回避するための“ビアベース構造”など、プロセス面ではかなりの工夫がなされ、一定の障壁を乗り越えているものと考えられる。

6-3-2 カーボンナノチューブ (CNT) 配線ビア

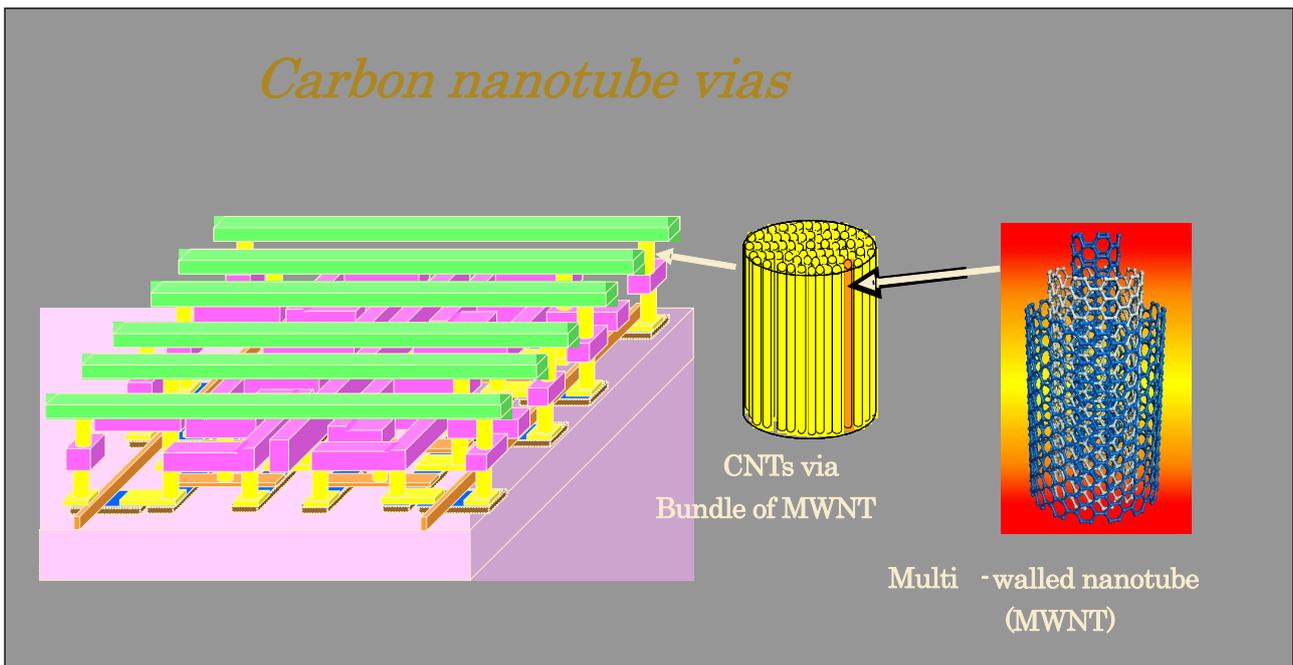
LSI 配線への適用が期待されているカーボンナノチューブ配線ビア技術に関して、(株)富士通研究所／Selete-Mirai の栗野祐二氏を講師にお招きしてヒアリングを実施した。

微細化の進展に伴い、Cu 配線の比抵抗が急激に上昇し、致命的な配線遅延の増大を招くことが懸念されている。また、図表 6-20 に示したように、hp32nm 以降の世代においては、配線に流れる最大電流密度が Cu 配線の許容限度を超えてしまうと予想されており、エレクトマイグレーションによる配線の信頼性劣化が顕著となると考えられている。

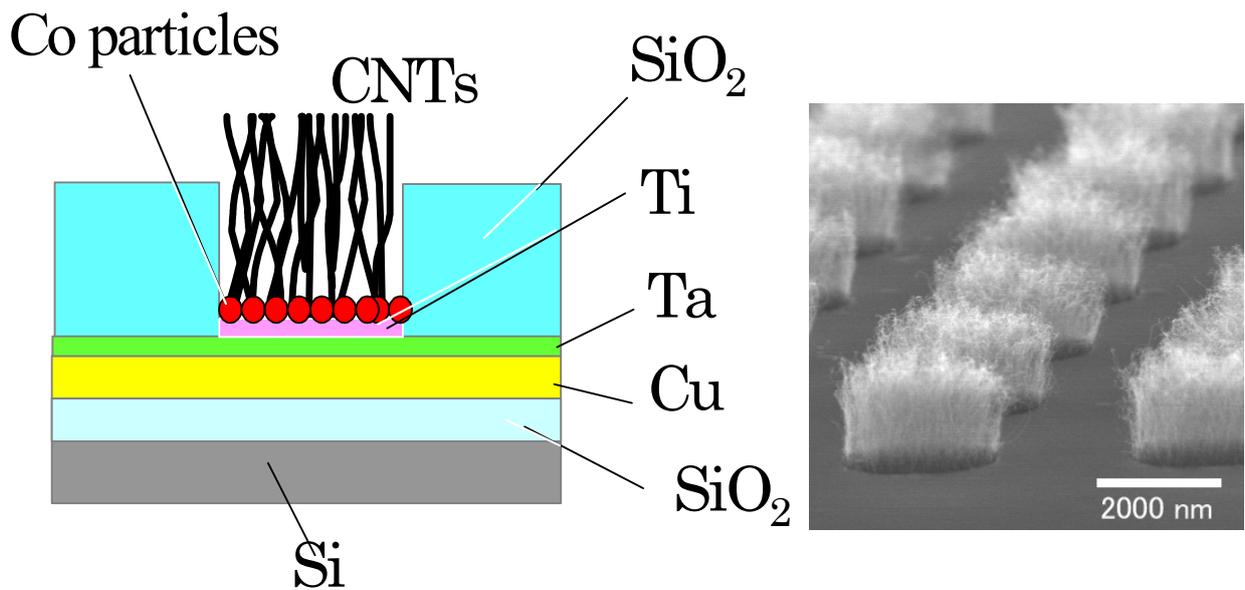
CNT には、シングルウォール (SW) CNT とマルチウォール (MW) CNT が知られており、MWCNT は、バリスティックな金属電導を示し、微細化による Cu 配線の限界を打破する新配線材料として注目されている。特に Cu の 1000 倍以上の電流密度耐性と 10 倍以上の熱伝導率を有することから、Cu に変わる配線材料として期待されている。ITRS ロードマップによれば、hp 32nm 以細のテクノロジーノードにおいて、配線の電流密度耐性が Cu 配線の限界を上回ることが予想されることから、まず、ビア部の CNT の置き換えを狙った開発が行われている。図表 6-21 に CNT のビアへの応用例を示した。



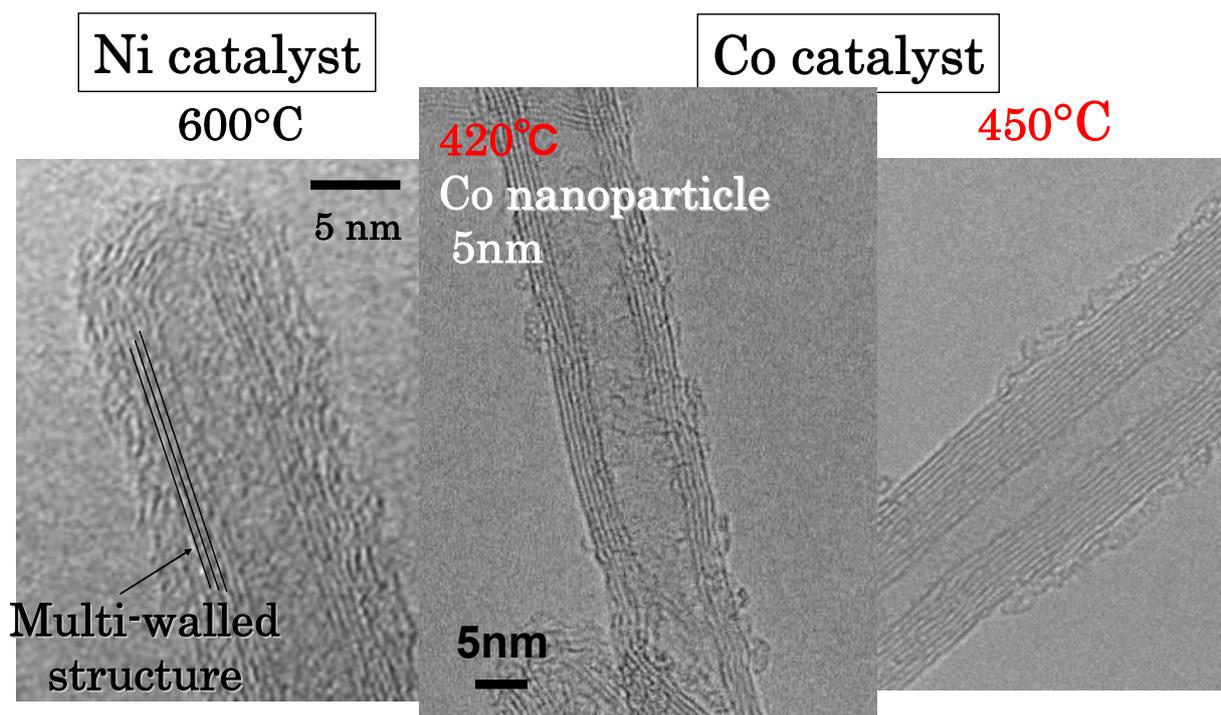
図表6-20 ULSI配線に必要とされる電流密度耐性 (ITRS2005より)



図表6-21 カーボンナノチューブを用いた配線ビア技術



図表6-22 配線ビアホールからのCNTの選択配向成長



図表6-23 CNTの低温成長

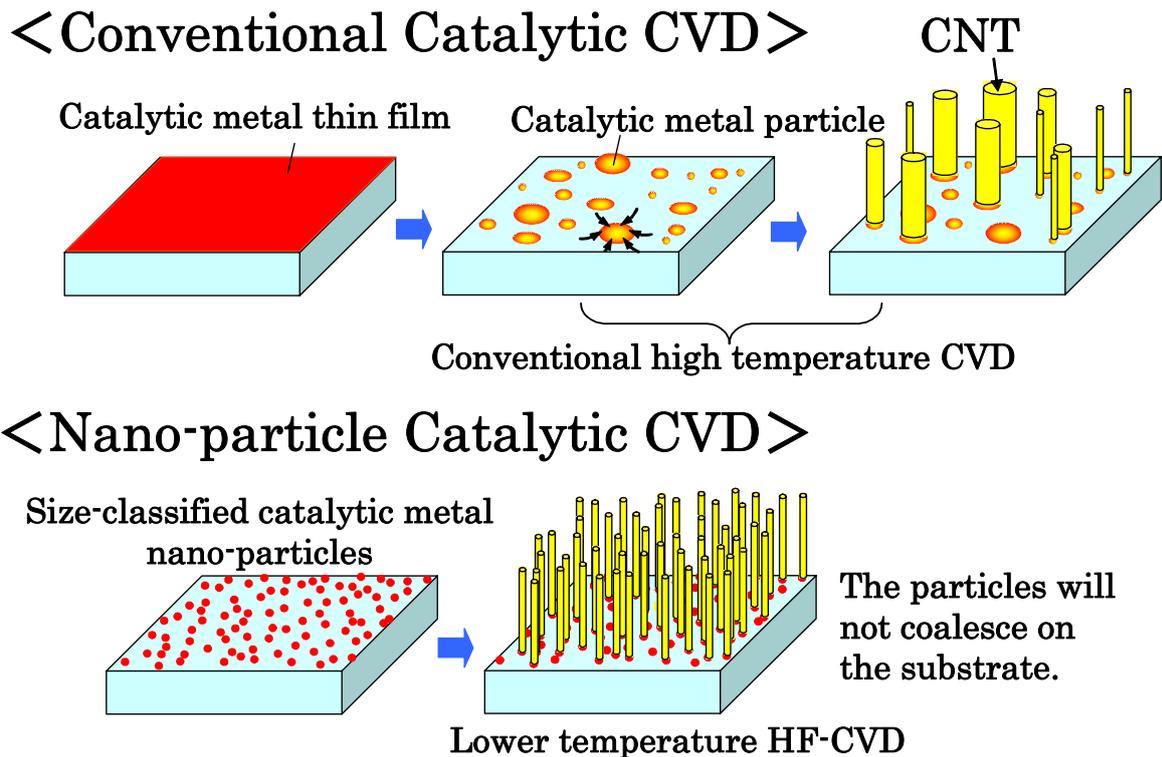
MWCNTは、図表 6-22 のように、ビア底部に形成された Ti 薄膜上の金属微粒子を触媒として、熱 CVD により選択配向成長させる。LSI の配線ビアとして用いる場合には、形成温度として、400°C 以下程度であることが望ましい。そこで、金属微粒子を Ni から Co に換えるとともに、超微粒子化することによって、図表 6-23 のように、420°C という低温においても高品質な MWCNT を形成する技術を確立しており、更なる低温化を目指して

いる。

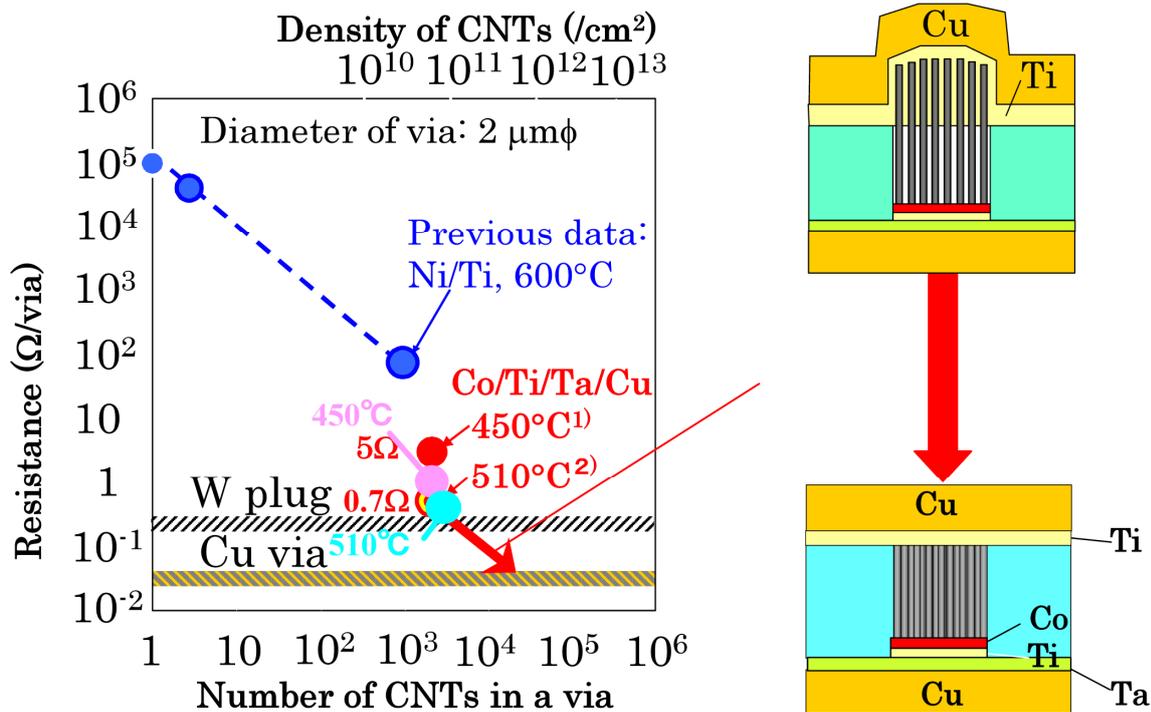
CNT ビアの比抵抗値は、ビア内に成長する MWCNT の本数に依存する。バリスティック伝導の場合は、MWCNT の電気抵抗は、量子化抵抗(6.45kΩ)となり、この量子化抵抗をビア内に形成された MWCNT の本数によりビア抵抗は決定される。したがって、ビア抵抗を小さくするためには、ビア内に成長するMWCNTの本数を多くすることが必要である。Cu ビアの抵抗値を凌駕するためには、 10^{12} チューブ/cm² 以上の密度が必要とされると計算される。金属触媒微粒子をビア底部に形成する方法として、従来は、Co 薄膜を形成した後、熱処理により凝集させる手法を用いたが、この方法では、微粒子のサイズが不揃いかつ大きいものしかできなかった。そのため、金属微粒子触媒の密度も低く、その結果、MWCNT の高い成長密度を得ることが困難であった。そこで、Co ターゲットを用いたレーザーアブレーション法により、予め Co の微粒子を生成させた後、インパクトと呼ぶ分級器を用いて、粒度の揃った Co 金属超微粒子のビームを形成するという方法を開発した。この方法より、直径 5nm 程度の Co 超微粒子を高密度でビア底部に形成することを可能としている。図表 6-24 に従来法と本法の比較を示す。

このようにして形成した Co 触媒を用いて、 10^{11} チューブ/cm² 程度の高密度で MWCNT を形成し、 $2\mu\text{m}\Phi$ のビアにおいて、タングステンビアと同程度のビア抵抗を達成し、 $2\times 10^6\text{A}/\text{cm}^2$ 以上の電流密度耐性を実現した。その結果を図表 6-25~6-26 に示した。

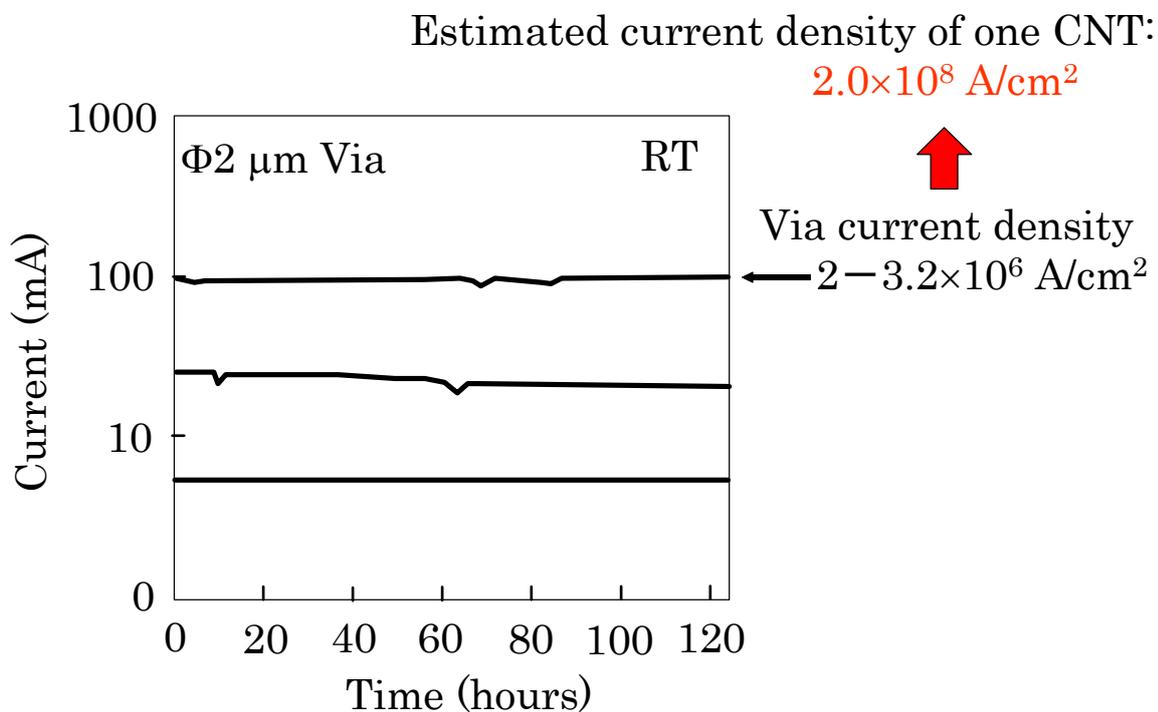
今後、Cu ビアと同等の抵抗値を実現するため、さらに一桁程度の MWCNT の成長密度の向上と、CNT の CMP 研磨による上部電極との接触抵抗の低減を検討している。



図表6-24 微粒子金属触媒形成によるCNTの高密度成長



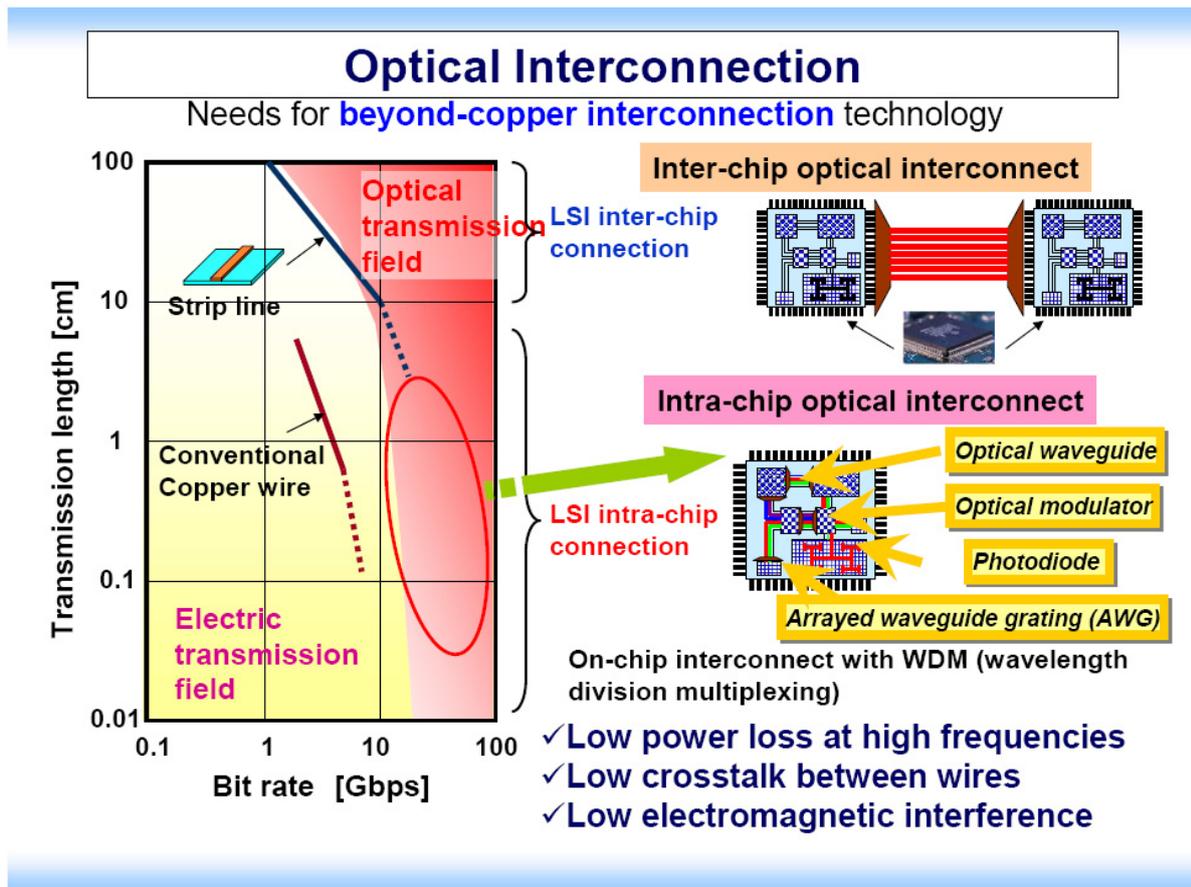
図表 6-25 CNTビアの低抵抗化



図表 6-26 CNTビアの電流密度耐性

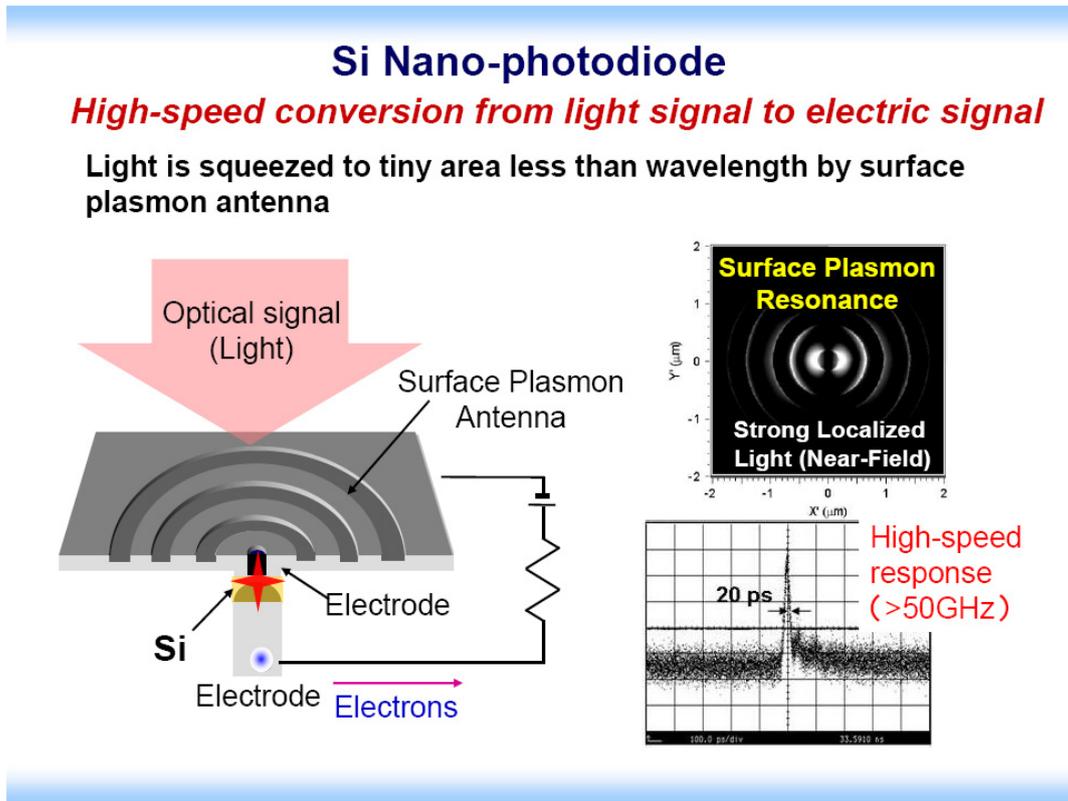
6-3-3 光配線

微細化に伴う電気配線の RC 遅延とクロストーク増大を解決する手段として、光配線の研究が進展している。チップ間だけでなくチップ内についても、クロック分配などを対象とした、外部との干渉の少ない高速信号伝送として期待が持たれる。オンチップ光配線の実現に向け、信号の光-電気変換のための photodiode、光配線の特長である多重信号化のための光導波路(waveguide)、電気信号によって光を変調する E-O modulator などの素子について、NEC 基礎・環境研/MIRAI-Selete の西 研一氏に報告して頂いた。

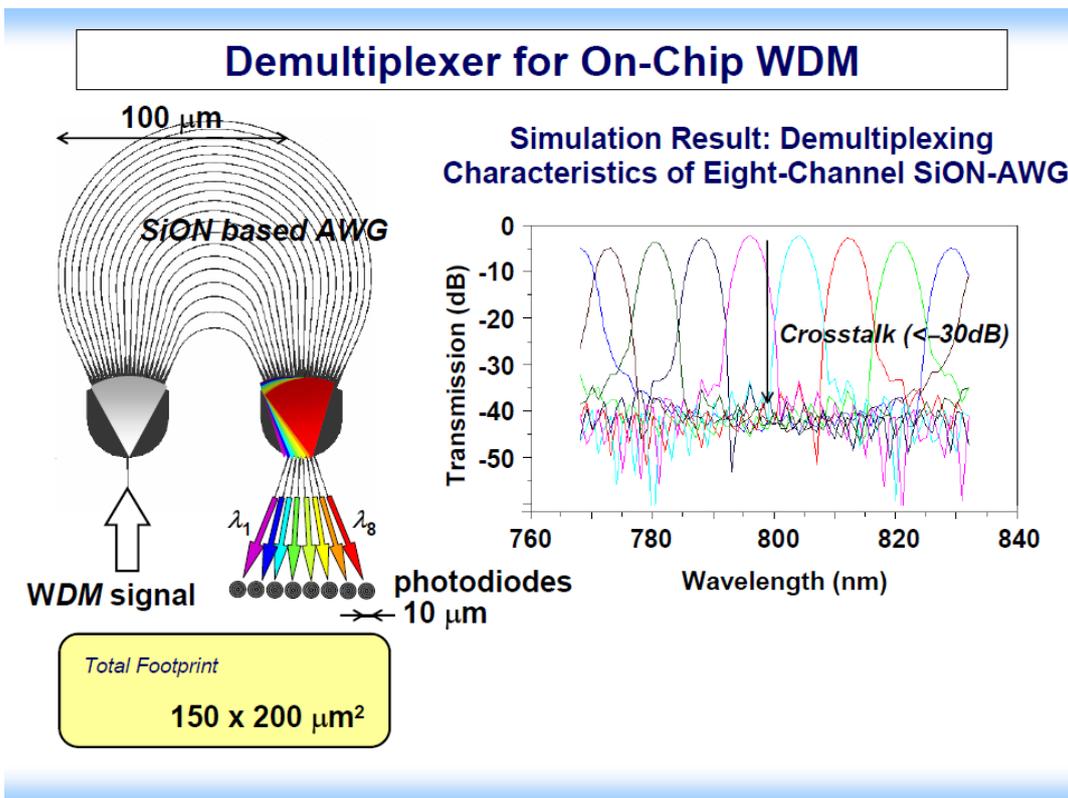


図表 6-27 チップ間、チップ内の信号伝送における光配線のコンセプトと、信号伝達距離

受光素子として試作された Si Nano-photodiode は、図表 6-28 のように、表面プラズモンの共鳴を用いた Bull's eye と呼ばれる同心円状の形状を持ち、従来の photodiode よりも格段に小型で、数十 GHz 以上の高速応答性が得られる。波長分割多重 (wavelength division multiplexing) のためのアレイ導波路回折格子 (AWG :arrayed waveguide grating) としては、材質に従来の Silica に対して SiON を用いることで大幅な小型化を実現し、770-830nm の波長で 8 チャンネルの伝送が可能である。図表 6-29 にこの特性を示した。E-O modulator についても小型・低電圧化が必要とされており多様な構成が検討されているが、高効率な変調材料として PZT:Pb(Zr,Ti)O₃ を用いた検討が行われている。



図表 6-28 表面プラズモン共鳴を用いた Si Nano-photodiode



図表 6-29 SiON を用いた波長分割多重信号の分離

これらの素子に加えて、設計・プロセスを含めたロジック部との整合がオンチップ光配線の実用化に必要な条件であり、超高速・マルチコアのハイパフォーマンス用途のほか、電磁ノイズに対する高い耐性から車載や携帯端末にも適用が期待される。

6-4 まとめ, 今後の活動予定

Cu/Low- κ 配線の微細化に伴う技術課題の明確化と定量化を行い、

- (1)Intermediate 配線及び Global 配線における RC 遅延の増大の問題
- (2)高周波化に伴うクロストーク問題
- (3)電子の散乱効果による Cu 電気抵抗率の上昇
- (4) J_{max} の増大と材料革新の必要性

を、本質的な問題として抱えていることを明らかにした。

ITRS2006 改訂においては、「消費電力」について定量的かつ普遍性のある指標($W/GHz \cdot cm^2$)を掲載した。また、Low- κ Bulk 値の表記方法を改訂した。

Cu/Low- κ 配線の微細化限界を打破できる有力なエマージング技術として、エアギャップ、CNT、ワイヤレス、光配線の各技術の最新動向を、外部講師を招いて調査した。

2007 年度は、ITRS2007 改訂に向け、More Moore 技術の議論を進めると同時にエマージング配線技術を継続調査し、有力候補技術をロードマップの中に反映させていく。