

第 8 章 WG6 PIDS (プロセスインテグレーション・デバイスストラクチャ)

8-1 はじめに

2006 年度における WG6 (Process Integration, Devices and Structures:PIDS)の主な活動は、2006 年アップデート版の重要変更項目である High-k/Metal Gate の導入時期の見直し設定、さらに、2007 年改版に向けた各種の技術動向調査、それに基づく改版項目の洗い出し、改版の提案策定である。

2006 年アップデートに向けては、2005 年末から 2006 年初の他極(米国、欧州、台湾、韓国)との打合せにて High-k/Metal Gate の 2008 年導入が、技術的な視点で困難との懸念が議論された。米国の提案を受け 2006 年 4 月から 7 月にかけて WG6 でも各種検討を実施してコメントをフィードバックした。結果として米国が作成を主導する HP(High Performance Transistor)/LOP (Low Operating Power Transistor) のみ 2010 年に遅らせることになった。ただ、インテル、IBM の 2007 年 1 月のプレスリリースを含め、技術動向は継続調査し、2007 年版に向け他局と議論を継続することになる。

PIDS がカバーするロジック、メモリ、RF(Radio Frequency) &AMS (Analog Mixed Signal) とも、国内での関連ヒアリング等を通して、その技術動向を把握し、2007 年改版に向けた改版項目の整理、改版ロードマップの提案が 2006 年度の WG6 活動のもう一つの主眼である。

日本の WG6 がその策定を主導する LSTP(Low Standby Power Transistor)については、LSTP への要求の変化を背景にオフリーク電流を緩和させる提案を策定した。また、最近の MOSFET の駆動力向上の大きな要因であるモビリティ・エンハンスメント・ファクターについても技術動向を調査し、数値の見直し提案をしている。さらに、MOSFET 微細化の究極解である 3 次元トランジスタ構造についても、その動向把握を行った。

メモリについては、ITRS ロードマップのハーフピッチを決める重要事項である DRAM のサーベイを、引き続き日本の WG6 が主導して実施した。さらに、台湾の PIDS が中心に不揮発性メモリの節を全面改訂することが提案され、日本の WG6 もそれに協力している。特に、NAND Flash メモリについては最近のプレスリリースの結果をまとめハーフピッチの 1 年前倒しの示唆をした。NAND Flash のハーフピッチは 2005 年版ロードマップから DRAM と並び微細化のドライバーとなっており、そのハーフピッチの動向は DRAM と同様、ロードマップ全体の重要数値となる。この重要性に鑑み、NAND Flash についても、DRAM 同様、日本の WG6 が主導して主要ベンダへのサーベイをスタートした。他、MRAM, FeRAM の技術動向も日本の WG6 にて継続調査している。

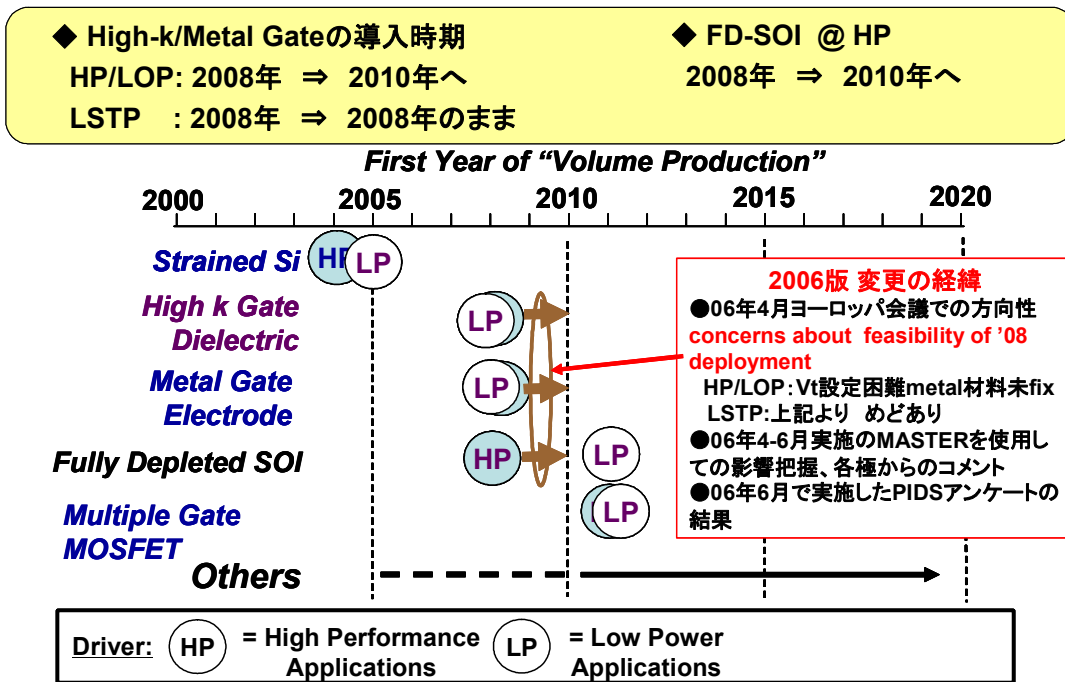
RF&AMS についても 2006 年アップデート、さらに、2007 年改版に向け他極と議論し、その策定に貢献している。

以下では、上記で述べた 2006 年度の活動について、その具体内容をまとめる。

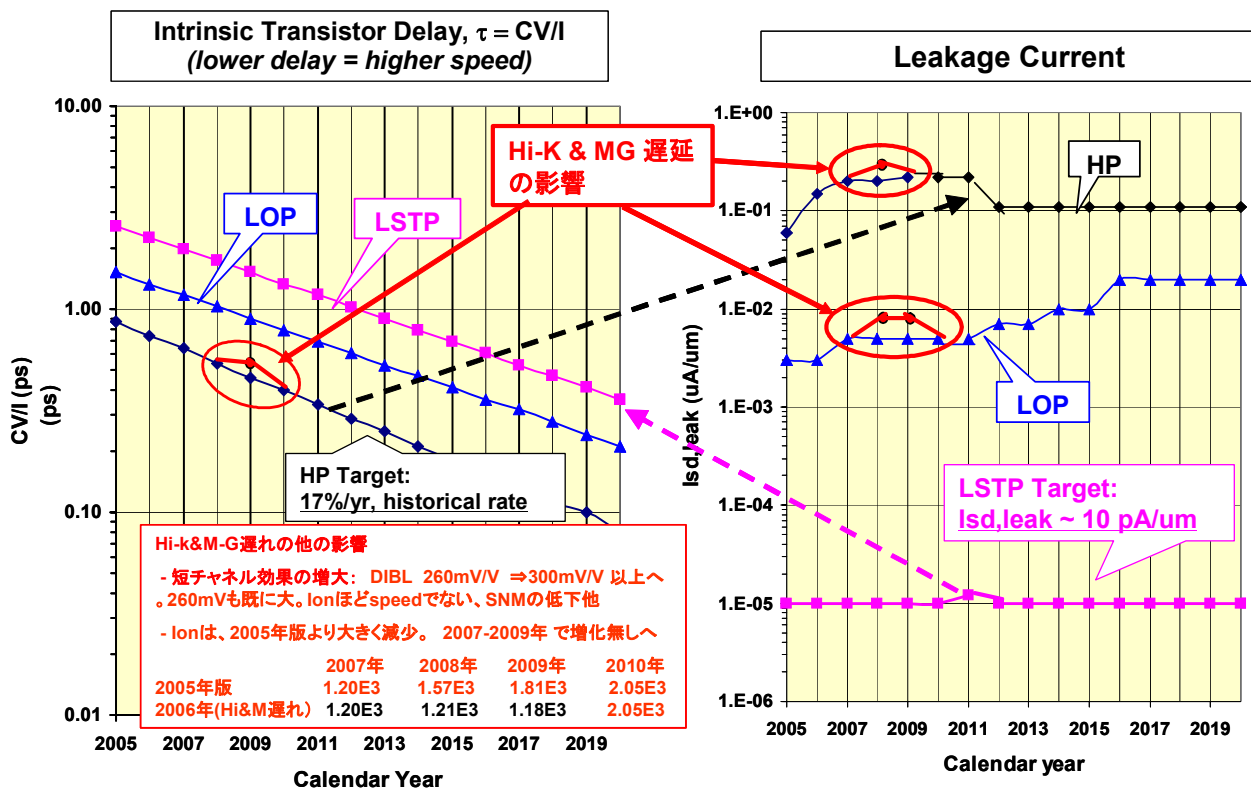
8-2 2006 年度アップデート版の内容 - High-k/Metal Gate の見直し

2006 年度アップデート版では、大きな変更点として High-k/Metal Gate の導入時期の見直しを行った。2005 年末から 2006 年初の High-k/Metal Gate の技術進捗状況を鑑み 2005 年度版で設定した 2008 年導入について懸念が表明された。2006 年 4 月 ITRS ヨーロッパ会議においてその懸念が議論され、特に、HP/LOP については、バンドエッジ金属材料の選定が、まだ、課題であり 2008 年導入は困難との意見が多数であった。会議でのアクションアイテムとして、マスターを使用して遅らせた場合の影響検討、さらに、各極での再アンケートを実施し 2006 年アップデート版にて遅らせるか決めることになった。4 月から 6 月にかけて、米国リーダによる解析

結果、それへの各極からのコメントを集計し、7 月のサンフランシスコ大会にて以下が決定された。HP/LOP は 2008 年導入を 2010 年導入とする。LSTP は、2008 年導入のままとする。UTB(Ultra Thin Body) FD-SOI も HP/LOP の遅れに合わせる形で 2010 年に遅らせる。図表 8-1 に決定とその経緯をまとめる。



図表 8-1 2006 年版 High-k/Metal Gate 見直しの決定事項と経緯



図表 8-2 High-k/Metal Gate 導入遅れの影響

図表 8-2 に遅れによる影響の検討結果をまとめる。CV/I で見ると HP のみ 2009 年に 17%/年向上の維持が困難になる。また、オフ電流は、HP/LOP とも 2009 年増加させざるを得ない。これらは許容範囲内との各極の認識であった。ただ、サンフランシスコ大会にて、High-k/Metal Gate の導入を遅らせるとオン電流が増加しない点、短チャネル効果の制御が困難になる点など、重大懸念があることも議論になった。

HP/LOP の技術ロードマップは米国が主導しており、LSTP は日本が主導している。結果として、HP/LOP のみ遅らせることになり、ここは米国の決定に合わせたことになる。影響評価での重大懸念もあり、2007 年の改版に向け、High-k/Metal Gate の技術動向を継続調査し、再度、見直すことになる。

8-3 2007 年度に向けてロジックの見直し事項

2007 年度改版に向け WG6 にて議論したロジックの見直し事項、提案を以下に述べる。

8-3-1 低スタンバイパワートランジスタ (Low Standby Power Transistor : LSTP) のオフ電流見直し

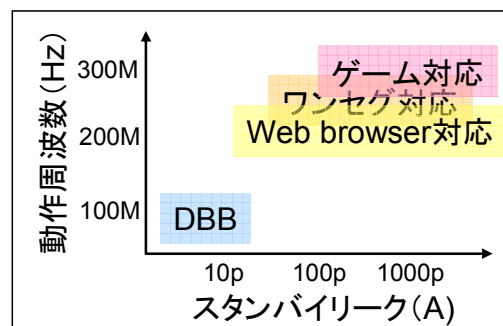
2006 年アップデート版における LSTP トランジスタの 2005 年版からの変更点は無い。HP や LOP では、メタルゲートおよび High-k ゲート絶縁膜の導入時期を 2008 年から 2010 年へ 2 年間遅らせているが、LSTP では 2005 年版と同じく 2008 年からの導入を予定している。HP や LOP デバイスではしきい値電圧の関係から、バンドエッジ付近の仕事関数を有するメタル電極材料を必要とするが、LSTP トランジスタではミッドギャップ付近の仕事関数を有するメタル電極材料が使用できる可能性があるためである。

LSTP デバイスへの要求

従来 LSTP デバイスは、携帯電話に使用されるデジタルベースバンドチップに代表されるような、動作率および動作周波数は比較的低いのが定常的に動作し続けるために、スタンバイパワーを低く保つことが求められるチップ用途に開発されてきた。しかしながら近年、携帯機器上での動画処理や Web、地上波デジタル TV など、常には動作しないが動作率や周波数が高いアプリケーションが次々に導入され、それらに対応するために LSTP デバイスのカバーする性能範囲が高性能領域に広がってきた (図表 8-3)。この結果、LSTP デバイスはスタンバイリークの低い (=しきい値電圧の高い) トランジスタだけでなく、ややスタンバイリークは大きめ (=しきい値電圧がやや低め) であるが駆動電流の高いトランジスタも同時にインテグレーションすることが必要になってきた。

◆ 携帯製品の高機能化 → LSTP デバイスへの要求性能が変化

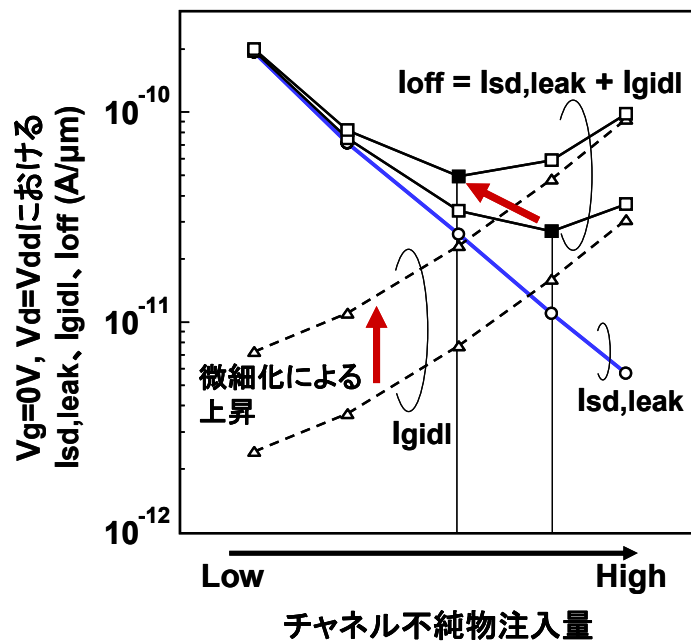
低スタンバイリーク重視から、
低スタンバイリーク & 高速動作の両立へ
loff < 10pA: 待ち受け回路対応
loff > 300pA: アプリケーション対応



図表 8-3 LSTP デバイスに対する市場要求性能

ソース・ドレイン間リーク電流値 $I_{sd,leak}$ の緩和検討

LSTP デバイスへの要求の変化に合わせて、デバイス性能の見直し、特に LSTP の特徴であるスタンバイ時のソース・ドレイン間リーク電流値: $I_{sd,leak}$ (ソース電流値、GIDL およびオフ時ゲートリークは含まれない) の見直しを検討した。2006 年版では、2010 年までは $I_{sd,leak}$ は $10\text{pA}/\mu\text{m}$ を維持することを想定している。図表 8-4 は NMOS トランジスタにおける $I_{sd,leak}$ ならびに GIDL 電流: I_{gidl} およびオフリーク電流: $I_{off}(=I_{sd,leak} + I_{gidl})$ のチャネル領域の不純物注入量依存性を示したものである。チャネル不純物濃度を高くするに従って、しきい値電圧が上昇して $I_{sd,leak}$ は低下していくが、一方で I_{gidl} は増加し、 $I_{sd,leak}$ と I_{gidl} がほぼ同じ値になる不純物濃度付近で I_{off} は最小値となる。微細化にともなうエクステンションおよびハローの不純物の高濃度によって I_{gidl} が増加すると、 I_{off} 最小値を与えるチャネル不純物濃度は低濃度側にシフトすることが分かる。すなわち I_{off} 最小値を与える $I_{sd,leak}$ は高くなることになる。



図表 8-4 NMOS トランジスタにおける $I_{sd,leak}$ 、ならびに GIDL 電流: I_{gidl} 、およびオフリーク電流: I_{off} ($=I_{sd,leak} + I_{gidl}$) のチャネル領域の不純物注入量依存性

Year in Production		2006	2007	2008	2009	2010
Vdd_typical		1.2	1.2	1.1	1.1	1.1
Vdd_minimum (=Vdd-0.1V)		1.1	1.1	1.0	1.0	1.0
EOT		2.0	1.9	1.6	1.5	1.4
ITRS06 $I_{sd,leak}=10\text{pA}$	Vt,sat	0.515	0.524	0.501	0.501	0.502
	A: Id,sat@Vdd_typical	500	519	573	612	666
	B: Id,sat@Vdd_min	391	404	432	464	508
	B/A	0.78	0.78	0.75	0.76	0.76
Propose $I_{sd,leak}=30\text{pA}$	Vt,sat	-	-	0.458	0.457	0.461
	A: Id,sat@Vdd_typical	-	-	633	675	729
	B: Id,sat@Vdd_min	-	-	488	524	568
	B/A	-	-	0.77	0.78	0.78

図表 8-5 MASTAR を用いて算出した飽和電流 $I_{d,sat}$ の電源電圧範囲の影響

図表 8-5 は MASTAR を用いて、飽和電流の電源電圧範囲の影響を算出したものである。電源電圧の範囲を $V_{dd} \pm 0.1V$ として、電源電圧 = V_{dd} (typical) での飽和電流 ($I_{d,sat} - A$) と、電源電圧 = $V_{dd} - 0.1V$ (minimum) での飽和電流 ($I_{d,sat} - B$) の比を算出したものである。電源電圧が 1.1V に低下する 2008 年以降も $I_{sd,leak} = 10pA/\mu m$ を維持した場合、ミニマム電源電圧状態での飽和電流の低下の割合が大きくなることがわかる。すなわち、電源電圧の低下とともにしきい値電圧を低電圧化しなければ、電源電圧の変動範囲に対する飽和電流の変動率が大きくなり、回路設計に影響を与える。そこで、電源電圧が 1.1V に低下する 2008 年～2010 年における $I_{sd,leak}$ を $30pA/\mu m$ まで緩和すると表の下段のようにミニマム電源電圧における飽和電流の低下の割合が、2008 年以降も 2007 年と同じ値が維持できる。

以上のように、微細化による GIDL の上昇の影響、および電源電圧範囲における飽和電流ばらつきを考慮すると、2008 年からは $I_{sd,leak}$ を従来の $10pA/\mu m$ から $30pA/\mu m$ への緩和が必要と考えられる。

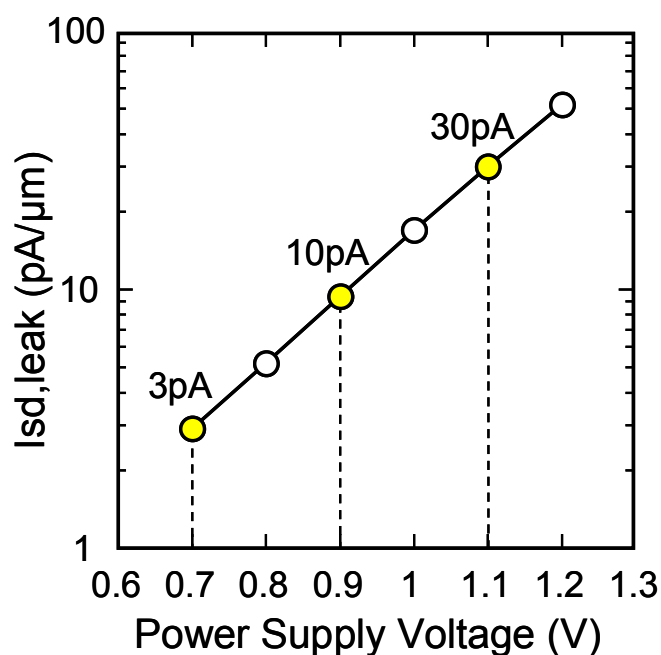


図 8-6 $I_{sd,leak}$ の電源電圧依存性

緩和した $I_{sd,leak}$ の低減方法としては、電源電圧可変が有効である。スタンバイ時に電源電圧を引き下げることにより、DIBL が低下してしきい値電圧が上昇することにより $I_{sd,leak}$ を低減すると同時に、ドレインゲート間の電界緩和により GIDL も大幅に低下する。図表 8-6 は MASTAR を用いて $I_{sd,leak}$ の電源電圧依存性をプロットしたものである。 $V_{dd} = 1.1V$ における $I_{sd,leak} = 30pA/\mu m$ に対して、 $V_{dd} = 0.9V$ では $10pA/\mu m$ と 1/3 に低減、さらに $V_{dd} = 0.7V$ では $3pA/\mu m$ と 1/10 まで低減する。回路技術との組み合わせにより、動作時の高駆動能力とスタンバイ時の低リーク電流を両立できる。

8-3-2 モビリティエンハンスメントファクターの見直しの必要性

2005 年度版より、「モビリティエンハンスメントファクター」の定義は、バルク移動度の改善率 $\mu.ratio = [\text{enhanced } \mu] / [\text{reference } \mu]$ からドレイン電流の改善率 $I_{d.ratio} = [\text{enhanced } I_{d,sat}] / [\text{reference } I_{d,sat}]$ に変更された。MASTAR を用いて算出された「モビリティエンハンスメントファクター」を図表 8-7 に示す。2005 年度版では、2004 年度アップデート版よりも小さな値となっている。

2004 年までは、移動度改善には、SiGe 基板を用いた歪シリコン技術といったグローバル歪と呼ばれる二軸性歪技術が主流になると考えられていた。そのため、バルク(基板)の移動度の改善量が指標となり表記されて

いた。しかしながら、近年ではコンタクトエッチのストッパー膜などの現行プロセスを用いた一軸性歪技術や移動度の高い面方位や軸方位と組み合わせて移動度をより改善する方法が広く採用されている。このプロセスを用いた場合の歪量はプロセスやデバイス形状に大きく依存し、移動度はターゲットのゲート長やゲート絶縁膜厚を持つトランジスタで評価しなければならなくなっている。移動度を測定から求めるにはゲート容量を求めなければならない、ゲート絶縁膜厚が 2nm 以下のデバイスでは、ゲートリーク電流が大きく測定が難しい上に、ゲート容量抽出では仮定する量子モデルによって容量値が変動するため、現状の微細デバイスでは真の移動度を測定から求める事は困難である。また、移動度は伝導方向の有効質量と散乱断面積の比で定義されるが、二次元反転層内での有効質量の歪による変調については知見が得られておらず、理論的にも移動度を定義するのは難しい。つまり、プロセス歪技術を用いた微細デバイスにおいては、移動度の改善率をロードマップに表記しても、確認することができないことになる。

移動度を代用できる物理量としては、キャリア速度、トランスコンダクタンス、ドレイン電流が挙げられる。これらの中で最も評価が簡単で最も判りやすいのは、ドレイン電流である。ロジックデバイス開発に於いても、多くの場合、知りたいのは移動度よりも、ドレイン電流そのものである。そのため 2005 年度版より「モビリティエンハンスメントファクター」は、バルク移動度の改善率からドレイン電流の改善率に変更された。新定義の「モビリティエンハンスメントファクター」は、ターゲットとなる微細デバイスでのドレイン電流を評価するため、短チャネル効果や飽和速度の影響を受けることになり、電流の改善率は、一般的にはバルクの移動度の改善率よりも小さな値となる。

以上の検討により、2006 年度アップデート版においても「モビリティエンハンスメントファクター」はドレイン電流改善率を用いるのが妥当であり、2005 年度版からの変更は行わない。しかしながら、最近では、プロセス歪を用いた NMOS で 30%以上のドレイン電流の改善も報告されており、新定義で算出された 4%から 16%の改善率より大きな値となっている。そのため、2007 年度に向けては、MASTAR モデル $Id.ratio=[enhanced\ Id.sat]/[reference\ Id.sat]$ での[reference Id.sat]モデルの分析・検討が必要と考えている。

Year		2005	2006	2007	2008	2009	2010	2011	2012	2013	
2004 update	HP	1.3	1.4	2	2	2	2	2	2	2	
	LOP	1	1	1	1.3	1.3	1.3	1.3	2	2	
	LSTP	1	1	1	1.3	1.3	1.3	1.3	1.3	1.3	
2005	HP	Bulk	1.09	1.09	1.08	1.09	1.09	1.1	1.1	1.12	1.11
		UTB-FD				1.06	1.06	1.06	1.06	1.05	1.05
		DG							1.05	1.04	1.05
	LOP	Bulk	1.12	1.11	1.11	1.12	1.12	1.11	1.11	1.11	
		UTB-FD							1.07	1.06	1.06
		DG							1.06	1.06	1.06
	LSTP	Bulk	1.11	1.11	1.1	1.1	1.11	1.15	1.17	1.16	1.16
		UTB-FD								1.05	1.05
		DG									1.04

図表 8-7 モビリティ エンハンスメント ファクター

今までは、PMOS よりも NMOS のオフリーク電流が大きく、また、駆動能力も高いことから、スタンバイや動作時の回路性能は NMOS の性能がわかれば予想することが可能であった。そのため、ITRS では NMOS を記載

し、PMOS は記載されていなかった。近年の歪技術の進展により、PMOS の移動度が、一軸性歪でモデルによつては 4.5 倍にまで上げることができ、NMOS 以上の性能も予測されている。今後、PMOS の取扱について検討を行う必要がある。

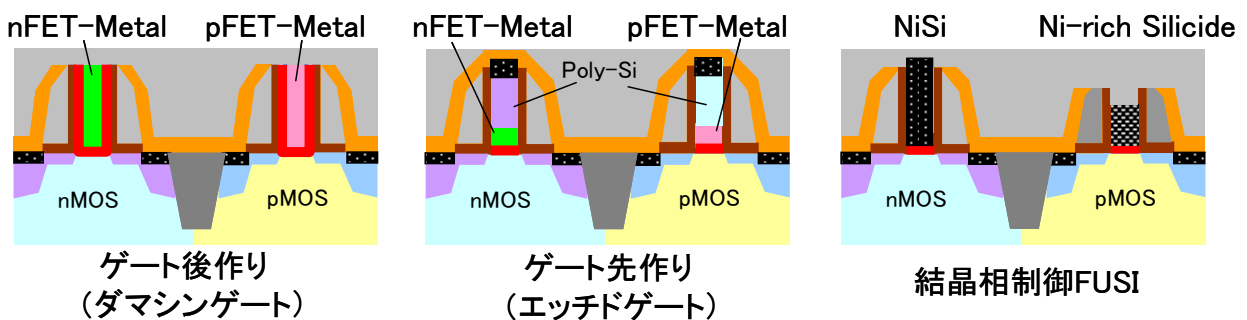
8-3-3 High-k/Metal Gate の技術動向

ロジック用トランジスタロードマップの 2006 年度アップデートにおいて、最も注目された議論の 1 つに High-k/Metal Gate(HK/MG)の実用化延期があった。学会動向調査や各社へのアンケートにより、LSTPは据え置くものの HP/LOP での実用化は 2008 年から 2010 年に延期する事を ITRS では一旦は決定した。しかし、2007 年 1 月末に米国 MPU メーカー 2 社が相次いでプレスリリースを行い、45nm 世代に HK/MG を導入する事を宣言したため、HP/LOP の 2008 年実用化も急に現実味を帯びてきた。

技術トピックおよび学会動向

現在、HK/MG 技術には nFET、pFET のゲート電極を同一のメタル材料で作るシングル仕事関数と、異なる材料で作るデュアル仕事関数のスキームがある。ミッドギャップメタルを使うシングル仕事関数スキームは技術的な難易度は低いが用途が限定されるため、従来技術であるポリゲート電極と同じデュアル仕事関数スキームによるプロセス技術の確立が熱望されている。一方、Planar の Bulk および PDSOI デバイスにおいて、デュアル仕事関数スキームで nFET と pFET の電極材料を作り分けるインテグレーション方法としては、ゲート電極先作り(エッチドゲート)、ゲート電極後作り(ダマシゲート)、結晶相制御 FUSI の 3 つのアプローチが在り(図表 8-8)、それぞれ独自に電極材料の絞込みが進められている。

ゲート先作りは HK/MG 電極をエッチングで加工した後にソース・ドレイン部の活性化アニールが行われるプロセスで、最近ではインテグレーションのやり易さから、仕事関数制御メタルを薄膜化し、その上に Poly-Si を堆積した High-k/Metal/Poly-Si/シリサイドのゲートスタック構造が主流となっている。一方、ゲート後作りは、ダミーの電極を形成し活性化アニール等の従来プロセスを行った後、ダミー電極を除去して HK/MG をそこに埋め込むダマシプロセスでゲート電極を形成する。先作りではゲート電極形成以外は従来 CMOS プロセスと同じため、工程数増も少なく微細化に優れるが、HK/MG 電極が高温の熱処理に曝されるため、仕事関数の制御が難しい。



図表 8-8 High-k/Metal Gate のインテグレーション方式

近年は High-k・メタル界面に不純物を導入して仕事関数を制御する技術が導入され¹、nFET は材料系が絞られつつあるが、pFET には適当な解が見つからない。これに対し、ゲート後作りでは、HK/MG 電極が高

¹V.Narayanan, et.al. Symposium on VLSI Technology, p.224(2006)

温処理に曝されないため、メタル材料の選択肢が増え、仕事関数制御や移動度改善に有利であるが²、プロセスが複雑で工程数も多く微細化が難しい。また結晶相制御 FUSI は、n および pFET の電極材料こそ共にシリサイドだが、シリサイド化するシリコン量を部分的に制御して、組成比および仕事関数の異なるシリサイド相構造を作り分けを行う³。Ni を例に取れば、nFET は 1:1 の NiSi、pFET は Ni-rich な Ni₂Si や Ni₃Si などを用いる。このプロセスの課題は 2 つの結晶相の作り分けを、全てのサイズで安定して行うのが難しい事である。また、結晶相制御だけではバンド端付近まで仕事関数は行かないので、HP/LOP に適用するには不純物添加やカウンタードーピングなどと組み合わせる必要がある。現在、学会等で公開されている範囲では、何れの手法も課題を克服するに至っておらず、実用化には更なるブレークスルーが必要である。

一方、今年度の学会動向としては、CMOS インテグレーションに関する報告が増えた事と、微細ゲートでの素子特性の改善が目立ってきた事が注目される。インテグレーションでは、従来からあった仕事関数制御に関する報告に加え、nFET と pFET の作り分けに関する簡素で制御性の良いフローの提案⁴や、Poly-Si 電極との組み合わせた低コストプロセス⁵など実用化を意識した報告が多くなってきている。また、デバイス性能の面でも着実に進歩が見られ、Sub50nm ゲートへの適用や先端の移動度ブースター技術との組み合わせ⁶等も報告され、SiON/Poly-Si デバイスの駆動電流を上回る性能が数多く報告されるようになってきた。

HP/LOP における実用化への課題

High-k/Metal Gate 導入の課題は、仕事関数の要求値がバンド端付近であるため材料選定が難しい事と、ゲート遅延(CV/I)と動作時消費電力(CV²f)が性能指標である HP/LOP ではパフォーマンスメリットが小さい事である。HP/LOP 向けのトランジスタは電源電圧が低いいため閾値電圧を低く設定する必要があり、かつゲート長微細化の要求も強いいため、チャンネル濃度を下げたり、カウンタードーピングを行うのが難しい。よって、nFET と pFET 共に、LSTP よりバンド端に近いところ(0~100mV)に仕事関数を持つデュアル仕事関数が望ましい。これに対し、活発に研究開発は進められているものの、nFET、pFET 共に BE 付近の仕事関数を有するメタル材料とそのインテグレーション技術はまだ確立していない。一方、HK/MG 技術では Ion は Tinv に反比例し増加するがゲート容量も Tinv に反比例して増加してしまうため、それだけではゲート遅延 CV/I は変化せず、動作時消費電力 CV²f は増加してしまう。実際、ゲート容量以外に負荷容量が付いてくる事や DIBL 改善による効果でゲート遅延は改善するものの動作時消費電力は増大してしまう。すなわちパワーとスピードの両面でメリットを出すには、鈍化しているゲート長スケールリングと電源電圧スケールリングを着実にを行い、ゲート容量負荷および動作時消費電力の低減を図らねばならない。

LSTP における実用化への課題

導入の主なモチベーションはゲートリーク低減と Tinv スケールリングによる電流駆動力 up であり、性能指標が待機時消費電力である LSTP では HP/LOP に比べパフォーマンスメリットは大きい。またオフリークが数十 pA/um の素子のみを作るのであれば、ミッドギャップに仕事関数がある材料を使ったシングルメタルは 2008 年実用化が可能なレベルに来ている。しかし、先端テクノロジーを必要とする低消費電力アプリケーションでは、閾値電圧が高く待機時リークの少ない素子の他、低閾値で駆動電流が大きい素子が不可欠であり、高い閾値素子の駆動能力を HK/MG で改善するだけでは要求性能を満足するのが難しい。よって、LSTP においても低閾値素子を作り分けるマルチ Vth が作れるデュアル仕事関数スキームが必要と考えられる。ただし HP/LOP

² S.Yamaguchi, et.al. Symposium on VLSI Technology, p.192(2006)

³ A.Lauwers, et.al. IEDM Tech Dig., p.661(2005)

⁴ S.C.Song et.al. Symposium on VLSI Technology, p.16(2006)

⁵ T.Hayashi, et.al., IEDM Tech Dig., p.247(2006)

⁶ Y.Tateshita et.al. IEDM Tech Dig., p.63(2006)

ほどバンドエッジに近い仕事関数は必要無く、バンド端から 200mV 付近までのデュアル仕事関数が得られれば良いので材料およびプロセス選択のウィンドウは広い。一方、LSTPでは、HP/LOP に比べより低コストへの要求が強く、プロセス・コストの増大が実用化への障害の 1 つとなってくる。すなわち、n,p 作り分けプロセスを簡素化し、既存プロセスからの変更点を少なくするなど、デバイス構造およびプロセス・インテグレーションの改良による低コスト化も重要課題であり、低いコストで高いパフォーマンスを提供できるかが実用化のポイントとなる。

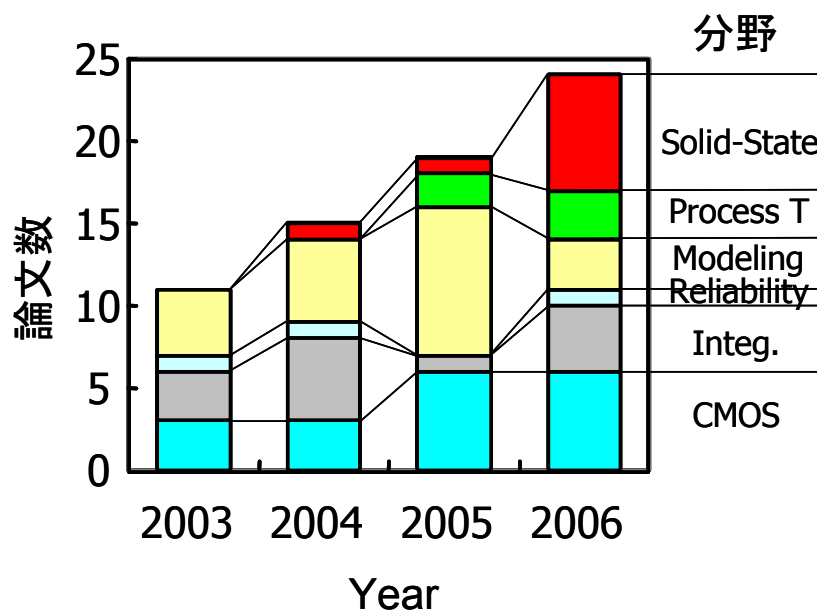
今後の技術動向

MPU メーカーである Intel、IBM が行った 45nm ノードへの HK/MG 導入に関するプレス発表は、裏づけとなる技術情報が事前に学会等でほとんど公開されていなかったため、大きな反響があった。現時点ではどのような技術を用いるのか詳細は分からないが、今後はこの 2 社が High-k/Metal 技術の実用化を推進していくはずで、2007 年度は材料選択やインテグレーション手法の絞込みが進む可能性が高い。

8-3-4 3次元トランジスタの動向

2005 年版の PIDS の CMOS テーブルは、Bulk と UTB (Ultra-Thin Body) -FD および DG (Double-Gate) デバイスのパラレルパスを示した点に特長があった。その中で、3次元トランジスタは、DGを実現するものとして、初めて PIDS ロードマップテーブルに登場してきている。2006 年版の update において、HP デバイスで、high-k-メタルゲート導入についての見直しが行われており、これに伴い、UTB-FD の導入時期も、2 年先送りになっている。これに対して、DGの導入について修正は行われず、期待の高さを窺うものとなった。そこで、3次元デバイスの研究開発状況について、マルチゲート構造を中心にまとめる。

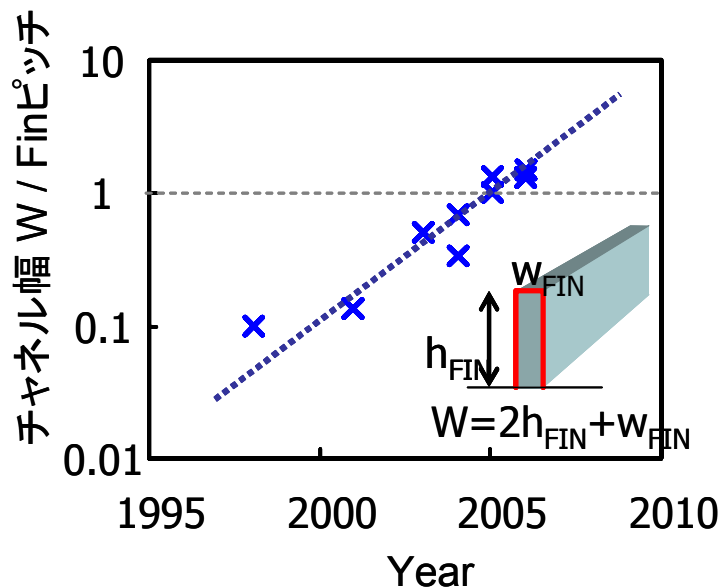
これまでマルチゲートデバイスとして、様々構造や製造方法が提案されてきているが、現在、FinFET などのフィン構造を用いたデバイスが、最も実用性が高いものとして、活発に研究開発されてきている。近年の IEDM における FinFET の採択論文の分野別集計を図表 8-9 に示した。FinFET については、これまでデバイス物理に着目した研究発表が多くなされていたが、実用化が見え出してきたことで、プロセス面や集積性、或いは信頼性およびモデル化などの、様々な観点から、検討がなされるようになってきている。



図表 8-9 3D トランジスタの iedm 分野別発表件数

フィン構造を持ったデバイスの近年の開発動向として注目すべき点は、稠密なピッチのフィン形成により実効駆動力の向上が実証されたこと、バルク基板を用いたフィン形成が盛んになってきたこと、また、しきい値ばらつきの抑制が示されたこと、を挙げることができる。

これまでフィン構造は、チャンネル幅がレイアウト面積に依存しない、縦型の 3 次元チャンネルを用いているため、スケールリングしても、大きなチャンネル幅を維持できることを特徴としてきた。しかし、現実のプレーナ加工プロセスを考えると、加工マージンなどの制約から、段差を大きくすることができず、必ずしもチャンネル幅を大きくすることができていなかった。しかし、微細加工技術、特にリソグラフィ技術の進歩により、稠密なピッチのパターンが形成できるようになってきており、実質的なチャンネル幅を、大きくすることができるようになってきた。その様子をデバイスの主要学会における発表から図表 8-10 にまとめた。実現したフィンのピッチと高さからレイアウト面積あたりのチャンネル幅を算出してプロットした。2005-6 年の報告において、実効チャンネル幅比が 1 より大きくなっており、プレーナ型のチャンネル幅を実際に超えたことが示されている。



図表 8-10 3D 構造によるチャンネル幅(対 planar)推移

チャンネル幅のばらつきを制御するため、フィン構造の多くが、SOI 基板を用いて形成されてきた。しかし、近年、バルク基板でもフィンの形成が盛んに行われるようになってきている。これは、CMP (Chemical Mechanical Polishing) 技術が習熟してきたことにより、深さ方向の制御に対して、実績が積み重ねられてきたことによるものと考えられる。バルク基板を用いた場合、基板端子を設けることができること、深さ方向にデバイス設計の自由度が増すこと、また、従来デバイスとの混載が容易になること、などの利点がある。一方、寄生チャンネル制御やチャンネル幅ばらつきの制御などの問題がでてくるため、これらに対する検討が進められている。バルク基板を用いたフィンチャンネルの検討は、SPAM、DRAM、フラッシュなどのメモリ素子を中心に行われてきている。これは、レイアウト面積を縮小しても、チャンネル幅＝駆動力を確保できることが、集積性が重要なメモリにとって、大きな魅力になっているためと考えられる。

今年、フィン構造により、しきい値ばらつきを抑制できることが示され、大きな注目を集めた。一般にしきい値ばらつきは、チャンネル不純物濃度とチャンネル面積(チャンネル長 L_X チャンネル幅 W)に強く依存することが知られている。従来 CMOS では、短チャンネル効果抑制のため、チャンネル不純物濃度を高く、また、チャンネル面積がスケールリングにより小さくなるため、厳しい課題となってきた。これに対して、フィンチャンネルの不純物濃度が、プレーナ型に比べ 3-4 桁低いこと、また、上述したように、チャンネル幅を大きく保つことができるため、しきい

値ばらつきを抑制できるものと期待されてきた。本年の国際学会で、実際に試作したデバイスの評価を行うことで、この実証例が報告された。今後、しきい値ばらつきは、プレーナ型の従来 CMOS のスケーリングにとって不可避の課題となるため、3次元トランジスタ導入へのドライビングフォースになるものと考えられる。

8-4 2007 年度に向けてメモリの見直し事項

2007 年改版に向け WG6 で議論した項目、提案を以下に述べる。

8-4-1 DRAM サーベイの状況

2007 年の改定に向け欧、米、アジアの主要 DRAM サプライヤー 5 社たいしてのアンケートを実施した。

アンケート項目

2006 年に実施した項目を図表 8-11 に示す。2005 年版でのアンケート項目に、周辺回路部 MOSFET (18) および、メモリーセル部 (19) の MOSFET の項目を加えた。

- | | | | | | | | | |
|-------|---|---|---|---------------|---|------------|---|-----------|
| ● ● ● | 1. DRAM half pitch (minimum feature size : F) | <table border="1"> <tr> <td>●</td> <td>Overall Table</td> </tr> <tr> <td>●</td> <td>PIDS Table</td> </tr> <tr> <td>●</td> <td>FEP Table</td> </tr> </table> | ● | Overall Table | ● | PIDS Table | ● | FEP Table |
| ● | Overall Table | | | | | | | |
| ● | PIDS Table | | | | | | | |
| ● | FEP Table | | | | | | | |
| ● ● ● | 2. Cell size : A_{cell} | | | | | | | |
| ● ● ● | 3. Cell size factor : a [$A_{cell} = a F^2$] | | | | | | | |
| ● ● ● | 4. DRAM Product (bit) : b | | | | | | | |
| ● ● ● | 5. Chip size : A_{chip} | | | | | | | |
| ● ● ● | 6. Area factor [$= A_{cell} \times b / A_{chip}$] | | | | | | | |
| ● ● ● | 7. Retention time | | | | | | | |
| ● ● ● | 8. Storage Capacitance : C_s | | | | | | | |
| ● ● ● | 9. Voltage of capacitor | | | | | | | |
| ● ● ● | 10. Gate oxide thickness of cell transistor | | | | | | | |
| ● ● ● | 11. Maximum word-line level | | | | | | | |
| ● ● ● | 12. Effective electric field of gate insulator | | | | | | | |
| ● ● ● | 13. Negative word-line use | | | | | | | |
| ● ● ● | 14. Capacitor structure | | | | | | | |
| ● ● ● | 15. Capacitor insulator material | | | | | | | |
| ● ● ● | 16. Effective capacitor insulator thickness | | | | | | | |
| ● ● ● | 17. Physical capacitor insulator thickness | | | | | | | |
| ● ● ● | 18. Support FET (EOT, I_{on} , V_t) | | | | | | | |
| ● ● ● | 19. Array FET structure | | | | | | | |

図表 8-11 DRAMサーベイのアンケート項目

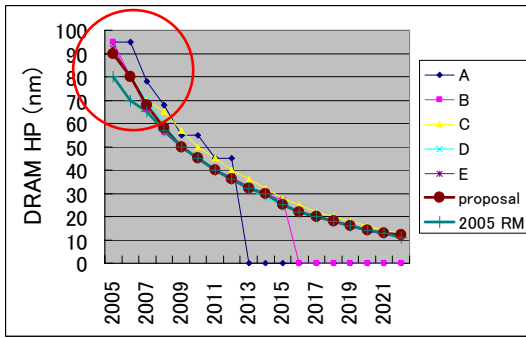
アンケート結果

1) DRAM Half Pitch (HP)

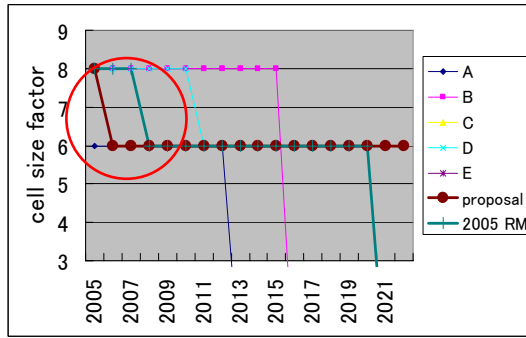
2005 年版での HP の計画値に対し 2005 年、2006 年 HP の実績値は、1 年遅れであった。2007 年以降は、2005 年版と同じ。(図表 8-12)

2) セルサイズファクター

$6F^2$ の導入は、2005 年版では 2008 年からと予想したが、実績は、2006 年からの導入となっており、2 年の前倒し。(図表 8-13)



図表 8-12 DRAM HP



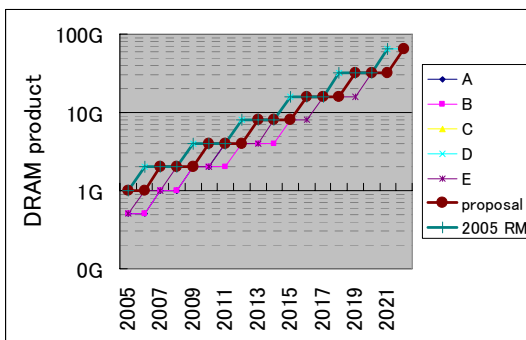
図表 8-13 Cell size factor

3) DRAM メモリー容量

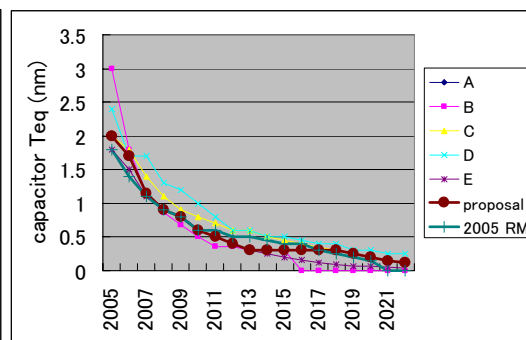
2005 年版の DRAM ビットの大容量化計画に対し、2006 年以降の計画値は、1 年遅れ。(図表 8-14)

4) キャパシタ絶縁膜厚

2005 年、2006 年の実績値は、2005 年版に対し、1 年遅れ。2007 年以降は、2005 年版とほぼ一致。(図表 8-15)



図表 8-14 DRAM のビット容量



図表 8-15 キャパシタ実効絶縁膜厚

5) メモリーセル構造

メモリーセルの構造は、2012 年まで、シリンダ構造とペDESTAL構造が、併用される。その後は、ペDESTAL構造のみ。

6) Array MOSFET の構造

2007 年から Array MOSFET の構造は、RCAT (Recessed channel Array Transistor) が使用される。2010 年以降は、Fin FET が、使われる計画となっている。

DRAM サーベイのまとめ

HP の縮小は、年々、困難になっており、2005、2006 年の HP の実績値も、2005 年 RM の HP に対し 1 年後退している。しかし、コスト削減のためには、チップサイズの縮小が、欠かせない。この対応として、セルサイズファクターの加速がされ、多少大きいものの、ロードマップに近い、チップサイズが実現されている。2007 年以降の HP は、2005 年版と同じ数値となっているが、2005 年、2006 年の遅れを考慮すると、その実現は、非常に厳しい。キャパシタ絶縁膜の縮小も、高誘電膜の導入、物理膜厚の薄膜化、そして、それらの高いアスペクト構造での形成と、どれをとっても、大変厳しい技術が必要である。

8-4-2 不揮発性メモリの構成の見直し

2005 年版では、現在、量産されている NAND/NOR/SONOS が混在していること(図表 8-16)、生産に入っていない技術も同一テーブルになっていること、そして、ERD から移管される Nano-crystal 他の技術についての扱いが不明等の問題があり、台湾の PIDS がリーダーとなって、世界各局と調整しながら、2007 年版での技術構成の見直しの検討を進めている。

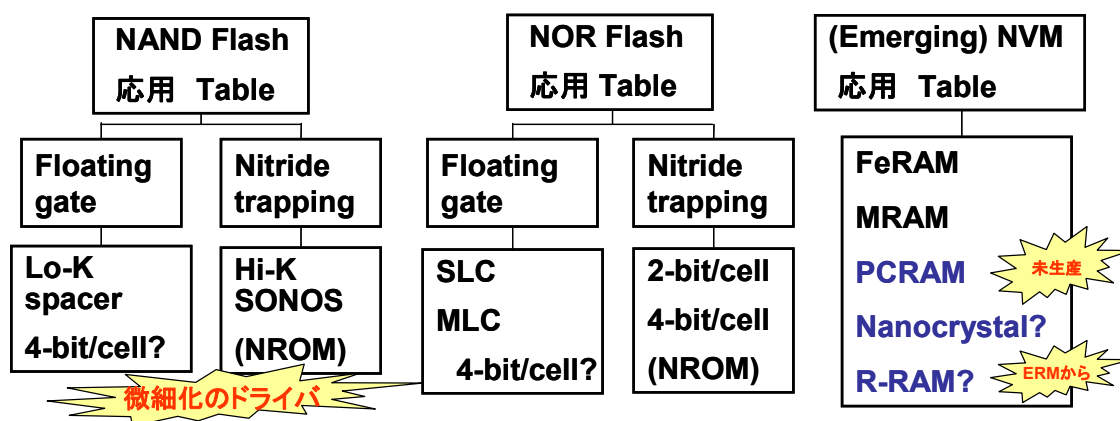
不揮発性メモリを、NAND, NOR, (Emerging) に 3 分割する方向で節の構成検討が進められている(図表 8-17)。

また、NOR Flash については、ゲート長、カップリングレシオ、トンネル絶縁膜厚、MLC、等の項目についての量産開始時期の見直しの検討も、各極へのアンケート調査通し行っている。

Table 43a Non-Volatile Memory Technology Requirements—Near-term

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Flash technology NOR/NAND - F (nm) [1]	80/76	70/64	65/57	57/51	50/45	45/40	40/36	35/32	32/28
Flash NOR cell size - area factor a in multiples of F ² [2], [3], [4], [5]	9-11	9-11	9-11	9-12	10-12	9-12	9-12	10-12	10-12
Flash NAND cell size - area factor a in multiples of F ² SLC/MLC [6]	4.0/2.0	4.0/2.0	4.0/2.0	4.0/2.0	4.0/2.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Flash NOR typical cell size (µm ²) [7], [8]	0.064	0.049	0.042	0.034	0.028	0.021	0.017	0.013	0.011
Flash NOR L _g -stack (physical - µm) [8], [9]	0.14	0.135	0.13	0.12	0.12	0.11	0.11	0.1	0.1
Flash NOR highest W/E voltage (V) [10], [11]	7-9	7-9	7-9	7-9	7-9	6-8	6-8	6-8	6-8
Flash NAND highest W/E voltage (V) [12]	17-19	17-19	15-17	15-17	15-17	15-17	15-17	15-17	15-17
Flash NOR I _{read} (µA) [13]	29-37	28-36	27-35	26-34	25-33	27-33	27-33	26-32	25-31
Flash coupling ratio [14]	0.65-0.75	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7

図表 8-16 2005 年版の不揮発性メモリのテーブルでの混在例



図表 8-17 2007 年版に向けた不揮発性メモリ 節構成の見直し案

8-4-3 NAND 加速の可能性とロードマップ提案

NAND Flash の最近のプレスリリースから技術的に一番重要と思われる NAND Flash の HP について 2005 年版との比較を行った。その結果、以下の表のとおり 2006 年まではほぼ予測通りに推移している。(図表 8-18)

Year	2005	2006	2007	2008
2005年版HP	76nm	64nm	57nm	51nm
A社	73nm	60nm	50nm	
B社	70nm		56nm	
C社	90nm	70nm	55nm	
D社	90nm	72nm	50nm	

図表 8-18 NAND の最近のプレスリリース例

一方、2007 年以降は各社のプレスリリースが ITRS を追い越しており、先端技術動向も考慮に入れると、2007 年以降ロードマップは以下の通り一年前倒しとなることが予測される。(図表 8-19)

しかしながら、2005 年度版以降は NAND Flash が微細化のドライバとなっており、一年前倒しの影響は露光ツール等の技術開発へのインパクトが非常に大きいため、DRAM と同様に大手メーカー(5 社)へのサーベイを行い、2007 年版 RM を日本の WG6 で提案していく方針とした。

年度	2006	2007	2008	2009	2010	2011	2012	2013
2005年版	64nm	57nm	51nm	45nm	40nm	36nm	32nm	28nm
2007年版HP	64nm	54nm	45nm	40nm	36nm	32nm	29nm	25nm
予提案	セルサイズ	2年で1/2		3年で1/2			以降3年で1/2	

図表 8-19 NAND 加速を考慮したロードマップ案

また、今回のサーベイでは、従来の項に加え新たな項目として微細化の重要なパラメータとなる 1NAND 当たりの接続セル数、及び今後の技術/装置開発の指針となりうるセル構造(フローティングゲート型セル/チャージトラップ型セル/三次元化)のトレンドも加えた。また一部の重要な項目(書き換え回数、データ保持年数)については用途が多様化している NAND Flash に特化した形でサーベイを行い、2007ITRS として技術トレンドを予測していく。

8-4-4 MRAM の動向

ITRS2003 年版に不揮発性メモリの一つとして MRAM(Magnetoresistive RAM)のロードマップが初めて示され、2004 年末には Freescale 社が 180nm CMOS 製造技術世代を用いた 4Mbit MRAM のサンプル出荷を開始した。早期の製品化が期待されていたが、ようやく 2006 年 7 月に 4Mbit MRAM を一般商用製品として量産と販売の開始発表がおこなわれた。Freescale 社独自のトグル・スイッチ方式を採用して安定動作を図り、SRAM 互換ピン配置を採用して汎用性を高めた。用途としてネットワーク対応ディスク・アレイ装置、セキュリティ機器、ストレージ機器、ゲーム機、プリンターなどである。一般にはあまり知られていないものの Honeywell 社から宇宙用途に 1Mbit MRAM が製品化されており、2 社による製品化が実現して MRAM を ITRS の技術ロードマップ表に載せる規準を満たした。今回までに製品化された MRAM は、汎用 SRAM 互換の不揮発 RAM として位置づけられる第一世代と考えられる。

より大きな市場を獲得するために、次世代 MRAM として新たな用途を狙う 2 つの方向性が明確になってきた。一つは、さらに微細化・大容量化を進めて汎用 DRAM 置換えを狙う方向である。もう一つは、高速動作を向上させてロジック混載 MRAM を狙う方向である。

両方向を狙う上で共通して必要となる技術開発は、MR 比(magneto-resistance ratio)の向上である。MR 比は、MRAM の基本素子である MTJ(Magnetic Tunnel Junction:2 層の強磁性体層がトンネルバリア膜を挟んだ構

造)が低抵抗状態(2つの磁性体の磁化方向が平行な場合)から高抵抗状態(2つの磁性体の磁化方向が反平行な場合)へ変化したときの抵抗の増加率である。第一世代の MRAM ではトンネルバリア膜として酸化アルミニウム(AIOx)が用いられており、MR 比は低電流条件においても 40-50%程度(実際の MRAM 読出し条件では 20-30%)である。次世代 MRAM では、トンネルバリア膜として酸化マグネシウム(MgO)が用いられ、実用化した場合でも MR 比が 100%を超える可能性が高いと考えられる。

微細化・大容量化を目指す技術としてスピン注入磁化反転方式が注目され、活発に研究開発が行われている。従来の配線に流れる電流によって形成される磁界によって磁化反転させる方法と原理的に異なり、スピンの向きがそろった電子を MTJ に流すことによって強磁性体自由層の磁化反転をおこなう方式である。この現象を MRAM に適用することができると、MTJ の面積に比例して書込み電流が低減でき、MRAM 書き込み電流のスケーリングが可能となる。また、汎用 DRAM と同様のセルレイアウト($6\sim 8F^2$)が可能となる。2Mbit Spin-transfer Torque MRAM が 2007 ISSCC で発表され[1]、更なる大容量不揮発RAMへの発展が期待される。MRAMの特徴である高速動作・書換回数制限無・不揮発・ロジック混載容易を用いて、混載 SRAM 代替を目指す技術が発表された[2]。従来の配線誘起磁界反転を用いるが、選択セルの MTJ 素子近傍にのみ電流を流すことで非選択セルのディスタ urb を回避した。2T1R 構成セルで 200MHz 以上、5T2T 構成セルで 500MHz 以上の高速動作可能性を示した。

以上のように、今年度は MRAM 技術向上および製品化の進展にとって重要な年であった。第一に、4Mbit MRAM の製品化が発表されたことである。第二に、2つの新たな技術である MgO バリア膜およびスピン注入磁化反転がデバイス適用され、次世代MRAMの2つの方向性である微細化・大容量・汎用メモリ応用および高速・混載メモリ応用への道筋が示された。

参考文献

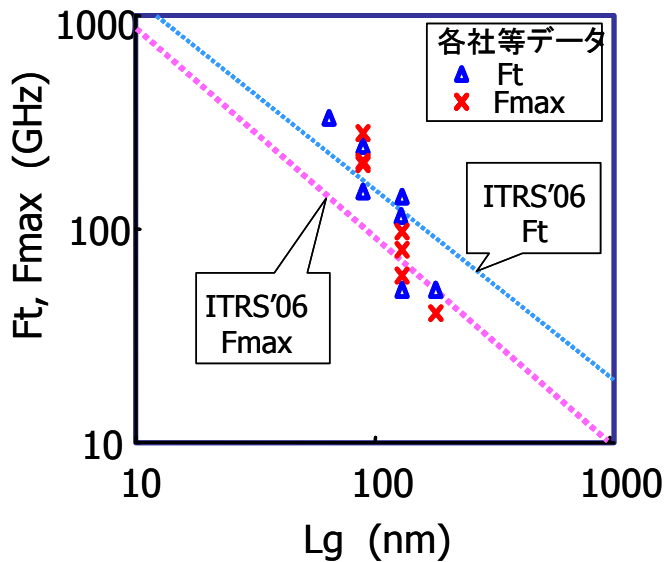
- [1] T. Kawahara, et al., *ISSCC Digest of Technical Papers*, p. 480, 2007.
 [2] N. Sakimura, et al., *Symp. on VLSI Circuits Digest of Technical Papers*, p. 136, 2006.

8-5 Wireless/RF 関連デバイス

2006 年版の ITRS の RF&AMS (Radio Frequency and Analog/Mixed-Signal technologies for wireless communication)の章では、マイナー修正の年にあたるため、2005 年版からの変更は小幅なものになっている。CMOS 関係には修正はなく、バイポーラ、ミリ波関連デバイスにおいて若干の修正が加えられている。ここでは、2006 年版改定にあたり検討されたこと、および、2007 年版作成にあたり、策定のポイントとして議論に挙げられている事項について報告する。

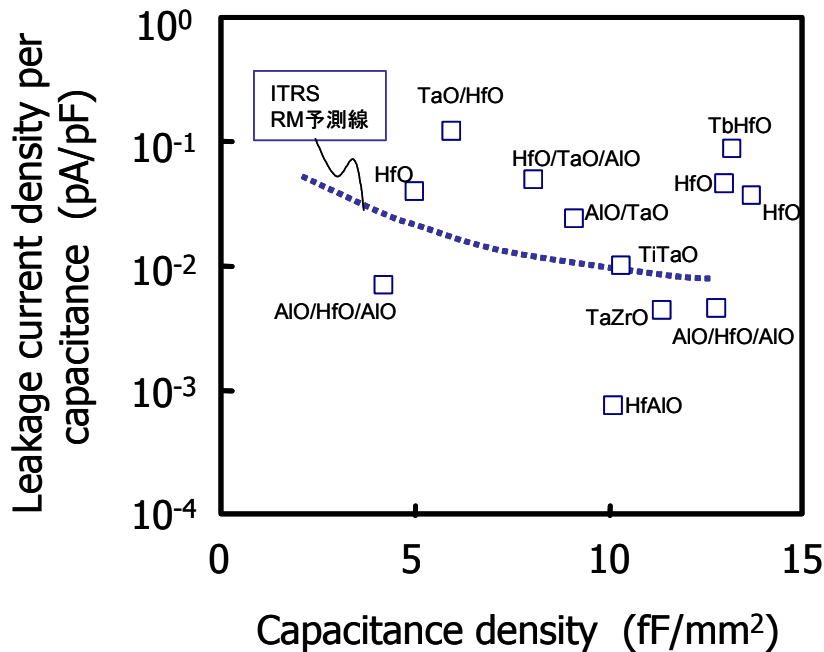
AMS 用 CMOS については、PIDS の LSTP デバイスを踏襲すること、また、RF 向けの設計開発遅延を勘案して、1 年遅れ(対 PIDS)でスケーリングを追従するものと考えられている。2006 年においても学会発表等では、ゲート長の微細化による遮断周波数特性の向上が引き続き見られた(図表 8-20)。

報告された遮断周波数(F_t , F_{max})と、2006 年版で採用している F_t , F_{max} のゲート長依存性をプロットした。微細化による性能向上を見ることができる。一方、RF 応用を考えた場合には、デジタル応用で求められる高 I_{on} 、低 I_{off} 、低容量などとは別に、高 G_m 、低 G_d 、低ノイズ、線形性といった独自のデバイス特性が求められる。これらの諸特性は、 G_m を除き一般的には、ゲート長の縮小や電源電圧の低減とは相入れない依存性を持っている。そのため、2007 年版にむけた議論において、微細化を追求する LSTP に合わせたスケーリングの必要性について、再検討が行なわれている。また、テーブルを、より設計サイドから見やすいものとするため、動作点におけるノイズスペック等の RF 応用に向けた新たな項目を加えることが提案されている。



図表 8-20 RF-CMOS の遮断周波数特性トレンド

受動素子のテーブルは、2006 年版では update が行われなかった。しかし、RF 応用をターゲットとした受動素子の必要性・重要性が益々高まっていることを反映し、新材料・新プロセスを用いた学会発表が活発に行われてきている。容量素子については、これまで用いられてきた窒化膜系を用いた MIM (Metal-Insulator-Metal) 容量の限界が見えてきていることから、多くの high-k 材料を用いた容量素子の開発が報告されている。容量密度とリーク電流密度の関係を、ロードマップの予測線をあわせて、図表 8-21 にプロットした。



図表 8-21 MIM 容量の容量密度とリーク電流密度の関係

実用化に向けては容量値だけでなく、温度依存性や電圧に対する線形性などの諸特性を満たす必要がある。そのため様々な積層膜構造を利用することが提案されている。また、インダクタについては、RF 応用をターゲットとしてオンチップ化する場合、小面積で高性能化する必要がある。そこで、基板損失を低減するため磁

性膜によるシールドや、基板へのトレンチ構造の導入など、多彩な新プロセスの開発状況が報告されている。しかし、これらの受動素子技術については、まだ実用化レベルに達しているとは言えず、容量素子やインダクタのテーブルでは、YellowまたはRedにカラーリングしたままになっている。2007年版に向けて、SiPやMEMSの導入を含めた検討が行われるものと考えられる。

RF&AMS Bipolarの2006年版はupdateの年であるため2005年版からの修正点は少なく、Ft peak時のコレクタ電流のみが書き換えられた。コレクタ電流については、2005年版では低電力化の流れから、エミッタサイズの微細化による電流抑制を見込み策定されていたものを、より現実的な値に修正したものとみることができる。

一方、ミリ波帯の化合物デバイスではいくつか大きな修正が加えられた。まずGaAs MHEMTの耐圧、Imaxなどのトレンドが前倒しされるとともに、従来Redにカラーリングされていたいくつかの項目が、Yellowに書き換えられた。また、GaN HEMTにおいては微細化および各種RF特性の向上のトレンドが、やや後ろ倒しに変更されている。GaN HEMTはここ数年学会レベルで急激に特性向上が進んだため、2005年版においては前向きな予測をしていたが、昨今の商品化の状況も鑑み現実的な数値に修正したと思われる。従来、ITRSのロードマップには記載されていなかった化合物デバイスのロードマップ作成が、今回の修正により、大分軌道に乗ってきたように感じられる。

8-6 まとめと今後の課題

2006年度のWG6(PIDS)の活動をまとめた。2006年度版アップデートに向けては、High-k/Metal Gateの導入時期の見直し検討を行った。2007年改版に向け最近の状況を各極と共同でレビューし再度見直すこととなる。

2007年改版に向けては、特に、従来から日本のWG6が主導しているLSTPの見直し提案を策定した。今後、各極との議論により2007年度版への掲載を目指す。また、High-k/Metal Gate、モビリティ・エンハンスメント・ファクター、3次元トランジスタの動向調査を精力的に行った。これらの調査の結果を基に2007年版の策定に積極的に関与する。

メモリ技術については、従来から日本のWG6が主導してきたDRAMのサーベイを継続実施した。さらに、微細化のドライブとして重要なNAND Flashの技術サーベイも、今年度から日本のWG6が主導して新規に行った。これらの結果を各極に提案して2007年改版に反映させる。MRAM, FeRAMの技術調査も継続しており2007年改版に繋げる。

RF&AMSについても、継続調査しており、各極との議論に積極的に関与し2007年改版に貢献する。