

第9章 WG7 実装

9-1 はじめに

半導体技術ロードマップ (STRJ) の WG7 (実装) は、JEITA 電子システム実装技術委員会 実装技術ロードマップ専門委員会 (JJTRC (Japan Jisso Technology Roadmap Council)) の WG3 (半導体パッケージ) と一体になり、活動を推進している。JJTRC では隔年で「日本実装技術ロードマップ」を発行しており、2007年6月に「2007年度版 日本実装技術ロードマップ」¹⁾を発行予定であり、JJTRC-WG3 は半導体パッケージのロードマップ作成を担当した。

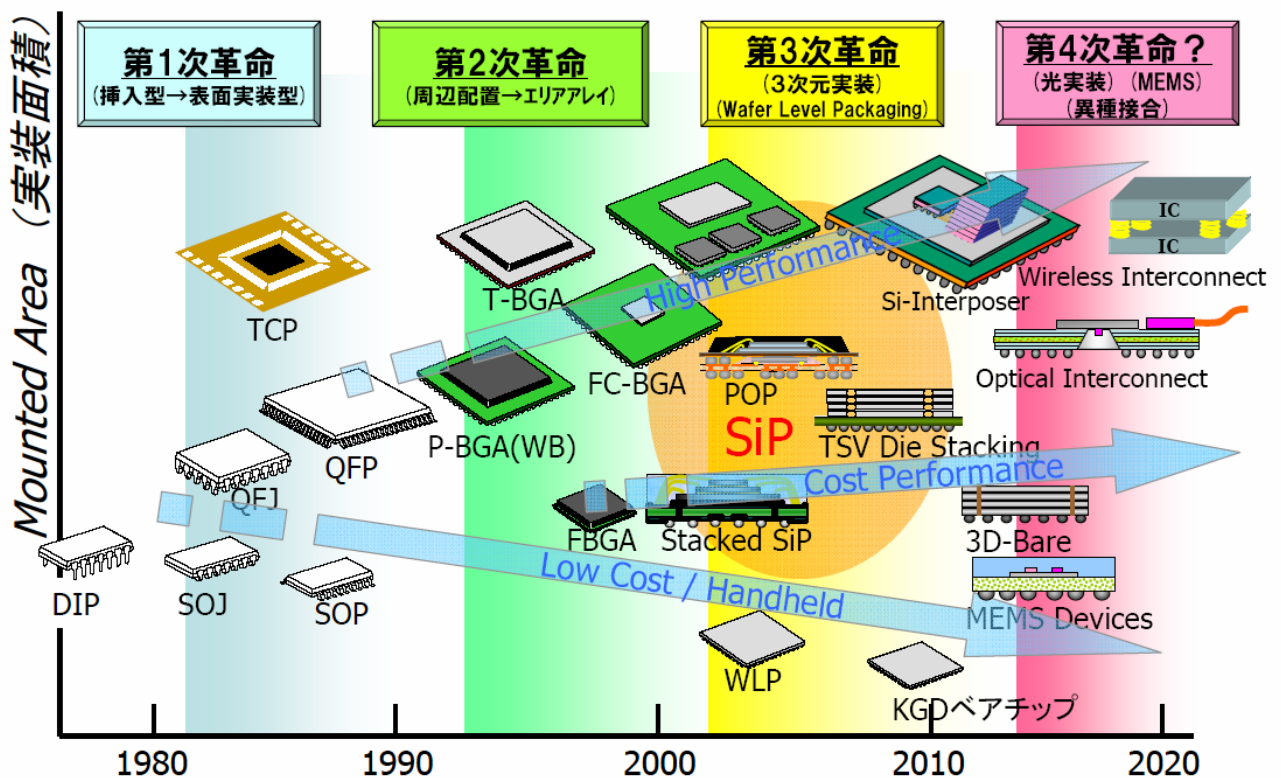
2006年度のSTRJ-WG7としては、上述の「2007年度版 日本実装技術ロードマップ」の半導体パッケージロードマップデータを作成すると共に、ITRS A&P (Assembly & Packaging) ITWG に参画し、「ITRS 2006 Update」A&P 章の作成に協力した。さらに、ITRS A&P ITWG では最近話題の SiP に着目し、「SiP White Paper」を作成する事になり、STRJ-WG7もこれに協力している。

本章では、「2007年度版 日本実装技術ロードマップ」(以下、JJTR2007と記す)を作成するために検討した技術ロードマップから、注目すべき内容を抜粋し、紹介する。

9-2 各種パッケージの技術動向

9-2-1 LSI パッケージの技術開発動向

エレクトロニクス機器の高機能化、高速化、そして携帯電話やパーソナルコンピュータ等のモバイル機器の台頭に代表されるエレクトロニクス機器の小型化は、半導体デバイスの進化と共に実現されてきた。半導体パッケージは入出力端子を持ったデバイスの保護容器から、エレクトロニクス回路の一部を構成し、デバイスの機能を最小の面積の中で最大限に引き出すために、デバイスの機能の一部を担う部品へと進化を遂げてきた。LSI パッケージの一般的な技術開発動向を図表 9-1 に示す。



図表 9-1 LSI パッケージの技術開発動向

1970 年代後半に現れた QFP(Quad Flat Package)や SOP(Small Outline Package)に代表される周辺端子型の表面実装型パッケージが多ピン・高密度化対応で実用化(第 1 次革命期)されて久しいが、1990 年に入ってから多ピン対応のパッケージとしてエリアアレイ端子型の表面実装パッケージである BGA(Ball Grid Array Package)や超小型対応の CSP(Chip Scale Package/Chip Size Package:チップサイズに近い小型パッケージの愛称)が出現した。さらに高速化対応のための技術として、短配線長化を実現できるワイヤレス接続技術(FCB(Flip Chip Bonding)や TAB(Tape Automated Bonding)等)も導入され、各種の BGA/CSP 構造が開発・量産化されるなど、目覚ましい発展を遂げてきた(第 2 次革命期)。特に、日本から提案された CSP はモバイル機器用途の小型パッケージとして急速に世界に広まり、デファクトスタンダードなパッケージ形態として普及が進んだ。さらに 1990 年代末より半導体デバイスや半導体パッケージの 3 次元積層化やウェーハレベルパッケージ技術(WLP:Wafer Level Packaging)による高密度化が進展している(第 3 次革命期)。

9-2-2 ペリフェラルタイプのパッケージ

ペリフェラルタイプのパッケージは、QFN(Quad Flat Non-ledged Package)については今後も狭ピッチ化による多端子化と低背化が進んでいくが、QFP/SOP/SON(Small Outline Non-ledged Package)については現在の使用状況と今後の必要性および技術的難易度などの点から現状レベルを維持していくものと予測する。

以下、QFN の技術動向と QFP/SOP/SON の状況について説明する。

(1) QFN

QFN は SON の多端子化を目的として開発されたパッケージである。裏面の 4 辺に実装用端子が形成されているため、従来の QFP に比べて小型化される。QFN の動向を図表 9-2 に示す。最小端子ピッチは現在の 0.4mm から 2010 年には 0.3mm となるが、リードフレーム材を加工して裏面の端子を形成することから、これ以上の狭ピッチ化は困難と予測する。これに伴い、最大端子数は現在の 144 ピンから 2010 年には 200 ピンになる。最小取り付け高さは徐々に低背化し、現在の 0.65mm から 2014 年には 0.4mm になる。また、多端子化のために周辺端子の配列を千鳥配列にしたパッケージも量産され、さらには 3 列の事例も出てきている。放熱性を重要視する用途に対しては、ダイパッド裏面を露出させるタイプの QFN がある。

| 項目 | 2006年 | 2008年 | 2010年 | 2012年 | 2014年 | 2016年 |
|------------------|-------|-------|-------|-------|-------|-------|
| 最大端子数(信号+電源/GND) | 144 | 144 | 200 | 200 | 200 | 200 |
| 最大信号端子数 | 100 | 100 | 140 | 140 | 140 | 140 |
| 最小端子ピッチ(mm) | 0.4 | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 |
| 最小取り付け高さ(mm) | 0.65 | 0.65 | 0.5 | 0.5 | 0.4 | 0.4 |

図表 9-2 QFN の動向

(2) QFP/SOP/SON

QFP/SOP/SON の主要寸法値である最大端子数、最小端子ピッチ、最小取り付け高さを図表 9-3 に示す。これらのパッケージの多端子化や低背化については、今後も現状値を維持する。

QFP は主にロジックデバイスのパッケージとして利用され、デバイスの多端子化、実装基板やソケットの狭ピッチ化、基板実装技術の進歩と共に、端子の狭ピッチ化が進められ、高密度実装化が図られてきた。しかし、ソケット技術が困難であることや細いリードが曲がり易いこと、さらに基板実装技術も格段に難しくなることから、

前回のロードマップ(JJTR2005)では 0.3mm ピッチで技術開発は留まると予測した。しかしながら、多端子化に対してはエリアアレイパッケージの適用が進んでおり、QFP に対する多端子化、狭ピッチ化への要求は無くなってきている。この状況を踏まえ、今回、最大端子数 300 ピン程度、最小端子ピッチは 0.4mm ピッチで留まるものと予測した。また、低背化の要求に対しても QFN、FBGA (Fine Pitch BGA) 等のパッケージでの対応が進むため、最小取り付け高さについても現在の 1.2mm からの低背化への積極的な開発は行われず、現状値で留まる。

SOP についても、QFP と同様の理由により、今後はエリアアレイパッケージに移行していくため、主要寸法値は現状値に留まる。

SON は SOP/TSOP (Thin Small Outline Package) の小型・低背化を目的として開発され、主に少ピンデバイス用途として適用されている。パッケージ裏面の相対する 2 辺に実装用端子が形成されているため、従来の SOP/TSOP に比べて小型化される。形成方法も従来技術の延長であり、低コストが期待される。SON の現在の最大端子数は 80 ピン、最小端子ピッチは 0.4mm、最小取り付け高さは 0.65mm である。リードフレーム材を加工して裏面の端子を形成するため、BGA に比べて狭ピッチ化は困難であり、また多端子化に対しては同じ構造で 4 辺に端子のある QFN が使われる。

| 項目 | QFP | SOP | SON |
|------------------|-----|-----|------|
| 最大端子数(信号+電源/GND) | 304 | 100 | 80 |
| 最大信号端子数 | 0.4 | 0.4 | 0.4 |
| 最小取り付け高さ (mm) | 1.2 | 1.2 | 0.65 |

注記：ここでの最大/最小は単体のパッケージの許容寸法を示すものではなく、多くのパッケージの中で最大/最小となるパッケージの代表的な寸法を意味する。

図表 9-3 QFP/SOP/SON の主要寸法値(2006 年～2016 年)

9-2-3 エリアアレイタイプのパッケージ

エリアアレイタイプのパッケージは、QFP の多端子化・狭ピッチ化の進展による実装困難性の解決のために開発されたパッケージであり、①高機能用途としての多ピン化に主眼をおいた BGA/LGA (Land Grid Array Package) と、②携帯機器用途としての小型化に主眼をおいた FBGA/FLGA (Fine Pitch LGA) に分けられる。JEITA 規格 EDR-7316B では、端子ピッチが 0.8mm 以下のものが FBGA/FLGA と定義されているが、本項では端子ピッチだけではなく、外形サイズでも分ける事とし、端子ピッチが 0.8mm 以下のものであっても外形サイズが 21mm×21mm を超えるものは BGA/LGA として扱っている。

高機能用途としての多端子化に主眼をおいた BGA は、インターポーザ(サブストレート)に有機基板を用いた P-BGA (Plastic BGA)、積層セラミック基板を用いた C-BGA (Ceramic BGA)、ポリイミドテープを用いた T-BGA (Tape BGA) があるが、ここでは、現在主流となっている P-BGA でチップ接続方法がワイヤボンド(WB: Wire Bonding) タイプのものと、高速用途で使用されている P-BGA および C-BGA でチップ接続がフリップチップ(FC: Flip Chip) タイプのものについて取り上げる。

携帯機器用途としての小型化に主眼をおいた FBGA/FLGA は、QFP に比べて 200 ピンを超える多ピン領域での高密度実装に有利であり、主流の技術となっている。今後の更なる多ピン化と小型化への対応に対しても、FBGA/FLGA が利用されると予測する。

以下、P-BGA (WB タイプ)、P-BGA/C-BGA (FC タイプ)、FBGA についての技術動向を説明する。

(1) P-BGA (WB タイプ)

主として Cost-performance 用途で利用される P-BGA (WB タイプ) の動向を図表 9-4 に示す。最大端子数は、現在の 1200 ピン程度から 2016 年には 2200 ピンに増加する。端子数の増大に伴い、狭ピッチ化も進む。最小端子ピッチは現在 1.0mm であるが、徐々に狭ピッチ化が進み、2014 年には 0.65mm ピッチになる。狭ピッチ化に伴い、端子であるはんだボールのサイズも小さくなり、はんだペーストの塗布厚さも薄くなるため、基板実装性から要求されるパッケージの反り最大許容値は厳しくする必要がある。現在 0.2mm であるが、2014 年には 0.14mm が必要となる。最小取り付け高さは、搭載される電子機器の小型・薄型化の動向に合わせて徐々に低背化が進み、2014 年には 1.2mm の高さになると予測する。なお、最大パッケージサイズに対して、現在の 40mm×40mm を超える要求は殆どない。

| 項目 | 2006年 | 2008年 | 2010年 | 2012年 | 2014年 | 2016年 |
|------------------|-------|-------|-------|-------|-------|-------|
| 最大端子数(信号+電源/GND) | 1,200 | 1,400 | 1,600 | 1,800 | 2,000 | 2,200 |
| 最大信号端子数 | 600 | 700 | 800 | 900 | 1,000 | 1,100 |
| 最小端子ピッチ (mm) | 1.0 | 0.8 | 0.8 | 0.8 | 0.65 | 0.65 |
| 反り(RT→260℃) (mm) | 0.2 | 0.17 | 0.17 | 0.17 | 0.14 | 0.14 |
| 最小取り付け高さ (mm) | 1.7 | 1.7 | 1.4 | 1.4 | 1.2 | 1.2 |

図表 9-4 P-BGA (WB タイプ) の動向

(2) P-BGA/C-BGA (FC タイプ)

主として High-performance 用途に利用される P-BGA/C-BGA (FC タイプ) の動向を図表 9-5 に示す。最大端子数は、はんだボールがフルマトリクスで配置された現在の 2200 ピン程度から、2016 年には 4000 ピンを超える。また、最大信号端子数は用途によってその比率が異なり、最大端子数の約 50%が使われる。今後も、高速化対応など用途によって最適な端子設計がなされる。反り最大許容値は現在 0.2mm であるが、端子の狭ピッチ化に伴い、2014年には0.14mmになる。なお、この表の最小取り付け高さは、放熱対策のためのヒートスプレッダー高さは含んではいない。最大パッケージサイズは、実装信頼性やコストを考慮して、50mm×50mm 以下に収まる。

また、最近の動向としては、従来は High-performance 用途であった P-BGA (FC タイプ) の Cost-performance 用途への適用が増えている。その背景は、ノートブック PC やゲーム機器などの高速化や低消費電力化の要求に対して、デバイスのコア電圧を下げて実現しようとしていることによる。結果として、ノイズマージンは減少し、電源/GND インダクタンスを下げる方策として FC 技術による P-BGA (FC タイプ) の採用が進むものと予測する。

| 項目 | 2006年 | 2008年 | 2010年 | 2012年 | 2014年 | 2016年 |
|------------------|-------|-------|-------|-------|-------|-------|
| 最大端子数(信号+電源/GND) | 2,200 | 2,600 | 3,000 | 3,400 | 3,800 | 4,200 |
| 最大信号端子数 | 1,100 | 1,300 | 1,500 | 1,700 | 1,900 | 2,100 |
| 最小端子ピッチ(mm) | 1.0 | 0.8 | 0.8 | 0.8 | 0.65 | 0.65 |
| 反り(RT→260°C)(mm) | 0.2 | 0.17 | 0.17 | 0.17 | 0.14 | 0.14 |
| 最小取り付け高さ(mm) | 1.7 | 1.7 | 1.4 | 1.4 | 1.2 | 1.2 |

図表 9-5 P-BGA/C-BGA (FC タイプ) の動向

(3) FBGA (Fine-pitch Ball Grid Array Package)

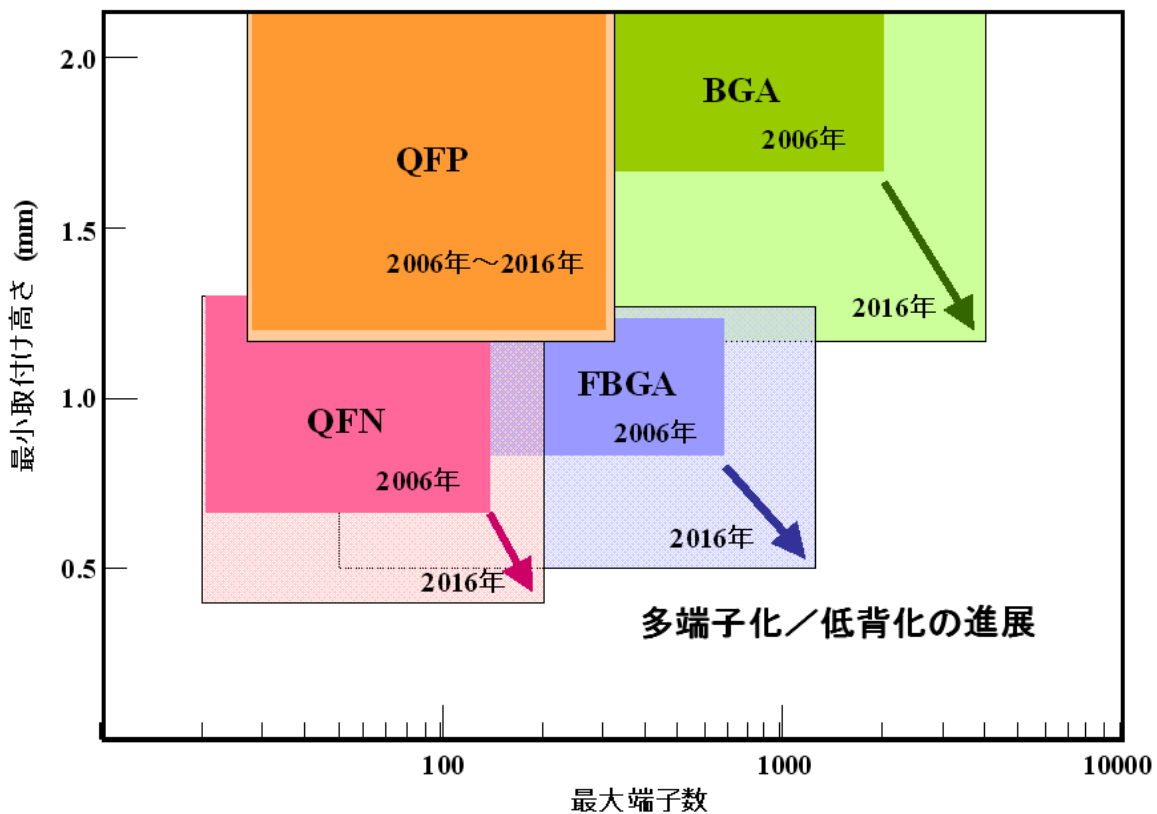
FBGA は、主として Low Cost/Hand-held 用途に高密度実装を目的として開発された小形パッケージである。インターポーザとして有機基板やセラミック基板もしくはポリイミドテープが用いられ、チップとの接続方法も WB や FC 接続等、種々の構造があるが、ここでは外形的な動向に限定する。

FBGA の動向を図表 9-6 に示す。最大端子数は現在 700 ピン程度であるが徐々に増加し、2016 年には 1200 ピン程度まで増加する。そのうち約 70% が信号で、残りが電源/GND である。これらの端子数の増大に伴い、狭ピッチ化も進む。現在、0.4mm ピッチの FBGA が量産されているが、2008 年には 0.3mm ピッチ、2012 年には 0.2mm ピッチと徐々に狭ピッチ化が進み、2016 年には 0.15mm ピッチの FBGA が量産される。但し、狭ピッチ化実現のためには、はんだボール形成技術の進展だけではなく、狭ピッチ化に対応したインターポーザやテスト用ソケットなどのインフラ技術の開発が必須である。また、狭ピッチはんだ接続の信頼性確保のため、現在はアンダーフィルの使用が必要である。端子の狭ピッチ化に伴い、基板実装に使用されるはんだペーストの塗布厚さも薄くなる。これに対応するため、室温時とリフロー高温時の両方で、より高精度なコプラナリティの確保が必要である。そのため、反り最大許容値は現在 0.1mm であるが、端子の狭ピッチ化に伴い、2008 年には 0.07mm、2016 年には 0.05mm が必要になる。最小取り付け高さに関しては、現在既に 0.8mm のものが実用化されているが、徐々に低背化が進み、2008 年には 0.65mm、2012 年には 0.5mm になる。

| 項目 | 2006年 | 2008年 | 2010年 | 2012年 | 2014年 | 2016年 |
|------------------|-------|-------|-------|-------|-------|-------|
| 最大端子数(信号+電源/GND) | 700 | 800 | 900 | 1,000 | 1,100 | 1,200 |
| 最大信号端子数 | 490 | 560 | 630 | 700 | 770 | 840 |
| 最小端子ピッチ(mm) | 0.4 | 0.3 | 0.3 | 0.2 | 0.2 | 0.15 |
| 反り(RT→260°C)(mm) | 0.1 | 0.07 | 0.07 | 0.06 | 0.06 | 0.05 |
| 最小取り付け高さ(mm) | 0.8 | 0.65 | 0.65 | 0.5 | 0.5 | 0.5 |

図表 9-6 FBGA の動向

以上のパッケージに対して、最大端子数と最小取り付け高さの関係を図表 9-7 に示す。今後、多端子化と低背化が進み、小ピンデバイス用途では QFN が、多ピンデバイス用途では BGA/FBGA がその適用領域を拡大する一方で、QFP については現状レベルで推移する。



図表 9-7 各種パッケージの動向

9-3 パッケージ組立プロセス技術動向

9-3-1 バックグラインド技術

ウェーハのバックグラインド技術動向を図表 9-8 に示す。パッケージの薄型化やチップ積層技術による高密度化への対応でウェーハの厚さは薄型化していく。2016年には一般品でも $50\mu\text{m}$ 程度にまで薄型化が進むと予測される。一方、IC カード等の薄型製品については、ウェーハ薄型化への取組みが加速されて、急速に進展し、2010年には最小 $25\mu\text{m}$ 、2016年には最小 $15\mu\text{m}$ 程度まで薄化が進展すると予測される。ウェーハ薄型加工技術としては、化学溶解処理(エッチング)などのバックグラインド以外の方法も適用されている。また、チップが薄くなると機械的強度(抗折強度)の確保が課題であり、ドライポリッシング、ウェットポリッシング、ウェットエッチング、ドライエッチングと呼ばれるストレスリリーフ技術のほかに、通常のグラインディングホイールよりも微細な固定砥粒で構成されたファインメッシュ・グラインディングホイールも使用される。チップの厚さが薄くなるにつれて、チップの抗折強度維持の要求によりストレスリリーフ技術の適用が増えていく。

また、ウェーハの薄化が進む事でグラインド中やハンドリング時などの製造工程内における破損の可能性が高まっている。グラインド工程からストレスリリーフ工程までウェーハの着脱を行わずに加工する装置の採用が増えていく。また、ウェーハ厚さが薄くなりウェーハが割れやすくなる事に対して、インクマークレス化が必須となる。更に、ダイシング工程に必要なウェーハフレームにウェーハをマウントする装置を上述の加工装置とシステムインテグレーションし、ウェーハのハンドリングリスクを低減する試みがなされていく。バックグラインド後のウェーハは、表面保護テープがUV硬化型接着剤の場合先ずUV(Ultra Violet)照射を行い、次にマウントテーブルにウェーハを受け渡しウェーハ裏面にダイシングテープを貼付、その後に表面保護テープを剥離しカセットにアンロードする動作フローが主体となっている。

| 項目 | | 2006 年 | 2008 年 | 2010 年 | 2012 年 | 2014 年 | 2016 年 |
|---------------------------|-----|--|--|--|--|--|--|
| 最小ウェハ処理後厚さ <一般製品> (μm) | | 75 | 70 | 70 | 60 | 60 | 50 |
| 最小ウェハ処理後厚さ <薄型製品> (μm) | | 40 | 35 | 25 | 20 | 17 | 15 |
| 表面保護方法 | | テープ、 ガラス、 | テープ、 ガラス、 | テープ、 ガラス、 テープレス | テープ、 ガラス、 テープレス | テープ、 ガラス、 テープレス | テープ、 ガラス、 テープレス |
| 裏面仕上げ方法 | | BSG Dry Polish W/E W/P D/E | BSG Dry Polish W/E W/P D/E | BSG Dry Polish W/E W/P D/E | BSG Dry Polish W/E W/P D/E | BSG Dry Polish W/E W/P D/E | BSG Dry Polish W/E W/P D/E |
| 表面保護 テープ | 基材 | PO, PET, EVA | PO, PET, EVA | PO, PET, EVA | PO, PET, EVA | PO, PET, EVA | PO, PET, EVA |
| | 接着剤 | 弱粘着、 UV | 弱粘着、 UV | 弱粘着、 UV | 弱粘着、 UV | 弱粘着、 UV | 弱粘着、 UV |
| ハンドリング方法 | | 真空吸着、 | 真空吸着、 | 真空吸着、 治具貼付け | 真空吸着、 治具貼付け | 真空吸着、 治具貼付け | 真空吸着、 治具貼付け |

BSG : Back Side Grind, W/E : Wet Etching, W/P : Wet Polishing,
D/E : Dry Etching, PO : Polyolefin, PET : Polyethyleneterephthalate,
EVA : Ethylenevinylacetate, UV : Ultra Violet

図表 9-8 バックグラインド技術

9-3-2 ウェーハダイシング技術

ダイシング技術の動向を図表 9-9 に示す。ダイシング方法としては従来のダイサ方式に加えて、ウェーハ薄型化、および Low-k 材に代表されるようなウェーハ上形成膜の脆弱化に対応するため、レーザ方式の適用が始まっている。また、プラズマ等のドライエッチングによるダイシング方法の開発も行なわれている。レーザ方式についてはアブレーションを行うものと、素材内部に光学的損傷を引き起こし改質するものと 2 種類ある。前者は従来技術の延長線上にあるが、出力や発信方法などの最適化により加工品質が大きく向上している。後者は新たな技術で、ウェーハ表面の配線パターンや保護膜に損傷を与えることなく、レーザ光にて Si 内部に改質層を形成し、そこを起点にチップ分割を行うといったプロセスである。

また、ウェーハ大口径化に伴い、薄厚ウェーハの機械的強度低下、反り、ひいてはウェーハ破損が問題になる。これを解決する一手段として、ダイシングを行った後にバックグラインドを行う、先ダイシング技術 (DBG: Dicing Before Grind) も一部で実用化されている。

ウェーハ上のチップ取れ数を増やす施策としてダイシングライン (ダイシングストリート) 幅の縮小化が進展し、2006 年には 60 μm、2012 年には 40 μm 幅に縮小する。また、レーザ方式によるダイシングは従来のブレードダイシングとは別にダイシングライン幅の縮小化に有利で、取り数が増加する。

ダイシングテープ基材は、塩化ビニル系 (PVC: Polyvinylchloride) から、伸縮性の面でダイレクトピックアッ

ブ性に優れたポリオレフィン (PO: Polyolefin) 系に切り替わっていく。さらに、環境負荷低減の観点から、2010 年には生分解材料が実用化される。粘着剤は弱粘着タイプから、ダイシング工程ではウェーハを強固に粘着固定し、次工程のダイボンディング時には粘着力を弱め、容易にピックアップ可能な UV 硬化タイプが主流になっている。

一方、フィルム状ダイボンディング材料 (DAF: Die Attach Film) が積載されているダイシングテープの採用が広まってきており、ブレードダイシングの加工に適した DAF の開発と、レーザーダイシングの加工に適した DAF の開発が進んでいる。改質層を形成してチップ分割を行うレーザーダイシング手法に対しては、エキスパンド時に分割されやすい DAF が必要とされる。今後の更なる薄チップ化に対しては、ダイシングテープの機能を併せ持った DAF 材への移行が進む。

| 項目 | | 2006 年 | 2008 年 | 2010 年 | 2012 年 | 2014 年 | 2016 年 |
|-------------------------------------|-----------|-----------------------|-----------------------|--------------------------|--------------------------|--------------------------|--------------------------|
| ダイシング方法 | | ブレード、 レーザー | ブレード、 レーザー | ブレード、 レーザー、 ドライエッチ | ブレード、 レーザー、 ドライエッチ | ブレード、 レーザー、 ドライエッチ | ブレード、 レーザー、 ドライエッチ |
| 最小ダイシング ライン (μm) | ブレード | 60 | 50 | 40 | 40 | 40 | 40 |
| | レーザー | 40 | 20 | 15 | 15 | 10 | 10 |
| ダイシング テープ | 基材 テープ | PO | PO | PO、 生分解 | PO、 生分解 | PO、 生分解 | PO、 生分解 |
| | 粘着剤 | 弱粘着、 UV DAF 一体型 | 弱粘着、 UV DAF 一体型 | 弱粘着、 UV DAF 一体型 | 弱粘着、 UV DAF 一体型 | 弱粘着、 UV DAF 一体型 | 弱粘着、 UV DAF 一体型 |

PO: Polyolefin, UV: Ultra Violet, DAF: Die Attach Film

図表 9-9 ウェーハダイシング技術

9-3-3 ボンディング技術 (チップ接続技術)

チップ電極とパッケージ内部接続部との電氣的接続方法は、以下の 3 種に大別される。

- (1) ワイヤボンディング (WB) 技術
- (2) フリップチップ (FC) 接続技術
- (3) TAB/COF (Chip On Film) 技術

WB 技術は低コストで、かつ生産性が高いため広く使用されており、特に Au 線を用いたボールボンディング方式は現在最も一般的な接続方式である。FC 技術は、チップ電極をチップの周辺だけでなく、チップ表面にマトリクス上に配置する事によりパッドピッチを狭くする事なく多ピン化し一括接合する事が可能な為、多ピン製品への適用が進んでいる。一方、TAB 技術、特にフライングリードタイプは 1985 年～1990 年頃に狭ピッチ化の開発が進み、WB 技術に代わるものと期待されたが、WB 技術の狭パッド化が著しく進展している。また超多ピン (およそ 1000 ピン以上) は FC 技術への移行が進み、TAB 新製品の開発は減少した。ただし、フレキシブル基板上に直接フェースダウンボンディングを行う COF 技術は、小型携帯機器向けの特性を活かし製品開発が今後も継続して行われる。

ここでは、それぞれの接続技術について、主要パラメータの動向と主な技術課題とその動向について述べ

る。

(1) ワイヤボンディング(WB)技術

WB 技術の動向を図表 9-10 に示す。端子数が約 1000 ピン以上の多ピン製品や、高速対応に向け低インダクタンスが求められる製品は FC 接続となるが、Cost Performance 分野では今後も継続して WB 接続の製品開発が続く。WB にはボールボンディング方式とウェッジボンディング方式があるが、ウェッジボンディング方式はボンディング方向を高速・自在に制御する点で劣るため、ボールボンディング方式が主流となっている。以下、ボールボンディングに焦点を当て、その技術課題と動向について述べる。

・狭ピッチ化: 図表 9-10 に示す通り、以前の予測よりも鈍化しているが、WB 技術の狭ピッチ化は今後も進行し、最小パッドピッチ(単列配置)は 2010 年に $35\ \mu\text{m}$ 、2016 年には $25\ \mu\text{m}$ にまで進展すると予測される。狭ピッチ化における重要な課題としては、まず、ワイヤの細線化、キャピラリ先端径の微細化に見られる材料面の課題が挙げられる。ワイヤ細線化は、ワイヤ間距離のマージン確保に繋がる他、ボール小径化にも寄与するが、ループ形状制御が難しくなる。キャピラリに関しては隣接圧着ボールや、隣接配線の接触が懸念されるため、狭ピッチ専用のデザインが必要となる。

装置に関しては、小径ボールの形成・接合技術、テストプローバによるパッド表面傷の対策、ボンディング位置精度などが挙げられる。特にボンディング位置精度の向上は、その精度が圧着ボール面積の上限を決める大きな要因の為、必要不可欠である。

パッド設計配置の工夫によりパッドの収納数を増やすアプローチもある。単列配置から、多列配置にする事で一辺当たりのパッド数の増加が図れる。なお、後述する通り、ワイヤ接触を避けるためにループコントロールが重要である事、チップ内の I/O バッファの配置の都合から千鳥配置が標準になっている事に留意すべきである。

その他、リードフレームおよび基板(サブストレート)側接続端子ピッチ等、2 次接続側の微細化も大きな課題となる。

・ループコントロール: 上述の狭ピッチ化、多列パッドに加え、パッケージの薄型化、チップ多段積層化の製品動向に対応すべく、低ループ化、長ループ化が進展する。異なる長さ、異なる高さのワイヤを多重に接触する事なくルーピングする必要がある。狭パッドピッチ化の為のワイヤ細線化は、よりルーピングマージンを困難にする。また樹脂によるワイヤ流れの対策も必要となる。以上の様に、今後の狭ピッチ化とループコントロールを両立させる為には、材料・装置・接合プロセス・パッド配置設計の各要素技術の総合的な向上が望まれる。

・Low-k 対応: デバイスの高速化に対応した Low-k 材の適用により、ボンディングパッド直下の層間膜の脆弱化が進むため、ボンディング時の衝撃低減、ダメージ抑制策が、装置面・材料面で必要となる。

・Cu 配線対応: デバイスの高速化に対応し、チップ配線では Cu が使用されているが、酸化を含めた接合面清浄性確保のためにパッド表面処理が必要であり、Cu ダイレクト接続に向けて不活性もしくは還元性雰囲気中での接合等の技術開発が必要となる。また、ボンディングワイヤの Cu 化についても同様の酸化抑制策が必要となる。Cu ワイヤは金に比べて素材が安価、電気伝導率が良好という利点があるが、上述の酸化抑制対策、またボール硬度が大きい事によるパッド下ダメージ対策等が必要な為、パワーデバイス等での一部実用化に留まっており、ブレークスルーが求められる。

・絶縁被覆ワイヤ: 狭ピッチ、長ループ、低ループ、多列、多段等の技術を複合して用いる事によりワイヤ間隔は狭くなる一方であるが、ワイヤ同士の接触は電氣的に致命不良となる為、ボンディングワイヤの被覆化は有効である。有用性は昔から認識され、様々な組織で開発が行なわれてきたが、1st/2nd 共に適切に被覆を除去する事、被覆層の悪影響、ルーピング性、接続信頼性等の諸問題を解決するには至らず普及していない。継続した技術開発が必要である。

| 項目 | | 2006 年 | 2008 年 | 2010 年 | 2012 年 | 2014 年 | 2016 年 |
|---------|----------------------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|
| 接合技術 | ボンディング方式 | ボール、ウエッジ | ボール、ウエッジ | ボール、ウエッジ | ボール、ウエッジ | ボール、ウエッジ | ボール、ウエッジ |
| | 最小パッドピッチ(単列) (μm) | 40 | 35 | 35 | 30 | 30 | 25 |
| | 最小パッドピッチ(2列千鳥) (μm) | 50 | 45 | 45 | 40 | 40 | 35 |
| | 最大ワイヤ長 (mm) | 10.0 | 10.0 | 10.0 | 10.0 | 10.0 | 10.0 |
| | 最小ワイヤ長 (mm) | 0.20 | 0.20 | 0.20 | 0.15 | 0.15 | 0.15 |
| | 最低ループ高さ (μm) | 60 | 55 | 50 | 45 | 40 | 40 |
| | 代表的ワイヤ径 (μm) | 18 | 15 | 15 | 12 | 12 | 10 |
| | 代表的キャピラリ先端径 (μm) | 50 | 45 | 45 | 38 | 38 | 32 |
| | ワイヤ材料 | Au, Al, Au 合金, Cu 合金 | Au, Al, Au 合金, Cu 合金 | Au, Al, Au 合金, Cu 合金 | Au, Al, Au 合金, Cu 合金 | Au, Al, Au 合金, Cu 合金 | Au, Al, Au 合金, Cu 合金 |
| | パッド材料 | Al, Cu | Al, Cu | Al, Cu | Al, Cu | Al, Cu | Al, Cu |
| 設備 | 総合位置精度 (μm) | ± 3.0 | ± 2.5 | ± 2.5 | ± 2.0 | ± 2.0 | ± 1.5 |
| | ボンディング速度 (sec/2mm) | 0.06 | 0.06 | 0.06 | 0.05 | 0.05 | 0.05 |
| | 認識速度 (sec/2 点) | 0.12 | 0.10 | 0.10 | 0.08 | 0.08 | 0.08 |
| リードフレーム | 最小フレーム厚 (μm) | 80 | 80 | 80 | 80 | 80 | 80 |
| | 最小ピッチ (μm) | 130 | 120 | 120 | 110 | 110 | 100 |
| | 最小平坦幅 (μm) | 65 | 60 | 60 | 55 | 55 | 50 |
| インターポーザ | 最小リードピッチ (μm) | 90 | 80 | 80 | 60 | 60 | 50 |
| | 最小リード平坦幅 (μm) | 60 | 50 | 50 | 40 | 40 | 35 |

図表 9-10 ワイヤボンディング技術

(2) フリップチップ(FC)接続技術

FC 技術の動向を図表 9-11 に示す。FC 技術は、チップとパッケージを対向させ、その電極間を bumps を介して直接電氣的／機械的接続を行う。特徴として、①WB、TAB に比べ接続配線長が短いため、配線インダクタンスが比較的小さく、高速対応パッケージに適する事、②電極をチップ表面にアレイ状に配置できるため、WB に比べて緩いパッドピッチで多ピン化が可能な事、の 2 点が挙げられる。パッド配列は、周辺配置(ペリフェラル)と面配置(エアレイ)に分けられ、チップサイズ、必要ピン数、対応パッドピッチ、bump 材料に応じてレイアウト設計がなされる。各配列とその特徴について図表 9-12 にまとめた。

パッドピッチの縮小は図表 9-11 に示すように、2006 年の $40\mu\text{m}$ (ペリフェラル)および $150\mu\text{m}$ (エアレイ)から、2016 年には $25\mu\text{m}$ (ペリフェラル)および $100\mu\text{m}$ (エアレイ)まで進展すると見られる。なお、これらのピッチはシリコンチップと樹脂またはセラミック基板との FC 接続を前提とした数値である。チップ同士を多段積層する COC (Chip On Chip) の場合には、線膨張係数の違いから発生する応力が小さく、信頼性の懸念が低いため、さらに微細化が進展する。

また、パッド数については、2006 年の最大 1400 パッド(ペリフェラル)および 3400 パッド(エアレイ)から、2016 年には 2200 パッド(ペリフェラル)および 5400 パッド(エアレイ)程度になると予測される。

bump 構造とパッケージ基板との接続方式には、はんだ bump を用いた金属接合、絶縁性樹脂の中に導電性粒子を分散させた異方導電性樹脂による接続、bump とインターポーザの電極を接触させ樹脂の収縮応力で電気接続を保つ接続、bump とインターポーザの電極を導電ペーストで接続する等、様々な方式が提唱、開発されている。主な分類を図表 9-13 に示す。どの方式を採用するかについては、信頼性やパッドピッチなどの要求仕様、また既存設備インフラ等の都合に合わせて選択される。

以下、FC 技術の要素技術課題とその動向について述べる。

・**バンプ材料:** 発明当初の FC 技術は、鉛を主成分とする高融点はんだと共晶はんだの組合せで、C4 (Controlled Collapse Chip Connection) 技術と呼ばれてきた。環境保全の面から鉛フリー化が求められているが、パッケージ内部の接続部材としては、代替技術がなければという前提で高融点はんだの使用は許容されている。もっとも、真の鉛フリー化を目指し材料開発が進められ、2010 年には全廃と予測される。bump の代替材料としては、熔融系では Sn 合金の Sn-Ag と Sn-Ag-Cu が有力である。また、非熔融系としては Au または Cu が有力である。

・**バンプ形成方法:** はんだ bump としては、電解めっきが主流であるが、スクリーン印刷、転写、ボール搭載、無電解めっき等、今後も様々な方式が使用されていくと考えられる。Au ボール bump は、専用のボール bump ボンダが実用化されおり、狭ピッチ化動向、ウェーハ大口径化に連動した装置が開発されている。

・**UBM (Under Bump Metal) 材料:** スパッタを用いた Ti 系膜や Cr/Cu 系膜、無電解めっきによる Ni 膜が今後も採用されていくと予測される。

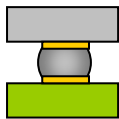
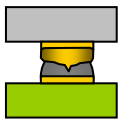
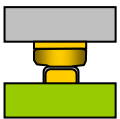
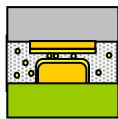
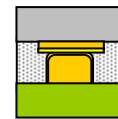
・**先封止技術:** 当初の FC 技術では、bump 同士の接合を完了させた後、その間隙にアンダーフィル樹脂を毛管現象により注入する方法が採用され、現在でも大半を占める。工程削減技術として、あらかじめ基板またはチップに封止樹脂を塗布しておき、bump 付きチップを搭載、bump 接合と樹脂封止を同時に行う先封止技術も開発され、一部実用化されている。先封止技術には、bump と基板電極の接続方式に着目すると、樹脂の収縮による残留応力を用いた接触接合や、金属微粒子を封止樹脂中に内在させ、電氣的導通を図る ACF (Anisotropic Conductive Film)、ACP (Anisotropic Conductive Paste)、樹脂硬化前にはんだ熔融により金属接合を図る ESC (Encapsulated Solder Connection) 等の工法が開発されており、今後も安価で信頼性の高い技術開発が望まれる。

| 項目 | パッド 配置 | 2006 年 | 2008 年 | 2010 年 | 2012 年 | 2014 年 | 2016 年 |
|-----------------------------------|--------|------------------|------------------|---------|---------|---------|---------|
| 最大パッド数 | ペリフェラル | 1,400 | 1,580 | 1,850 | 1,850 | 2,200 | 2,200 |
| | エリアアレイ | 3,400 | 3,800 | 4,200 | 4,600 | 5,000 | 5,400 |
| 最小パッド ピッチ (μm) | ペリフェラル | 40 | 35 | 35 | 30 | 30 | 25 |
| | エリアアレイ | 150 | 130 | 130 | 110 | 110 | 100 |
| 最小チップ厚 (μm) | ペリフェラル | 150 | 130 | 100 | 80 | 60 | 50 |
| | エリアアレイ | | | | | | |
| パッド材質 | ペリフェラル | Al,Cu | Al,Cu | Al,Cu | Al,Cu | Al,Cu | Al,Cu |
| | エリアアレイ | | | | | | |
| 最小バンプ径 (μm) | ペリフェラル | 20 | 17 | 17 | 15 | 15 | 12 |
| | エリアアレイ | 90 | 80 | 80 | 70 | 70 | 60 |
| バンプ高さ (μm) | ペリフェラル | 10 | 9 | 9 | 8 | 8 | 7 |
| | エリアアレイ | 75 | 65 | 65 | 55 | 55 | 50 |
| バンプ 材料 | ペリフェラル | Au,Cu | Au,Cu | Au,Cu | Au,Cu | Au,Cu | Au,Cu |
| | エリアアレイ | Sn-Pb Sn-Ag 系 | Sn-Pb Sn-Ag 系 | Sn-Ag 系 | Sn-Ag 系 | Sn-Ag 系 | Sn-Ag 系 |

図表 9-11 フリップチップボンディング技術

| | ペリフェラル(周辺配置) | エリアアレイ(フルグリッドの例) |
|----|-----------------------------------|--|
| 構造 | | |
| 特徴 | ・チップの周辺にパッドが配置されている | ・チップのほぼ全面にマトリクス状にパッドが配置されている |
| 長所 | ・狭ピッチ化可能 ・従来(WBデザイン)の設計資産が活用可能 | ・電源、GND用Pad配置の自由度が高く、電源供給能力に優れる ・多ピン化対応 |
| 短所 | ・素子上配線が長くなる | ・基板上の配線が長くなる ・(相対的に)狭ピッチ化不利 |

図表 9-12 フリップチップパッド配置の特徴

| | 金属接合 | | | 接触接合 | |
|------------|---|---|---|--|---|
| |  |  |  |  |  |
| バンプ材質 | はんだ | Au | Au | 導電粒子介在 | Au |
| 製法 | めっき/印刷 | ボール | ボール | ACF,ACP | |
| 基板 表面材質 | はんだ | はんだ | Au/Sn | | Au |
| 製法 | めっき/印刷 | めっき/印刷 | めっき | | めっき |

ACF : Anisotropic Conductive Film, ACP : Anisotropic Conductive Paste,

図表 9-13 主なバンプ材料と基板側の表面処理及び接合方式

9-3-4 樹脂封止技術

プラスチックパッケージのモールド樹脂封止技術は成熟技術であるが、チップの電力密度増に対応する低熱抵抗化、チップサイズ縮小化にともなうロングワイヤ配線や狭パッドピッチ化にともなうワイヤの細線化、及びパッケージの小型化・薄型化に対応した、成形性の向上する材料特性を中心とした開発が今後も必要である。また、Low-k 材から更に脆弱な Ultra Low-k の層間絶縁膜に対応したストレスを低減する特性を持った封止材料の開発も今後進む。また樹脂成形金型のポットやランナー等に残る樹脂を少なくしてパッケージ材料コスト低減を図る開発が進むと予測される。樹脂封止技術の動向を図表 9-14 に示す。

液状樹脂は FC 実装のアンダーフィル材や TCP パッケージの封止に使用され、特に前者は注入性、流動性、吸湿性、密着性、低応力性、リペア性などの技術的要求が強く、開発が活発に行われている。現在エポキシ系樹脂が主流になっているが、高信頼性・高耐熱性等の観点からポリイミド系や新規の樹脂系の適用も出てきている。樹脂共通の課題としては、難燃剤として含まれる Sb や Br の環境汚染の懸念があり、これらを使用しない樹脂(ハロゲンフリー樹脂)の実用化が課題となっている。

また、アンダーフィル形成方法としては、フリップチップ搭載後にチップ下へ樹脂を注入する後入れフロー方式と、チップ搭載前に先に樹脂を塗布しておく先塗布方式がある。前者は、品質、信頼性が優れている点から主流となっているが、生産性の向上(アンダーフィル工程の時間短縮)やバンプピッチの狭ピッチ化への対応の点で、後者の先塗布方式の適用が広まっている。先塗布方式の課題としては、ボイドの発生などによる品質や信頼性の劣化が挙げられる。後入れフローにおいては、従来から主流のノズルディスペンス法ではチップ周辺部のスペースの点でアンダーフィル材注入が困難なケースへの対応として、新たな方式として、ジェット方式が適用されている。

| 項目 | | 2006 年 | 2008 年 | 2010 年 | 2012 年 | 2014 年 | 2016 年 |
|------------------------|-----------------------------------|-----------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|
| 低熱抵抗化 | 熱伝導率 (W/m・K) | 3.2～3.4 | 3.2～3.4 | 3.4～3.6 | 3.4～3.6 | 3.6～4.0 | 3.6～4.0 |
| | ファイラー タイプ | アルミナ、 溶融シリカ、 結晶シリカ 窒化アルミ | アルミナ、 溶融シリカ、 結晶シリカ、 窒化アルミ | アルミナ、 溶融シリカ、 結晶シリカ、 窒化アルミ | アルミナ、 溶融シリカ、 結晶シリカ、 窒化アルミ | アルミナ、 溶融シリカ、 結晶シリカ、 窒化アルミ | アルミナ、 溶融シリカ、 結晶シリカ、 窒化アルミ |
| | ファイラー充填量 (wt%) | 85～95 | 85～95 | 85～95 | 85～95 | 85～95 | 85～95 |
| はんだ リフロー 耐性 | ピーク温度 (°C) | 250～260 | 250～260 | 250～260 | 250～260 | 250～260 | 250～260 |
| | 樹脂タイプ | ビフェニル、 PN、OCN、 DCP、多官能 | ビフェニル、 PN、OCN、 DCP、多官能 | ビフェニル、 PN、OCN、 DCP、多官能 | ビフェニル、 PN、OCN、 DCP、多官能 | ビフェニル、 PN、OCN、 DCP、多官能 | ビフェニル、 PN、OCN、 DCP、多官能 |
| | 低熱膨張レジ ンの熱膨張係 数 (ppm/°C) | 6～10 | 5～10 | 5～10 | 5～10 | 5～10 | 5～10 |
| 耐熱性 | 高 Tg 樹脂のガ ラス転移 温度(°C) | 120～170 | 150～200 | 150～200 | 150～200 | 150～200 | 150～200 |
| 環境対策 ハロゲンフリー採用状況(%) | | 20 | 60 | 90 | 100 | 100 | 100 |

PN : Phenol Novolac, OCN : Ortho Cresol Novolac,

DCP : Di Cycro Pentadiene Novolac, 多官能:多官能エポキシを含んだレジ

MAP:Mold Array Packaging

図表 9-14 樹脂封止技術

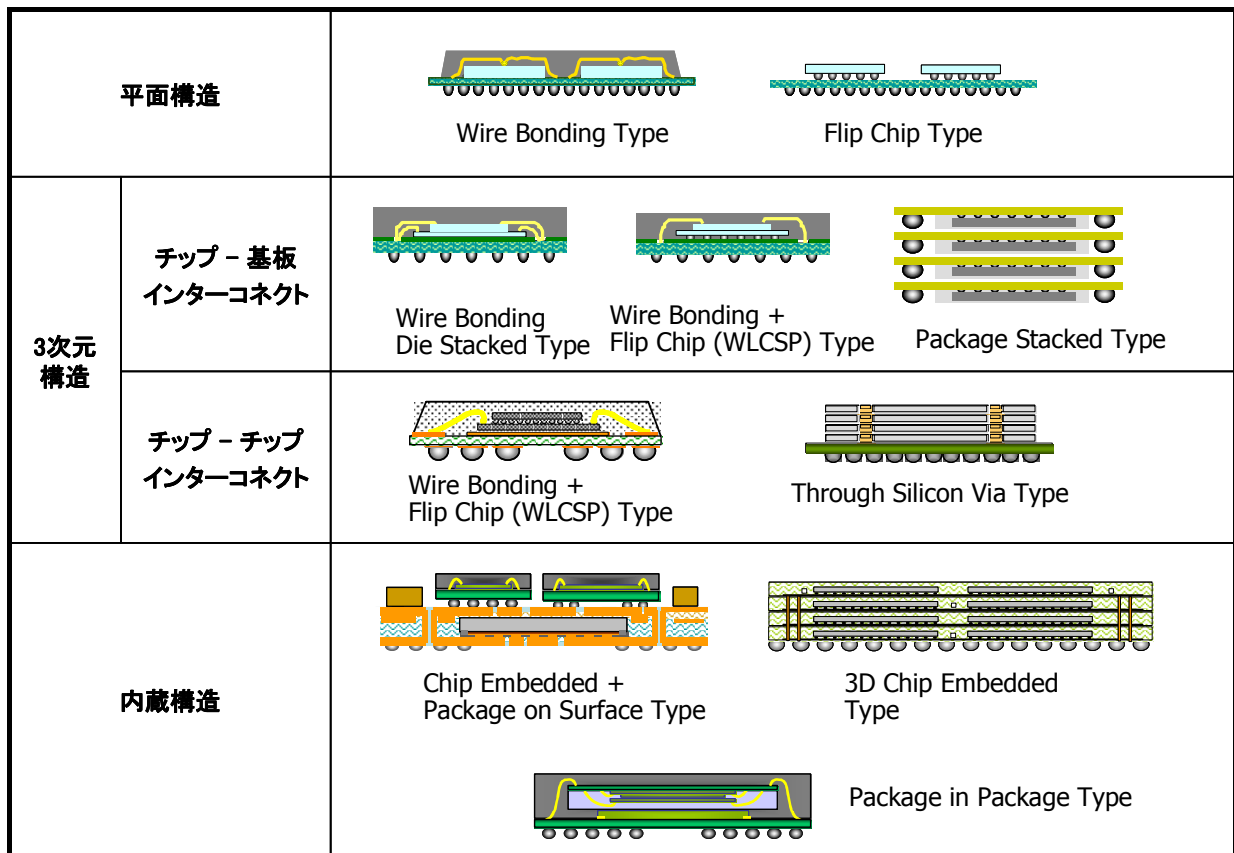
9-4 MCP/SiP

半導体実装におけるモジュール化技術については、従来の構造面からのコンセプトであるMCM、MCPに対して、機能面からのコンセプトとなるSiPが導入されて以来、急速に普及が進んでいる。さらに、WL-CSP、部品内蔵基板や、TSV(Through Silicon Via)などの新技術の導入により構造の多様化が進んでいる。ここでは、MCP/SiPのパッケージの動向について記載する。

9-4-1 MCP/SiPの構造

図表9-15に各種MCP/SiPの例を示す。ハイブリッドIC・MCMと呼称されたICを平面的に配置した平面構造のパッケージ形態から始まったMCP/SiPは、実装密度向上の観点より、現在の主流となっている3次元方向にICを積層した積層構造のパッケージへと進化し、特に、携帯電話に代表されるモバイル機器の小型高機能化

を実現するためのキーデバイスとなっている。さらなる高密度実装や機能の向上を目的に、貫通ビアを介した IC 同士の直接接合 (TSV) や、IC や各種能動・受動素子を基板内に内蔵した内層構造パッケージの実現のためのさまざまな取り組みが行われている。



図表 9-15 各種 MCP/SiP の例

9-4-2 MCP/SiP のコンセプトとその進展

1チップでシステムを実現するSoCに対して、その代替技術、または相互補完技術として複数のチップを1つのパッケージに搭載してシステムを実現するSiPが新たなコンセプトとして、90年代後半に登場した。その後、現在に至るまで、チップの薄型化、積層化、狭端子ピッチの相互接続技術等の要素技術や、多層薄型サブストレートや薄型モールド樹脂封止の材料技術に代表される高密度実装技術開発が進められてきた。現在主流となっているMCP/SiPにおいては、1チップ上では実現が困難な高機能化、高集積化を1パッケージ内で実現するというコンセプトが主流となっている。具体例として、大容量のメモリ、異種技術混載のメモリ(例:フラッシュメモリ+DRAM)のMCPや、大容量メモリ搭載のマイコン、ASICのSiP、デジタルICとアナログICを混載したSiP等が挙げられる。また1パッケージ内に搭載されるICの数も10個程度のものまで開発されている。

しかしながら、このような多数のチップを1パッケージ内に実装するMCP/SiPの課題として、実装技術以外の大きな側面が、テスト性と歩留まりである。ベアチップを実装する際には、KGDの確保と内部接続された各ICのテスト性、そしてその結果である歩留まりや、ユーザーに対する品質保証といった多くの課題が存在している。

これらの課題に対する実装技術面からのアプローチのひとつが、個別のパッケージに実装されたテスト済みのICを組み合わせて実装し、品質保証されたMCP/SiPを実現するというコンセプトで、POP (Package On Package)、PIP (Package In Package) といった技術の実用化も拡大している。

9-4-3 MCP/SiPの技術動向

MCP/SiP の技術動向について、図表 9-16 に示す。Low Cost/Hand-held 用途の MCP/SiP のロードマップである。

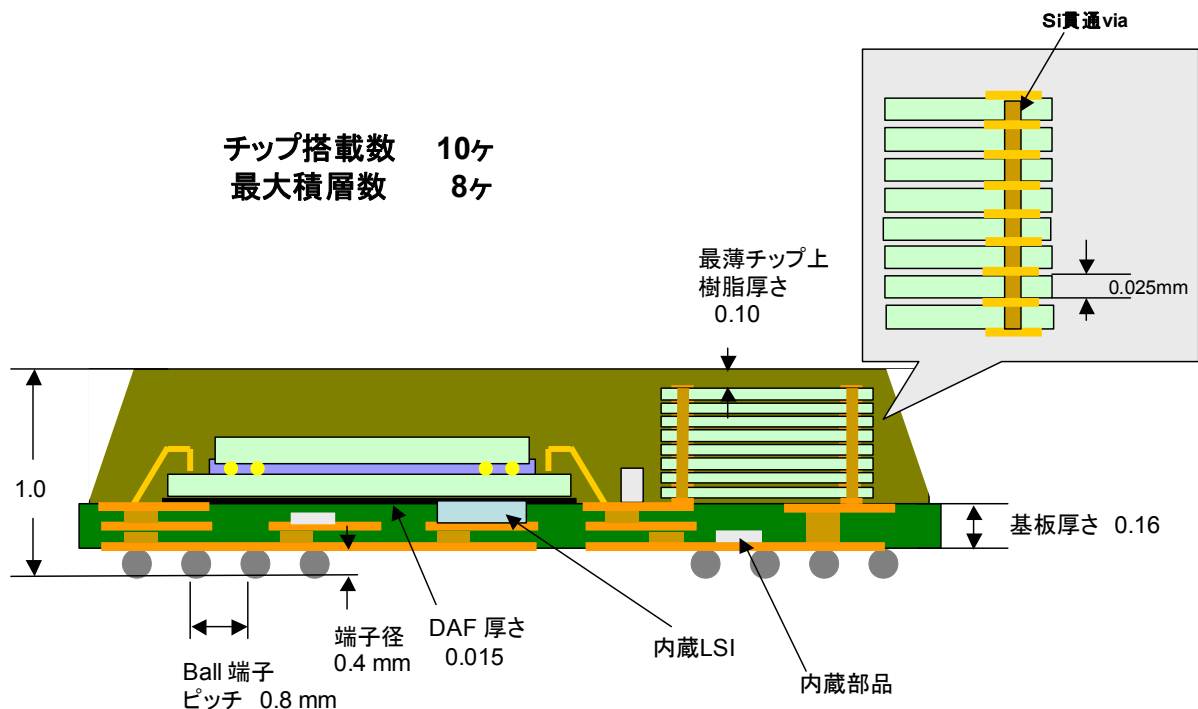
| 記入内容 | | | 追加記入欄/選択肢 | 2006年 | 2008年 | 2010年 | 2012年 | 2014年 | 2016年 |
|-------------|-----------------------------|----------|-------------|-------|-------|-------|-------|-------|-------|
| IC | マイコン | 搭載ICに○ | | ○ | ○ | ○ | ○ | ○ | ○ |
| | ロジック | | | ○ | ○ | ○ | ○ | ○ | ○ |
| | メモリ | | | ○ | ○ | ○ | ○ | ○ | ○ |
| | RF/ミックスドシグナル | | | ○ | ○ | ○ | ○ | ○ | ○ |
| | 搭載個数 | 合計の個数 | Max (個) | 8 | 10 | 10 | 12 | 12 | 14 |
| 能動素子 | LD/PD | 搭載能動素子に○ | | - | - | - | - | ○ | ○ |
| | CCD/CMOSセンサ | | | ○ | ○ | ○ | ○ | ○ | ○ |
| | MEMS | | | - | ○ | ○ | ○ | ○ | ○ |
| パッケージ 外形 | 最大外形サイズ | 平面サイズ | 辺の長さ(mm) | 20 | 25 | 25 | 25 | 30 | 30 |
| | 取り付け高さ | 8チップ積層時 | 厚み(mm) | 1.4 | 1.2 | 1.0 | 1.0 | 0.8 | 0.8 |
| | 最大端子数 | 端子数 | Max | 600 | 800 | 800 | 800 | 800 | 800 |
| パッケージ 内部 | IC間接続 (チップ間接続) | 採用方式に○ | ワイヤ | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | フリップチップ | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | 貫通ビア | - | ○ | ○ | ○ | ○ | ○ |
| | | | その他(光、非接触) | - | - | - | ○ | ○ | ○ |
| | IC-基板間接続 (チップ-基板間 接続) | 採用方式に○ | ワイヤ | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | フリップチップ | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | その他(光、新規技術) | - | - | - | ○ | ○ | ○ |
| | 最薄チップ厚 | チップ厚み | Min (μm) | 40 | 35 | 25 | 20 | 17 | 15 |
| | 最多チップ積層数 | 層数 | Max (層) | 6 | 8 | 8 | 10 | 10 | 12 |
| | 最薄DAF厚 | | Min (μm) | 20 | 15 | 15 | 10 | 10 | 10 |
| 最小基板厚 | 4層基板 | Min (μm) | 200 | 180 | 160 | 140 | 100 | 80 | |
| 最薄チップ上樹脂厚 | ワイヤボンダ仕様 | Min (μm) | 200 | 150 | 100 | 80 | 70 | 60 | |
| 基板内蔵部 品 | IC | 内蔵部品に○ | IC | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | キャパシタ | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | 抵抗 | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | インダクタ | ○ | ○ | ○ | ○ | ○ | ○ |
| 基板材質 | 有機系 | 使用材質に○ | 有機(リジット) | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | 有機(フレキシブル) | ○ | ○ | ○ | ○ | ○ | ○ |
| | 無機系 | | セラミック | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | シリコン | ○ | ○ | ○ | ○ | ○ | ○ |

RF : Radio Frequency, LD : Laser Diode, PD : Photo Diode, MEMS : Micro Electro Mechanical Systems, DAF: Die Attach Film

図表 9-16 Low-cost/Hand-held 用途の MCP/SiP

- SiP の用途:**Low-Cost/Hand-held 用途では携帯電話、デジタルカメラ、ゲーム機器といった用途が具体的に挙げられた。
- 搭載 IC:**MPU、ロジック、メモリ、RF/ミックスドシグナルの全ての種類の IC が、SiP の用途に応じて組み合わせ使用される。搭載される IC の最大個数は現在の 8 個から 2012 年には 12 個に増加する。
- 搭載部品:**受動部品は 2006 年現在、既にキャパシタ、抵抗ならびにインダクタが搭載されており、2016 年まで不変である。能動部品については、2006 年現在の CCD/CMOS センサに加えて、2008 年以降には MEMS が搭載され、さらに 2014 年には LD/PD が搭載されることが予測されている。
- パッケージ外形:**2006 年現在の最大外形は 20mm 角から、2008 年には 25mm 角、2014 年には 30mm 角となることが予測されている。最大端子数は現在の 600 端子から 2008 年以降は 800 端子まで増加するが、以降は端子数は増えないとしている。これは SiP の機能向上に伴う配線数の増加は IC 間の配線が主となることを意味している。
- パッケージ内部:**IC-IC 間接続は、2006 年現在のワイヤボンド、フリップチップに加えて、2008 年以降は貫通ビアによる接続が採用され、2012 年には光接続や無線による非接触のインターコネクト技術が採用される。一方、IC-基板間接続では 2012 年以降に、光接続あるいは新規技術の採用の可能性を予測している。IC の薄型化は、継続的に進展し、2006 年現在の 40 μ m 厚から 2016 年には 15 μ m まで薄型化する。IC の最大積層数は現在の 6 層から、2016 年には 12 層になる。
- 基板:**基板への部品内蔵に関して、2006 年現在で、IC、キャパシタ、抵抗、インダクタが内蔵されている。基板材質に関しては、現在の有機リジッド、フレキシブル、セラミック、シリコン基板が継続して使用される。

図表9-17にLow-cost/Hand-held用途の2010年のSiPの代表的な事例を示した。ICは基板上と基板内に搭載され、IC-基板、IC-IC間の接続には、ワイヤボンド、フリップチップ接続、TSV接続が用いられる。内蔵部品は基板上に搭載されるとともに、基板にも内蔵される。各部品の寸法を図中に記した。



図表9-17 2010年におけるSiPの代表事例

9-5 ITRS との比較

9-5-1 半導体チップのパッドピッチ

パッケージに搭載される半導体チップのパッドピッチのロードマップを、ITRS2006Update 版と JJTR2007 との比較で図表 9-18 に示した。ITRS は 2000 年 Update 版でパッドピッチを従来ロードマップの半分まで極端に縮小した。その後、ボンディング技術の実情に合わせて徐々にピッチを元の値に戻ってきて、2006Update 版でほぼ ITRS1999 の値に戻している。JJTR も ITRS に合わせる形で、2001 年度版において狭ピッチ化を進めるロードマップとしたが、実際には極端な狭ピッチ化は推進されず、徐々に見直しを掛けた。今回の値は ITRS と JJTR でほぼ合意した値であり、ワイヤボンドについてはほぼ整合が取れている。3 列千鳥パッドのロードマップについては ITRS に示されているのに対して、JJTR ではまだ 3 列千鳥パッドの必要性が見られないとして積極的にロードマップを表明していない。

また、フリップチップ接続については、JJTR のパッドピッチが 2006 年現在で 150 μm に対して ITRS では 130 μm と 20 μm の差がある。これは、チップ上のバンプ形成技術の開発よりも、フリップチップ接続用のパッケージ基板のコストが高いため、ITRS が予測するよりも狭ピッチの進展は遅れると見込んでいるためである。

従来はワイヤボンディング技術の発展に先んじて、狭ピッチの先端分野をカバーしてきたフライングリード(片持ちリード)による TAB 接合技術はワイヤボンディング技術の微細ボンディング技術に追いつかれ、その存在価値が薄れている。TAB 技術はチップ・オン・フィルム(COF)技術へと移行して、現状の技術レベルである 35 μm ピッチ以下の開発は COF へと移行する。そのため、JJTR2007 ではフライングリードに関してロードマップから削除した。

単位: μm

| 大項目 | 小項目 | ITRS/ JJTR | 2006 年 | 2008 年 | 2010 年 | 2012 年 | 2014 年 | 2016 年 |
|---------|----------|---------------|--------|--------|--------|--------|--------|--------|
| ワイヤボンド | 単列パッド | ITRS | 40 | 35 | 30 | 25 | 25 | 25 |
| | | JJTR | 40 | 35 | 35 | 30 | 30 | 25 |
| | 2 列千鳥パッド | ITRS | 50 | 45 | 40 | 35 | 35 | 35 |
| | | JJTR | 50 | 45 | 45 | 40 | 40 | 35 |
| | 3 列千鳥パッド | ITRS | 55 | 50 | 45 | 40 | 35 | 35 |
| | フリップチップ | エリアアレイ | ITRS | 130 | 130 | 120 | 110 | 100 |
| JJTR | | | 150 | 130 | 130 | 110 | 110 | 100 |
| COF(周辺) | | ITRS | 30 | 25 | 20 | 15 | 15 | 15 |
| | | JJTR | 30 | 25 | 20 | 15 | 10 | 10 |
| TAB | フライングリード | ITRS | 35 | 35 | 35 | 35 | 35 | 35 |
| | | JJTR | - | - | - | - | - | - |

図表 9-18 半導体チップの端子ピッチ

9-5-2 パッケージの外部端子ピッチ

パッケージ外部端子の狭ピッチ化動向の比較を図表 9-19 に示す。外部端子については、QFP の端子ピッチのありかたに両者の考え方の違いが出ている。ITRS は継続的に QFP の端子ピッチが縮小していくと記述しているが、JJTR では QFP のリードピッチの縮小化はそれほど進まず、今後、多ピン系は FBGA へ、少ピン系は QFN へとパッケージ形態が変わっていくと予測している。

一般に、多ピンになるとQFPよりもFBGAのほうが安価といわれていることと、実装歩留まりが高いことが牽引力になって、多ピン系はFBGAが主流となって伸びていく。また、100ピン以下の少ピン系はリードがないQFNのほうが高密度実装に利点がある。電子機器セットグループからも100ピン程度で0.3mmピッチのQFPが欲しいといわれているので、需要はあるものの、究極は実装面積で有利なリードレスなQFNになるとみている。

FBGAの端子ピッチについてはITRSが2006年に0.3mmに達しているとしているのに対して、JJTRはまだ0.4mmレベルとみており、両者の現状把握に差がある。この外部端子の狭ピッチ化はパッケージ技術ではなく、はんだペースト印刷の工程能力など実装技術要因によって導入時期が決まるものであり、総合的なインフラの技術開発が必要となる。実装基板の微細化量産展開の遅れによって、パッケージの狭ピッチ化が以前の予測よりも遅れてきているので見直しを行った。

単位:mm

| 大項目 | ITRS/ JJTR | 2006年 | 2008年 | 2010年 | 2012年 | 2014年 | 2016年 |
|-------|---------------|-------|-------|-------|-------|-------|-------|
| QFP | ITRS | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 | 0.2 |
| | JJTR | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 |
| FBGA | ITRS | 0.3 | 0.2 | 0.15 | 0.15 | 0.15 | 0.15 |
| | JJTR | 0.4 | 0.3 | 0.3 | 0.2 | 0.2 | 0.15 |
| QFN | ITRS | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 | 0.3 |
| | JJTR | 0.4 | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 |
| P-BGA | ITRS | 0.8 | 0.8 | 0.65 | 0.65 | 0.65 | 0.65 |
| | JJTR | 1.0 | 0.8 | 0.8 | 0.8 | 0.65 | 0.65 |
| FLGA | ITRS | 0.3 | 0.3 | 0.3 | 0.3 | 0.3 | 0.3 |
| | JJTR | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 | 0.3 |

図表 9-19 半導体パッケージの外部端子ピッチ

9-5-3 チップの薄化

チップ厚の動向の比較を図表 9-20 に示す。チップの薄化に対して ITRS は非常に前向きなロードマップ値を提示している。この背景にはウェーハ同士の張り合わせを前提にしているためにハンドリングの課題がないことと、ウェーハが薄いほど TSV に必要な穴掘り加工と穴埋め加工のスループットが高くなって、三次元チップ積層コストが低減される施策となることがある。一方、JJTR では、チップ厚を 15 μm まで研削して動作確認を行ったメーカーが現時点でもいること、チップの積層によるメモリの大容量化が要求されていることなどから 10 年後は 15 μm の量産化が実現されると考える。

| 大項目 | 小項目 | ITRS/ JJTR | 2006年 | 2008年 | 2010年 | 2012年 | 2014年 | 2016年 |
|---------------------------|-----|---------------|-------|-------|-------|-------|-------|-------|
| チップ厚 (μm) | 一般品 | ITRS | 70 | 60 | 50 | 40 | 40 | 40 |
| | | JJTR | 75 | 70 | 70 | 60 | 60 | 50 |
| | 極薄品 | ITRS | 25 | 20 | 15 | 10 | 10 | 8 |
| | | JJTR | 40 | 35 | 25 | 20 | 17 | 15 |

図表 9-20 チップ厚

9-5-4 SiP

Low cost/hand held 用途の SiP 技術の比較を図表 9-21 に示す。最大端子数については、ITRS と JJTR は 800 ピンで横ばいと同じ予測をしている。現在、テストのために、各チップの端子はすべて外部端子に出しているが、BIST(Built in Stress Test)などの手法によって 2010 年以降はチップ間接続端子は外部に引き出す必要がなくなり、そのために外部端子数の増加は抑制されると予測しているためである。

チップの積層数については ITRS と JJTR ともに増加傾向ではあるが、ITRS は積層数を極端に増やしている。JJTR では、システムオンチップによる集積密度向上によって、電子機器あたりに使用されるチップ数が減って、積層するチップも極端には増加しないと予測している。

| 大項目 | 小項目 | ITRS/ JJTR | 2006 年 | 2008 年 | 2010 年 | 2012 年 | 2014 年 | 2016 年 |
|------------------|-----------|---------------|--------|--------|--------|--------|--------|--------|
| チップ搭載数 (単位:個) | Low cost | ITRS | 8 | 8 | 11 | 13 | 14 | 15 |
| | Hand held | JJTR | 8 | 10 | 10 | 12 | 14 | 14 |
| チップ積層数 (単位:個) | Low cost | ITRS | 6 | 8 | 10 | 12 | 14 | 15 |
| | Hand held | JJTR | 6 | 8 | 8 | 10 | 12 | 12 |
| 端子数 (単位:ピン) | Low cost | ITRS | 600 | 800 | 800 | 800 | 800 | 800 |
| | Hand held | JJTR | 600 | 800 | 800 | 800 | 800 | 800 |

図表 9-21 SiP

9-6 まとめと今後の課題

20 世紀半ばに発明された半導体デバイスの、この半世紀間の進展には目覚ましいものがあり、ウェーハプロセスの微細化により、高集積化、高速化、高性能化を推進してきた。半導体パッケージにおいても、挿入型から表面実装型へ(第 1 次革命)、ペリフェラルタイプからエリアアレイタイプへ(第 2 次革命)と進み、1990 年代後半には、第 3 次革命というべき 3 次元化が始まった。

今後の半導体パッケージとしては、少ピンデバイス用途として QFN が適用拡大するものの、多ピンデバイス用途を始め、BGA/FBGA のエリアアレイパッケージが開発の主流となり、端子の狭ピッチ化、多ピン化、パッケージの低背化が進む。それを実現する組立技術として、薄チップ化技術、パッドの狭ピッチ化に対応したチップ接続技術、低応力・低反り封止技術などの開発を推進する必要がある。そのための材料、治工具、組立装置、評価装置などのインフラ技術の開発も課題である。

21 世紀は、より高度な情報通信ネットワーク社会の構築が進展し、電子機器においても益々高性能化するとともに、小型化・軽量化が進む。実装技術においても狭ピッチ化による高密度化が進むが、更なる 3 次元実装化や複合実装化など、SiP 化が進展する。ウェーハレベルでの積層技術、能動素子内蔵基板技術などの実現が課題である。高密度化に伴う放熱も大きな問題で有り、高効率ペルチェ素子やマイクロマシンによる冷却システム等も実用化されるが、システム全体での放熱を考えていく必要がある。

なお、省資源・省エネルギー化および地球環境との調和も重要な課題である。現在、環境対応として鉛フリー化・ハロゲンフリー化を推進しているが、さらに廃棄物ゼロを目指してのリユース・リサイクル比率の向上や、環境に優しい材料の開発が課題である。

参考文献

- 1) 2007 年度版 日本実装技術ロードマップ (2007 年 6 月発行予定、JEITA)