

第 12 章 WG10 モデリング & シミュレーション

12-1 はじめに

12-1-1 モデリング & シミュレーションのスコープ

モデリング & シミュレーション (M&S) は、半導体デバイスの材料・プロセス条件、デバイス動作条件の情報と基礎的な物理モデルに基づいて、デバイス特性をシミュレーション予測する技術を議論する。ここで用いられる技術は、Computer Aided Design (CAD) の手法を主に Si MOSFET のプロセス、デバイス開発の分野に拡張したもので、Technology Computer Aided Design (TCAD) と呼ばれることが多い。M&S の役割は、デバイス開発の実シリコンの試作、製造のサイクルの TAT 短縮だと考えている。具体的には、実シリコンの試作において、設計技術者やインテグレーション技術者による要求スペックとプロセス、材料、動作条件の情報を元に、求めるデバイスのミナル特性、ばらつき、初期信頼性をタイミングよく予測すること、更に、実シリコンが得られた場合は、SPICE パラメータ抽出、実シリコンのテスト、故障解析、ESD など IO 関連の対策へ寄与することである。各世代の LSI の開発責任者や技術者の要求は、TAT 短縮、ロバスト特性・イールド向上のソリューションである。より良いソリューションを求める手法として、M&S を利用した手法が期待されている。

12-1-2 MOSFET ロバスト特性、ばらつきの問題

何が問題かは、やはり、デバイス開発において、スケーリングによる性能向上と、MOSFET ロバスト特性の両立は困難になって来ていることである。これは、ゲート酸化膜薄膜化、速度飽和の存在など材料的課題、リソグラフィ等微細加工の困難さがあるうえに、ばらつきの問題が浮上しているからである。ばらつきは、Optical Proximity Correction (OPC) やフェーズシフトマスク、Chemical Mechanical Polishing (CMP) 等、ぎりぎりのパターン加工を駆使するため、要因が分かりにくい上に、不純物の分散性やキャリアの準弾道性、量子性をも考慮すべきデバイスサイズに到達しつつあるため、ばらつきの起源は非常に複雑である。従来の経験的データのみでの外挿予測は困難な状況にある。このため、M&S でも MOSFET へのばらつき影響の TCAD による調査を行ってきた。2006 年度も、このばらつきの問題が深刻と考え継続している。目的は、先ず、M&S のロードマップのテーブル精度を高めることである。

12-1-3 WG10 活動概要

WG10 M&S メンバーは、図表 12-1 のように、半導体企業、コンソーシアム、大学、SEAJ (Semiconductor Equipment Association of Japan) 装置メーカーからなる。今年度は、リーダーを含め、メンバーがかなり変更された。また、これまで手薄であった分野に対し、Device Modeling に、筑波大学の佐野先生、Circuit Element Modeling に広島大学の三浦先生に 2006 年 11 月から加わって頂いた。

氏名	組織	役割	主担当領域
麻多 進	NEC EL	リーダー	Interconnects
佐藤 成生	富士通	国際対応	Device Modeling
國清 辰也	ルネサス	国際対応	Device Modeling
林 洋一	沖	幹事	Design, Manufacturing Yield
木村 光紀	ソニー	委員	Front End Process Modeling
青木 伸俊	東芝		Front End Process Modeling
海本 博之	松下		
藤原 秀二	三洋		
西尾 修	シャープ		
中村 光利	Selete	(コンソーシアム)	Numerical Methods
谷口 研二	阪大	特別委員	
小谷 教彦	広島国際大		
大野 隆央	物質・材料機構		Materials Modeling
佐野 伸行	筑波大		Device Modeling
三浦 道子	広島大		Circuit Element Modeling
小方 誠司	アルパック	SEAJ	Equipment Modeling

下線:2006 年度変更

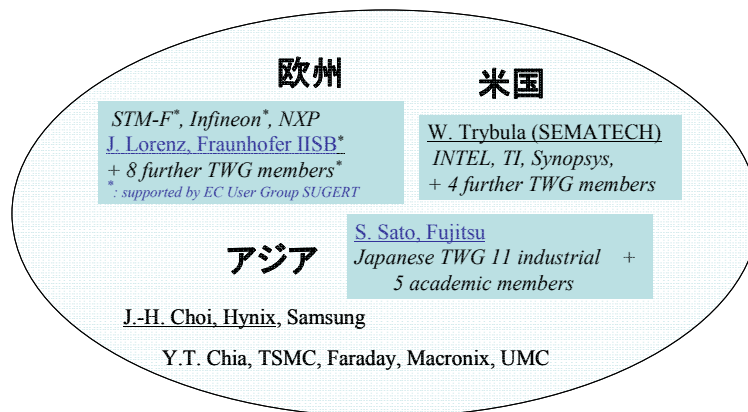
図表 12-1 STRJ M&S の構成

2006 年度の WG10 は、先ず ITRS 活動として主にばらつきに関する精度の観点からテーブル改訂を行った[1]。合わせて、STRJ 活動として MOSFET ばらつき影響を主とした TCAD に関する調査を行った。

12-2 ITRS M&S 活動

12-2-1 ITRS M&S 構成

ITRS M&S は、欧州、米国、アジアの 3 極で構成されている(図表 12-2)。リーダーは Fraunhofer IISB の J. Lorenz が務めている。欧州委員は SUGERT(Strategic User Group for European Research on TCAD) [2]の組織の元で活動している。日本と欧州は地域内の活動が活発で、地域内の意見がロードマップに反映されている。一方、米国・韓国・台湾は地域内の M&S の組織が無く、地域内の意見が取りまとめられてない。これらの地域の委員の増員を J. Lorenz が働きかけている。



図表 12-2 ITRS M&S の構成

12-2-2 ITRS M&S Table の修正

2006 年の ITRS の活動で Difficult Challenges、Requirements、Accuracy の Table を見直した。ここでは各 Table の修正箇所の要点を示す。詳細は 2006 年版のロードマップ[1]を参照されたい。

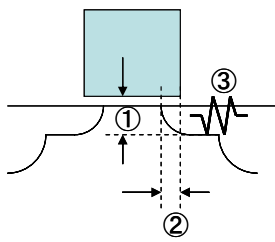
Difficult Challenges の Table には 32nm 世代までの 6 分野の Challenge 項目と、32nm 世代以降の 4 分野の Challenge 項目が示されている。さらに、それぞれの分野毎に、幾つかの課題が示されている。2006 年版では、これらの 10 分野のタイトルは変更してないが、multiple exposure/patterning、新規メモリ素子、non charge-state devices などのモデリングの課題を追加した。Requirements の Table には、要求されるモデルが示されているが、モデルの候補(Solution)は明示しない方針になっている。2006 年版では、液浸リソグラフィと EUV に要求されるモデルなどが見直された。

Accuracy の Table は、ある世代の Default 値に要求される精度が示されている(図表 12-4、12-6)。プロセスモデリングでは MOS トランジスタの特性に最も敏感な SDE(Source Drain Extension)の不純物分布の精度が示されている。SDE の接合位置の精度はゲート長に対する比率で定義されている。SDE のシート抵抗の精度はシート抵抗の絶対値に対する比率で定義されている。新規の接合形成技術の導入に伴い、これらの技術に対応するモデリングが必要になる。2010 年以降の SDE の接合位置を要求される精度で予測できるモデルが無い。さらに、2007 年以降のシート抵抗を要求される精度で予測できるモデルが無い。この両者は緊急の課題である。デバイスモデリングでは、しきい値電圧のロールオフ特性の精度が示されている。しきい値電圧はデバイスシミュレータで計算されるため、デバイスモデリングのカテゴリーに記述されているが、プロセスモデリングの精度で主に決まる。2006 年版ではゲート幅に対するロールオフ特性の精度が新しく追加された。なお、ロールオフ特性の精度の定義は不明確であり、2007 年に見直す必要がある。形状シミュレーションの分野では、ウェーハレベルの形状の要求精度と、トランジスタレベルの形状の要求精度が定義されている(図表 12-6)。電気特性への影響が大きい、ゲート形状、サイドウォール形状、最下層の配線形状の精度が定義されている。2007 年以降のトランジスタレベルの形状を要求される精度で予測できるモデルが無い。

2006年版の特徴として、プロセス感度の予測に要求される精度が追加された(図表 12-7)。プロセス感度の要求精度が 10%とは、あるプロセスの変動/変更で膜厚が 5nm 変化するとき、この変化量を 4.5-5.5nm の範囲で予測すべきと言う意味である。2006年版では、ゲート長と SDE の接合深さの感度の精度が定義された。

Accuracy の Table には TCAD による開発コスト削減率の要求値(40%@2006)が示されている。日本で 2003 年度にコスト削減率の実績をアンケートしており、このときの回答が要求値の元になっている。欧州でも 2006 年に Web ベースのアンケートを実施し、開発コストの削減率は平均 33%との結果を得たが、母数が 8 件と少なくデータの信頼性が低い。開発コスト削減率の要求精度の確度を上げることが課題になっている。

Requirements、Accuracy の Table はロードマップの定義に従って、無色、ゼブラ、黄色、赤色で色分けされている。J. Lorenz からオレンジ色の提案があった。赤色は解決しないと製造不可になる技術(例 OPC)、オレンジ色は解決しなくても製造できる技術である。2006 年版ではオレンジ色は使われていないが、IRC にオレンジ色を提案していく。

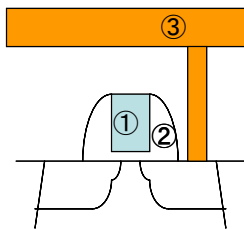


図表 12-3 MOSFET 断面図

Process	2005	2006	2007~2009	2010~2013
① Vertical junction depth simulation accuracy	10%	10%	10%	10%
② Lateral junction depth simulation accuracy	5%	5%	5%	5%
③ Total source/drain series resistance (accuracy of activation)	5%	5%	5%	5%

Device	2005	2006	2007	2008~2013
Length-dependent Vt rolloff accuracy (mV)	15	10	10	7
Width-dependent Vt rolloff accuracy (mV)	15	10	10	7

図表 12-4 ITRS M&S Table 修正箇所(1)



図表 12-5 MOSFET 断面図

	2005	2006	2007~2013
Wafer scale deposition/etching/CMP accuracy	5%	5%	5%
General 2D/3D topography accuracy (% accuracy of feature dimensions)	5%	5%	5%
① Gate 2D/3D topography accuracy (% accuracy of the MPU physical gate length)	1.8%	1.8%	1.8%
② Gate sidewall spacer 2D/3D topography accuracy (% accuracy of sidewall width)	5%	5%	5%
③ Interconnect 2D/3D topography accuracy (% accuracy of MPU/ASIC Metal 1 (M1) 1/2 Pitch)	5%	5%	5%

図表 12-6 ITRS M&S Table 修正箇所(2)

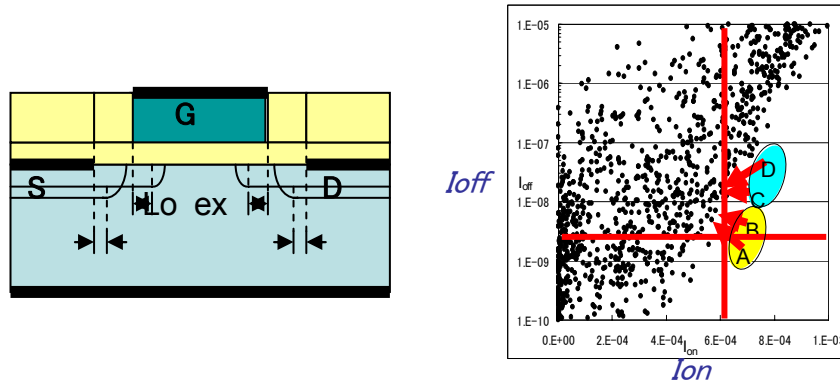
	2005~2006	2007~2009	2010~2013
Absolute CD prediction accuracy (incl. OP effects) for dense and isolated lines - % of actual CD (=printed gate length)	3%	3%	3%
ADD Accuracy of sensitivity of CD vs. relevant technology parameters (dose, defocus, pitch, ...)	10%	10%	10%
Vertical junction depth simulation accuracy (% of physical gate length)	10%	10%	10%
Lateral junction depth simulation accuracy: (% of physical gate length)	5%	5%	5%
ADD Accuracy of sensitivity of junction depth w.r.t. implantation and anneal conditions	5%	5%	5%

図表 12-7 ITRS M&S Table 修正箇所(3)

12-3 STRJ M&S 活動

12-3-1 ガウス型分布を仮定した halo 構造と特性ばらつきへの検討

2005 年度は、ガウス型分布を仮定して halo 構造の探索を行い、図表 12-8 に示すように、 I_{on} 、 I_{off} 、 $V_{th_rolloff}$ のターゲット特性は ほぼ同じでも、ばらつき感度が大きく異なる場合があることが示された[3]。この点は非常に重要である。更に調査すべきであったが、残念ながら今年度、新たな活動が出来なかった。



図表 12-8 ガウス型分布の Halo 構造の探索結果例

12-3-2 技術ヒアリング

今年度は、ばらつき問題に関し既に研究を進められている広島大学の三浦道子教授(2006.11 より WG10 特別委員)、筑波大学の佐野伸行助教授(2006.11 より WG10 特別委員)からの技術ヒアリングを企画した。三浦先生には「MOSFET の特性ばらつき予測手法と RF コンパクトモデリング」、佐野先生には「極限 MOS における電子輸送と特性ばらつきへの起源」のタイトルで、2006 年 7 月 25 日に JEITA 306 会議室で講演頂いた。参加者は設計 TF から 3 名、WG1 から 4 名、WG3 から 1 名、WG10 から 9 名、WG11 から 1 名、WG12 から 1 名だった。

以下、講演で議論になった主な質疑を紹介する。

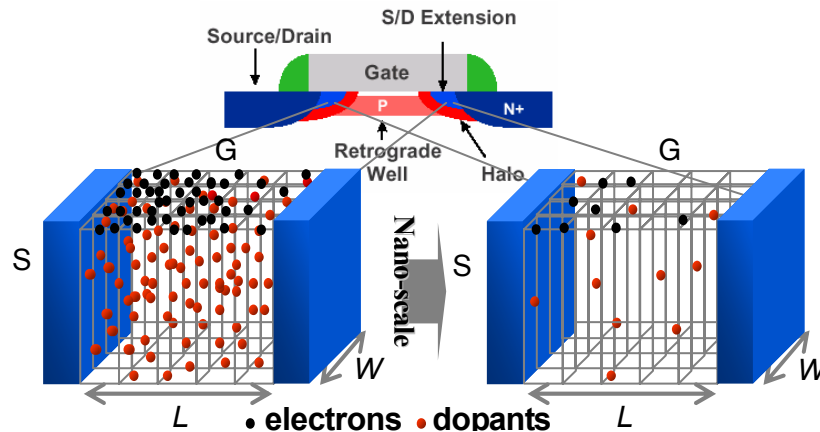
12-3-2-1 MOSFET の特性ばらつき予測手法と RF コンパクトモデリング

ロードマップを考えると、ばらつきに関連し問題となる現象は何か？との質問に対し、三浦先生は、コンパクトモデルの標準化委員会 CMC(Compact Modeling Council)では、主に 1)レイアウト依存 STI ストレス効果、2)全電極、全バイアス、全温度でのノイズ、3)レイアウトの近接効果などの現象のモデリングが求められていると回答。また、ランダムばらつきに対する取り組みはどのようにすればいいか？の質問に対しては、ランダムばらつきは、対象にしているデバイスとその周辺デバイスとの相互作用にも起因する。それゆえ、レイアウトを含めてばらつきを考えないと、ランダムばらつきを解析することはできない。現在、STARC と共同研究をしており、基板濃度を変えたウエハを 3 枚準備して、そのうち、一つの基板濃度をもつウエハについて、 g_m 、 g_{sd} のばらつきを再現するパラメータ抽出をし、その他 2 つの基板濃度の g_m 、 g_{sd} のばらつきを精度よく予測できることを確認している。モデル(HiSIM)は、表面ポテンシャルベースであり、パラメータにばらつき予測性があると考えている。

12-3-2-1 極限 MOS における電子輸送と特性ばらつきへの起源

MOSFET の高速化は、キャリア注入速度が鍵である。キャリア注入速度を極限值である準弾道値を目指すには、1)ゲート長 L_g を平均自由行程 λ 程度まで微細化すること、2) Intrinsic (チャネル)領域での散乱を抑制すること、3) Extrinsic (S/D)領域での寄生抵抗を抑制することが必要になる。温度が 300K での典型的なキャリア寿命 $\tau = 74\text{fs}$ 、移動度 $\mu = 450\text{cm}^2/(\text{V}\cdot\text{s})$ 、電界 $E = 3 \times 10^4 \text{V/cm}$ を用いると、平均自由行程 $\lambda = \tau \mu E$ は約 10nm と見積られる。ゲート長を、この程度のサイズまで、微細化した場合、チャネル領域での散乱が少なくなり準弾道性が期待されるが、図表 12-9 に示すように、その他にも不純物の離散性と、量子性も考慮が必要にな

る。不純物の濃度 N_d が 10^{18}cm^{-3} ということは、例えば、5nm 間隔四方、深さ 40nm の体積中に不純物が 1 個ということであり、ゲート長 10nm サイズでは、分散性による不純物の統計的なばらつきが露わになるとともに、不純物ポテンシャルも長距離的と短距離的とは振舞いが異なるものとなる。



図表 12-9 MOSFET のナノスケール化で考慮が必要な不純物の分散性

さらに、キャリアの波動性を示す特性長であるドブロイ(de Broglie)波長 λ_B は、キャリアの実効質量 $m_e=0.3 \times 9.1 \times 10^{-28} \text{g}$ 、キャリアの平均エネルギー $\langle E \rangle$ を約 0.1eV、プランク定数 h として、ドブロイ波長 $\lambda_B = h/\{2m_e \langle E \rangle\}^{1/2}$ は、約 5nm である。以上、MOSFET ゲート長をナノスケールレベルの極限に微細化する際、不純物の分散性、キャリアの準弾道性、量子性の 3 つの要素を含めたモデリングが必要である。このような趣旨の講演に対し次のような Q/A があった。Q: チャンネル不純物の分散ゆらぎの他に、ソース/ドレイン端での pn 接合ゆらぎが大きいとのことだが、クーロン相互作用の長距離効果は計算ではどのように入れるのか? A: エバルトの方法等、いろいろな方法がある。周期境界条件が現実的。チャンネル不純物によるポテンシャルゆらぎでは、しきい値電圧のばらつきが LW の平方根の逆数に比例するが、接合のばらつきが見えてくると、この関係は崩れる。

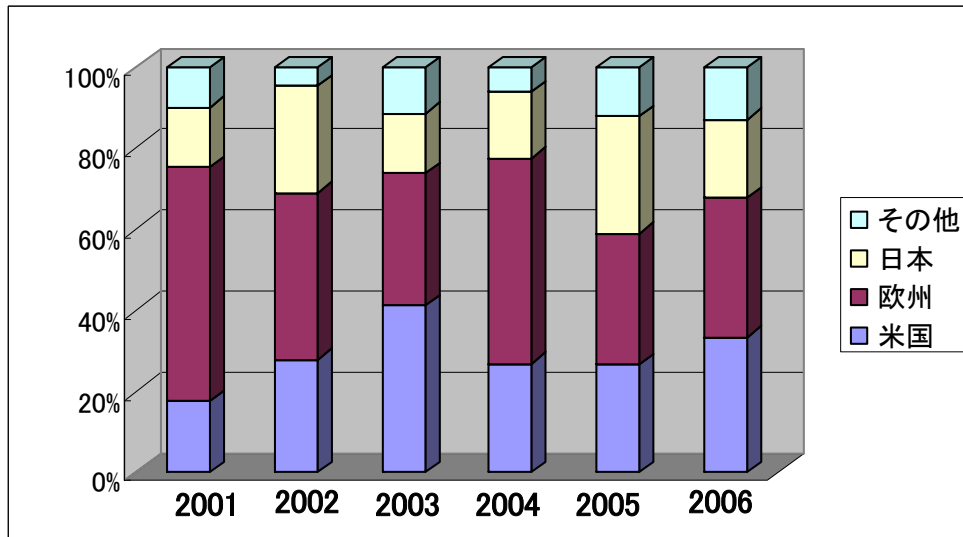
Q: ドリフト-拡散モデルの限界は? A: すでに限界は来ている。Sub-10nm 以下でも、クーロンポテンシャルゆらぎを入れて、使うのが現実的な解だと思う。Q: 1次元準弾道輸送に比べて、2次元、3次元の輸送は?

A: 次元が増えるほど散乱の自由度が増えるので、より拡散的になる。Q: 電子に比べて、正孔のコヒーレンスは? A: 電子に比べて、正孔の状態密度は大きいので、コヒーレンスが保たれにくい。

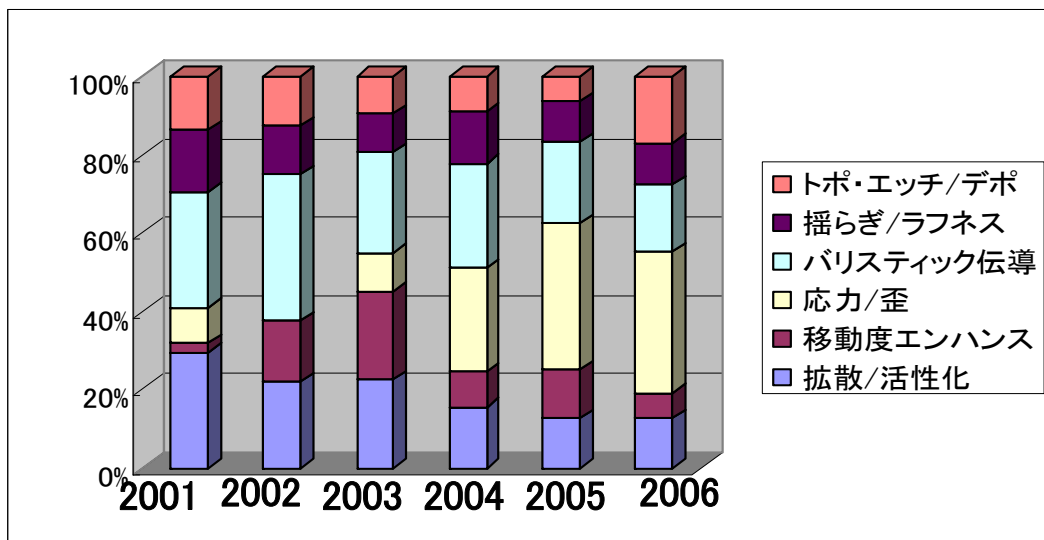
また、ゆらぎの問題に関し、佐野先生から、局所的なポテンシャルゆらぎをシステムティックに検討するプロジェクトが世界中探してもないのが不思議。どうして、皆一緒にやらないのか。分散性の影響の実験的検証、量子輸送の正当性、多重散乱の影響、300K でのコヒーレンスと位相干渉の影響の研究を進めたいとのコメントがあった。

12-3-3 TCAD 学会の動向と学会発表された TCAD 活用状況

TCAD の国際学会である International Conference on Simulation of Semiconductor Processes and Devices (SISPAD) の 2001 年から 2006 年まで 6 年間の発表を調査対象として、分野を選び、分野毎の発表件数を調べた。図表 12-10 に SISPAD2001-2006 各年毎の筆頭著者の国別割合を示す。米国、欧州、アジアの 3 極で開催地が巡る関係で多い少ないがあることを除き、ほぼ 3 極からそれぞれ同数程度が発表されている。



図表 12-10 M&S 関連学会動向調査 SISPAD2001-2006 筆頭著者の国別分類



図表 12-11 M&S 関連学会動向調査 SISPAD2001-2006 キーワード別分類

図表 12-11 のように、トポグラフィやリソグラフィと揺らぎ/ばらつきの問題が継続している。しかし、最近欧米勢の揺らぎ発表が減少しており、興味や意識にズレがあるように見える。問題は深く、積極的取組みが必要と考える。パリスティック伝導の発表は比較的多い。パリスティック伝導とは M&D 分野の場合、量子輸送を意味するが、デバイス開発者は、単純に散乱が少ないことをパリスティック伝導と称する傾向がある。このパリスティック伝導について、デバイス開発者は移動度増大ファクターとして過大に期待している部分があり、ファクターの予測の根拠や機構について M&D 担当者との意識あわせが必要である。

応力/歪による移動度エンハンスは、発表件数が大きく伸び、移動度歪依存の機構解析も進展している。しかし、プロセスヒストリー依存した応力・歪のシミュレーション結果をデバイスシミュレーションと繋げかつ歪の結晶方位依存が妥当な移動度を用いた電流計算は未だ不十分である。拡散の発表件数は減っているが、課題が減った訳ではない。以下、TCAD 手法現状/活用例を既発表からピックアップしたものを紹介する。

12-3-4 TCAD 活用調査

揺らぎやばらつきの発表例としては、90nm ノードから、65nm,45nm ノードまで、ポテンシャルばらつきは殆ど一定であるが、32nm ノード(ゲート長約 12nm)では、ゲート幅 W が 30nm から 10nm に減少すると急激に増加

するとの報告がある[4]。また、同様にゲート長 L 、ゲート幅 W がそれぞれ 20nm でチャネル濃度が $3 \times 10^{18} \text{cm}^{-3}$ のとき、 V_{th} が約 300mV に対し、不純物ばらつきによる V_{th} の分散 $\sigma_{v_{th}}$ は約 64mV もあるとの計算もある[5]。この計算では、ばらつき起源として、他に、ソース、ドレイン・のショットキーコンタクト抵抗も要因としている。その他、ばらつきのコンパクトモデルパラメータの抽出手法に関する発表[6]や、ばらつきのワーストケースの統計的パラメータを nMOS, pMOS について効率的に求めた実例[7]などが発表されている。

拡散については、最近発表は少ないが、IEDM2006 では、現在の大きな課題であるサブ・ミリ秒アニーリングによるボロンの浅接合拡散を Kinetic Monte Carlo (KMC)による発表がなされている[8]。これは、シミュレーション手法が、Atomistic KMC というもので、注入ボロンのクラスターが、温度に依存して、{311}成長し、より高温では、Loop を形成し安定化するなどの複雑な現象を解析し機構を明らかにしたものである。検証は XTEM で行っている。また、2 次元断面の不純物分布は、SSRM (Scanning Spread Resistance Microscopy)にて、不純物のプロファイルとジャンクション位置を直接観測している。ソースドレインの活性化は大きな課題ではあるが、学会レベルでは、計算技術および計測技術の解が見えて来たと言える。

3D プロセスシミュレータは、半導体先端テクノロジーズ(Selete)からツールの機能や適用例の発表がなされている[9]。プロセス歪のパターンレイアウト依存について計算し、DFM(Design For Manufacturing)に結びつけることが期待されている。そのためには、今後一層、ツール開発を強化する必要がある。

移動度の歪結晶方位依存の機構解析は、発表[10]で示されているように着実に進展している。

ロバスト特性に関しては、例えばミックスモードシミュレータによる ESD(Electro Static Discharge)保護素子の設計[11]のような実用的発表がある。また、SiGe S/Dリセス構造のストレスとリセス構造パラメータの最適化を行い、pMOSFET の V_{th} lowering や Ion-Ioff 特性の改善を行った発表[12]などが、実用的 TCAD 活用例である。

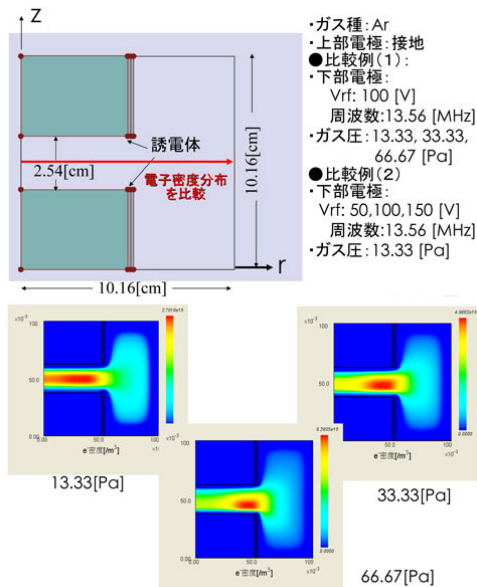
12-4 装置シミュレーションの現状

ITRS の Modeling&Simulation の章では、Equipment/Feature Scale Modeling という項目が挙げられている。Equipment Modeling はそのまま装置シミュレーションと訳して問題ないが、Feature Scale Modeling は形状シミュレーションもしくはプロセスシミュレーションと訳するのが適当と思われる。

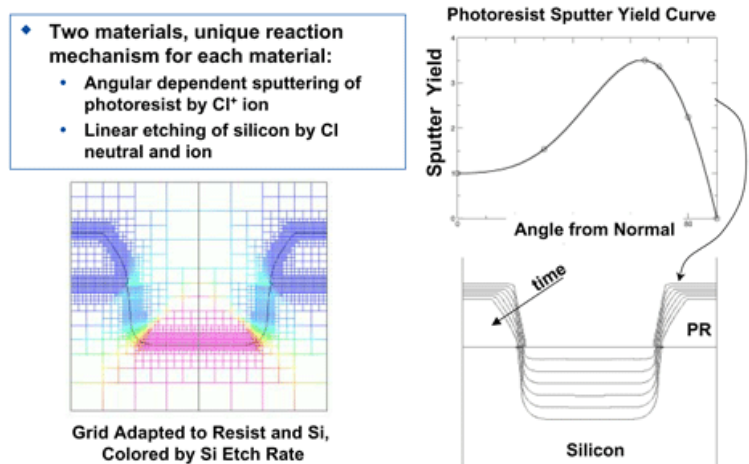
装置シミュレーションは、半導体基板もしくは装置のサイズでの解析を目的としている。半導体プロセスにおいて、光を用いるリソグラフィなどは解くべき基礎方程式が比較的明確なため、計算機シミュレーションの技術的な完成度は高い。しかしエッチングなどのようにプラズマを用いた半導体プロセスについては、基礎方程式が必ずしも明確ではなく、またプラズマの反応に関する基礎データも揃っていないと言いがたい。このため米国 Gaseous Electronics Conference (GEC)では標準セルを定義して、プラズマについての計算機シミュレーションを確認するためのモデルを提供している。図表 12-12 は、この GEC 標準セルについての、プラズマ解析ソフト PEGASUS での計算例である。図表 12-12 は半径 10cm の領域での電子密度の分布であり、これ等は基板サイズでの面内分布などの推定に活用される。

一方、デバイス一つの大きさについてのシミュレーションが、形状シミュレーションである。図表 12-13 は米国 ESC-Group で開発された形状シミュレーションソフト CFD-TOPO での計算例である。プラズマエッチングにより、パターンが形成されていく様子をシミュレーションしている。これから分かるように、Sub-Micron のデバイスの大きさでのパターン形状などの推測に活用される。

装置シミュレーション、形状シミュレーションのいずれにおいても、計算アルゴリズムの開発のみならず、衝突断面積や反応速度定数などの基礎データの整備が大きな課題である。なお SEAJ では、プラズマエッチングについて実測とシミュレーションの比較検討を進めている。詳しくは、SEAJ ホームページ (<http://www.seaj.or.jp>)に掲載のロードマップ活動報告を参照されたい。



図表 12-12 装置シミュレーションの例
(ペガサスソフトウェア(株)殿ご提供)



図表 12-13 形状シミュレーションの例
(株ウェーブフロント殿ご提供)

12-5 まとめと今後の課題

先ず、ITRS2006 M&S のロードマップテーブルの改訂を行った。課題としては、2007 年に、ソースドレイン活性化のモデリングが赤となる点である。精度要求する際、ばらつきが影響する。感度や機構の検証が出来るためには、計測技術がキーポイントである。

開発責任/技術者はソリューションを求めており、より良い手法として TCAD に期待している。これに対し TCAD 手法の現状と活用例とを、既発表例からピックアップして示した。

3D プロセスシミュレータ開発は、今後も強化し、特に DFM に結びつける開発が必要である。モデリング、ツール開発は大学、コンソーシアム、ベンダーの協力が不可欠である。

本年度は、まだばらつきの原因について十分ではないが、幾つか整理した。原因が明らかになったものについては、他 TF、WG への情報発信と議論を行い、今後も、ばらつきのモデルや定量化手法について明確にして行きたい。デバイスの課題解決にアイデアが求められる今、TCAD を試し、使って頂くことを願う。

[1] ITRS 2006 Update (2006) <http://www.itrs.net/Links/2006Update/2006UpdateFinal.htm>

[2] SUGERT http://www.iisb.fraunhofer.de/en/arb_geb/sugert.htm

[3] 「半導体技術ロードマップ専門委員会(STRJ)2005 年度報告」, pp.224-229, STRJ 2005

[4] Y. Ashizawa et. al., SISPAD2005, 2-4

[5] S. Toriyama et. al., SISPAD2006, 5-5

[6] K. Takeuchi et. al., SISPAD2005, 7-6

[7] K. Eikyu et. al., SISPAD2006, 8-1

[8] T. Noda et. al., IEDM2006, 14.1

[9] M. Fujinaga et. al., SISPAD2006, 13-2

[10] M. Hane et. al., SISPAD2006, 3-1

[11] H. Hayashi et. al., SISPAD2005, 6-1

[12] N. Yasutake et. al., ESSDERC2006,