

第 7 章 WG5 リソグラフィ

7-1 はじめに

2007 年度、WG5(リソグラフィ WG)では、ITRS2007 版の作成に向けて、技術世代に対応した解決策候補(Potential Solutions)の議論と絞り込み、各種テーブルの見直し、クロスカット活動などを行った。また、リソグラフィ関係の学会、ワークショップの内容を議論し、技術動向の把握を図る等の国内活動を行った。本報告では、ITRS2007 版の主な内容について報告すると共に、解決策候補として取り上げられた主な露光技術を中心に、リソグラフィ技術の現状と課題をまとめる。

ITRS2007 版では、2010 年、45 nm 世代のリソグラフィ技術の解決策候補の絞り込みを行った。45 nm の候補は、193nm immersion with water および 193nm immersion double exposure/patterning である。図表 7-1、2 に、Flash Memory の数値が新たに一年加速された 2007 版のリソグラフィへの要求一覧表を示す。Flash Memory の hp は、DRAM に比べて二年先行している。また、この加速が、32 nm 以降まで継続するかが、2008 年版の作成に向けての議論として上がっている。図表 7-1 にはまた、既に CD(Critical Dimension)バラツキに対する要求が MPU デバイスでのゲート、マスクの両方において「赤」のカラーリングとなり、また 2010 年以降では、ほとんどの項目が「赤」となっている等、リソグラフィ技術が、大きな問題を抱えている状況が示されている。デバイス側の議論として、MPU デバイスでのゲートシュリンクが、2007 年時点で、既に達成されていないとする指摘もあり、デバイストレンドの現状認識とスケーリングの今後の議論を、リソグラフィのロードマップへ反映することが、2008 年度の WG5 の活動課題と考えている。

リソグラフィ技術の現状を整理する。2007 年は、ArF 液浸露光装置の出荷が本格的になされ、デバイスへの適用が開始され、製品の出荷が報告された年となった。さらに、水を用いる液浸の限界と考えられる NA 1.35 の液浸露光装置の出荷が開始された年でもあった。しかし NA 1.35 液浸露光技術以降のリソグラフィは、依然不透明である。当面の選択肢は、EUVL、高屈折率液浸(NA 1.55~1.7)、ダブルパターニング技術とされている。ML2、Imprint は、それに続くものであるが、32 nm の世代において大量生産技術として実用化に至る可能性は低い。EUVL、および高屈折率液浸技術の 2007 年における開発状況は、遅延を示唆するものとなっている。その結果、32 nm のリソグラフィは、ダブルパターニング技術抜きでは考えられない状況である。k1<0.25 を目指すダブルパターニング技術には、多くの方式が提案されており、デバイスパターンの特徴によって選択肢が異なることが理解されてきた。ダブルパターニング技術は、厳しい CDU、オーバーレイ精度、設計制約、データ分割処理、プロセスステップ、TAT、コストの増大など多くの課題を抱える。ダブルパターニング技術の飛躍的なコストの低減は、プロセスステップの削減にあり、Resist Freezing 技術など、工程の簡略化を狙った材料・プロセス開発に多くを依存している。

デバイスパターンによって、リソグラフィ技術の選択肢、仕様が異なっている。微細化で先行する Flash Memory が、リソグラフィ技術を牽引しているという指摘もあり、また、DRAM、MPU など他のデバイスと、要求される CDU、あるいは重ね合わせ精度が異なると考えられている。2008 年の WG の活動においては、hp のスケーリングで先行する Flash memory の図表を分離し記載する。また、ダブルパターニングに関わる図表の充実、見直しを図る。

7-2 ITRS2007 の取り組み

ITRS2007 版では、主に解決策候補の見直しと、それに伴う図表の数値の見直しを図った。

● マスク関連テーブルの見直し

2007 版においては、DP/DE 露光技術の導入により、32 nm 以降への 193 nm 露光技術の適用が求められている。DoF の Budget を基板のフラットネスの数値に反映させる検討を開始した。また、Imprint

の Template mask の Table を見直し、位置精度の数値など改定した。

Flash memory 関連の分離作業は、2008 年の課題として残された。また、Inverse lithography mask の課題を整理し、テーブルに反映させる作業も、2008 年に含める。

● 解決策候補の見直し

選定の基準は 2004 年度に定められたものを踏襲しており変更は無い。

- 全てのインフラ(マスク、露光ツール、レジスト等) が相当するノードに対し準備されていること。
 - ◇ α □Tool 及びそのインフラが3 年前に準備されること。
 - ◇ β □Tool 及びそのインフラが2 年前に準備されること。
 - ◇ 量産装置及びそのインフラが量産開始の1 年前に準備できる見通しであること。
- 少なくとも二つ以上のリージョンのIC メーカーが生産に使用することを計画していること
- N+3 以降のノードではこの限りではない。
- 解決策候補として記載されるのは、最先端のクリティカル層に対応するテクノロジーであること。
- 対応する露光ツールが世界で100 台以上使われる見通しであること。

以上の定義は多量生産をターゲットにしたものであることから、多品種少量生産に対する解決策候補が必要との意見もあり、ITRS2006 Update 版ではマスクレスリソグラフィ(ML2)に関するテーブルが追加されたが、データ量とグリッドサイズに関する項目だけであり、ITRS2007 版での改定も限られた数値のみである。今後、さらに議論が必要であらう。

解決策候補の見直しのポイントは、まず、デバイスのトレンドの見直しの反映にある。現在、Flash の微細化先行が 2011 年程度までは継続し、また、MPU の Gate の微細化が遅延することが指摘されている。これに伴い、リソグラフィに対する要求が見直される予定である。また、DRAM、Flash、MPU、それぞれのデバイスで選択肢が異なっている点も見直しのポイントである。2008 年の作業では、DRAM、Flash、MPU の図表を分離して整理していく方針である。

7-3 ITRS2007 の主な内容

7-3-1 ITRS2007 における図表

ITRS2007 版では、2022 年までの 15 年を議論し、それに伴う図表の数値の見直しを図った。

技術の状況は、下記定義で表示した。

Manufacturable solutions exist, and are being optimized	
Manufacturable solutions are known	
Interim solutions are known	
Manufacturable solutions are NOT known	

下記図表をまとめた。2008 年 4 月 10 日時点で、赤マークとした項目も多い。

図表 7-1 光学式投影リソグラフィを用いて CD 制御と重ね合わせ精度の要求を確保する為の各種技術

図表 7-2a、2b リソグラフィの困難な挑戦

図表 7-3a、3b リソグラフィへの要求 Near-term Years/Long-term Years

図表 7-4a、4b、4c レジストへの要求 Near-term Years/Long-term Years/レジスト感度

図表 7-5a、5b フォトマスクへの要求 Near-term Years/Long-term Years

図表 7-5c、5d EUVL マスクへの要求 Near-term Years/Long-term Years

図表 7-5e、5f インプリントテンプレートへの要求 Near-term Years/Long-term Years

図表 7-6a、6b マスクレス技術への要求 Near-term Years/Long-term Years

図表 7-7a、7b 露光装置解決策候補/露光装置解決策候補の変遷

MPU M1 contacted ½ pitch	160 nm	120 nm	90 nm	65 nm	45 nm	32 nm
k ₁ Range [A]	0.48–0.52	0.47–0.53	0.40–0.43	0.31–0.40	0.28–0.31	0.18-0.28
Design rules	Allow OPC and PSM, SRAF	Litho friendly design rules				
Restrictions (cumulative)		Pitch and orientation	Contact locations, library cells checked for OPC compatibility and printability	Features on grid	Restricted feature set	Double exposure compatible design
Masks (Optical proximity correction)	Model-based OPC (MBOPC) on critical layers, SRAF on gate layer	Model-based OPC w /SRAF on critical layers, verification of entire corrected layout with simulation		Model-based OPC with vector simulation, SRAF, polarization corrections	Model-based OPC with vector simulation, SRAF, polarization corrections, variation of OPC intensity by location in circuit?	Model-based OPC with vector simulation, SRAF, polarization corrections, variation of OPC intensity by location in circuit?, magnification increase?
(Gate and M1 layer mask type)	cPSM and EPSM		APSM, EPSM and hiT EPSM	APSM, hiT EPSM, dual dipole	APSM, hiT EPSM, double exposure with 2× larger pitch	
(Contacts/vias layers mask type)	EPSM		APSM, EPSM, HiT PSM			APSM, hiT EPSM, double exposure with 2x larger pitch
Resist						
Thickness	<400 nm	<350 nm	<280 nm	<225 nm	<160 nm	<120 nm
Substrate	ARC, hard masks		ARC, hard masks, top coats			ARC, hard masks, top coats, contrast enhancing layers
Etch	Post development resist width reduction					
Tool	Selection based on aberrations, automated NA/sigma control		Aberration monitoring			Aberration monitoring and adjustment
(Illumination)	Off-axis illumination	Quadrupole	Custom illumination	Custom illumination, polarization optimization		
(Dose control)	Cross wafer dose adjustments	Dose adjustment across the wafer and along scan				Dose adjustment across wafer, across slit, and along scan
(Process control (CD and overlay))	Automated process control with downloaded offsets			Automated process control with downloaded offsets, metrology integrated in lithography cell		

MBOPC—model based optical proximity correction *cPSM—complementary PSM* *APSM—alternating PSM*
EPSM—embedded PSM *HiT—high transmission* *ARC—antireflection coating* *SRAF—sub-resolution assist features*
DE/DP—double exposure/processing

図表 7-1 光学式投影リソグラフィを用いて CD 制御と重ね合わせ精度の要求を確保する為の各種技術

<i>Difficult Challenges $\geq 32\text{ nm}^*$</i>	<i>Summary of Issues</i>
Optical masks with features for resolution enhancement and post-optical mask fabrication	Registration, CD, and defect control for masks
	Equipment infrastructure (writers, inspection, metrology, cleaning, repair) for fabricating masks with sub-resolution assist features
	Understanding polarization effects at the mask and effects of mask topography on imaging and optimizing mask structures to compensate for these effects
	Eliminating formation of progressive defects and haze during exposure
	Determining optimal mask magnification ratio for $<32\text{ nm}$ half pitch patterning with 193 nm radiation and developing methods, such as stitching, to compensate for the potential use of smaller exposure fields
	Development of defect free $1\times$ templates
Cost control and return on investment	Achieving constant/improved ratio of exposure related tool cost to throughput over time
	Cost-effective resolution enhanced optical masks and post-optical masks, and reducing data volume
	Sufficient lifetime for exposure tool technologies
	Resources for developing multiple technologies at the same time
	ROI for small volume products
	Stages, overlay systems and resist coating equipment development for wafers with 450 mm diameter
Process control	Processes to control gate CDs to $<1.3\text{ nm } 3\sigma$
	New and improved alignment and overlay control methods independent of technology option to $<5.7\text{ nm } 3\sigma$ overlay error
	Controlling LER, CD changes induced by metrology, and defects $<10\text{ nm}$ in size
	Greater accuracy of resist simulation models
	Accuracy of OPC and OPC verification, especially in presence of polarization effects
	Control of and correction for flare in exposure tool, especially for EUV lithography
	Lithography friendly design and design for manufacturing (DFM)
Immersion lithography	Control of defects caused in immersion environment, including bubbles and staining
	Resist chemistry compatibility with fluid or topcoat and development of topcoats
	Resists with index of refraction >1.8
	Fluid with refractive index >1.65 meeting viscosity, absorption, and fluid recycling requirements
	Lens materials with refractive index >1.65 meeting absorption and birefringence requirements for lens designs
EUV lithography	Low defect mask blanks, including defect inspection with $<30\text{ nm}$ sensitivity and blank repair
	Source power $>180\text{ W}$ at intermediate focus, acceptable utility requirements through increased conversion efficiency and sufficient lifetime of collector optics and source components
	Resist with $<3\text{ nm } 3\sigma$ LWR, $<10\text{ mJ/cm}^2$ sensitivity and $<40\text{ nm } \frac{1}{2}$ pitch resolution
	Fabrication of optics with $<0.10\text{ nm rms}$ figure error and $<10\%$ intrinsic flare
	Controlling optics contamination to achieve $>$ five-year lifetime
	Protection of masks from defects without pellicles
Double patterning	Overlay of multiple exposures including mask image placement, mask-to-mask matching, and CD control for edges defined by two separate exposures
	Availability of software to split the pattern, apply OPC, and verify the quality of the split while preserving critical features and maintaining no more than two exposures for arbitrary designs
	Availability of high productivity scanner, track, and process to maintain low cost-of-ownership
	Photoresists with independent exposure of multiple passes
	Fab logistics and process control to enable low cycle time impact that include on-time availability of additional reticles and efficient scheduling of multiple exposure passes

**Lithography challenges $\geq 32\text{ nm}$ versus the convention of the 2007 ITRS for challenges of $\geq 22\text{ nm}$ will be reviewed in the 2008 Update.*

図表 7-2a リソグラフィの困難な挑戦

<i>Difficult Challenges < 32 nm*</i>	<i>Summary of Issues</i>
Mask fabrication	Defect-free masks, especially for 1× masks for imprint and EUVL mask blanks free of printable defects
	Timeliness and capability of equipment infrastructure (writers, inspection, metrology, cleaning, repair), especially for 1× masks
	Mask process control methods and yield enhancement
	Protection of EUV masks and imprint templates from defects without pellicles
	Phase shifting masks for EUV
Metrology and defect inspection	Resolution and precision for critical dimension measurement down to 6 nm, including line width roughness metrology for 0.8 nm 3σ
	Metrology for achieving < 2.8 nm 3σ overlay error
	Defect inspection on patterned wafers for defects < 30 nm, especially for maskless lithography
	Die-to-database inspection of wafer patterns written with maskless lithography
Cost control and return on investment	Achieving constant/improved ratio of exposure-related tool cost to throughput
	Development of cost-effective optical and post-optical masks
	Achieving ROI for industry with sufficient lifetimes for exposure tool technologies and ROI for small volume products
Gate CD control improvements and process control	Development of processes to control gate CD < 0.9 nm 3σ with < 1.2 nm 3σ line width roughness
	Development of new and improved alignment and overlay control methods independent of technology option to achieve < 2.8 nm 3σ overlay error, especially for imprint lithography
	Process control and design for low k1 optical lithography
Resist materials	Resist and antireflection coating materials composed of alternatives to PFAS compounds
	Limits of chemically amplified resist sensitivity for < 32 nm half pitch due to acid diffusion length
	Materials with improved dimensional and LWR control

**Lithography challenges <32nm versus the convention of the 2007 ITRS for challenges of <22nm will be reviewed in the 2008 Update.*

図表 7-2b リソグラフィの困難な挑戦

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM and Flash									
DRAM ½ pitch (nm)	65	57	50	45	40	36	32	28	25
Flash ½ pitch (nm) (un-contacted poly)	54	45	40	36	32	28	25	23	20
Contact in resist (nm)	72	62	55	50	44	39	35	31	28
Contact after etch (nm)	65	57	50	45	40	36	32	28	25
Overlay [A] (3 sigma) (nm)	13	11.3	10	9	8	7.1	6.4	5.7	5.1
CD control (3 sigma) (nm) [B]	5.6	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.1
MPU									
MPU/ASIC Metal 1 (M1) ½ pitch (nm)	68	59	52	45	40	36	32	28	25
MPU gate in resist (nm)	42	38	34	30	27	24	21	19	17
MPU physical gate length (nm) *	25	23	20	18	16	14	13	11	10
Contact in resist (nm)	84	73	64	56	50	44	39	35	31
Contact after etch (nm)	77	67	58	51	45	40	36	32	28
Gate CD control (3 sigma) (nm) [B] **	2.6	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1
Chip size (mm ²)									
Maximum exposure field height (mm)	26	26	26	26	26	26	26	26	26
Maximum exposure field length (mm)	33	33	33	33	33	33	33	33	33
Maximum field area printed by exposure tool (mm ²)	858	858	858	858	858	858	858	858	858
Wafer site flatness at exposure step (nm) [C]	63	54	50	45	40	32	29	22	17
Number of mask levels MPU	33	35	35	35	35	35	35	37	37
Number of mask levels DRAM	24	24	24	26	26	26	26	26	26
Wafer size (diameter, mm)	300	300	300	300	300	450	450	450	450
NA required for Flash (single exposure)	1.01	1.2	1.35	1.52	1.7	1.91			
NA required for logic (single exposure)	0.91	1.04	1.2	1.38	1.54	1.73	1.94		
NA required for double exposure (Flash)	0.72	0.86	0.96	1.08	1.22	1.36	1.53	1.72	1.93
NA required for double exposure (logic)	0.62	0.72	0.82	0.95	1.06	1.19	1.34	1.5	1.68

図表 7-3a リソグラフィへの要求—Near-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM and Flash							
DRAM ½ pitch (nm)	23	20	18	16	14	13	11
Flash ½ pitch (nm) (un-contacted poly)	18	16	14	13	11	10	9
Contact in resist (nm)	25	22	20	18	16	14	12
Contact after etch (nm)	23	20	18	16	14	13	11
Overlay [A] (3 sigma) (nm)	4.5	4	3.6	3.2	2.8	2.5	2.3
CD control (3 sigma) (nm) [B]	1.9	1.7	1.5	1.3	1.2	1	0.9
MPU							
MPU/ASIC Metal 1 (M1) ½ pitch (nm)	23	20	18	16	14	13	11
MPU gate in resist (nm)	15	13	12	11	9	8	8
MPU physical gate length (nm) *	9	8	7	6	6	5	4
Contact in resist (nm)	28	25	22	20	18	16	14
Contact after etch (nm)	25	23	20	18	16	14	13
Gate CD control (3 sigma) (nm) [B] **	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Chip size (mm ²)							
Maximum exposure field height (mm)	26	26	26	26	26	26	26
Maximum exposure field length (mm)	33	33	33	33	33	33	33
Maximum field area printed by exposure tool (mm ²)	858	858	858	858	858	858	858
Wafer site flatness at exposure step (nm) [C]							
Number of mask levels MPU	39	39	39	39	39	39	39
Number of mask levels DRAM	26	26	26	26	26	26	26
Wafer size (diameter, mm)	450	450	450	450	450	450	450

図表 7-3b リソグラフィへの要求—Long-term Years

図表 7-3a、3b:

[A] Overlay (nm)—Overlay is a vector component (in X and Y directions) quantity defined at every point on the wafer. It is the difference, O, between the vector position, P1, of a substrate geometry, and the vector position of the corresponding point, P2, in an overlaying pattern, which may consist of resist. $O=P1-P2$. The difference, O, is expressed in terms of vector components in the X and Y directions, and the value shown is three times the standard deviation of overlay values on the wafer.

[B] CD control (nm)—Control of critical dimensions compared to mean linewidth target at all pattern pitch values, including errors from all lithographic sources (due to masks, imperfect optical proximity correction, exposure tools, and resist) at all spatial length scales (e.g., includes errors across exposure field, across wafer, between wafers and between wafer lots)

[C] Wafer site flatness (nm)—Residual wafer topography (peak to valley) across the 26×10 mm scanner exposure area as the wafer arrives at the scanner/track cluster and after linear tilt correction by the scanner in both the cross-slit and cross-scan-length directions.

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU gate in resist length (nm)	42	38	34	30	27	24	21	19	17
Resist Characteristics *									
Resist meets requirements for gate resolution and gate CD control (nm, 3 sigma) **†	2.6	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1
Resist thickness (nm, single layer) ***	105-190	90-160	80-145	70-130	60-115	55-100	50-90	45-80	40-75
PEB temperature sensitivity (nm/C)	1.75	1.5	1.5	1.5	1.5	1.5	1	1	1
Backside particle density (particles/cm ²)	0.28	0.28	0.28	0.28	0.28	0.28	0.28	0.28	0.28
Back surface particle diameter: lithography and measurement tools (nm)	120	120	100	100	100	100	75	75	75
Defects in spin-coated resist films (#/cm ²) †	0.01	0.01	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Minimum defect size in spin-coated resist films (nm)	40	35	30	30	20	20	20	20	10
Defects in patterned resist films, gates, contacts, etc. (#/cm ²)	0.04	0.03	0.03	0.03	0.02	0.02	0.02	0.02	0.01
Minimum defect size in patterned resist (nm)	40	35	30	30	20	20	20	20	10
Low frequency line width roughness: (nm, 3 sigma) <8% of CD *****	3.4	3	2.7	2.4	2.1	1.9	1.7	1.5	1.3
Defects in spin-coated resist films for double patterning (#/cm ²)	0.005	0.005	0.005	0.005	0.005	0.005	0.005	0.005	0.005
Backside particle density for double patterning (#/cm ²)	0.14	0.14	0.14	0.14	0.14	0.14	0.14	0.14	0.14

図表 7-4a レジストへの要求—Near-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
MPU gate in resist length (nm)	15	13	12	11	9	8	8
Resist Characteristics *							
Resist meets requirements for gate resolution and gate CD control (nm, 3 sigma) **†	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Resist thickness (nm, single layer) ***	35-65	30-60	25-50	25-45	20-40	20-40	15-35
PEB temperature sensitivity (nm/C)	1	1	1	11	11		
Backside particle density (particles/cm ²)	0.28	0.28	0.28	0.28	0.28	0.28	0.28
Back surface particle diameter: lithography and measurement tools (nm)	50	50	50	50	50	50	50
Defects in spin-coated resist films (#/cm ²) †	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Minimum defect size in spin-coated resist films (nm)	10	10	10	10	10	10	10
Defects in patterned resist films, gates, contacts, etc. (#/cm ²)	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Minimum defect size in patterned resist (nm)	10	10	10	10	10	10	10
Low frequency line width roughness: (nm, 3 sigma) <8% of CD *****	1.2	1.1	1	0.8	0.8	0.7	0.6
Defects in spin-coated resist films for double patterning (#/cm ²)	0.005	0.005	0.005	0.005	0.005	0.005	0.005
Backside particle density for double patterning (#/cm ²)	0.14	0.14	0.14	0.14	0.14	0.14	0.14

図表 7-4b レジストへの要求—Long-term Years

図表 7-4a、4b:

Exposure Dependent Requirements

- * Resist sensitivity is treated separately in the second resist sensitivity table.
- ** Indicates whether the resist has sufficient resolution, CD control, and profile to meet the resolution and gate CD control values.
- *** Resist thickness is determined by the aspect ratio range of 2.0:1 to 3.5:1, limited by pattern collapse.
- **** Linked with resolution.
- ***** LWRLf is 3σ deviation of spatial frequencies from 0.5 μm^{-1} to $1/(2 \times \text{MPU } \frac{1}{2} \text{ Pitch})$.

Note: Standard deviation is determined by biased estimate (corrected for SEM noise) of linewidth variation over a greater than or equal 2 μm measured at less than or equal 4 nm intervals.

† Defects in coated films are those detectable as physical objects, such as pinholes, that may be distinguished from the resist film by optical detection methods.

Other requirements:

[A] Need for a positive tone resist and a negative tone resist will depend upon critical feature type and density.

[B] Feature wall profile should be 90 ± 2 degrees.

[C] Thermal stability should be $\geq 130^\circ\text{C}$.

[D] Etching selectivity should be $>$ that of poly hydroxystyrene (PHOST).

[E] Upon removal by stripping there should be no detectable residues.

[F] Sensitive to basic airborne compounds such as amines and amides. Clean handling space should have < 1000 pptM of these materials.

[G] Metal contaminants < 5 ppb.

[H] Organic material outgassing (molecules/cm²-sec) for two minutes (under the lens). Value for 193 nm lithography tool is $< 1\text{e}12$. Value for EUV lithography tool is $< 5\text{e}13$. Values for electron beam are being determined.

[I] Si containing material outgassing (molecules/cm²-sec) for two minutes (under the lens). Value for 193 nm lithography tool is $< 1\text{e}8$. Value for EUV lithography tool is $< 5\text{e}13$. Values for electron beam are being determined.

Exposure Technology	Sensitivity
248 nm	10–50 mJ/ cm ²
193 nm	20–50 mJ/ cm ²
Extreme Ultraviolet at 13.5 nm	5–30 mJ/ cm ²
High Voltage Electron Beam (50–100 kV) ****	5–30 $\mu\text{C}/\text{cm}^2$
Low Voltage Electron Beam (1–2 kV) ****	0.2–30 $\mu\text{C}/\text{cm}^2$
**** Linked with resolution	

図表 7-4c

レジスト感度

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU gate in resist (nm)	42	38	34	30	27	24	21	19	17
Gate CD control (3 sigma) (nm) [A]	2.6	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1
Overlay (3 sigma) (nm)	13	11	10	9	8	7.1	6.4	5.7	5.1
Contact in resist (nm)	84	73	64	56	50	44	39	35	31
Mask magnification [B]	4	4	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	170	151	135	120	107	95	85	76	67
Mask minimum primary feature size [D]	119	106	94	84	75	67	59	53	47
Mask sub-resolution feature size (nm) opaque [E]	85	76	67	60	54	48	42	38	34
Image placement (nm, multipoint) [F]	7.8	6.8	6	5.4	4.8	4.3	3.8	3.4	3
CD uniformity allocation to mask (assumption)	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
MEEF isolated lines, binary or attenuated phase shift mask [G]	1.6	1.8	2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] *	2.6	2.1	1.7	1.3	1.2	1.1	1	0.9	0.8
MEEF dense lines, binary or attenuated phase shift mask [G]	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	4	3.4	3	2.7	2.4	2.1	1.9	1.7	1.5
MEEF contacts [G]	3.5	4	4	4	4	4	4	4	4
CD uniformity (nm, 3 sigma), contact/vias [K] *	2.5	1.9	1.7	1.5	1.3	1.2	1	0.9	0.8
Linearity (nm) [L]	10.4	9.1	8	7.2	6.4	5.7	5.1	4.5	4
CD mean to target (nm) [M]	5.2	4.5	4	3.6	3.2	2.9	2.5	2.3	2
Defect size (nm) [N] *	52	45	40	36	32	29	25	23	20
Blank flatness (nm, peak-valley) [O]	250	218	192	173	154	137	122	109	97
Pellicle thickness uniformity [P]	5	4.6	4.2	3.8	3.5	3.3	3	2.8	2.6
Data volume (GB) [Q]	413	520	655	825	1040	1310	1651	2080	2621
Mask design grid (nm) [R]	2	2	2	1	1	1	1	1	1
Attenuated PSM transmission mean deviation from target ($\pm$ % of target) [S]	4	4	4	4	4	4	4	4	4
Attenuated PSM transmission uniformity ($\pm$ % of target) [T]	4	4	4	4	4	4	4	4	4
Attenuated PSM phase mean deviation from 180° ($\pm$ degree) [U]	3	3	3	3	3	3	3	3	3
Alternating PSM phase mean deviation from nominal phase angle target ($\pm$ degree) [T]	1.5	1	1	1	1	1	1	1	1
Alternating PSM phase uniformity ($\pm$ degree) [U]	1	1	1	1	1	1	1	1	1
Image placement (nm, multipoint) for double patterning of independent layers [V]	5.5	4.8	4.2	3.8	3.4	3	2.7	2.4	2.1
Difference in CD Mean-to-target for two masks used as a double patterning set (nm) [W]	2.6	2.3	2	1.8	1.6	1.4	1.3	1.1	1
Double exposure: image placement for each mask used for exposing mutually dependent layers (nm) [X]	1.9	1.6	1.4	1.2	1.1	1	0.9	0.8	0.7
Double exposure: mask CD uniformity for each mask used for exposing mutually dependent layers (nm) [Y]	1.9	1.6	1.4	1.2	1.1	1	0.9	0.8	0.7
Double exposure: dual space, etch bias repeatability and uniformity [Z]	1.2	1	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Mask materials and substrates	Absorber/attenuator on fused silica								
	Pellicle for optical masks for exposure wavelengths down to 193 nm, including masks for 193 nm immersion.								

図表 7-5a フォトマスクへの要求—Near-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
MPU gate in resist (nm)	15	13	12	11	9	8	8
Gate CD control (3 sigma) (nm) [A]	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Overlay (3 sigma) (nm)	4.5	4	3.6	3.2	2.8	2.5	2.3
Contact in resist (nm)	28	25	22	20	18	16	14
Mask magnification [B]	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	60	54	48	42	38	34	30
Mask minimum primary feature size [D]	42	37	33	30	26	24	21
Mask sub-resolution feature size (nm) opaque [E]	30	27	24	21	19	17	15
Image placement (nm, multipoint) [F]	2.7	2.4	2.1	1.9	1.7	1.5	1.4
CD uniformity allocation to mask (assumption)	0.4	0.4	0.4	0.4	0.4	0.4	0.4
MEEF isolated lines, binary or attenuated phase shift mask [G]	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] *	0.7	0.6	0.5	0.5	0.4	0.4	0.3
MEEF dense lines, binary or attenuated phase shift mask [G]	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	1.3	1.2	1.1	1	0.9	0.8	0.7
MEEF contacts [G]	4	4	4	4	4	4	4
CD uniformity (nm, 3 sigma), contact/vias [K] *	0.7	0.7	0.6	0.5	0.5	0.4	0.4
Linearity (nm) [L]	3.6	3.2	2.9	2.5	2.3	2	1.8
CD mean to target (nm) [M]	1.8	1.6	1.4	1.3	1.1	1	0.9
Defect size (nm) [N] *	18	16	14	13	11	10	9
Blank flatness (nm, peak-valley) [O]	86	77	69	61	54	48	43
Pellicle thickness uniformity [P]	2.4	2.2	2	1.9	1.7	1.6	1.5
Data volume (GB) [Q]	3302	4161	5242	6605	8321	10484	13209
Mask design grid (nm) [R]	1	1	1	0.5	0.5	0.5	0.5
Attenuated PSM transmission mean deviation from target ($\pm$ % of target) [S]	4	4	4	4	4	4	4
Attenuated PSM transmission uniformity ($\pm$ % of target) [T]	4	4	4	4	4	4	4
Attenuated PSM phase mean deviation from 180° ($\pm$ degree) [U]	3	3	3	3	3	3	3
Alternating PSM phase mean deviation from nominal phase angle target ($\pm$ degree) [T]	1	1	1	1	1	1	1
Alternating PSM phase uniformity ($\pm$ degree) [U]	1	1	1	1	1	1	1
Image placement (nm, multipoint) for double patterning of independent layers [V]	1.9	1.7	1.5	1.4	1.2	1.1	1
Difference in CD Mean-to-target for two masks used as a double patterning set (nm) [W]	0.9	0.8	0.7	0.6	0.6	0.5	0.5
Double exposure: image placement for each mask used for exposing mutually dependent layers (nm) [X]	0.6	0.6	0.5	0.4	0.4	0.3	0.3
Double exposure: mask CD uniformity for each mask used for exposing mutually dependent layers (nm) [Y]	0.6	0.6	0.5	0.4	0.4	0.3	0.3
Double exposure: dual space, etch bias repeatability and uniformity [Z]	0.4	0.4	0.3	0.3	0.3	0.2	0.2
Mask materials and substrates	Absorber/attenuator on fused silica						
	Pellicle for optical masks for exposure wavelengths down to 193 nm, including masks for 193 nm immersion.						

図表 7-5b フォトマスクへの要求—Long-term Years

図表 7-5a、5b:

[A] Wafer Minimum Line Size—Minimum wafer line size imaged in resists. Line size as drawn or printed to zero bias (Most commonly applied to isolated lines. Drives CD uniformity and linearity.)

[B] Magnification—Lithography tool reduction ratio.

[C] Mask Nominal Image Size—Equivalent to wafer minimum feature size in resist multiplied by the mask reduction ratio.

[D] Mask Minimum Primary Feature Size—Minimum printable feature after OPC application to be controlled on the mask for CD placement and defects.

[E] Mask Sub-Resolution Feature Size—The minimum width of non-printing features on the mask such as sub-resolution assist features.

- [F] Image Placement—The maximum component deviation (X or Y) of the array of the images centerline relative to a defined reference grid after removal of isotropic magnification error. These values do not comprehend additional image placement error induced by pellicle mount and mask clamping in the exposure tool.
- [G] The CD error on the wafer is directly proportional to the CD error on the mask where mask error enhancement factor (MEEF) is the constant of proportionality. An MEEF value greater than unity therefore imposes a more stringent CD uniformity requirement on the mask to maintain the CD uniformity budget on the wafer.
- [H] CD Uniformity—The three-sigma deviation of actual image sizes on a mask for a single size and tone critical feature. Applies to features in X and Y and isolated features on a binary mask.
- [I] CD Uniformity—The three-sigma deviation of actual image sizes on a mask for a single size and tone critical feature. Applies to features in X and Y and multiple pitch features on a quartz shifter phase mask.
- [J] CD Uniformity—The three-sigma deviation of actual image sizes on a mask for a single size and tone critical feature. Applies to features in X and Y and multiple pitch features on a binary or attenuated phase shift mask.
- [K] CD Uniformity—The three-sigma deviation of square root of contact area on a mask through multiple pitches.
- [L] Linearity—Maximum deviation between mask “Mean to Target” for a range of features of the same tone and different design sizes. This includes features that are equal to the smallest sub-resolution assist mask feature and up to three times the minimum wafer half pitch multiplied by the magnification.
- [M] CD Mean to Target—The maximum difference between the average of the measured feature sizes and the agreed to feature size (design size). Applies to a single feature size and tone. $\Sigma(\text{Actual}-\text{Target})/\text{Number of measurements}$.
- [N] Defect Size—A mask defect is any unintended mask anomaly that prints or changes a printed image size by 10% or more. The mask defect size listed in the roadmap are the square root of the area of the smallest opaque or clear “defect” that is expected to print for the stated generation. Printable 180-degree phase defects are 70% smaller than the number shown.
- [O] Blank Flatness—Flatness is nanometers, peak-to-valley across the central area image field on a 6-inch × 6-inch square mask blank with 5 mm edge exclusion. Flatness is derived from wafer lithography DOF requirements for each printing the desired feature dimensions.
- [P] Pellicle thickness uniformity—The three-sigma standard deviation measured in nm of pellicle thickness variation across the imaging field. Note that although pellicle mean thickness may decrease for future half-pitch generations, the thickness uniformity requirement remains an absolute value measured in nm.
- [Q] Data Volume—This is the expected maximum file size for uncompressed data for a single layer as presented to a pattern generator tool.
- [R] Mask Design Grid—Wafer design grid multiplied by the mask magnification.
- [S] Transmission—Ratio, expressed in percent, of the fraction of light passing through an attenuated PSM layer relative to the mask blank with no opaque films.
- [T] Phase—Change in optical path length between two regions on the mask expressed in degrees. The mean value is determined by averaging phase measured for many features on the mask.
- [U] Alt PSM phase uniformity is a range specification equal to the maximum phase error deviation of any point from the mean value.
- [V] Image placement for double patterning of independent layers is the measured image placement specification (see [F]) for each mask in an independent double exposure or double patterning process.
- [W] Difference in CD mean-to-target for two masks refers to the difference in mean mask CDs of each of the individual masks that comprises the matched set of masks used to form a single circuit level in double patterning.
- [X] Image placement for double patterning of dependent layers (see [F]) for each mask where the critical features are defined by the intersection of patterns from each mask is the image placement specification for each mask used in the dependent double patterning process.
- [Y] CD uniformity for each mask use in a dependent double patterning process is the measured CD uniformity (see [J]) for each mask.
- [Z] Etch bias repeatability and uniformity is the total CD uniformity error introduced by both etch steps used in a double patterning process or the single etch step used in a double exposure process.

Year of Production	2008	2009	2010	2011	2012	2013	2014	2015
DRAM/Flash CD control (3 sigma) (nm)	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.1
MPU gate in resist (nm)	38	34	30	27	24	21	19	17
Gate CD control (3 sigma) (nm) [A]	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1
Overlay	11.3	10	9	8	7.1	6.4	5.7	5.1
Contact after etch (nm)	67	58	51	45	40	36	32	28
Generic Mask Requirements								
Mask magnification [B]	4	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	151	135	120	107	95	85	76	67
Mask minimum primary feature size [D]	106	94	84	75	67	59	53	47
Image placement (nm, multipoint) [E]	6.8	6	5.4	4.8	4.3	3.8	3.4	3
CD uniformity (nm, 3 sigma) [F]								
Isolated lines (MPU gates)	3.4	3	2.7	2.4	2.1	1.9	1.7	1.5
Dense lines DRAM (half pitch)	6.5	5.8	5.2	4.6	4.1	3.7	3.3	2.9
Contact/vias	6.2	5.6	4	3.5	3.1	2.8	2.5	2.2
Linearity (nm) [G]	8.6	7.6	6.8	6.1	5.4	4.8	4.3	3.8
CD mean to target (nm) [H]	4.5	4	3.6	3.2	2.9	2.5	2.3	2
Defect size (nm) [I]	45	40	36	32	29	25	23	20
Data volume (GB) [J]	413	520	655	825	1040	1310	1651	2080
Mask design grid (nm) [K]	2	2	2	2	2	2	2	2
EUVL-specific Mask Requirements								
Substrate defect size (nm) [L]	38	36	35	33	31	30	28	27
Mean peak reflectivity	65%	66%	66%	66%	67%	67%	67%	67%
Peak reflectivity uniformity (% 3 sigma absolute)	0.69%	0.58%	0.47%	0.42%	0.37%	0.33%	0.29%	0.26%
Reflected centroid wavelength uniformity (nm 3 sigma) [M]	0.08	0.07	0.06	0.05	0.05	0.05	0.04	0.04
Absorber sidewall angle tolerance ($\pm$ degrees) [P]	1	1	0.75	0.69	0.62	0.5	0.5	0.5
Absorber LER (3 sigma nm) [N]	3.2	2.8	2.5	2.2	2	1.8	1.6	1.4
Mask substrate flatness (nm peak-to-valley) [O]	65	57	51	46	41	36	32	29

図表 7-5c EUVL マスクへの要求—Near-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM/Flash CD control (3 sigma) (nm)	1.9	1.7	1.5	1.3	1.2	1	0.9
MPU gate in resist (nm)	15	13	12	11	9	8	8
Gate CD control (3 sigma) (nm) [A]	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Overlay	4.5	4	3.6	3.2	2.8	2.5	2.3
Contact after etch (nm)	25	23	20	18	16	14	13
Generic Mask Requirements							
Mask magnification [B]	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	60	54	48	42	38	34	30
Mask minimum primary feature size [D]	42	37	33	30	26	24	21
Image placement (nm, multipoint) [E]	2.7	2.4	2.1	1.9	1.7	1.5	1.4
CD uniformity (nm, 3 sigma) [F]							
Isolated lines (MPU gates)	1.3	1.2	1.1	1	0.9	0.8	0.7
Dense lines DRAM (half pitch)	2.6	2.3	2	1.8	1.6	1.4	1.3
Contact/vias	2	1.3	1.2	1	0.9	0.8	0.7
Linearity (nm) [G]	3.4	3	2.7	2.4	2.2	1.9	1.7
CD mean to target (nm) [H]	1.8	1.6	1.4	1.3	1.1	1	0.9
Defect size (nm) [I]	18	16	14	13	11	10	9
Data volume (GB) [J]	2621	3302	4160	5241	6604	8321	10483
Mask design grid (nm) [K]	2	1	1	1	1	1	1
EUVL-specific Mask Requirements							
Substrate defect size (nm) [L]	25	23	22	20	18	17	15
Mean peak reflectivity	67%	67%	67%	67%	67%	67%	67%
Peak reflectivity uniformity (% 3 sigma absolute)	0.23%	0.21%	0.19%	0.17%	0.15%	0.13%	0.12%
Reflected centroid wavelength uniformity (nm 3 sigma) [M]	0.04	0.03	0.03	0.03	0.02	0.02	0.02
Absorber sidewall angle tolerance ($\pm$ degrees) [P]	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Absorber LER (3 sigma nm) [N]	1.3	1.1	1	0.9	0.8	0.7	0.6
Mask substrate flatness (nm peak-to-valley) [O]	26	23	20	18	16	14	13

図表 7-5d EUVL マスクへの要求—Long-term Years

図表 7-5c、5d:

EUVL masks are patterned absorber layers on top of multilayers that are deposited on low thermal expansion material substrates.

[A] Wafer Minimum Feature Size—Minimum wafer line size imaged in resists. Line size as drawn or printed to zero bias (Most commonly applied to isolated lines. Drives CD uniformity and linearity.)

[B] Magnification—Lithography tool reduction ratio.

[C] Mask Nominal Image Size—Equivalent to wafer minimum feature size in resist multiplied by the mask reduction ratio.

[D] Mask Minimum Primary Feature Size—Minimum printable feature after OPC application to be controlled on the mask for CD, placement, and defects.

[E] Image Placement—The maximum component deviation (X or Y) of the array of the images centerline relative to a defined reference grid after removal of isotropic magnification error.

[F] CD Uniformity—The three sigma deviation of actual image sizes on a mask for a single size and tone critical feature. Applies to features in X and Y and multiple pitches from isolated to dense. Contacts: Measure and tolerance refer to the area of the mask feature. For table simplicity the roadmap numbers normalize back to one dimension. $\sqrt{\text{Area}}$ — $\sqrt{\text{Target Area}}$.

[G] Linearity—Maximum deviation between mask “Mean to Target” for a range of features of the same tone and different design sizes. This includes features that are greater than the mask minimum primary feature size and up to three times the minimum wafer half pitch multiplied by the magnification.

[H] CD Mean to Target—The maximum difference between the average of the measured feature sizes and the agreed-to feature size (design size). Applies to a single feature size and tone. $\Sigma(\text{Actual}-\text{Target})/\text{Number of measurements}$.

[I] Defect Size—A mask defect is any unintended mask anomaly that prints or changes a printed image size by 10% or more. The mask defect size listed in the roadmap are the square root of the area of the smallest opaque or clear “defect” that is expected to print for the stated generation.

[J] Data Volume—This is the expected maximum file size for uncompressed data for a single layer as presented to a pattern generator tool.

[K] Mask Design Grid—Wafer design grid multiplied by the mask magnification.

[L] Substrate Defect Size—the minimum diameter spherical defect (in polystyrene latex sphere equivalent dimensions) on the substrate beneath the multilayers that causes an unacceptable linewidth change in the printed image. Substrate defects might cause phase errors in the printed image and are the smallest mask blank defects that would unacceptably change the printed image.

[M] Includes variation in median wavelength over the mask area and mismatching of the average wavelength to the wavelength of the exposure tool optics.

[N] Line edge roughness (LER)—is defined a roughness 3 sigma one-sided for spatial period <mask primary feature size.

[O] Mask Substrate Flatness—Residual flatness error (nm peak-to-valley) over the mask excluding a 5 mm edge region on all sides after removing wedge, which may be compensated by the mask mounting and leveling method in the exposure tool. The flatness error is defined as the deviation of the surface from the plane that minimizes the maximum deviation. This flatness requirement applies to each of the front and backsides individually.

[P] The sidewall angle tolerance applies to the mean absorber sidewall angle agreed upon between mask user and supplier.

Year of Production	2008	2009	2010	2011	2012	2013	2014	2015
DRAM/Flash CD control (3 sigma) (nm)	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.1
MPU gate in resist (nm)	38	34	30	27	24	21	19	17
Overlay (3 sigma) (nm)	11.3	10	9	8	7.1	6.4	5.7	5.1
Gate CD control (3 sigma) (nm) [A]	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1
Contact after etch (nm)	67	58	51	45	40	36	32	28
Generic Mask Requirements								
Magnification [B]	1	1	1	1	1	1	1	1
Mask nominal image size (nm) [C]	38	34	30	27	24	21	19	17
Image placement (nm, multipoint) [D]	6.5	5.8	5.2	4.6	4.1	3.7	3.3	2.9
CD Uniformity (nm, 3 sigma) [E]								
Isolated lines (MPU gates)	2.2	2	1.7	1.6	1.4	1.2	1.1	1
Dense lines DRAM/Flash (half pitch)	5.6	4.9	4.4	3.9	3.5	3.1	2.8	2.5
Contact/vias	6.5	5.7	5	4.4	3.9	3.5	3.1	2.8
Linearity (nm) [F]	5.7	5	4.5	4	3.6	3.2	2.8	2.5
CD mean to target (nm) [G]	1.1	1	0.9	0.8	0.7	0.6	0.6	0.5
Data volume (GB) [H]	295	372	469	591	745	938	1182	1489
Mask design grid (nm) [I]	0.5	0.5	0.5	0.25	0.25	0.25	0.25	0.25
UV-NIL-specific Mask Requirements								
Defect size impacting CD (nm) x, y [J]	4.5	4	3.6	3.2	2.8	2.5	2.3	2
Defect size impacting CD (nm) z [K]	9	8	7.1	6.4	5.7	5.1	4.5	4
Mask substrate flatness (nm peak-to-valley) [L]	298	252	192	180	153	126	110	88
Trench depth, mean (nm) [M]	75-119	67-104	60-90	53-81	47-72	42-64	37-57	33-51
Etch depth uniformity (nm) [N]	3.8-5.9	3.4-5.2	3.0-4.5	2.7-4.0	2.4-3.6	2.1-3.2	1.9-2.8	1.7-2.5
Trench wall angle (degrees) [O]	87	87.3	87.6	87.9	88.1	88.3	88.5	88.7
Trench width roughness (nm, 3 sigma) [P]	3.4	3	2.7	2.4	2.1	1.9	1.7	1.5
Corner radius, bottom of feature (nm) [Q]	6.3	5.6	5	4.5	4	3.5	3.2	2.8
Corner radius, top of feature (nm) [R]	1.1	1	0.9	0.8	0.7	0.6	0.6	0.5
Trench bottom surface roughness (nm, 3 sigma) [S]	7.6	6.7	6	5.4	4.8	4.2	3.8	3.4
Template absorption [T]	<2%	<2%	<2%	<2%	<2%	<2%	<2%	<2%
Near surface defect (nm) [U]	51	45	41	36	32	29	26	23
Defect size, patterned template (nm) [V]	35	30	30	20	20	20	20	10
Defect density (#/cm ²) [W]	0.03	0.03	0.03	0.01	0.01	0.01	0.01	0.01
Dual Damascene overlay: metal/via on template (nm, 3 sigma) [X]	11.3	10	9	8	7.1	6.4	5.7	5.1

図表 7-5e インプリントテンプレートへの要求—Near-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM/Flash CD control (3 sigma) (nm)	1.9	1.7	1.5	1.3	1.2	1	0.9
MPU gate in resist (nm)	15	13	12	11	9	8	8
Overlay (3 sigma) (nm)	4.5	4	3.6	3.2	2.8	2.5	2.3
Gate CD control (3 sigma) (nm) [A]	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Contact after etch (nm)	25	23	20	18	16	14	13
Generic Mask Requirements							
Magnification [B]	1	1	1	1	1	1	1
Mask nominal image size (nm) [C]	15	13	12	11	9	8	8
Image placement (nm, multipoint) [D]	2.6	2.3	2.1	1.8	1.6	1.5	1.3
CD Uniformity (nm, 3 sigma) [E]							
Isolated lines (MPU gates)	0.9	0.8	0.7	0.6	0.6	0.5	0.4
Dense lines DRAM/Flash (half pitch)	2.2	2	1.7	1.6	1.4	1.2	1.1
Contact/vias	2.5	2.2	2	1.8	1.6	1.4	1.2
Linearity (nm) [F]	2.3	2	1.8	1.6	1.4	1.3	1.1
CD mean to target (nm) [G]	0.5	0.4	0.4	0.3	0.3	0.3	0.2
Data volume (GB) [H]	1876	2364	2978	3752	4728	5957	7505
Mask design grid (nm) [I]	0.25	0.25	0.25	0.25	0.125	0.125	0.125
UV-NIL-specific Mask Requirements							
Defect size impacting CD (nm) x, y [J]	1.8	1.6	1.4	1.3	1.1	1	0.9
Defect size impacting CD (nm) z [K]	3.6	3.2	2.8	2.5	2.3	2	1.8
Mask substrate flatness (nm peak-to-valley) [L]	72	56	45	36	29	24	21
Trench depth, mean (nm) [M]	30-45	26-41	23-36	21-32	18-29	17-26	15-22
Etch depth uniformity (nm) [N]	1.5-2.3	1.3-2.0	1.2-1.8	1.1-1.6	0.9-1.4	0.9-1.3	0.8-1.1
Trench wall angle (degrees) [O]	88.8	88.9	89.1	89.2	89.2	89.3	89.4
Trench width roughness (nm, 3 sigma) [P]	1.3	1.2	1.1	1	0.8	0.8	0.7
Corner radius, bottom of feature (nm) [Q]	2.5	2.2	2	1.8	1.6	1.3	1.1
Corner radius, top of feature (nm) [R]	0.5	0.4	0.4	0.3	0.3	0.3	0.2
Trench bottom surface roughness (nm, 3 sigma) [S]	3	2.7	2.4	2.1	1.9	1.5	1.2
Template absorption [T]	<2%	<2%	<2%	<2%	<2%	<2%	<2%
Near surface defect (nm) [U]	20	18	16	14	13	11	10
Defect size, patterned template (nm) [V]	10	10	10	10	10	10	10
Defect density (#/cm ²) [W]	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Dual Damascene overlay: metal/via on template (nm, 3 sigma) [X]	4.5	4	3.6	3.2	2.8	2.5	2.3

図表 7-5f インプリントテンプレートへの要求—Long-term Years

図表 7-5e、5f:

[A] Wafer Minimum Feature Size—Minimum wafer line size imaged in resists. Line size as drawn or printed to zero bias (Most commonly applied to isolated lines. Drives CD uniformity and linearity.)

[B] Magnification—Lithography tool reduction ratio, N:1.

[C] Mask Nominal Image Size—Equivalent to wafer minimum feature size in resist multiplied by the mask reduction ratio.

[D] The maximum component deviation (X or Y) of the array of the images centerline relative to a defined reference grid after removal of isotropic magnification error.

[E] CD Uniformity—The three sigma deviation of actual image sizes on a mask for a single size and tone critical feature. Applies to features in X and Y and multiple pitches from isolated to dense. Contacts: Measure and tolerance refer to the area of the mask feature. For table simplicity the roadmap numbers normalize back to one dimension. $\sqrt{\text{Area}} - \sqrt{\text{Target Area}}$.

[F] Linearity—Maximum deviation between mask “Mean to Target” for a range of features of the same tone and different design sizes. This includes features that are greater than the mask minimum primary feature size and up to three times the minimum wafer half pitch multiplied by the magnification.

[G] CD Mean to Target—The maximum difference between the average of the measured feature sizes and the agreed-to feature size (design size). Applies to a single feature size and tone. $S(\text{Actual}-\text{Target})/\text{Number of measurements}$.

[H] This is the expected maximum file size for uncompressed data for a single layer as presented to a raster write tool.

[I] Wafer design grid multiplied by the mask magnification.

[J] Defect Size (nm) x, y—A mask defect is any unintended mask anomaly that prints or changes a printed image size by 10% or more. The mask defect size listed in the roadmap are the square root of the area of the smallest opaque or clear “defect” that is expected to print for the stated generation.

[K] Defect Size (nm) z—A mask defect is any unintended mask anomaly that prints or changes a printed image size by 10% or more. The mask defect size listed in the roadmap are the square root of the area of the smallest opaque or clear “defect” that is expected to print for the stated generation.

[L] Flatness (nm peak-to-valley) across the 110 mm × 110 mm central area image field on a 6-inch × 6-inch square blank. Flatness is derived from empirical residual layer uniformity (RLT) and magnification.

[M] Trench depth mean—Aspect ratio of trench set to 2:1. Low end determined by printed gate length, High end determined by MPU/ASIC half pitch

[N] Trench depth uniformity in nm—Set to 5% of trench depth.

[O] Trench wall angle in degrees—Minimum wall angle necessary to keep the etch bias of the bilayer resist less than 5%. A selectivity of 10:1 between the etch barrier and transfer layer is assumed. Transfer layer aspect ratio starts at 1.5:1, and finishes at 2:1.

[P] Trench width roughness (nm, 3 sigma)—equivalent to resist line width roughness.

[Q] Corner radius, bottom of feature—critical to S-FIL/R (positive tone imprinting) where it defines the depth that the blanket ROI etch must reveal into the imprint material for good CD control (12.5% of CD). Non-critical for S-FIL (negative tone imprinting).

[R] Corner radius, top of feature—critical to S-FIL (negative tone imprinting) for good CD control, where it behaves as a resist “footing” in equivalent projection lithography (3% of CD). Non-critical for S-FIL/R (positive tone imprinting).

[S] Roughness in the bottom of an etched trenching resulting from imperfections in the plasma etch process or micromasking from the hard mask.

[T] Percent of incident light intrinsically absorbed by the 6.3 mm thick substrate at 365 nm. This is to minimize heating and thermal distortion and maximize equipment throughput.

[U] This is the maximum defect size for the quartz substrate from the surface level to a depth of 200 nm.

[V] Defect size, patterned template—Defect size in nm on finished patterned template.

[W] Number of defects per square cm on a finished template.

[X] This is the via to metal line overlay requirement on a 3D template for landed vias.

Year of Production	2008	2009	2010	2011	2012	2013	2014	2015
DRAM/Flash CD control (3 sigma) (nm)	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.1
MPU gate in resist (nm)	38	34	30	27	24	21	19	17
Gate CD control (3 sigma) (nm)	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1
Overlay (3 sigma) (nm)	11.3	10	9	8	7.1	6.4	5.7	5.1
Contact after etch (nm)	67	58	51	45	40	36	32	28
Data Volume (GB)	260	328	413	520	655	826	1040	1311
Grid Size (nm)	0.5	0.5	0.5	0.25	0.25	0.25	0.25	0.25

図表 7-6a マスクレス技術への要求—Near-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM/Flash CD control (3 sigma) (nm)	1.9	1.7	1.5	1.3	1.2	1	0.9
MPU gate in resist (nm)	15	13	12	11	9	8	8
Gate CD control (3 sigma) (nm)	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Overlay (3 sigma) (nm)	4.5	4	3.6	3.2	2.8	2.5	2.3
Contact after etch (nm)	25	23	20	18	16	14	13
Data Volume (GB)	1651	2080	2621	3302	4161	5242	6605
Grid Size (nm)	0.25	0.25	0.25	0.25	0.125	0.125	0.125

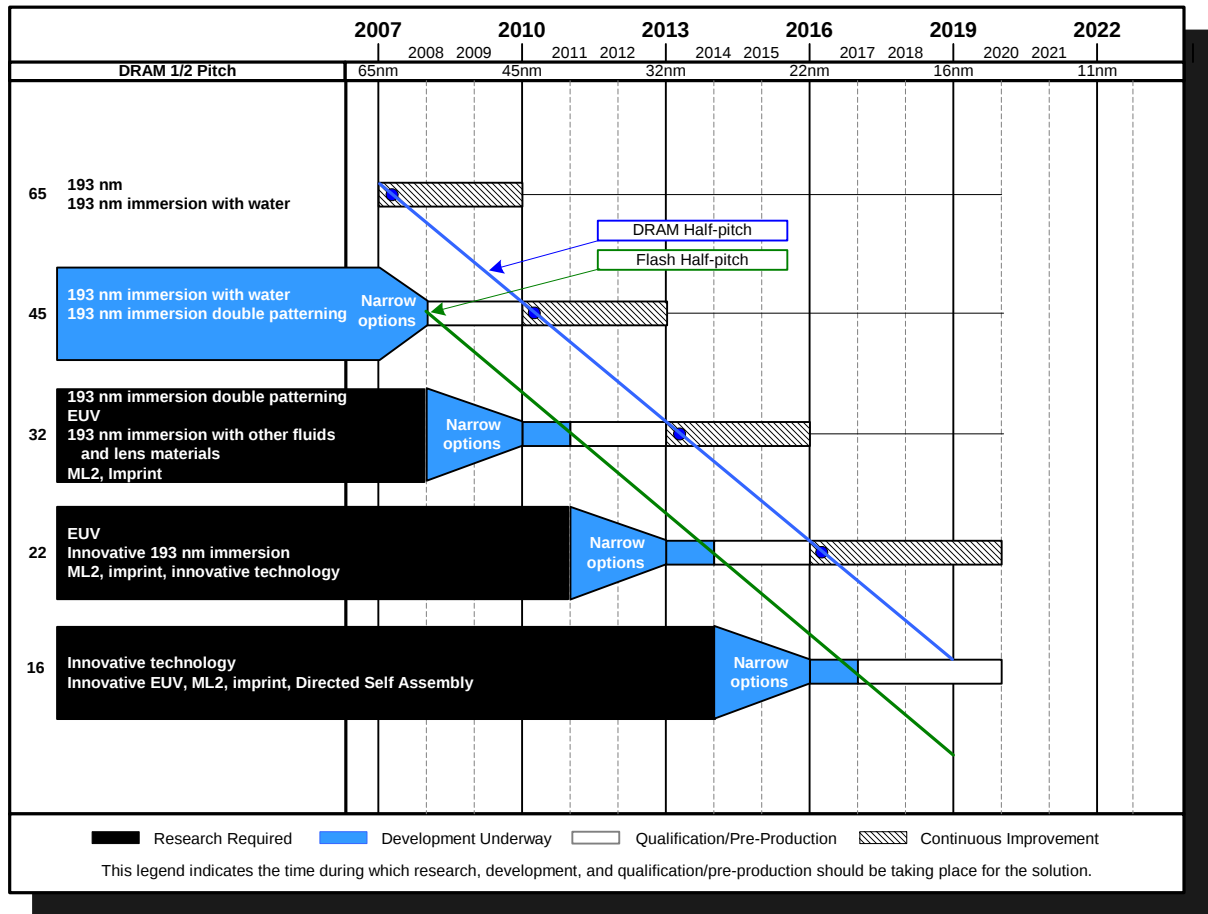
図表 7-6b マスクレスへの要求—Long-term Years

7-3-2 ITRS2007 におけるリソグラフィ解決策候補 (Potential Solutions)

45 nm の解決策候補を、193nm immersion with water および 193nm immersion double exposure/patterning に絞り込んだ。EUVL、高屈折率液体・硝材を用いる超高 NA 液浸露光技術は 2010 時点では、量産技術として実現できないと判断し、図表 7-7a を作成した。

32 nm の解決策候補は、順序を見直した。EUVL の開発が遅延している状況を反映して、第二の候補へ順位を落とした。32 nm の解決策候補は、193nm immersion Double Exposure/Double Patterning、EUVL、193nm immersion with other fluid、ML2、Imprint の順である。

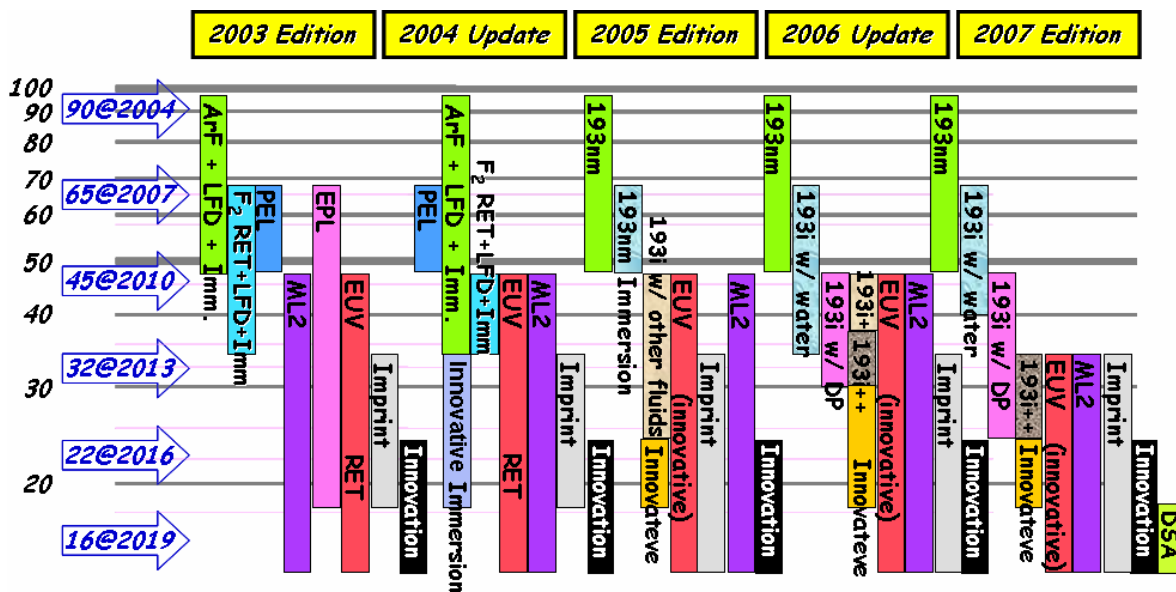
また、22 nm は特に変更していないが、16 nm の解決策候補に DSA(Directed Self Assembly)を加えた。



Notes: RET and lithography friendly design rules will be used with all optical lithography solutions, including with immersion; therefore, they are not explicitly noted.

図表 7-7a 露光装置解決策候補

図表 7-7b に、2003 版から 2007 版までに記載された解決策候補の変遷を示した。193nm 露光技術の延命が軸となっている。



図表 7-7b 露光装置解決策候補の変遷

7-4 リソグラフィ解決策候補

解決策候補の技術概要をまとめる。

7-4-1 ArF 液浸露光技術

液浸露光技術は、液浸顕微鏡の技術をリソグラフィ技術領域に応用する画期的な技術である。レンズと試料の間隙を、空気に比べて屈折率の大きな液体で埋め、解像性能を飛躍的に向上させる液浸顕微鏡では、オイル、グリセリン、水が広く用いられており、それぞれの屈折率は、1.515、1.473、1.333と大きく、解像力、焦点深度の向上効果が顕著である。水は、特に、生態系の試料の観察において直接、あるいはプレパラートを介して用いられ、威力を発揮している。液浸露光技術の提案は、露光技術の行き詰まりの都度行われてきたが、ArF 液浸露光技術は、F2 (157 nm)露光技術開発の遅延と、水が、193 nm において、屈折率 1.44 を有している利点が認識されて遡上に上がった。2002 年頃より広く注目され、既存の露光装置を改良しての技術実証と、NA 1 を超える縮小投影光学系の開発が精力的に進められた。液浸露光装置は、レンズとウェハの間隙に水を局在させる機構を採用している。当初から指摘されていた液浸固有の課題は、欠陥であった。スキャン露光に伴い、泡が取り込まれ、ウェハのエッジ等からパーティクルが進入し、また、レジスト膜表面にウォーターマーク、さらには、レジストからの溶出物が汚染を起こす等の欠陥に関わる課題が指摘されていた。欠陥は、レジスト等の表面の撥水性の管理をトップコート膜で行い、ウェハベベル部の清浄化に加えて、装置側の洗浄などの対策等を施すことにより、改善された。2006 年には、レンズでの限界 NA 1.07 の液浸露光装置が出荷され、ついで、投影光学系に、レンズとミラーを組み合わせる反射屈折光学系を採用した高 NA 液浸露光装置が登場しデバイスの開発、生産に寄与した。2007 年には、水を用いる液浸露光装置の高 NA 化の限界と考えられる NA 1.35 の露光装置が登場し、液浸露光技術を採用したデバイスの生産が本格化した。また、トップコート膜を必要としないレジストの開発が進み、欠陥低減効果も得られ、実用化の段階に入った。

NA 1.35 の水液浸露光技術では、k1 値 0.28 を達成しても hp 40 nm 程度が限界となる。次の世代では、さらに解像力に優れた露光技術が必要になる。液浸露光技術の延命、高 NA 化が検討されている。高 NA 化には、より大きな屈折率を持つ硝材、液浸液、レジストが必要である。投影レンズ(最終面)-液浸液-レジストの全ての界面で全反射を起こさない為に高屈折率材料が必要で、NA は、これらの材料のもっとも小さな屈折率によって決まる。屈折率 1.64 ほどの液浸液、屈折率 1.64 の硝材(BLiF3)が、既にほぼ開発されているが、達成される NA は 1.55 程度で、32 nm hp に対しては、十分な解像力が得られない。32 nm hp に向けては、NA 1.70 以上が要求される。硝材の開発では、屈折率 2.14 を有する LuAG が注目されている。この硝材により NA 1.70 の露光装置が実現できる。しかし、2008 年 3 月時点では、十分な透明性、サイズを得ていない。依然開発途上である。2010 年に露光装置を実現することは、既に困難となっている。また、液浸液は、単一の成分では、必要とされる屈折率 1.8 を達成する材料が得られていない。現在、最も有力な解決策は、高屈折率 Nanoparticle を、液に導入して屈折率を向上させる技術とされている。SiO₂、HfO₂ などが候補である。レジスト材料に関しても、屈折率 1.8 以上が求められ、同様に、Nanoparticle を導入する提案や、F、S などの元素を高比率で導入する Polymer の開発が行われている。露光装置では、液体の保持形態が全く異なる。表面張力が下がる材料となるため、水液浸露光装置で採用された局所保持構造が適用できない。ウェハ表面、全面に液浸液を維持するプールタイプのステージが必要と考えられている。液浸液の安全性など、課題も多い。

7-4-2 EUV 露光技術

EUV 露光技術は、波長 13.5nm の軟 X 線を光源とし、装置は、真空装置となる。0.7~1.0nm の波長を用いる PXL(Proximity X-ray Lithography)の開発が挫折した後、縮小投影露光を、X 線領域の波長で実現する検討から、取り組みが強化された。KrF、ArF 露光技術に続く技術として、F2(157nm)露光技術が開発の主となった 2000 年頃から、多層膜ミラー光学系に絞込んで、開発されている。EUV 露光技術の本格的

な開発は、1997 年より、米国の EUV LLC で開発が進められた。多くの資金が投入され、研究開発の中心は、米国の国立の研究所である LLNL、SNL、LBNL が、共同で研究する組織 VNL であった。EUVL は、SEMATECH の開発テーマとなり、開発の中心は、SEMATECH に移された。現在は、SEMATECH を始め、IMEC、INVENT、Selete などのコンソーシアム、アライアンスが開発の拠点をなし、光源メーカー、露光装置メーカー、材料メーカーなどとの連携を密に図って開発に取り組んでいる。

波長 13.5nm では、光学要素を構成できる透明材料は無い。その為、基本的な光学系は、反射ミラーで構成される。13.5nm は、多層膜反射技術の選択枝から絞り込まれた波長で、多層膜を Mo と Si で構成する。多層膜の構成は、周期 7nm ほどで最低 40 周期となる。マスクも、同様な構成の多層膜反射層を有する反射型マスクとなり、多層膜上の遮光膜をパターン化して用いる。EUV 光の経路の一部には、浅い角度で入射・反射する斜入射全反射ミラー(多層膜ではなく、Ru などの金属表面に浅い角度で光を入射して表面反射させる方式)も用いられるが、多くは、Mo/Si 多層膜で構成され、投影光学系は、全て多層膜ミラーで構成される。NA 0.25 の設計では、投影光学系は 6 枚の多層膜ミラーで構成され、マスクを含めて、全体で 12 枚程度の多層膜反射面となる。Mo/Si 多層膜の反射率は、理論値でも高々 70% 強で、現状の 68% 程度のミラーでは、光源から、照明系、マスク、投影光学系の反射面を経てウェハに到達する EUV 光は、1% にも満たない。ほとんど全てのエネルギーが熱負荷となる。その為、熱膨張係数の非常に小さな材料が必要で、ミラーやマスクの基板には、Ti ドープの石英ガラスや結晶化ガラスなどの材料(LTEM)が用いられる。

EUV 露光装置、マスク、レジスト、マスクデータ処理の開発課題を整理する。

EUV 露光装置は、EUV 光源、デブリシールド、集光光学系、照明光学系、マスクステージ、投影光学系、ウェハーステージ、マスク及びウェハーハンドリング・ロードロック機構、真空系、各種センサー、制御システムなどで構成される。EUV 露光装置は、従来の 248 nm あるいは、193 nm の露光装置との共通性に乏しく、ほぼ全てが、EUV 露光装置固有の開発となっている。共通点は、1/4 の縮小投影である点程度である。

光源は、DPP(Discharge Produced Plasma)、LPP(Laser Produced Plasma)の二方式が検討されている。EUV 発光には、Sn を用いる可能性が高い。Xe、Sn、Li などの様々なターゲット材料の選択枝の中から、大きな CE(Conversion Efficiency)の得られる Sn が本命視されて、現在開発中の DPP でも、LPP でも、Sn を採用している。露光処理能力 100 wph(wafer per hour)の達成には、200W@IF(Intermediate Focus: 中間焦点位置における EUV 強度)程度の強度が求められるが、現状では、瞬間値で 50~100W@IF が報告されている程度で、実際の運転状態では、その 20~30% 程度、たとえば、35W を 2 秒程度しか達成できていない。しかも、IF における計測技術の開発が伴わずに、また、集光光学系が開発途上であるため、実際の集光ミラーを準備し、実測を行っての確認に至っていないデータが、報告されている。2008 年以内に 100W@IF(Average mode)の達成を目指す開発の成否が注目される。デブリの課題もある。Sn が、プラズマ状態から飛散するため、対策が求められている。光源側では、Sn の飛散量、及び供給量を最小とするために、Droplet と Laser pre-pulse を組み合わせて用いる検討が進んでいる。20~30 μ m ϕ の Droplet をプラズマ化し、密度とサイズを制御し、ついで、大きなエネルギーを、スパークあるいはレーザーで注入し EUV 発光させる技術への取り組みである。デブリシールドは、集光光学系、さらに、IF への Sn の進入・付着を阻止する機構で、ガスを流したり、磁場でイオンを阻止したりする技術が検討されている。また、付着した Sn をハロゲンガスと反応させて除去する洗浄技術も、開発段階にある。集光光学系は、DPP と LPP でその方式が異なる。DPP では、浅い角度で EUV 光を入射させ、Ru などの表面で反射させる方式で集光する。LPP では、より広い角度で捕捉する Normal Incident ML Mirror を用いて集光する。

マスクは、基板に、フォトマスクブランクスと同一の外形形状に加工した超低膨張ガラス(Ti ドープ合成石英ガラス)を用いる。Mo-Si 多層膜(Mo~3 nm, Si~4 nm, pitch ~7 nm, >40 layers)、Capping(Si ~11 nm)、

Buffer(Ru ~1~3 nm)、Absorber (Ta or TaOxide, TaBN, ...50~70 nm)といった構成の膜構造を形成し、反射型マスクとする。膜構成は、開発途上で、まだ、絞り込まれてはいない。マスク開発の最大の課題は、無欠陥化である。無欠陥化の課題は、三点ある。まず、ブランクスが無欠陥化で、多層膜に欠陥が無いことが求められる。特に困難な課題があり、それは、多層膜の位相欠陥の回避である。位相欠陥は、多層膜の平坦性が崩れている段差で発生し、1.5から2 nmの段差で干渉効果により暗部を形成する。段差の主因は、超低膨張ガラス基板の表面の凹凸で、数10 nmのサイズで1.5から2 nmの段差で、32 nm世代のパターンの10%のCDエラーを生む。次に、パターン欠陥の修正技術が大きな課題である。特に、黒欠陥を除去する修正において、多層膜の位相項を含めて反射率を損なうことなくエッチングする技術が必要となる。従来のFIB修正技術では、Gaが基板に打ち込まれ、多層膜を劣化させ反射率の低下を招くことが知られている。もうひとつの課題は、無欠陥で製造されたマスクが、露光装置で用いる段階でも無欠陥であり、転写パターンの無欠陥が保証される技術の構築である。EUVマスクでは、従来の考え方のペリクルが無いため、マスク表面への欠陥の付着が問題となる。また、コンタミネーションも無視できない。真空中では、比較的容易に照射領域にハイドロカーボンなどの真空中の不純物が堆積し、マスクの反射率の低下を招く。

マスクには、また、EUV露光技術固有の課題がある。反射型であるため、マスク面への入射と反射は、光軸を共有できない。NA 0.25の設計では、主軸6度の入射となる。それに伴い、高さのある遮光膜パターンのエッジは、その方向に依存して、入射光の角度が異なるために、解像性能と転写位置が異なる。すなわち、パターンの変形が生じる。入射角は、露光領域(スリット)内で異なっているため、歪は様ではない。フレアと呼ばれる迷光も無視できない。現在開発中の α 機では、10%以上、初期の量産機では、6~7%とされており、マスクパターンに応じて補正する必要がある。

EUVレジストの開発も進んでいない。既に述べたように、EUV露光においては、光源の利用効率が非常に悪い。その為5 mJ/cm²といった高感度レジストが切望されている。しかし、感度と解像力とLER/LWRの両立が出来ていない。また、Resist Blurと呼ばれるCARの酸拡散に伴うボケが生じ、潜像と現像後のレジスト像との差が大きい。これは解像力の劣化であり、Resist Blurの低減が急務であるものの、感度の低下無しに改善できる見通しは得られていない。また、特に、LER/LWRは、EUVL固有の課題では無く、ArFなどの露光技術においても、問題であり、Shot Noiseなど現象の理解と対策、最適露光量の選択などの検討が進められている。レジスト開発の中には、分子レジストへの取り組みがある。漸く、ArFレジスト並みのLER/LWRを示すレジスト材料も試作されてきた。レジストのアウトガスも問題とされている。真空中に逸散したガスは、EUV光照射によって、比較的容易にハイドロカーボン系のデポ膜を形成することが知られている。装置側の対応と共に、アウトガスのないレジストの開発が行われている。EUVレジスト材料の開発は、露光評価の環境が整備されて加速されている。2008年には、 α 機がレジスト開発に寄与し、実用化への進展が期待される。

EUV露光技術は、比較的大きなk1値から導入されるため、RET、OPC処理などの負担は少ないものとされている。しかし、入射角依存の補正と、フレアの補正は必要となる。マスク全面を補正するために単純なルールであっても、マスクの全パターンを補正処理する。EUVL専用のMDP(Mask Data Preparation)技術の開発が急務となっている。

EUV露光装置の課題は、まず、NAを確保して、収差の少ない、フレアの少ない光学系の製作である。研磨精度と多層膜の製作が課題である。EUVAが開発したEEM研磨技術は、世界の最先端に行く。収差の計測技術には、既に6枚ミラー光学系を露光波長で計測する技術が報告されている。マスク、ウェハの保持も大きな課題である。静電チャックの使用を前提として検討されている。要求される平坦度は、数10 nmであり、マスクパターンの高さの差は、ウェハー上での位置ずれとなり、重ね合わせ精度に影響する。

EUV露光技術は、32 nm、22 nm、16 nm、さらには、11 nmの世代においても、解像性能が達成できると報告されている。NA 0.5を超える設計が報告されており、複数世代をカバーする露光技術として期待でき

る。

EUV 露光技術の最大の課題は、二つと考えられる。ひとつは、無欠陥化である。無欠陥マスクの歩留まりは、急激には改善されるとは考えにくい。また、露光装置で付着するパーティクルなどの除去も含めての管理技術の構築は、計測機の開発、データの蓄積など、経験的な要素もあり、短期的な解は無い。二つ目は、コストの問題である。光源パワー、熱問題が、スループットの制約となる。現在、1 wph にも満たない α 機の処理能力は、今後、改善され、デバイス製造に適用される量産機では、120~150 wph が達成されているものと考えられる。EUV 露光装置は、その高価格からも、さらなる大きな処理能力を期待される。その為には、光源の開発が鍵であり、変換効率、ミラーの反射率の低さに伴う熱問題の解決と、部品の長寿命化が課題となる。2010 年~2011 年には、 β 機の実績が得られているものと期待されている。

7-4-3 ダブルパターニング／ダブル露光技術

二つの 45 nm の解決策候補の一つ、また、32 nm の解決策候補における筆頭にダブルパターニング／ダブル露光技術を記載した。NA 1.35 の水液浸露光技術では、解像力 40 nm hp が限界とされ、Single Exposure では、hp 32 nm への延命は出来ない。また、高屈折率液浸露光技術は、レンズ材料開発が遅延し、EUV 露光装置の量産機の出荷は、2011 年以降とされている。この状況に鑑み、解決策候補の見直しを図り、改訂を行った。ダブルパターニング／ダブル露光技術は、k1 0.25 の壁を打ち破り、解像性能を二倍に高める技術として、hp 32 nm でも十分な解像力の達成が可能である。NA 1.35 の水液浸露光技術単独では、hp 45 nm の複雑なパターンの製造技術の構築は困難である。hp 45 nm でも、ダブルパターニング／ダブル露光技術が導入されるとし、改訂した。

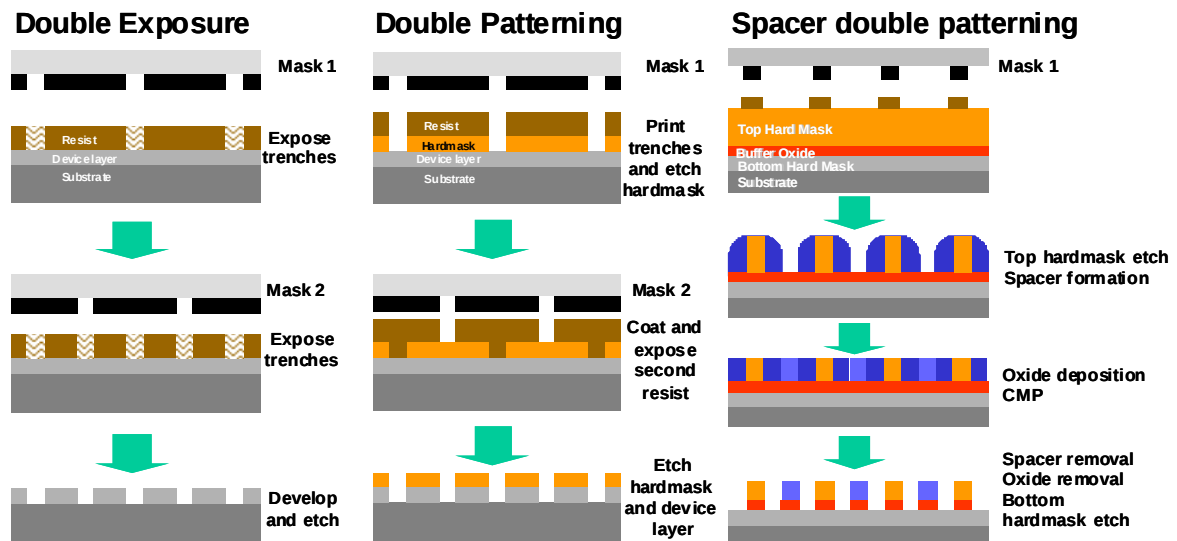
現在でも、多くの二回の露光処理によってひとつの層のパターン形成を行う技術が、生産に寄与している。渋谷・レベンソン位相シフトマスクを用いて、ゲート層のパターンを形成するなどの工程では、不必要なパターンを除去する Trimming と呼ばれる露光処理が施される。DDL(Double Dipole Lithography)では、究極の二重極照明に加えて偏光照明を行って、x 方向と y 方向のパターンを二つのマスクに分割して、一方向のみの解像力の向上に特化した露光処理を繰り返してパターン形成を行う。しかし、これらの技術では、k1 0.25 の限界を超えることは出来ない。

k1 0.25 の壁を打ち破るダブルパターニング／ダブル露光技術には、多くの提案があり、技術検討・開発が進められている(図表 7-8a)。第一のカテゴリーは、クリティカルなパターンを形成するマスクを少なくとも二枚用いて行うもので、第二のカテゴリーは、露光して形成したパターンを直接、あるいは下地を加工した後、全面に等方的に膜を設け、異方性エッチングを施して、パターンの側壁、すなわち、輪郭に膜を残して用いる。その特徴から、Spacer doubling あるいは Sidewall transfer と呼ばれる。第一のカテゴリーの代表的な技術には、LELE(Litho-Etch-Litho-Etch)と LFLE(Litho-Freeze-Litho-Etch)、および、DE(Double Exposure)がある。LELE は、第一の露光で形成したレジストパターンをマスクに HM(Hard mask)をエッチングし、ついで、第二回の露光を行ってレジストパターンを形成する。LELE には、スペースを形成していく Dual trench と、ラインを形成していく Dual line がある。

LFLE は、LELE の Dual line の HM を加工する工程を削減する技術で、最初に形成するレジストパターンを、二回目の塗布・露光・現像処理に耐えるように Freeze させ、新たに、レジストを塗布し、露光・現像処理を行ってレジストパターンを形成し、エッチング工程は一回で処理する(図表 7-8b)。Resist の Freeze 方法には、幾つかの提案がある。UV Cure と呼ばれる不溶化、熱架橋、電子線あるいはイオンビームを用いる不溶化、化学的な表面保護、デボなどの処理が提案されている。

DE は、レジストに二回の露光を施してから、一回の現像でパターンを形成する。DE は、俗に Magic material と総称される特異な特性を有する材料を必要とする。従来の材料では、解像力の向上が期待できない。代表的な提案に Ultra-CEL(Contrast Enhancement Layer)、2-Photon resist、Thermal reversible resist がある。しかし、これらの材料の概念では、Non-linear な特性の実現に、一桁以上高い露光量を必要とし、

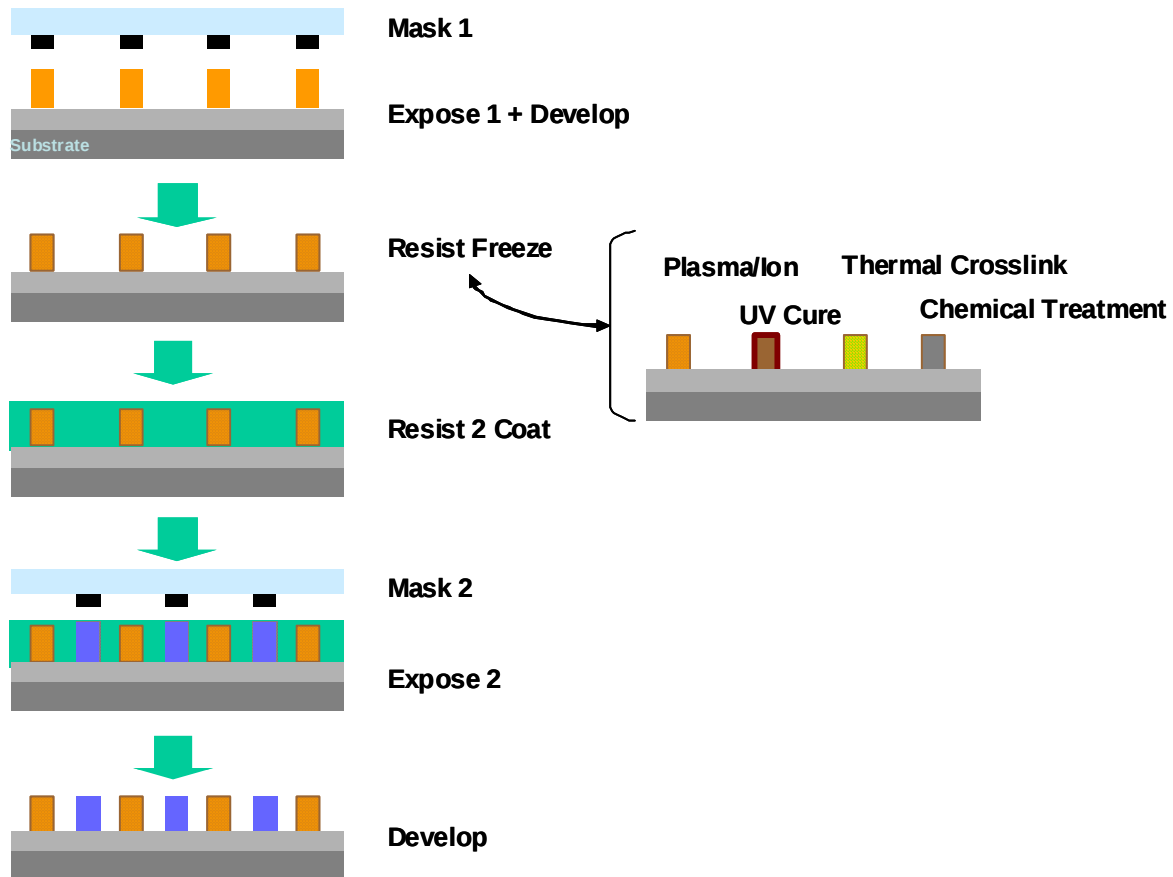
実用化に適さないとする指摘があり、また、材料開発は困難を極めている。レジストパターンの輪郭だけを残す特殊な現像処理、ポジレジストとネガレジストの特性を併せ持つ材料などの提案もなされている。



図表 7-8a プロセスフロー： Double Exposure, Double Patterning, and Spacer Double Patterning

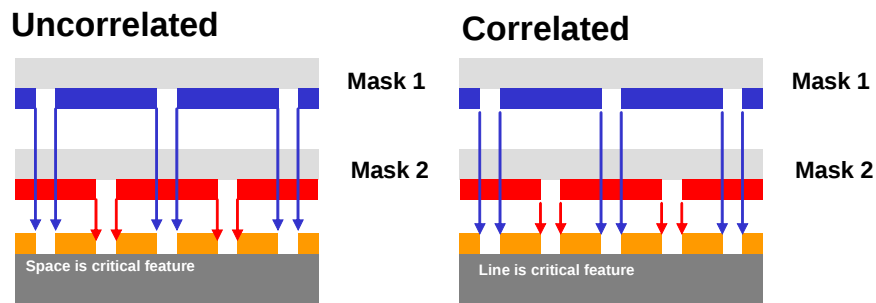
ダブルパターニング／ダブル露光技術は、現在のリソグラフィ技術を駆使して微細化を図る技術として捕らえることが出来る。しかし、課題は山積している。LELE、LFLE では、重ね合わせ精度が Single Exposure の 1/2 以下、また、CDU も 1/2 が必要と報告されている。また、寸法の分布は、複雑になる。パターンは、それぞれの露光で形成されるラインあるいはスペースと、その組み合わせで形成される重ね合わせ精度の影響を受けるスペースあるいはラインとで構成され、計四つを考える必要がある。すなわち、母集団が四つになり、L&S では、ライン-スペース-ライン-スペースが、繰返し単位になる(図表 7-8c, 8d)。また、第一の露光パターンと、第二の露光パターンで、エッチングによる加工形状が異なる問題が発生することも懸念されている。二次元的に複雑なパターンにダブルパターニング／ダブル露光技術を適用する場合には、パターンを交互に二枚のマスクに分割する技術に課題がある。単純な L&S と異なり、二枚のマスクに分割するためには、単一の図形を分割する必要がある。また、微細な分割無しでは、解が存在しないことも考えられる。また、図形の分割を行った結果として、ウェハー上でのパターンの接続精度が問題となる。重ね合わせエラーも加わり、図形の精度が劣化する。その為、クリティカルな位置での分割を避ける図形分割が望まれる。アライメントエラー、寸法エラー、エッチングなどのプロセスでの変換差など全ての要素を取り込み、接続精度を確保して、データの分割を行う必要があり、エッジの微調整などの図形処理が必要になるなど、単純なデータ分割処理だけでは、LELE、LFLE に対応できない。

Double patterning: Freezing



図表 7-8b

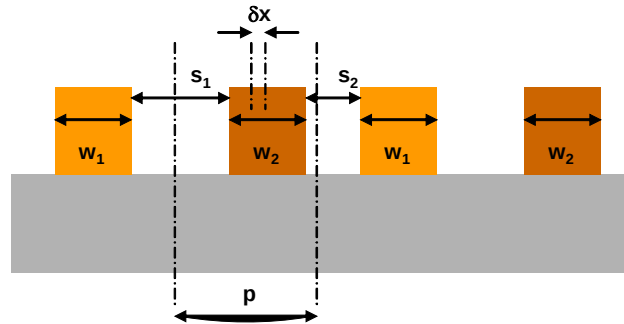
プロセスフロー：LFLE(Litho-Freeze-Litho-Etch) Double Patterning



In double patterning, uncorrelated exposures (left) define critical features with each exposure being independent, correlated exposures (right) define critical features by the juxtaposition of two exposures

図表 7-8c

ダブルパターニングにおける CD 制御
スペースの形成、ラインの形成



The shapes w_1 and w_2 are defined by the two exposures with an overlay error of δx , resulting in spaces s_1 and s_2 . The device pitch is p .

図表 7-8d 二重露光における CD

Spacer Doubling は、Flash Memory の L&S パターン形成への適用を目指して精力的な開発が図られている。Flash Memory の微細化は、既に 2008 年時点で、45 nm hp を実現する。DRAM に比べて、セルパターンが単純なために微細化で先行してきた Flash Memory は、パターンが単純であるがために、Spacer Doubling 技術が適用でき、その導入で先行すると考えられている。しかし、Spacer 固有の課題を抱えている。デポ膜の均一性は、レジストパターンの均一性に比べて優れているとされるが、デポ膜の間に形成されるスペースの寸法ばらつきは、露光パターンの寸法ばらつきに加えて、デポ膜のばらつきがあり、劣化する。また、Spacer は、単一の幅でしか形成できない。この点は、Flash Memory にとって魅力であるが、任意の寸法を形成する必要があるパターンには適用できない。さらに、パターンの制約がある。レジストパターンの輪郭に Spacer が形成されるため、ドーナツ状のパターンが形成され、不必要部分を除去する工程が必要になる。Area penalty となり、チップサイズの増大を招く。

ダブルパターニング／ダブル露光技術の共通の課題は、プロセスステップの増大、すなわち、コストの増大と、製造 TAT の増大である。データ処理、マスク、QC 工程など全て、コストの増加要因となる。露光装置には、重ね合わせ等精度の改善が求められるだけでなく、そのスループットの向上も要求されている。

もっとも大きな課題は、Logic への適用にある。ダブルパターニング／ダブル露光技術は、従来以上に複雑な設計制約を必要とする。設計環境の抜本的な見直し無しでは、ダブルパターニング／ダブル露光技術の導入は困難である。

しかし、EUVL 技術の登場までは、ダブルパターニング／ダブル露光技術で延命せざるを得ない。また、EUVL 技術が導入されても、EUVL 技術の延命の選択肢の一つは、ダブルパターニング／ダブル露光技術である。 $k_1 < 0.25$ を実現するダブルパターニング／ダブル露光技術の確立が、微細化の延命の上で欠くことのできない事実で議論の余地は無い。

7-4-4 ML2、NIL、DSA

22 nm 以降のリソグラフィ技術候補には、ML2、NIL、DSA が上げられている。ML2 は、Mapper、IMS をはじめ、活発に開発が進められているが、計画の遅延も目立っている。また、スループット改善の目標は、達成できる状態には無い。その為、大量生産のリソグラフィとして位置づけることは出来ない。しかし、研究開発、多品種少量生産での期待は大きく、最先端マスクの高騰を回避する技術としての位置づけは変わっていない。EB での ML2 開発は、低加速 EB と高加速 EB に分類できる。EB 以外では、OML(Optical Mask less Lithography)と呼ばれる Micro Mirror Array を用いる方式や、Ion Beam を用いる方式が検討されているが、まだ、原理検証の段階を抜け出た程度と考えられる。NIL は、微細パターンを、優れた LER で形成でき、また、デュアルダマシーンなどの 3D 構造を、一括で形成できる技術として注目されている。1:1 のテンプレートマスクの製作や、アライメント精度の課題が残されていたが、アライメント精度 20 nm 近くの

データが報告され、進展を見せ、2007 年度は、デバイスへの適用を目指した報告も注目され、存在感の出た年となった。スループットの改善も模索されている。欠陥対策など今後の技術開発動向に注目していく必要がある。また、DSA(Directed Self Assemble)は、記録メディアへの適用を目指す開発の中から、位置合わせ機能の可能性が提案されるなど、注目されている。半導体製造プロセスでも、特殊な用途でまず導入される可能性があり、Pitch doubling など周期パターンを規則的に配置していく技術の開発に注目が集まる。ITRS のリソのロードマップでは、16 nm の技術候補として新たに加えた。今後の活動の中で、22 nm、16 nm 世代のデバイスが必要とするリソグラフィ技術を見極め、新たな技術を候補に加えることも含めて、候補技術の取捨選択を測っていく。

7-5 クロスカット活動

ITRS2007年版の作成に向けてクロスカット活動を行った。今年の特徴として、デバイススケーリングの議論と、リソグラフィへの要求事項の見直しがまず挙げられる。大きな点は、Flash Memory の hp の数値がさらに一年前倒しされ、DRAM に比べて二年先行することになった点で、2008 年に 45 nm hp となった。MPU の Gate の Scaling に関しても、現状の Table との乖離を踏まえて、議論を重ねたが、新たな Table の構築には至っていない。2007 年の時点で、25 nm(Physical gate length)の数値には達していない。今年度の ITRS 及び STRJ のクロスカットで議論された内容をリストアップする。

1. YE リソ歩留まりモデル、AMC の pptM 表記、Refractory Organic、リソパーズガス(WECC)、Resource saving、Immersion UPW(TOC)、CR 温度管理、マスク保管スペック(パーティクル)、EUVL レチクル二重ポッドなどを議論している。
2. ESH 新規材料に関して議論した。PFOS、PFAS は、分離して扱う。Nanoparticle のリスクを確認した。表記を手直した。
3. FI EUVL レチクル保管、12 wafers/lot を議論した。二重ポッドの情報交換を予定する。
4. ERM レジスト材料、分子ガラス、Imprint 材料(低粘性材料)、DSA(PS/PMMA/PEO-Osi)、液浸用材料、EUV 低アウトガスレジストに関してクロスカット活動を行った。
5. Modeling & Simulation マスク 3D など超高 NA 領域でのシミュレーションの議論を行う。Mask 3D on CDU、エッジ角度定義の必要性を議論し、マスク寸法定義でカバーできるため、定義必要なしとした。Pellicle 膜厚均一性は、高 NA で問題となるが、薄膜ペリクルの採用で余裕を確保できるため、新たな数値は記載しない。Footnote にコメントを記載する。Modeling、Simulation の精度、処理時間が、今後の共通の課題である。
6. Metrology DPT の CD、Overlay 計測精度は、Single exposure と同等のパターン精度の保証とするリソ側の認識を提示した。検討は継続する。DPT における Overlay 計測の解は、現在ない。
7. PIDS/FEP/Design デバイスの Table では、Clock 未達、Multi-core 化でデバイス性能が確保されているとする共通の認識を確認した。Gate の Scaling 見直し、MPU のロードマップに関しては再検討する。12%のばらつきは今回、言及しないが、CDU の Budget の議論は継続する。
8. その他 レジスト感度を改訂。EUV 及び EB の数値を緩和した(新たに、Resist sensitivity requirement for low acc. voltage EB)。マスクブランクスペックを議論した。Birefringence は、 $<2\text{nm/cm}$ 、Reticle Thickness Variation、Wafer Flatness SFQR($26\text{mm} \times 8\text{mm}$)は、 $1/\text{NA}^2$ ベースで Table に載せる。

全体の合意事項として、2008 年版に向けての作業で、DRAM、Flash、MPU で Table を分離する。

Flash の多値化の進展、DPT の採用に伴い、CDU などの要求数値が一世代から二世代分前倒しになる可能性が Input されている。

450 mm へのウェハの大口径化に関しては、記載の変更はない。

DPT に関わるアイテムの議論が重要になっている。また、リソグラフィの WG では、Inverse Lithography をロードマップの中で扱う提案がある。マスクのスペックなど広範に議論が必要になる。

7-6 ITRS2007 の主な内容

2007 年版では、超高 NA(<1.35)露光技術に要求される材料の屈折率と得られる NA の関係を Table にまとめた。

また、DP に関する記載の充実を図った。 $k_1 < 0.25$ を目指す DPT/DET のプロセスフローと、厳しい CDU、Overlay 要求、Difficult Challenges について、新たに記載した。DP に関する CD 制御性の課題を図表を用いて説明した。DP においては、第一の露光と第二の露光で、形成されるスペースパターン(感光部)と、それらの隣り合ったエッジで決まるラインパターン(非感光部)の四つの母集団により構成される CD 分布が得られるため、重ね合わせ精度の影響を受けるラインパターン(非感光部)の CD 制御性は、スペースパターン(感光部)に比べて劣化することを示した。

Requirements Table では、Coloring の見直しを図った。Gate CD control の数値は、ITRS2007 版の欄で既に実現できていないが、MPU Physical Gate Length の数値の見直しが検討されており、合意待ちとなっている。Mask、Imprint Template、ML2 の Table は、見直しを図った。

クロスカットに関する記載では、ES&H と Nanoparticle の議論を開始し、注意を喚起していることを示した。

7-6 まとめと今後の課題

2007 年は、液浸露光技術を適用したデバイスの出荷が始まり、本格的に液浸露光技術世代へ突入した年となった。既に、NA=1.30、NA=1.35 の ArF 液浸露光装置も出荷され、水を用いる ArF 液浸露光装置の高 NA 化は限界に達した。NA=1.35 では、単純パターンでも 40 nm hp 程度が解像力の限界と考えられ、32 nm hp 以降のデバイス製造に向けて、次世代露光技術の登場が待望されている。しかし、ロードマップのテーブルのカラーリングに見られるように、求められる要求に対する技術障壁は高く、残された時間も限られている。ArF 超高屈折率液浸露光技術、EUV 露光技術が本命となっていたが、開発は遅延し、32 nm hp 世代への適用は困難となっている。 $k_1 < 0.25$ を達成するダブルパターニング技術が繋ぎの技術となる。

単純なパターンで構成される Flash Memory への Spacer Double Patterning 技術の適用は、既に、現実味を帯びてきた。22 nm hp への延命も示唆されている。しかし、より複雑なパターンで構成されている Logic 系のデバイスでは、パターン自動分割処理技術の開発、実用化に加えて、設計パターンに遡って、デザインの検討、デザイン制約の開発に取り組まなければならないなど、ダブルパターニング技術を適用するために解決すべき課題が多く残されている。パターンの特徴に基づいたダブルパターニング技術の選択と開発、評価に時間とリソースを要し、Logic 系デバイス製造への Low- k_1 ($k_1 < 0.25$)ダブルパターニング技術の早期導入は、しばらく、限られた層にとどまるものと考えられる。クリティカル層への全面的な導入のためには、ダブルパターニング技術により、増大するコストの削減が、デザインの最適化とともに不可欠となる。ダブルパターニング技術のコストは、困難な課題である。量産に対応する EUV 露光装置が登場し、所定のスループットと歩留まりが実証されれば、一回の露光で対応できる EUVL への転換が急速に始まると考えられる。

2008 年度の活動の中では、ArF 超高屈折率液浸露光技術、EUV 露光技術の位置づけをより明確にするとともに、さらに次の世代に進むための指針となるロードマップの策定に向けて、活動していきたい。