

第9章 WG7 実装

9-1 はじめに

半導体技術ロードマップ(STRJ)の WG7(実装)は、JEITA Jisso 戰略専門委員会 実装技術ロードマップ G (Japan Jisso Technology Roadmap Council : JJTRC)の WG3(半導体パッケージ)と一体になり、活動を推進している。JJTRC では隔年で「日本実装技術ロードマップ」を発行しており、2007 年 6 月に「2007 年度版 日本実装技術ロードマップ」(Japan Jisso Technology Roadmap 2007 Version : JJTR 2007)¹⁾ を発行したが、JJTRC-WG3 は半導体パッケージのロードマップ作成を担当した。

2007 年度の STRJ-WG7 は主に、上述の「2007 年度版 日本実装技術ロードマップ」での半導体パッケージロードマップデータを基に、ITRS A&P(Assembly & Packaging) ITWG に参画し、「ITRS 2007 Edition」²⁾ A&P 章の作成に協力した。本稿では、ITRS 2007 の中から幾つかの代表的なトピックスを紹介するとともに、JJTR 2007 との差異について説明する。

なお、JJTR2007 の半導体パッケージの章の目次は、以下の通りである。

1. はじめに
2. デバイス技術動向
3. 各種パッケージ技術動向
4. パッケージ組立プロセス技術動向
5. WLP 組立プロセス技術
6. ベアチップ実装技術動向
7. MCP/SiP
8. IC タグ
9. 環境対応
10. ITRS(国際半導体技術ロードマップ)との比較
11. ディフィカルト・チャレンジ
12. まとめ

一方、ITRS2007 の A&P 章の目次は以下の通りである。JJTR2007 と比較して大きな違いは、「6. Packaging for Specialized Functions」で Optoelectronics、RF/Millimeter Wave、Medical and Bio Chip、MEMS、Wearable Electronics、Automotive Electronics、Solar Cell のパッケージ技術についても記載している事である。また、A&P ITWG では 2006 年から SiP(System in a Package)に関して調査を行い、「SiP White Paper」として ITRS Web サイトに掲載予定である。ITRS2007 においても、SiP に関して詳細に解説している。逆に、パッケージ組立プロセスについては、あまり詳細には記載されていない。

1. Chapter Scope
2. Difficult Challenges
3. Single Chip Packaging
4. Wafer Level Packaging
5. System in Package
6. Packaging for Specialized Functions
7. Advanced Packaging Elements
8. Equipment Requirements for Emerging Package Types
9. Consortia
10. Cross-Cut ITWG Issues
11. Glossary of Terms

12. References

9-2 パッケージ外形

9-2-1 パッケージ端子ピッチ

ITRS2007 Table AP4 に記載された各種パッケージの接続端子ピッチの動向を、JJTR2007 の数値と合わせて図表 9-1 に示す。今後も高密度実装化を推進するためには、接続端子の狭ピッチ化は必須である。ITRS2007 と JJTR2007 での大きな違いは、QFP(Quad Flat Package)の端子ピッチの動向である。JJTR2007 では、アウターリードピッチが 0.3mm になると組立プロセスやテスティングや基板実装工程でアウターリードが変形し易いこと、狭ピッチ基板実装技術やソケット技術が格段に難しくなること等から、更なる狭ピッチ化は進まず、今後は FBGA/FLGA/QFN 等のパッケージへ移行すると予測している。ITRS2007 は、従来同様、0.3mm までは狭ピッチ化すると予測している。なお、QFN(Quad Flat Non-leaded Package)はアウターリードがレジン封止されているため、テスティングや基板実装でのリード変形は無いので 0.3mm までは狭ピッチ化するが、リードフレーム材を加工して接続端子を形成することから、これ以上の狭ピッチ化は困難と予測する。

| Year of Production | ITRS/JJTR | 2007/2006 ^{注)} | 2008 | 2010 | 2012 | 2014 | 2016 |
|-----------------------------------|-----------|-------------------------|-------------|-------------|-------------|-------------|-------------|
| <i>BGA Solder Ball Pitch (mm)</i> | | | | | | | |
| Low-cost and hand-held* | ITRS2007 | 0.65 | 0.65 | 0.65 | 0.5 | 0.5 | 0.5 |
| Cost-performance | ITRS2007 | 0.65 | 0.65 | 0.65 | 0.5 | 0.5 | 0.5 |
| High-performance | ITRS2007 | 0.8 | 0.8 | 0.8 | 0.65 | 0.5 | 0.5 |
| Harsh | ITRS2007 | 0.8 | 0.65 | 0.65 | 0.5 | 0.5 | 0.5 |
| | JJTR2007 | 1.0 | 0.8 | 0.8 | 0.8 | 0.65 | 0.65 |
| <i>CSP area array pitch (mm)</i> | ITRS2007 | 0.2 | 0.2 | 0.2 | 0.15 | 0.1 | 0.1 |
| | JJTR2007 | - | - | - | - | - | - |
| <i>QFP lead pitch (mm)</i> | ITRS2007 | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 | 0.2 |
| | JJTR2007 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 |
| <i>SON land pitch (mm)</i> | ITRS2007 | 0.4 | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 |
| | JJTR2007 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 |
| <i>QFN land pitch (mm)</i> | ITRS2007 | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 | 0.3 |
| | JJTR2007 | 0.4 | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 |
| <i>P-BGA ball pitch (mm)</i> | ITRS2007 | 0.8 | 0.8 | 0.65 | 0.65 | 0.65 | 0.65 |
| | JJTR2007 | 1.0 | 0.8 | 0.8 | 0.8 | 0.65 | 0.65 |
| <i>T-BGA ball pitch (mm)</i> | ITRS2007 | 0.65 | 0.65 | 0.5 | 0.5 | 0.5 | 0.5 |
| | JJTR2007 | - | - | - | - | - | - |
| <i>FBGA ball pitch (mm)</i> | ITRS2007 | 0.4 | 0.3 | 0.3 | 0.2 | 0.2 | 0.15 |
| | JJTR2007 | 0.4 | 0.3 | 0.3 | 0.2 | 0.2 | 0.15 |
| <i>FLGA land pitch (mm)</i> | ITRS2007 | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 | 0.3 |
| | JJTR2007 | 0.4 | 0.3 | 0.3 | 0.3 | 0.3 | 0.3 |

注)2007/2006:ITRS2007 では 2007 年、JJTR2007 では 2006 年の値を記載している。

図表 9-1 パッケージの最小端子ピッチ(ITRS2007 Table AP4 及び JJTR2007 表 3.1.2-1~6 より)

P-BGA/T-BGA は、21mm□以上の大型 BGA(Ball Grid Array Package)である。一般的には、安価な 2 層配線基板に実装されるため、端子ピッチは FBGA(Fine Pitch BGA)/FLGA(Fine Pitch Land Grid Array Package)に比べると広い。実装基板技術の進展による狭ピッチ基板の低コスト化に合わせて、狭ピッチ化は進展する。なお、P-BGA に比べて T-BGA がより狭ピッチなのは、セラミック基板への実装があるためである。日本においては T-BGA の用途が限られ、生産数量も少ないとから、JJTR2007 では T-BGA のロードマップを削除している。

FBGA/FLGA は 21mm□以下の小型パッケージで、狭ピッチのビルドアップ基板に実装される。日本が技術的に先行している携帯用電子機器で使用され、FBGA/FLGA 技術も日本が先行しているため、ITRS2007 では JJTR2007 の数値が採用されている。今後の狭ピッチ化に対しては、パッケージ基板(インターポーザ)と実装基板の狭ピッチ化、低コスト化が課題である。また、狭ピッチ化に伴い、基板実装が難しくなるので、基板実装リフロー時のパッケージ反り、実装基板の反りが問題となる。低反り基板、低反りパッケージ構造の開発が必須である。FLGA はパッケージ裏面に接続用はんだボールが無いため、パッケージ高さが低いという特長があるが、リフロー時に溶融するはんだボールが無いので基板実装は難しくなる。そのため、0.3mm 未満の狭ピッチ化は困難と予測する。同図表中の CSP は WL-CSP(Wafer Level Packaging Chip Size Package)を意味している。FC-BGA(Flip Chip BGA)や SiP でインターポーザに搭載する場合を含んでいるため、FBGA よりも狭ピッチ化が進んでいる。

9-2-2 パッケージ端子数

ITRS2007 Table AP2 に記載された、用途別最大パッケージ端子数の動向を、JJTR2007 の数値と合わせて図表 9-2 に示す。デバイスの高機能化、高速化に対応して、今後も端子数は増加する。特に、ハイエンド WS(Work Station)、サーバ、スーパーコンピュータ等の High-performance 製品用途で最も多ピン化が進展する。高速化と合わせて、この用途では主に FC-BGA が使用される。ノート PC(Personal Computer)、デスクトップ PC、高性能ゲーム機等の Cost-performance 製品用途では、主に P-BGA が使用される。Low-cost 製品用途では、BGA/FBGA/QFP が用いられ、Hand-held 製品用とでは主に FBGA/FLGA/QFN が使用される。

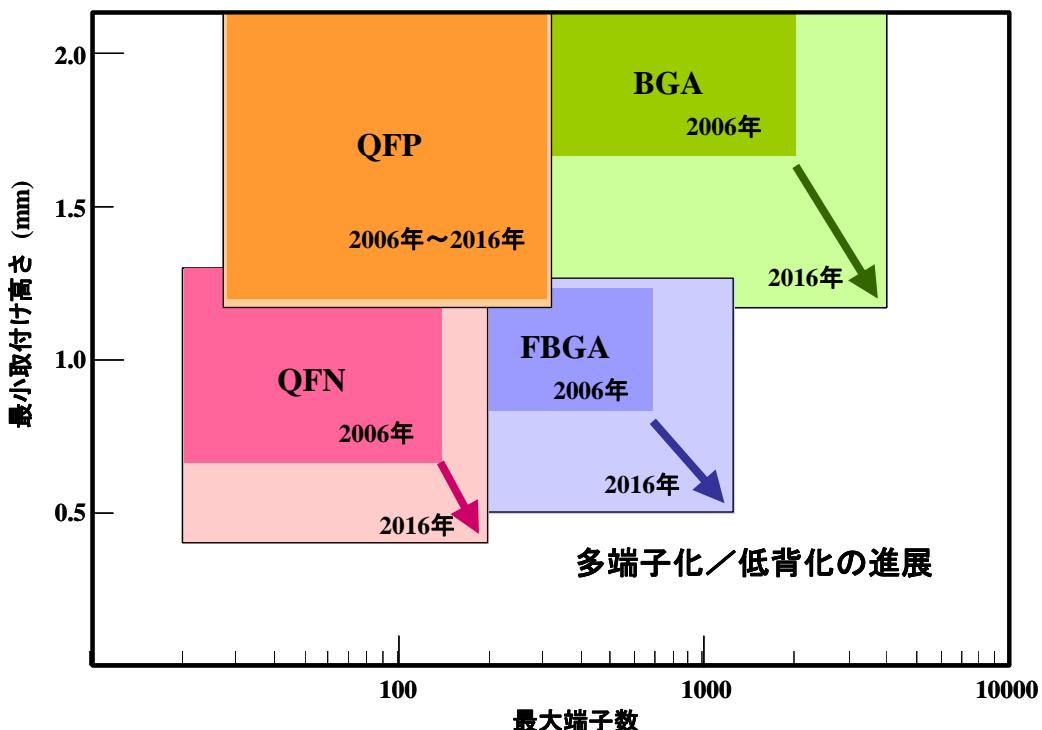
| | ITRS/JJTR | 2007/2006 ^{注)} | 2008 | 2010 | 2012 | 2014 | 2016 |
|--------------------|-----------|-------------------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| Low-cost/Hand held | ITRS2007 | 148-700 | 150-636 | 170-700 | 188-774 | 207-853 | 229-940 |
| | JJTR2007 | 700 | 800 | 900 | 1000 | 1100 | 1200 |
| Cost-performance | ITRS2007 | 600-2140 | 600-2400 | 660-2783 | 720-3367 | 800-4075 | 880-4930 |
| | JJTR2007 | 1200 | 1400 | 1600 | 1800 | 2000 | 2200 |
| High-performance | ITRS2007 | 4000 | 4400 | 4851 | 5348 | 5896 | 6501 |
| | JJTR2007 | 2200 | 2600 | 3000 | 3400 | 3800 | 4200 |
| Harsh | ITRS2007 | 386 | 405 | 447 | 492 | 543 | 599 |
| | JJTR2007 | 380 | 410 | 450 | 500 | 550 | 600 |

注)2007/2006:ITRS2007 では 2007 年、JJTR2007 では 2006 年の値を記載している。

図表 9-2 パッケージの最大端子数(ITRS2007 Table AP2 及び JJTR2007 表 3.1.2-4 より)

横軸をパッケージ端子数、縦軸をパッケージ取付け高さにした場合の各種パッケージの棲み分けを図表 9-3 に示す。QFP については現状レベルで推移するが、小ピンデバイス用途では QFN が、多ピンデバイス用途で

は BGA/FBGA の多端子化と低背化が進み、その適用領域を拡大すると予測される。



図表 9-3 各種パッケージの棲み分け(JJTR2007 図 3.1.3-1 より)

9-3 パッケージ組立プロセス

9-3-1 ウエーハ薄化(バックグラインド)技術

パッケージの薄型化やチップ積層技術による高密度化への対応でウェーハの厚さは薄型化していく。ウェーハの薄型化の動向を図表 9-4 に示す。一般的なパッケージで使用される「General products」用途と、多層の SiP やカードなどで採用される「Extreme thin package」用途で最小厚さは異なる。「Extreme thin package」用途の場合、歩留やプロセス時間を多少犠牲にして薄型化を実現しているためである。ITRS2007 は JJTR2007 に比べて、より薄化が進展すると予測している。特に「Extreme thin package」用途において薄化の進展が早いが、それはウェーハ積層の TSV(Through Silicon Via)ではより薄化が進むと予測しているためである。JJTR2007 では、薄ウェーハのハンドリングが難しいため、極端な薄化は進まないと予測している。

ウェーハ薄型加工技術としては、化学溶解処理(エッチャング)などのバックグラインド以外の方法も適用されている。また、チップが薄くなると機械的強度(抗折強度)の確保が課題であり、ドライポリッシング、ウェットポリッシング、ウェットエッチャング、ドライエッチャングと呼ばれるストレス・リリーフ技術のほかに、通常のグラインディングホイールよりも微細な固定砥粒で構成されたファインメッシュ・グラインディングホイールも使用される。チップの厚さが薄くなるにつれて、チップの抗折強度維持の要求によりストレス・リリーフ技術の適用が増えていく。また、ウェーハの薄化が進む事でグラインド中やハンドリング時などの製造工程内における破損の可能性が高まっている。グラインド工程からストレス・リリーフ工程までウェーハの着脱を行わずに加工する装置の採用が増えていく。さらに、ダイシング工程に必要なフレームにウェーハをマウントする装置を上述の加工装置とシステムインテグレーションし、ウェーハのハンドリングリスクを低減する試みがなされていく。バックグラインド後のウェーハは、表面保護テープが UV 硬化型接着剤の場合、先ず UV 照射を行い、次にマウントテーブルにウェーハを受け渡し、ウェーハ裏面にダイシングテープを貼り付け、その後に表面保護テープを剥離し、カセットにアンロードする動作フローが主体となっている。

| | ITRS/JJTR | 2007/2006 ^{注)} | 2008 | 2010 | 2012 | 2014 | 2016 |
|--|-----------|-------------------------|-----------|-----------|-----------|-----------|-----------|
| Min. thickness of thinned wafer (general product) | ITRS2007 | 50 | 50 | 50 | 40 | 40 | 40 |
| | JJTR2007 | 75 | 70 | 70 | 60 | 60 | 50 |
| Min. thickness of thinned wafer (For extreme thin package, Ex.. Smart card)* | ITRS2007 | 20 | 20 | 15 | 10 | 10 | 8 |
| | JJTR2007 | 40 | 35 | 25 | 20 | 17 | 15 |

注)2007/2006:ITRS2007 では 2007 年、JJTR2007 では 2006 年の値を記載している。

図表 9-4 ウエーハの薄化(ITRS2007 Table AP12 及び JJTR2007 表 3.1.4-1 より)

9-3-2 チップ接続技術

チップ電極(ボンディングパッド)とパッケージ内部接続部との電気的接続方法は、以下の 3 種に大別される。

- (1) ワイヤボンディング(WB)技術
- (2) フリップチップ(FC)接続技術
- (3) TAB(Tape Automated Bonding)/COF(Chip on Film)技術

WB 技術は低コストで、かつ生産性が高いため広く使用されており、特に Au 線を用いたボールボンディング方式は現在最も一般的な接続方式である。FC 技術は、チップ電極をチップの周辺だけでなく、チップ表面にマトリクス上に配置する事によりパッドピッチを狭くする事なく多ピン化し一括接合する事が可能な為、多ピン製品への適用が進んでいる。一方、TAB 技術、特にフライングリードタイプは 1985 年～1990 年頃に狭ピッチ化の開発が進み、WB 技術に代わるものと期待されたが、WB 技術の狭パッド化が著しく進展している。また超多ピン(およそ 1000 ピン以上)は FC 技術への移行が進み、TAB 新製品の開発は減少した。ただし、フレキシブル基板上に直接フェースダウンボンディングを行う COF(Flip Chip on Tape/Film とも呼ばれる)技術は、小型携帯機器向けの特性を活かし製品開発が今後も継続して行われる。

ITRS2007 Table AP3 に記載された、各チップ接続技術の最小パッドピッチの動向を、JJTR2007 の数値と合わせて図表 9-5 に示す。WB 技術については、ITRS2007 と JJTR2007 でほぼ同じロードマップの数値となっている。ワイヤボンダの狭ピッチ対応はかなり進んでいるが、Au 線やキャピラリやプローブ等のインフラ技術の開発が課題であり、狭ピッチ化の進展は以前からの予測に比べると遅くなっている。はんだバンプを用いるエリアアレイタイプの FC 技術についても、ITRS2007 と JJTR2007 でほぼ同等のロードマップとなっている。バンプ形成は狭ピッチ化が可能であるが、搭載する基板(インターポーラ)の狭ピッチ化が律速している。一方、Au バンプを用いるペリフェラルタイプの FC 技術が SiP で使用されており、JJTR2007 ではそのロードマップを記載している。主に Au バンプとしては WB 技術によるスタッドバンプを用いているため、WB 技術と同等のロードマップを予測している。TAB 技術においては、ITRS2007 の 2007 年から 2016 年で最小ピッチが 35μm となっており、今後の進展は無く、LCD(Liquid Crystal Device)ドライバでは COF が主流となる。JJTR2007 でも同様の考えであり、フライングリードタイプの TAB 技術は 35μm ピッチ以上は進展しないと考えており、今後の主流となる COF 技術のロードマップのみを記載している。なお、COF 技術の狭ピッチ化の進展に関して、ITRS2007 と JJTR2007 との間には若干の差異があり、詳細な検討が必要であるが、狭ピッチ化に対応したテープ(フィルム)基材の実現が大きな課題である。

| Year of Production | ITRS/JJTR | 2007/2006 ^{注)} | 2008 | 2010 | 2012 | 2014 | 2016 |
|---|-----------|-------------------------|------------|------------|------------|------------|------------|
| Wire bond—single in-line (micron) | ITRS2007 | 40 | 35 | 35 | 30 | 30 | 25 |
| | JJTR2007 | 40 | 35 | 35 | 30 | 30 | 25 |
| Two-row Staggered Pitch (micron) | ITRS2007 | 55 | 50 | 45 | 40 | 40 | 35 |
| | JJTR2007 | 50 | 45 | 45 | 40 | 40 | 35 |
| Tape-automated Bonding (TAB)* | ITRS2007 | 35 | 35 | 35 | 35 | 35 | 35 |
| | JJTR2007 | - | - | - | - | - | - |
| Flying Lead (micron) | ITRS2007 | 35 | 35 | 35 | 35 | 35 | 35 |
| | JJTR2007 | - | - | - | - | - | - |
| Flip Chip Area Array (both organic and ceramic substrate) (micron) (ASIC) | ITRS2007 | 130 | 130 | 130 | 110 | 100 | 100 |
| Flip Chip Area Array (organic substrate) (micron) (CPU, GPU, Chipset) | ITRS2007 | 160 | 160 | 150 | 130 | 130 | 110 |
| Flip Chip : Area Array | JJTR2007 | 150 | 130 | 130 | 110 | 110 | 100 |
| Flip Chip : Peripheral | JJTR2007 | 40 | 35 | 35 | 30 | 30 | 25 |
| Flip Chip on Tape or Film** (micron) | ITRS2007 | 25 | 15 | 10 | 10 | 10 | 10 |
| | JJTR2007 | 30 | 25 | 20 | 15 | 10 | 10 |

注)2007/2006:ITRS2007 では 2007 年、JJTR2007 では 2006 年の値を記載している。

図表 9-5 チップ接続端技術の動向 (ITRS2007 Table AP3 及び JJTR2007 表 3.1.4-3, 4, 7 より)

WB 技術の狭ピッチ化に関しては、まず、ワイヤの細線化、キャビラリ先端径の微細化に見られる材料面の課題が挙げられる。ワイヤ細線化は、ワイヤ間距離のマージン確保に繋がる他、ボール小径化にも寄与するが、ループ形状制御が難しくなる。キャビラリに関しては隣接圧着ボールや、隣接配線の接触が懸念されるため、狭ピッチ専用のデザインが必要となる。装置に関しては、小径ボールの形成・接合技術、テストプローバによるパッド表面傷の対策、ボンディング位置精度などが挙げられる。特にボンディング位置精度の向上は、その精度が圧着ボール面積の上限を決める大きな要因のため、必要不可欠である。その他、リードフレームおよび基板(サブストレート)側接続端子ピッチ等、2 次接続側の微細化も大きな課題となる。

パッケージの薄型化、チップ多段積層化の製品動向に対応すべく、低ループ化、長ループ化が進展し、ループコントロール技術が重要となる。異なる長さ、異なる高さのワイヤを多重に接触する事なくルーピングする必要もある。狭パッドピッチ化の為のワイヤ細線化は、よりルーピングマージンを困難にする。また樹脂によるワイヤ流れの対策も必要となる。今後の狭ピッチ化とループコントロールを両立させる為には、材料・装置・接合プロセス・パッド配置設計の各要素技術の総合的な向上が望まれる。また、半導体デバイスへの Low-k 材の適用により、ボンディングパッド直下の層間膜の脆弱化が進むため、ボンディング時の衝撃低減、ダメージ抑制策が、装置面・材料面で必要となる。

デバイスの高速化や低コスト化の要求に対応し、Cu ワイヤ化のニーズがある。Cu ワイヤは Au に比べて素材が安価、電気伝導率が良好という利点があるが、酸化し易く、不活性もしくは還元性雰囲気中でのボンディング技術などの酸化抑制対策が必須である。さらに、ボール硬度が大きい事によるパッド下ダメージ対策も必要となる。現在、パワーデバイスの一部での実用化に留まっており、ブレークスルーが求められる。また、狭ピッチ、長ループ、低ループ、多列、多段等の技術を複合して用いる事によりワイヤ間隔は狭くなるが、ワイヤ同士の接触は電気的に致命不良となる為、ボンディングワイヤの絶縁被覆が有効である。有用性は昔から認識され、

様々な組織で開発が行なわれてきたが、1st/2nd 共に適切に被覆を除去する事、被覆層の悪影響、ルーピング性、接続信頼性等の諸問題を解決するには至らず普及していない。継続した技術開発が必要である。

FC 技術の狭ピッチ化の数値は、シリコンチップと樹脂基板またはセラミック基板との FC 接続を前提とした数値である。チップ同士を多段積層する CoC(Chip on Chip)の場合には、線膨張係数の違いから発生する応力が小さく、信頼性の懸念が低いため、さらに微細化が進展する。バンプ構造とパッケージ基板との接続方式には、はんだバンプを用いた金属接合、絶縁性樹脂の中に導電性粒子を分散させた異方導電性樹脂による接続、バンプとインターポーラの電極を接触させ樹脂の収縮応力で電気接続を保つ接続、バンプとインターポーラの電極を導電ペーストで接続する等、様々な方式が提唱、開発されている。どの方式を採用するかについては、信頼性やパッドピッチなどの要求仕様、また既存設備インフラ等の都合に合わせて選択される。

はんだバンプは当初、鉛を主成分とする高融点はんだと共に鉛フリー化が求められているが、パッケージ内部の接続部材としては、代替技術がなければという前提で高融点はんだの使用は許容されている。もともと、真の鉛フリー化を目指し材料開発が進められ、2010 年には全廃と予測される。バンプの代替材料としては、溶融系では Sn 合金の Sn-Ag と Sn-Ag-Cu が有力である。また、非溶融系としては Au または Cu が有力である。Au ボールバンプは、専用のボールバンプボンダが実用化されおり、狭ピッチ化動向、ウェーハ大口径化に連動した装置が開発されている。

TAB 技術は、狭パッドピッチに有利なワイヤレスボンディング技術として、液晶ドライバ向け TCP やテープ BGA として採用されてきた。しかし、狭パッドピッチ化の進展につれ、インナーリードがデバイスホールに突出したフライングリードタイプはインナーリード幅が細くなる事による強度低下が課題となり新製品開発は低減、代わってフレキシブル基板へ直接フェイスダウン接続する COF タイプの採用が主流になっている。COF の構造や接続技術は基本的には前述の FC 接続技術に準じており、チップ上のバンプをフレキシブル基板上のインナーリードに FC 接続し、チップと基板間をアンダーフィルで封止する。ボンディング方式は現在 Au-Sn 共晶接合が最も多く使われており今後も主流となる他、チップや用途により Au-Au 接合や ACF による接続も行われている。最大パッド数は現在 800 パッド程度が量産されており、多パッドチップの主力用途である LCD の大型化、高機能化要求に伴い増加して行き、2012 年には 2,000 ピンを超える。バンプの狭ピッチ化に伴い、バンプサイズとバンプ高さもそれに合わせて縮小して行くが、バンプ高さの低下に伴う注入性のより良いアンダーフィル材の開発が課題となる。

一方、COF の狭ピッチ化はフレキシブル基板配線の狭ピッチ化に依存するところが大きく、狭ピッチ配線基板の開発が進んでいる。狭ピッチ対応の基板製造方法であるアディティブ法も実用化段階となり、上記パッドピッチの縮小に合わせた、配線断面形状の形成安定性等が課題となる。また、インナーリードめつきは今後も Au-Sn 接合に対応して Sn めつきが主流となるが、依然としてウイスカによる端子間ショートの問題は完全には解決されておらず、狭ピッチ化に伴い一層の注力が必要である。テープ材質はポリイミドを中心に、用途や機能により液晶ポリマやアラミド繊維も使われており、環境対応としてソルダレジストのハロゲンフリー化も進められている。更なる小型化や高機能化のため両面配線フレキシブル基板も既に採用され今後も拡大していく。

9-4 パッケージのシステムレベルへの展開 - SiP

2007 年版の ITRS では、CMOS の微細化技術の推進を表す“More Moore”に対して、機能の多様化を“More than Moore”と名づけ、その実現手段に SiP 技術を位置づけている。22nm 以降の CMOS を越える微細化技術として、電子スピノンや高分子デバイスなどが期待されているものの、現時点では CMOS を代替できる優れたデバイスは見つかっていない。微細化に伴う集積規模の拡大によって、CMOS 回路だけでなく、アナロ

グ、センサ、メモリなどが集積化対象になっているが、これらは各々異なったプロセスであり、全てのプロセスをシリーズに加工したのでは、非常に長い工程となってコスト要求から外れてしまう。そのために、SiP 技術によって、個別に製造したチップをパッケージングによって単一デバイスに集積化する手法がとられている。それによって、開発リードタイムの短縮、初期費用の低減、小型化、異種デバイスとの混載、仕様変更への対応力向上などの利点が得られている。

9-4-1 SiP の現状

ITRSではSiPを、「システム・イン・パッケージ(SiP)は、異なる機能を持つ複数の能動電子部品の組み合わせであり、1つのユニットに組み込まれ、システムやサブシステムを構成する複数の機能を備える。SiPはまたオプションとして受動素子、MEMS、オプト部品など他の部品やデバイスも組み込まれる。」と定義している。SiPは当初、携帯機器など小型軽量を目指した用途からスタートしたが、その後モジュール化による機器設計の容易さや実装面積縮小によるコスト低減メリットが広く認識されて、徐々に応用分野が拡大し、現在ではプリンタから自動車までSiPが使用されている。SiPといつても、特定のパッケージ構造を示しているわけではなく、要求される機能を満たす最適なパッケージ外形が、既存パッケージの中から選択されている(図表9-6参照)。それらは従来のパッケージ構造に複数チップを収納したものなので、設備投資負担が少なく、比較的円滑に実用化された。シリコンを微細化していくSoC技術に対して、SiPはデバイス性能の多様化に貢献し、パッケージングの付加価値を高めるものと期待されている。しかし、現実には小型化・薄型化とコスト低減の利点が強調されて、SiPの利点を価格に十分反映させられずにいる面もある。過去の認識では、SoC と SiP が交互に補完しながら集積化が進むといわれ、SiPの本質が過小評価されていた。

| | | | | |
|--------------|--------------------------------|--|--|--|
| Side by side | | | | |
| Stacked type | Inter-connection via substrate | | | |
| | Stacked SOP | | | |
| | Direct connection between dice | | | |
| Embedded | | | | |

図表9-6 SiP構造の多様化

9-4-2 SiPのロードマップ

シリコンの微細化プロセス開発によって機能当たりのコストの継続的な低減が実現し、半導体技術開発の推進力となっていた。しかし、パターンの微細化とウェーハの大口径化により、レチクルやマスクの初期費用が高額になっている。2015 年に 35nm テクノロジ・ノード世代に至ると、ウェーハ径が 450mm に達し、新製品開発に

必要な初期費用が高騰する。そのような最先端プロセスでは、少量多品種の ASIC 製品は量産しにくく、大量需要が見込まれる汎用デバイスや FPGA (Field Programmable Gate Array)などプログラムによる論理回路形成でないと初期費用を回収できない。今後は同じ CMOS チップであっても、例えば 35nm テクノロジを用いて汎用デバイスを大量に生産し、90nm テクノロジを用いて ASIC チップを受注生産し、それを SiP 技術によって単一パッケージに収納するという役割分担となる。デバイスのアプリケーションごとのテクノロジ・ノードの最適化をおこない、コストミニマムを実現する手段が SiP である。そのために、ワイヤボンディング、TSV、CoC を含めたボンディング・オプションを駆使して、3 次元設計技術を進化させる必要がある。

SiP の ITRS ロードマップを図表 9-7 に示す。低コストハンドヘルド用 SiP はチップ間接続がパッケージ内で行われているので、外部端子として必要な信号配線は 800 ピンで頭打ちになるといわれている。しかし、单一チップをパッケージングしたFBGAも800ピン近くになっていることを考慮すると、2008年度の改版では上方修正する必要がある。高性能用途のデバイスでは差動伝送方式によりシリアル化して外部端子を抑制できるものの、データ転送レートの高速化が上回ってチャネル数が増え、その結果外部端子数は今後も増え続ける。チップ積層数のロードマップについては、現在でも 8 チップ積層までフラッシュメモリなどで実現しており、今後、ハードディスクのソリッドステート化や、DIMM (Dual Inline Memory Module)のワンパッケージ化を目指して、積層数はますます増えていく。この積層数を制限するものは KGD (Known Good Die)技術の未成熟と、消費電力の積層数分加算に対する熱設計である。放熱面積の少ない CSP はもともと雰囲気への熱抵抗が高い上に、チップが複数個搭載されるので熱密度が高くなり、放熱能力が不足する。

- FBGAの端子数が単調増加しているのに対して、ハンドヘルド用SiPが800ピンで飽和している。BISTによりチップ間接続配線の分だけ外部端子数が抑制できる。
- 高性能デバイス用SiPの積層チップ数は放熱特性によって制約されている。
- ロードマップにTSVが追加。

| 年 | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 |
|----------------------|------|------|------|------|------|------|------|------|------|
| 低コスト・ハンドヘルドSiPの端子数 | 700 | 800 | 800 | 800 | 800 | 800 | 800 | 800 | 800 |
| 高性能用途SiPの端子数 | 3050 | 3190 | 3350 | 3509 | 3684 | 3860 | 4053 | 4246 | 4458 |
| RF SiPの最大端子数 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 |
| 低コスト・ハンドヘルドの積層チップ数 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 14 |
| 高性能デバイスの積層チップ数 | 3 | 3 | 3 | 4 | 4 | 4 | 5 | 5 | 5 |
| 低コスト・ハンドヘルド用SiPのチップ数 | 8 | 8 | 9 | 11 | 12 | 13 | 14 | 14 | 14 |
| 高性能デバイス用SiPのチップ数 | 6 | 6 | 6 | 7 | 7 | 7 | 8 | 8 | 8 |
| 最小TSVピッチ | 10.0 | 8.0 | 6.0 | 5.0 | 4.0 | 3.8 | 3.6 | 3.4 | 3.3 |
| TSVの最大アスペクト比 | 10.0 | 10.0 | 10.0 | 10.0 | 10.0 | 10.0 | 10.0 | 10.0 | 10.0 |
| TSVの小径側穴径最小値(um) | 4.0 | 4.0 | 3.0 | 2.5 | 2.0 | 1.9 | 1.8 | 1.7 | 1.6 |
| 最小TSVピッチの時のTSV層厚さ | 50 | 20 | 15 | 15 | 10 | 10 | 10 | 10 | 8 |
| 受動部品の最小部品外形(um) | 0603 | 0402 | 0402 | 0402 | 0201 | 0201 | 0201 | 0201 | 0201 |

図表 9-7 SiP の高密度化

9-4-3 パッケージング技術の困難な課題

ITRS 2007 に取り上げられている困難な技術課題は以下の 6 つである。

- (1) 薄いウェーハとチップのハンドリング
- (2) 新規開発パッケージの開発コストの回収が困難。
- (3) SiP や TSV などの協調設計ツールの開発
- (4) 高い熱密度への対策、特に 3 次元パッケージの放熱構造
- (5) 複雑構造の SiP の信号完全性(高速大容量)

(6) 新材料開発への取り組み

以下にこれらの困難な技術課題に対する内容と取り組みを SiP を中心として記述する。

9-4-3-1 薄いウェーハとチップのハンドリング

チップ厚のロードマップを図表 9-8 に示した。チップ厚をどこまで研削しても半導体デバイスとしてシリコンが動作するか評価した結果、65nm プロセスの 4MSRAM を 5μm まで薄く研削して完全動作することを確認したという報告がある。³⁾ 研削によるウェーハ薄化によって、シリコン結晶へのダメージが発生してウェーハが割れやすくなるので、研削後のストレス・リリーフが必要になる。また、ダイシングによってもチップ側面に傷やクラックが発生してチップ割れの基点となるので、チップ側面のストレス・リリーフ処理をおこなう必要がある。一般的に 50μm 以下ではバックグラインドやダイシング後のストレス・リリーフが必要にあると言われており、先にダイシングしておいてからウェーハ研削を行う DBG (Dicing before grinding) と、その後のプラズマ処理が必要と言われている。先にダイシングしてあるためにチップ側面も同時にプラズマエッティングによってダメージ表面層が除去され、チップ強度の劣化をある程度抑制することができる。また、その次の技術として、プラズマで直接個片化するプラズマダイシングも検討が始まっている。その理由としては、メカニカルなダイシングではクラックが多発すること、low k 材に対してはレーザ除去とメカニカルダイシングの 2 段階加工になること、プラズマ加工スループットはウェーハの薄化によって改善されることなどが挙げられる。

ウェーハを 50μm 以下にすると、シリコンとパッケージとの熱膨張率の違いによって、ウェーハが湾曲するので、ハンドリングのためにウェーハの支持体が必要となる。工程中の温度が低温ならば粘着テープなどの支持体で済むが、100°C 以上になるとガラス基板などへの貼り付けと、接着剤の耐熱性も必要になる。しかも、表面からの支持体貼り付けと研削、裏面からの支持体への貼り直し、薄チップのダイボンドと、非常にハンドリングの多い工程となるので、工程が複雑となる。

ウェーハ薄化の必要性

1. パッケージの薄化
2. TSV の生産性向上 (TSV のコスト低減)
 - TSV の穴掘時間が短縮できる。
 - TSV の穴埋め時間が短縮できる。
3. 穴深さと穴径の均一性が期待できる。

薄化の課題

1. ウェーハ研削後のハンドリング
2. ウェーハ抗折強度劣化による信頼性低下

| ウェーハ厚 200 mm/300 mm | | 単位: μm | | | | | | | | |
|--------------------------------|--|--------|------|------|------|------|------|------|------|------|
| 年 | | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 |
| 一般製品の最小ウェーハ厚 | | 50 | 50 | 50 | 50 | 45 | 40 | 40 | 40 | 40 |
| スマートカードなど極薄パッケージ用 ウェーハの最小厚さ | | 20 | 20 | 15 | 15 | 10 | 10 | 10 | 10 | 8 |

図表 9-8 ウェーハ薄化

9-4-3-2 新規開発パッケージの開発コストの回収が困難

半導体製品の用途として民生品が圧倒的に多くなり、グローバルな競争による利益率の低下によって、開発コストや設備償却費の回収が難しくなっている。特に携帯電子機器に使用される軽薄短小パッケージはその

傾向が強く、開発を完了してもビジネス上の理由で新規投資に至らないケースもある。SiP や WL-CSP など、従来の設備をそのまま流用できるパッケージは実用化への敷居が低いのにに対して、TSV などは新たな設備投資を伴うために、確実な需要の見通しが求められる。現在 TSV を用いた実用化製品は、CMOS Image Sensor や MEMS (Micro Electro Mechanical Systems) センサなどの限定された分野となっている。

9-4-3-3 SiP や TSV などの協調設計ツールの開発

SiP の大きな特徴はチップ間接続と 3 次元方向への集積であるが、それを実現するためのチップのレイアウトや、ワイヤボンディング用周辺パッド端子の最適配置を行うための 3 次元設計ツールは既に存在する。現在必要とされているのはチップ上の回路をエリアアレイで配置する設計ツールと、チップ、パッケージ、システムを含めて同時に設計し、その 3 次元モデルから熱、電気、応力の解析と統合を同時にこなうことのできる協調設計ツールである。現在、営業技術、回路設計技術、パッケージ設計者が時系列的にコミュニケーションを介して設計を進めている設計業務を並行して同時進行させ、製品デバイスの性能やコスト、リードタイムを最適化することが協調設計環境の目的である。業務フローと部門間のコミュニケーションをソフトウェアで置き換えて、ノウハウをシステムに蓄積していくことができる。この目標に向かって、大手 EDA メーカーが提案しているのは、Design planning というステップを設けて、チップパッケージ、実装を初期段階に検討する案であり、上記の現実の時系列フローをどこまで同一時間に繰り上げることができるかがポイントとなろう。

9-4-3-4 高い熱密度への対策、特に 3 次元パッケージの放熱構造

図表 9-9 に示すように SiP の積層チップ数は放熱能力によって制限されている。ハンドヘルド品では 12 段から、高性能品では 6 段から実現手段が見つかっていない。現在主流の空冷では大量の空気をヒートシンクに当てて、チップからの熱を逃がしており、パッケージよりも大きなヒートシンクが装着される場合が多い。チップ積層によって、ジャンクションからケース表面までの熱抵抗が大きくなり、加えてヒートスポットと呼ばれる局所的加熱部分が積層によって重ね合わされる可能性が懸念される。ITRS のロードマップでは 12nm 世代で 100W/cm² の消費電力に達することが予想されており、そのときに必要な熱抵抗は 0.2°C/W(ジャンクションから雰囲気温度まで)といわれている。その要求への 1 つの解として水冷方式や液体／気体間の相移転による積極的冷却方式が検討されており、マイクロチャネルなどの試作評価も行われている。

SiP のチップ積層数は熱密度によって制限される。
SiP の放熱手段の開発が必要。

■ 高性能化によって熱密度が高くなる。

- 放熱先として大きな体積が必要。
- 体積増加
- 配線長の増長
- 信号遅延とノイズ発生
- データ転送レート制限
- 目的のデータ転送レートに達するため更に消費電力必要。

| 年 | 2007 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 |
|------------------------|------|------|------|------|------|------|------|------|------|
| 低コスト・ハンドヘルドの積層チップ数 | 7 | 14 | 14 | 14 | 14 | 14 | 14 | 14 | 14 |
| 高性能デバイスの積層チップ数 | 3 | 5 | 14 | 14 | 14 | 14 | 14 | 14 | 14 |
| 低コスト・ハンドヘルド用 SiP のチップ数 | 8 | 14 | 14 | 14 | 14 | 14 | 14 | 14 | 14 |
| 高性能デバイス用 SiP のチップ数 | 6 | 8 | 14 | 14 | 14 | 14 | 14 | 14 | 14 |

熱密度による制限

図表 9-9 SiP の放熱の課題

液冷方式は、過去に高性能テスタやスーパーコンピュータに使われた実績があり、ボード全体をフレオンや液体窒素などに浸漬させて冷却していた。最近では民生品レベルで、静音化を目指してデスクトップパソコンに水管とラジエーターを備えた水冷方式が採用されている。これら水冷方式も最終的には大気中に熱を逃がす必要があるが、デバイスとは離れた場所で放熱面積が大きく取れる熱交換器によって放熱できる利点がある。

9-4-3-5 大容量高速データ転送

インターネットによるトラフィックの増加、動画の高解像度化、データの高速処理によって、あらゆる機器間のデータの通信量が加速度的に増えている。そのために長距離通信では光通信が使われている。デバイス間のデータの通信量も同様に増えて、通信機器やスーパーコンピュータなどの機器間や基板間データ転送に光通信が使われ始めている。一方、デバイスレベルでは、メモリとプロセッサなどを向かい合わせにして多数の信号端子をバンプで接合し、バス幅を広くすることによってデータ転送レートを上げている。例えば、ゲーム機では MPU とメモリ間を CoC 構造で 1200 個の入出力端子を介してバンプ接合し、入出力信号合計で 200Gbps のデータ転送レートを実現しているという。さらに、将来はパソコンレベルでテラビット／秒が実用化されると予想される。データ転送はその物理的距離が近いほど低い駆動能力で高品質な送信ができるので、チップを向かい合わせにしてバンプ接続したチップ間データ転送や、3 つ以上のチップを重ねて貫通電極によって最短距離で接続する TSV 接続は高速化への切り札として期待されている。

1GHz を超える入出力インターフェースでは、特に導体損失や誘電損失によって信号波形の減衰が問題になる。導体損失とは表皮効果のために電流の流れる導体の実効断面積が減って、抵抗が増大するもので、周波数の平方根に比例する。また、誘電損失とはパッケージ基板の絶縁体の誘電正接($\tan\delta$)と周波数に比例して増大する。一般に使用されている FR4($\tan\delta=0.02$)では 3GHz 以下では抵抗損失が主であるが、3GHz でクロスして、それ以上では誘電損失が主となる。高速デバイスには減衰と遅延を抑制するために、誘電率と誘電損失の低いフッ素樹脂基板をパッケージに使用することもある。また、パッケージ基板の微細化は信号配線の抵抗を大きくするので、微細化に限界があり、GHz レベルのパッケージ基板には太い配線で多層化が低コストでできる基板が必要になる。

メモリとロジック間の外部データ転送周波数は、低コストハンドヘルド製品でもコストパフォーマンス用途製品並みに高くなる。

チップから基板への外部データ転送周波数

単位: MHz

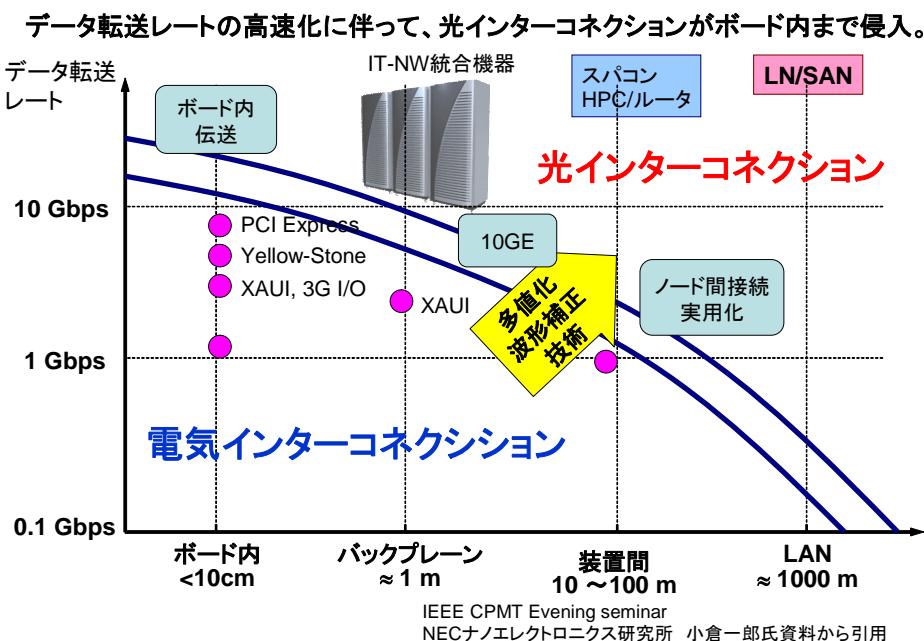
| 生産年 | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 |
|------------------------------|------------|------------|------------|------------|------------|-------------|-------------|-------------|-------------|
| 低コストロジック間接続 低コストメモリとロジック間 | 100 667 | 100 800 | 100 800 | 125 800 | 125 800 | 125 1000 | 125 1000 | 125 1000 | 125 1000 |
| コストパフォーマンス 分岐接続バス | 733 | 800 | 800 | 800 | 800 | 1000 | 1000 | 1000 | 1000 |
| 高性能用途 ポイント間差動伝送 | 4883 | 6104 | 7629 | 9537 | 11921 | 14901 | 18626 | 23283 | 29104 |
| 車載用途 | 106 | 106 | 115 | 125 | 125 | 125 | 125 | 125 | 150 |

図表 9-10 高速化

9-4-3-6 次世代伝送路を担う光伝送

高速化対応については、低コスト用途デバイスでは、ロジック間の信号周波数は 100MHz から 125MHz と変化がほとんどないものの、ロジックとメモリ間の信号周波数はメモリの高速化によって DDR2 が 800Mbps で 400MHz、DDR3 が 1333Mbps で 667MHz のクロック周波数にシステムレベルで対応する必要がある。高性能用途デバイスでは分岐のない直結による差動伝送によって 2010 年には 9.5GHz が、2015 年には 29GHz が実用化される(図表 9-10)。これらの高周波化に対して、多値化や波形補正技術の改善によって基板上に限定された狭い領域では、電気信号による伝送が可能であると見積もられている(図表 9-11)。その後の電気信号で対応できない高周波では、基板上の接続であっても光伝送が必要になり、CMOS による論理回路に加えて、電気光変換や発光部、受信部をパッケージに取り込んだ SiP 設計が必要となる。この電気信号伝送と光伝送のロードマップを 2008 年版 ITRS では検討する。現在は通信機器やスーパーコンピュータのバックプレーン接続用途に、光コネクタと電気光変換機からなる光伝送が実用化されている。光伝送では電気信号を光信号に変換するのに電力が消費されるため、短距離伝送ではメリットがない。しかし、バックプレーン接続用途では伝送路での減衰を補うために電力が使用されるので、プロセッサの近くに光電気変換を設けることによって信号駆動力を低減し、トータル的に光伝送のほうが省電力にすることができる。

現在は化合物半導体によって発光素子が製造されているが、シリコンから直接発光することができれば、電気信号出力が集積回路上で光信号出力に置き換えられ、更なる高速伝送と低消費電力が実現できる。この技術はシリコンフォトニクスと呼ばれ、発光・受光、光接続、変調・増幅などの機能をシリコン LSI に包含した、LSI 技術と光制御技術の融合である。シリコン LSI を光で繋ぐことができれば、信号伝送速度は更に高速化できるし、並列コンピュータ間の接続なども光を使って行えば、その処理スピードは飛躍的にアップする(光接続コンピュータ)。さらにシリコンをベースにした半導体レーザが開発されれば情報通信に革命をもたらす。シリコンによる発光素子の実現が技術的に困難であっても、外部から光を導入し、フォトニクスによってクロック分配して光信号パルスを生成する技術の可能性は高い。更に、光信号をパッケージから光電気混合基板を介して伝送するため、2 次実装の工法についても研究が進んでいる。



図表 9-11 光と電気インターフェクションの領域

9-4-3-7 新材料開発への取り組み

パッケージに必要な新材料開発については、非常に多くの要求があるが、その中でも、(1)パッケージ基板、(2)封入樹脂、(3)アンダーフィル材、(4)ポンディングワイヤ、(5)高熱伝導材、(6)はんだボールへの要求について記述する(図表 9-12)。



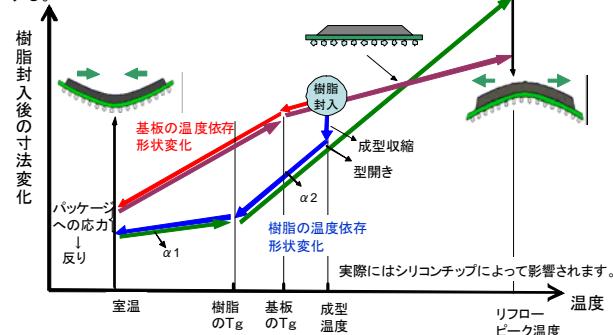
図表 9-12 パッケージに必要な新材料開発

(1) パッケージ基板には用途に応じて、高速伝送対応、微細パターン、多層化、車載品質対応可能な耐熱性、シリコンと実装基板間に介在する熱膨張差の緩和効果などの特性が求められている。特に、パッケージ基板の熱膨張率については、シリコンとパッケージ基板の熱膨張率の差がはんだ接続信頼性の劣化原因となっている。それを回避するために、シリコンと同様の熱膨張率を有するポリマーとそのパッケージ基板の検討が始まっている。この場合、基材の熱膨張率を低減するだけではなく、配線に使用されている金属(現在は Cu 箔)の熱膨張率を基材と整合させないと基板反りが発生する。実用化レベルでは、シリコンと同じ 3ppm/°Cまでは低減できなくとも、厚さ方向の熱膨張率を Cu 材と同じ 16ppm/°Cに低減して、スルホール部の信頼性を改善した材料の量産が始まった。

(2) 封入樹脂の開発については、鉛フリーはんだに対応した 260°Cピークの高温リフローによって、パッケージ反りが増幅されてリフロー後にオープンやショートが発生することが認識されている(図表 9-13)。その対策として、パッケージのチップ上下の樹脂のバランス設計と、樹脂の硬化収縮率の低減、ガラス転移点以上の熱膨張率(α_2)の抑制が必要である。パッケージの端子ピッチ縮小によって、パッケージ反りの最大許容値は厳しくなる一方、パッケージ厚の薄型化によってパッケージ反りは拡大する傾向にある。樹脂と基板の材料物性の調整とバランス設計によって、リフロー時の反り量を低減し、実装しやすいパッケージをセットメーカーに供給することが望まれている(図表 9-14)。

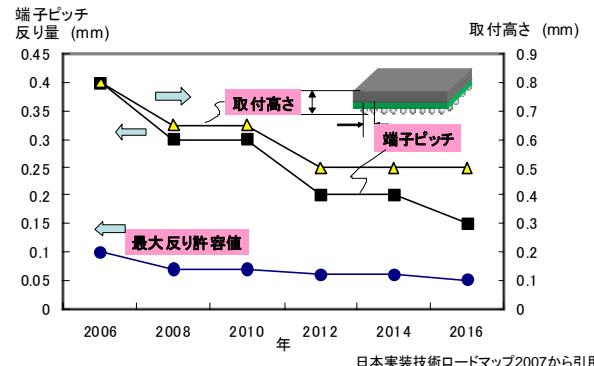
また、パッドの狭ピッチ化と共に Au 線径が細くなり、現状の金属材料では封入時に樹脂に流されてしまうのに反して、多ピン化のためにポンディング長を延長する必要がある。Au 線流れの対策の一つとして、圧縮成型が展開されている。今後は圧縮成型用樹脂への要求を明確化して、材料の最適化を図っていく必要がある。

PBGAの場合、モールド金型にパッケージ基板が置かれて、樹脂が注入する時点をストレスフリーで理想的にフラットな状態とする。樹脂の成型収縮と熱膨張率によって室温時のそり量となり、リフローによって温度が上昇して反り形状が変化する。



図表 9-13 リフロー時のパッケージ反り挙動

端子ピッチの縮小に伴い、リフロー時のパッケージ反り量を抑制する必要がある。
封入樹脂とパッケージ基板の開発が推進されている。



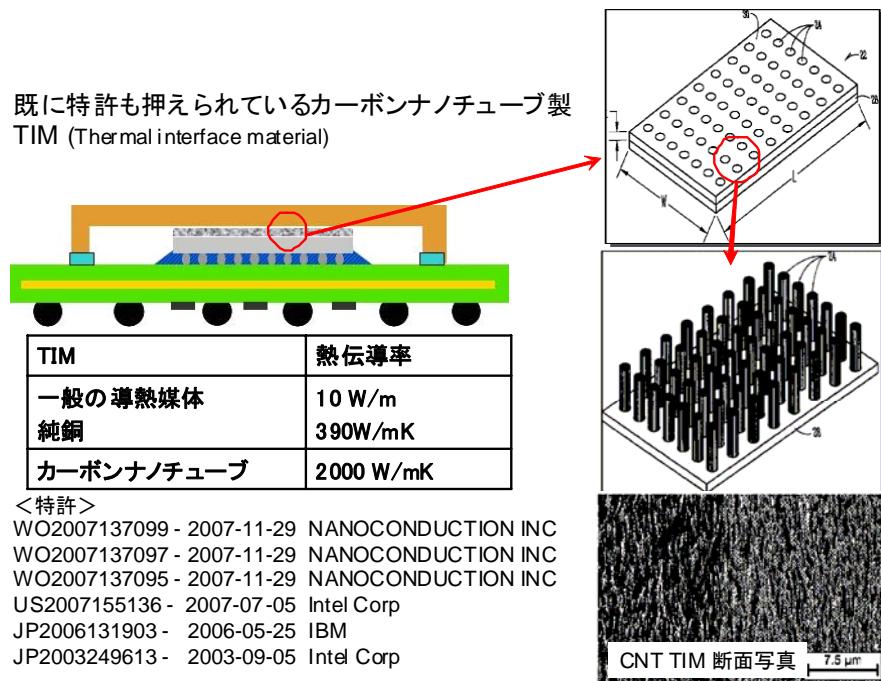
図表 9-14 端子ピッチ縮小に伴う熱時反りの抑制

(3) 信号のRC遅延を最小限に抑制するために、最近のチップでは配線の下にlow k材層を敷いており、その機械的強度が弱くて剥離しやすい。このチップを用いたフリップチップ構造ではLow k材層にストレスのかからないアンダーフィル材が必要であり、低応力樹脂が開発されている。一方では、はんだバンプとチップを基板と一緒に固めてしまうという観点から、高弾性樹脂を指向するメーカーもある。

その他の要求特性としては、フリップチップのSiP化に伴って、アンダーフィルした後に特性不良だと判明した際にリペアできるリペアラブル樹脂の開発や、アンダーフィル時にボイドの発生を回避できる樹脂、先にアンダーフィル樹脂を塗布しておいて、後にフリップチップ接続を行う活性・失活性特性を持つアンダーフィル樹脂等の様々な要求が求められている。

(4) ボンディング線については、絶縁コートしたAu線や、Cu線による代替など、古くからのテーマではあるが、材料の見直しによって性能を改良したワイヤが絶え間なく開発されてきた。チップのパッドが狭ピッチ化するのに伴って細線化も進んでいるが、それによって封入時にワイヤループが樹脂に流れやすくなっている。ボンディング長が長くても、封入時に直線性を保つことのできるワイヤが求められている。また、高温化で使用される車載用製品については、チップのアルミパッドとワイヤ材料で金属間化合物が成長し、カーケンダル・ボイドが発生してオープンにいたる問題がある。金属間化合物の発生によって接合強度が落ちないワイヤ材料が求められる。

(5) フリップチップBGAでは消費電力の上昇に対応するために、チップとリッドを接着している高熱伝導媒体の熱伝導率の向上が研究されている。この材料には従来、熱伝導性シリコーン(5W/mK)やはんだ(50W/mK)などが使用されてきたが、熱伝導率が2000W/mKのカーボン・ナノ・チューブを応用することが検討されている。このカーボン・ナノ・チューブ熱伝導材の欠点として、シリコン裏面やリッド表面の微小な凹凸部で界面抵抗が発生し、バルクの固有熱伝導率の効果が生かしきれていないことがある。そのために界面抵抗を改善する研究や特許の出願が進んでいる(図表 9-15)。

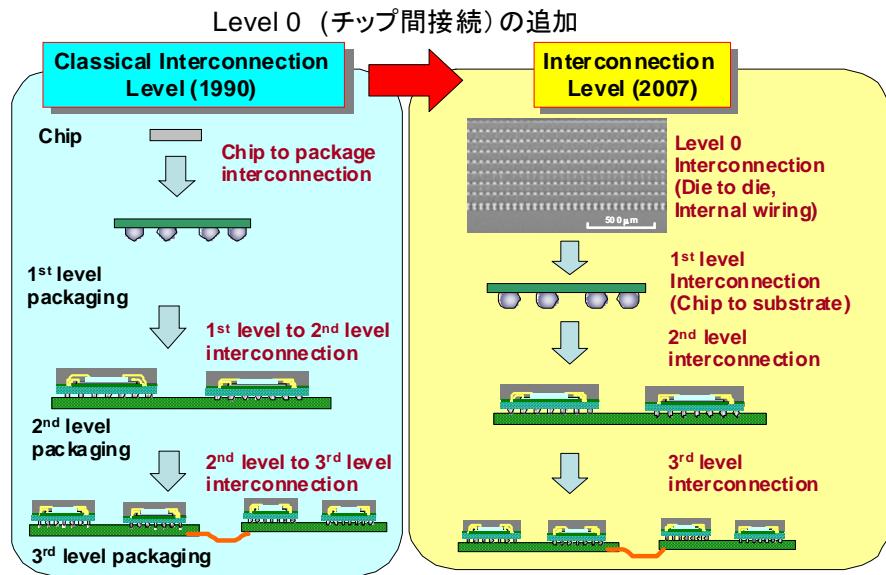


図表 9-15 高熱伝導媒体

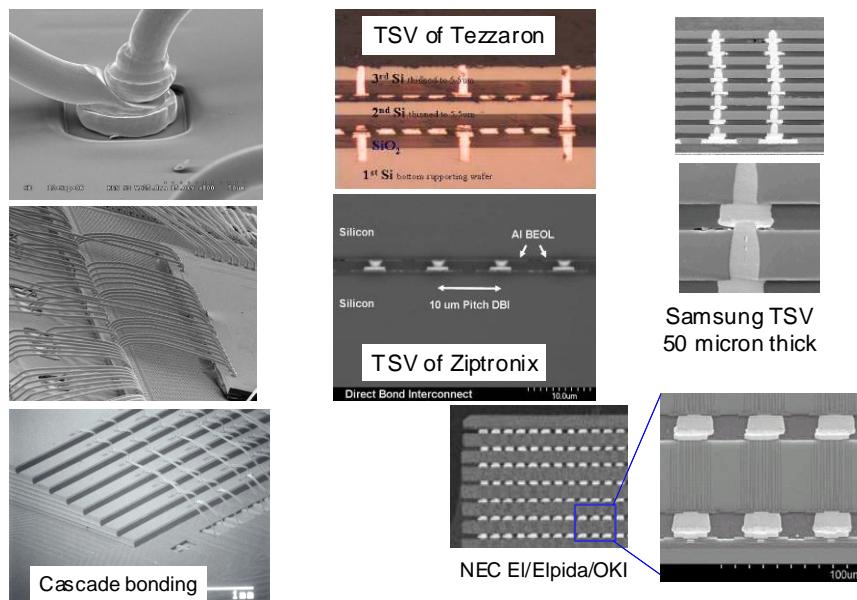
(6) はんだ材料は BGA の外部端子に用いられているが、鉛フリー化によってはんだ接合部分の温度サイクル耐性は大幅に改善された。落下衝撃耐性は共晶はんだよりも優れているが、パッケージ基板のランド面の Cu と Sn との界面に金属間化合物 Sn_3Cu_5 が成長して強度が劣化する傾向がある。この金属間相関化合物の成長を抑制する目的や鉛フリーはんだ表面の酸化物層を薄くする目的で、様々な微量金属を添加して改質することが試みられている。一方で、鉛が含有されなくなったことによるデメリットとして、ウイスカが発生しやすくなったり、高電流密度によるデンドライトが発生しやすくなったり、リフロー温度が高くなったりなどがある。これらの欠点に対しても、素材との組み合わせも含めて、次世代はんだ材料の研究が進んでいる。

9.5 チップ間接続技術

従来、チップとパッケージの接続を 1 次実装、パッケージと実装基板との接続を 2 次実装と慣習的に称していた。現在、最も技術開発が活発な接続箇所はチップとチップをパッケージ内で接続する箇所である(図表 9-16)。このチップ間接続が SiP の特徴である。この技術には既存のワイヤボンディング技術や、チップの回路面を向かい合わせにしてバンプ接続する CoC 接合、そしてシリコンに貫通孔をあけて導体を埋め、シリコン裏面から電気接続する方法がある。チップ間接続でも、データ転送レートの遅いフラッシュなどは安価なワイヤ接続で十分であり、軽薄短小を目指して薄くしたチップへのボンディング技術の進化によって対応している。一方、データ転送レートがますます早くなっている DDR DRAM では、ワイヤボンディング時のインダクタ成分が厳しくなってきており、TSV による接続の可能性を模索している。それによって、クロック周波数が 1GHz を越えると推定される次世代 DDR DRAM の DIMM は、单一パッケージ内に TSV 積層された多段チップに置き換える可能性がある。



図表 9-16 チップ間接続がより重要なに



図表 9-17 チップ間ボンディング

9-5-1 ワイヤボンディング

ワイヤボンディングは古い技術ではあるが、接続元のパッドと接続先のパッド／リードが異なったピッチであっても、ピッチ変換して電気接続を行う優れた接続方法は他にない。多ピン化に伴うボンディング工数の増加が課題として挙げられてはいるが、設備の信頼性向上により無人化を推進すれば解決できる。ワイヤボンディングの本質的な課題は、長い細線によるインダクタ成分と、特性インピーダンスの不整合である。しかし、電源・グランドとのコプラナ構造や差動伝送ペア線路による設計の工夫によって信号配線のノイズ対策できる余地が残っており、ワイヤ数の増加やワイヤ長の短縮によって、電源・グランドのループ・インピーダンスをある程度まで低減することができる。ワイヤボンディングによって2チップを直接接続する構造には、チップを積層してからボンディングするカスケード(堰)ボンディングと、2チップを基板に隣接搭載して隣り合う辺のパッドをブリッジする

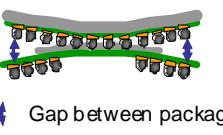
タイプの 2 種類がある(図表 9-17)。両タイプともマウント位置の精度を上げることによって更にワイヤ長を短くでき、インダクタンスも低くできる。電気的性能のどの段階までをワイヤボンディングで実現し、どこからバンプで対応するかは、製品の信号周波数、バス幅、ノイズマージン等の要求性能に加えて、各社の経験とコスト感覚で決まっている。ワイヤボンディング設計とその結果のフィードバックによって、信号と電源・グランドの完全性の観点から、どこまで電気的性能が果たせるか分析・定量化して、データを蓄積し、次の設計に生かせるデータベースの蓄積が必要となる。

9-5-2 CoC (Chip on Chip)

2 つのチップの回路面を向かい合わせにして、バンプなどでチップの電気接続を行う方法を、海外では face to face bonding、国内では CoC と呼んでいる。このチップ間を直接接続する構造と方法は TSV のチップ間接続に応用できる要素技術である。シリコン同士の接合のために熱膨張率が等しく、バンプで熱膨張差を緩和する必要がないので、CoC 接合ではピッチの狭いマイクロバンプで接合できる。メモリとロジックの接合では 1000 バンプ以上の接続が量産化されており、特に広いバス幅が必要になる場合に有利となる。CoC のアプリケーションはメモリとロジックの接合、X 線センサとその処理回路との接合などがある。バンプピッチを狭くする要求は個々のピクセルに対応した接続が必要となる X 線センサが最も厳しく、25μmピッチまで要素開発したという報告もある。

9-5-3 PoP (Package on Package)

上段パッケージと下段パッケージの接続によって PoP という 1 つのパッケージに組み立てていると考えると、上段と下段パッケージの接続はチップ間接続と位置づけられる。実装基板の配線が介在しない分、浮遊インピーダンスが小さいメリットがある。困難な課題としては PoP 積層時の反りがリフローによって発生し、その反り挙動は上段と下段パッケージで方向が異なる場合が多いために、整合させることが難しい点である(図表 9-18)。積層技術はまだ開発途上で今後も改善していくために、より大きな反りを許容できる手法が開発されることが期待される。JEITA では、PoP の熱時反りの許容値について審議を行い、その暫定標準規格を 2008 年度中に発行する予定である。

| Room → Temperature | Reflow Temperature | → Room Temperature |
|--|---|---|
|  Gap between package |  Top and bottom package warp opposite direction |  Top and bottom package warp in same direction. Bottom package warpage is controlled by top package warpage in solid phase temperature. |

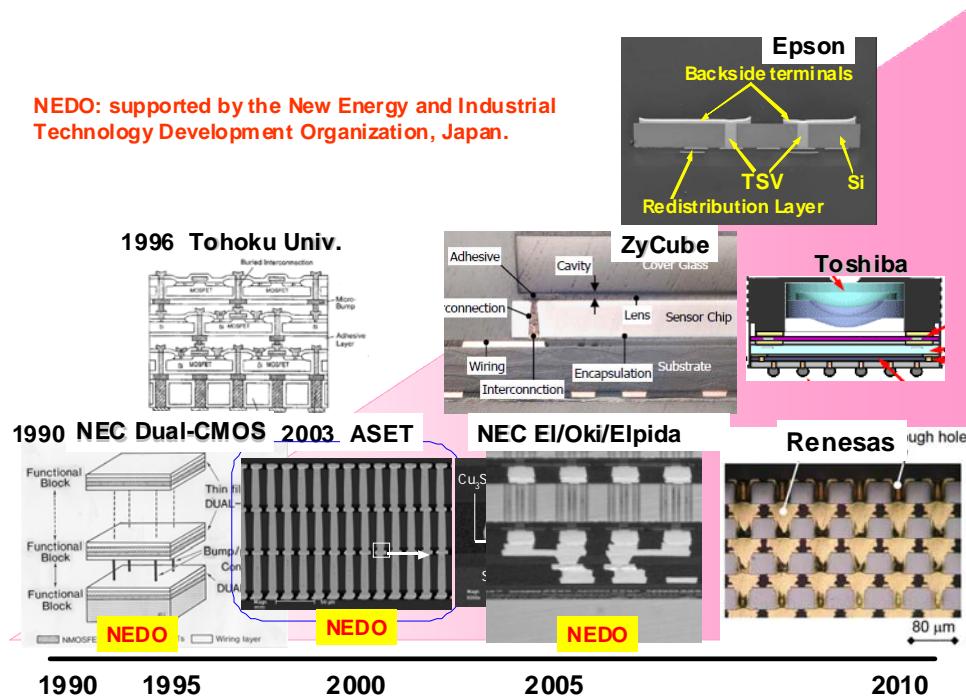
If coplanarity is too large between the mating packages,
there can be incomplete solder joints.

Quoted from JWG#2-19, Mark Bird

図表 9-18 PoP のリフロー時のパッケージ反り挙動

9-5-4 TSV

2007 年版 ITRS から TSV のロードマップを掲載した(図表 9-7)。Interconnect のロードマップにも TSV のロードマップが記載されているが、Interconnect の TSV がトランジスタ間接続をベースとしたロードマップなのに対して、Assembly & Packaging の TSV は外部端子接続及びチップ間接続を前提としている。ITRS のロードマップの前提是月 1 万個以上の量産を 2 社以上が行っている数値を記述するという定義であるが、チップを積層して貫通電極により接続し量産している製品はまだない。現在実用化されている TSV 技術はイメージセンサや MEMS、RF など外部端子接続用のスルホールに限定されている。これは、ウェーハ加工工程で使用されるシリコンの支持体が CMOS イメージセンサ面を保護して、ごみなどの影響から防ぐことができ、歩留まり改善の役割をしているメリットがあるためである。ITRS2007 年版の TSV のロードマップ表は、必ずしも現状の量産レベルを表現しているわけではなく、例外として開発レベルも含めた数値と認識するべきであろう。日本における TSV の開発経緯を図表 9-19 に示している。研究初期における NEDO (New Energy and Industrial Technology Development Organization) の役割の大きさを再認識させられる。



図表 9-19 日本の TSV 開発

TSV を実用化する為の大きな課題として、コストの低減がある。

- (1) TSV 形成後の積層にはウェーハ同士の貼り合わせ、チップとウェーハの接合、チップ同士の接合という 3 種類の組み合わせがある。不良率累積による歩留まり損失が発生する点と、チップ寸法と同じ大きさにしなければならないという点を除けば、ウェーハ同士の貼り合わせ方法が最も加工コストと材料コストが安い。したがって、メモリのようにリダンダンシ回路を組み入れた同一チップの積層には、ウェーハの貼り合わせが選択される可能性がある。
- (2) TSV の密度の高さはコストの高さに直結している。穴径が 1μm 前後の高密度な TSV を作ろうとするとドライエッチと酸化を交互に繰り返してアスペクト比を高くするボッシュプロセスを採用せざるを得ないし、穴埋めにはタンクステンを CVD (Chemical Vapor Deposition) によって蒸着する高価なプロセスとなる。10μm 前後の穴径ならば、電解 Cu めっきによる穴埋めが可能になる。50μm 以上の穴径となると、レーザ穴あけとペースト埋め込みや Au スタッドバンプによるかしめ接合も可能となる。
- (3) ウェーハ厚を薄くすることによって、穴あけ・穴埋め加工のプロセス時間削減することもできるので、薄

化技術のロードマップは本年からよりアグレッシブな値となっている。ウェーハ厚を薄くして加工しようとすると、ウェーハの支持体の接着剤の耐熱温度が加工温度上限となる。現状では 200°C 前後がその加工温度上限であり、ウェーハの貼り合わせに必要な温度の制約事項となる。ウェーハと支持体を貼り合わせる接着剤には、必要な時に剥離できる特性と耐熱性を併せ持つ材料の開発が必要である。

(4) さらに、TSV 位置に相当する回路面には活性層を設けないので、チップの有効面積が少なくなるという基本的な問題がある。これはロジックでは許容できない問題点であり、半導体としてコストアップになるもう一つの理由である。

TSV への導体埋め込みは、生産性の高い電解 Cu めっきが有望視されているが、DRAM などでは Cu イオンによる汚染の可能性があり、シリコンとの完全な隔離が必要である。その観点から、Cu めっき後に裏面研削を行うプロセスは工程が複雑になり、Cu を電極として採用する場合は裏面研削後にチップ裏面から穴掘りしてめっきする VIA-LAST プロセスが有望といえる。ポリシリコンはコンタミネーションの可能性はないが、電気抵抗が高く、電源グランドの供給の観点からみると不十分である。穴埋めスループットが高く、シリコンへの拡散係数が低い導体材料が TSV に必要になっている。

TSV の実用化アプローチとして、CIS (CMOS Image Sensor) や MEMS など、比較的小さなチップを回路面からその裏側に位置する外部電極に結線するためにシリコン貫通電極を介する場合と、LSI を積層し貫通電極で結線して三次元化する場合がある。前者は既に量産化されており、今後コスト低減を図っていく。後者はまだ研究段階であり、消費電力の低減や電気特性の改善、メモリの大容量化の確認がとれ、その実用化を目指している。究極的には、前者によるコスト低減と生産効率改善と後者の性能改善が合体して、コストと性能両方を満たすデバイスが生まれるものと期待する。

9-6 まとめ

集積回路の技術の発展は CMOS 技術の微細化による機能あたりのコストの低減に支えられてきた。しかし、その微細化対応装置の高価格化と、ウェーハの大口径化によって新製品開発に必要な治工具の初期費用が高騰することになり、シリコンの微細化だけでは電子産業の要求に応えられなくなっている。また、シリコンはその生産規模と必要な性能によって、最適なウェーハプロセスを選択することになり、一時期に何種類ものウェーハプロセスが共存することになる。SiP パッケージ技術はそれらの多様なプロセスで製造されたチップをパッケージレベルで集積化し、顧客に従来と同様な最適解を与える手段となっており、今後も、多チップ化、多層化、複合化など進展していく。

将来は、ナノレベルのカーボン・ナノ・チューブの適用や、ミクロンオーダの MEMS がセンサとして单一パッケージ化されるなど、SiP 技術は設計寸法がミクロンからナノにいたる幅広い範囲のデバイスをインテグレーションするシステムに成長していく。

参考文献

- 1) 2007 年度版 日本実装技術ロードマップ(2007 年 6 月、JEITA)
- 2) International Technology Roadmap for Semiconductors 2007 Edition (2007 年 12 月、ITRS)
- 3) Patrick Morrow, et al. "Design and Fabrication of 3D Microprocessors", 2007 Material Research Society Vol. 970