

第 15 章 ERD

15-1 はじめに

MOSFET の微細化が急速に進みスケージングの限界がささやかれる中、従来にはない全く新しい材料の導入、MOSFET とは全く異なる原理で動作するデバイス技術、従来のデジタル回路とは全く異なるアーキテクチャに基づく情報処理等の研究の必要性がますます高まっている。これに応えるため、ITRS では 2001 年版より PIDS の章の中に Emerging Research Devices (ERD) の章を設け、将来の新材料・新原理デバイス技術に対するガイドラインを示してきた。ERD の章は ITRS が改訂される度に重要性を増し、2005 年版の ERD の章は、ついに PIDS の章から独立し単独の章となった。また、2006 年版からは新材料を扱う Emerging Research Materials (ERM) の章が独立した。日本の STRJ では、2001 年ころから WG-6 の PIDS の中に ERD の担当者をおき、ITRS の ERD の章作成に関わってきたが、2006 年 2 月に PIDS から独立する形で ERD の新しい WG が発足した。また、2006 年 11 月には ERM WG も ERD から独立する形で発足した。

本報告では、まず WG-12(ERD) の位置づけとスコープを述べ、2007 年版の ITRS ERD 章の概要を説明するとともに、2007 年度の WG-12(ERD) 独自の活動としてビジョンマップの作成と Research Needs の議論を紹介する。

15-2 WG-12 (ERD) の発足とその位置付け

STRJ の WG-12 (ERD) は、2006 年 2 月に発足した。主査は特別委員の平本俊郎(東京大学)が務める。他の WG と大きく異なる点は、これまで VLSI とは縁の薄かった新規材料・新原理デバイス、新アーキテクチャ等を扱うことである。そのため、本 WG には企業委員に加えて大学や独立行政法人の特別委員が多い。STRJ(委員長:石内氏)への報告義務を有するとともに、ITRS の ERD-WG(リーダーは SRC の J. Hutchby 氏)とも綿密に連絡をとりながら活動を進めている。

一方、本 WG にはもう一つの役割がある。それは INC (International Nanotechnology Conference) 関連の業務である。この国際会議は、ナノテクノロジー関連の国際的な協調や情報交換を支援することを目的とする国際会議で、2005 年 6 月に第 1 回が開催された(INC1)。現在、米国、EU、日本の 3 極が正式に参加している。2008 年 4 月には日本で第 4 回目の会議(INC4)が開催された。JEITA では、INC 関連の活動を行うため、INC-WG(委員長は東芝の開氏)を設置している。さらに、INC には、国際的なナノエレクトロニクス関連の研究活動を調査する IPWGN (International Planning Working Group for Nanoelectronics) が設置されており、3 極のナノテクノロジー研究の調査の他に、ナノエレクトロニクスの Research Needs の議論を行っている。本 WG-12 (ERD) では、JEITA の INC-WG に付属して技術的な議論を担当するとともに、IPWGN の日本側担当 WG も兼ねている。

本 WG の位置づけを図表 15-1 に示す。本 WG は、STRJ、ITRS の ERD-WG、JEITA の INC-WG、INC の IPWGN の 4 つの委員会に付属していることになる。

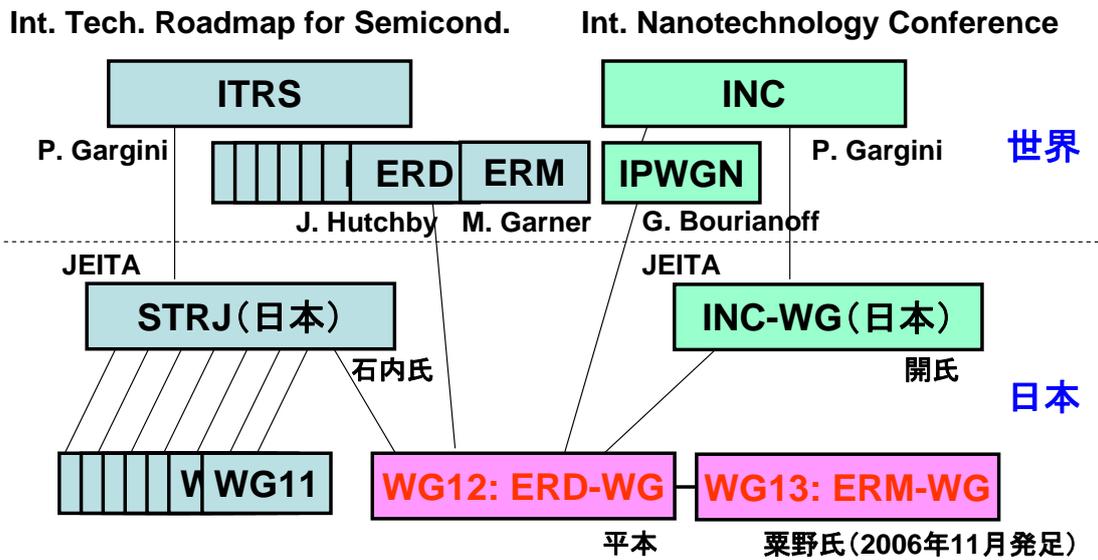
15-3 ERD のスコープ

図表 15-2 に ITRS における ERD のスコープを模式的に示す。ERD の考え方は、各種メモリ、ロジック、アーキテクチャ技術を用いて全く新しい情報処理のコンセプトを模索することである。ITRS の 2003 年版では、ダブルゲート MOSFET などの微細 CMOS デバイス技術がスコープに含まれていた。ところが、2005 年版では、これらの微細 CMOS 技術が ERD のスコープから外れ、PIDS の章に移管された。これは、ノンクラシカル CMOS と呼ばれていたひずみ Si による移動度向上策や FinFET 等のマルチゲート MOSFET が PIDS の章でスケージングと性能向上を維持するために必須の技術とみなされ、もはや Emerging な技術ではないという認識が広まったことによる。代わって、新材料が ERD のスコープとしてクローズアップされることとなった。その結果、2005

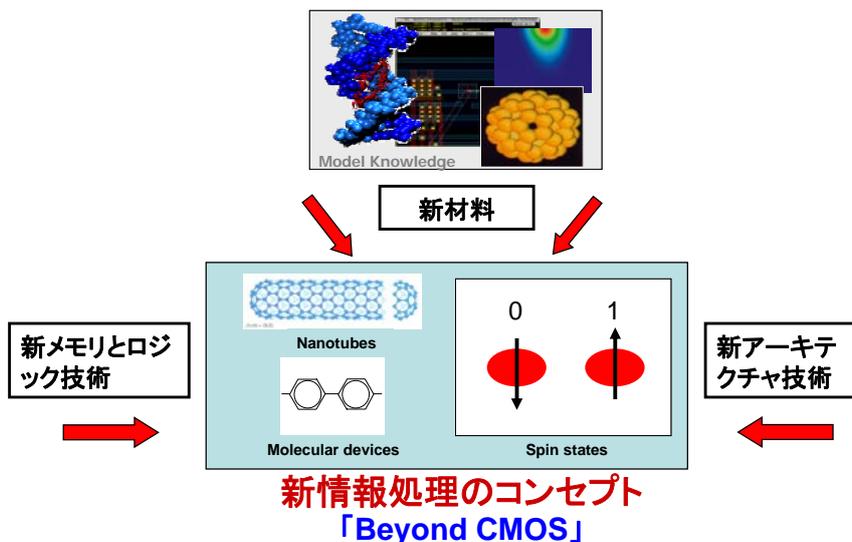
年版では、CMOS を超えるいわゆる「beyond CMOS」を目指すための章に変わったことになる。

これまで CMOS 等の電子デバイスは主に電荷の移動により情報処理を行ってきたが、CMOS を超えるデバイスでは、電荷だけでなくスピン状態、分子状態、強相関電子状態、位相状態等を積極的に用いることが重要であるとされている。CMOS との互換性も必要な特性の一つに挙げられてはいるが、ITRS の 2005 年版では章全体が「CMOS の延長」の議論よりも「Beyond CMOS」を強く指向していた。

一方 2007 年版では、引き続き CMOS を超える「Beyond CMOS」の議論を続けるとともに、新しい考え方が加わった。それは、代替情報処理デバイス(Alternative Information Processing Devices)という考え方である。これらのデバイスは汎用計算を行うのではなく、特定の用途に限って性能を発揮する。従来の CMOS プラットホーム上に集積されて新機能を追加する。また、2007 年版ではロジック、メモリに加えて新アーキテクチャの重要性も強調されている。



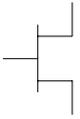
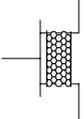
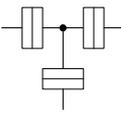
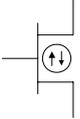
図表 15-1 本 WG-12 (ERD) の位置付け



図表 15-2 ITRS における ERD のスコープ

図表 15-3

Emerging Research Logic Devices—Demonstrated and Projected Parameters

Device								
		FET Extension						
		FET [A]	1D structures	Channel replacement	SET	Molecular	Ferromagnetic logic	Spin transistor
Typical example devices		Si CMOS	CNT FET NW FET NW hetero-structures Nanoribbon transistors with graphene	III-V compound semiconductor and Ge channel replacement	SET	Crossbar latch Molecular transistor Molecular QCA	Moving domain wall M: QCA	Spin Gain transistor Spin FET Spin Torque Transistor
Cell Size (spatial pitch) [B]	Projected	100 nm	100 nm [D]	300 nm [I]	40 nm [O]	10 nm [U]	140 nm [Y]	100 nm [C]
	Demonstrated	590 nm	~1.5 μm [E]	1700 nm [J]	~200 nm [K, L]	~2 μm [V]	250 nm [Z, AA]	100 μm [AB]
Density (device/cm ²)	Projected	1E10	4.5E9	6.1E9	6E10	1E12	5E9	4.5E9
	Demonstrated	2.8E8	4E7	3.5E7	~2E9	2E7	1.6E9	1E4
Switch Speed	Projected	12 THz	6.3 THz [F]	>1 THz	10 THz [Q]	1 THz [W]	1 GHz [Y]	40 GHz [AC]
	Demonstrated	1.5 THz	200 MHz [G]	>300 GHz	2 THz [R]	100 Hz [V]	30 Hz [Z, AA]	Not known
Circuit Speed	Projected	61 GHz	61 GHz [C]	61 GHz [C]	1 GHz [O]	1 GHz [U]	10 MHz [Y]	Not known
	Demonstrated	5.6 GHz	220 Hz [H]	Data not available	1 MHz [P]	100 Hz [V]	30 Hz [Z]	Not known
Switching Energy, J	Projected	3E-18	3E-18	3.00E-18	1×10 ⁻¹⁸ [O] >1.5×10 ⁻¹⁷ [S]	5E-17 [X]	~1E-17 [Z]	3E-18
	Demonstrated	1E-16	1E-11 [H]	1E-16 [J]	8×10 ⁻¹⁷ [T] >1.3×10 ⁻¹⁴ [S]	3E-7 [V]	6E-18 [AA]	Not known
Binary Throughput, Gbit/ns/cm ²	Projected	238	238	61	10	1000	5E-2	Not known
	Demonstrated	1.6	1E-8	Data not available	2E-4	2E-9	5E-8	Not known
Operational Temperature		RT	RT	RT	RT [M, N]	RT	RT	RT
Materials System		Si	CNT, Si, Ge, III-V, In ₂ O ₃ , ZnO, TiO ₂ , SiC,	InGaAs, InAs, InSb	III-V, Si, Ge,	Organic molecules	Ferromagnetic alloys	Si, III-V, complex metals oxides
Research Activity [AD]			379	62	91	244	32	122

図表 15-4 *Alternative Information Processing Devices*

	<i>Resonant Tunneling Diodes</i>	<i>Multi-ferroic Tunnel Junctions</i>	<i>Single Electron Transistors</i>	<i>Molecular Devices</i>	<i>Ferro-Magnetic Devices</i>	<i>Frequency Coherent Spin Devices</i>
<i>State Variable</i>	Charge	Dielectric and magnetic domain polarization	Charge	Molecular conformation	Ferromagnetic polarization	Precession frequency
<i>Response Function</i>	Negative differential resistance	Four resistive states	Staircase I/V from Coulomb blockade	Hysteretic	Nonlinear	Nonlinear
<i>Class—Example</i>	Mobile	Multi-ferroic tunnel junction	Voltage tunable transfer function	CMOL、 cross bar latch	Amplifiers、 buses、 switches	Spin torque oscillator
<i>Architecture</i>		Heterogeneous	Morphic	Heterogeneous、 morphic	MQCA、 morphic	Morphic
<i>Application</i>		Elements in hybrid magneto electric circuits	Analog pattern matching	Associative processing 、 NP complete、	Elements in hybrid magneto-electric circuits	Microwave power、 tunable rectifiers
<i>Comments</i>		Additional functionality	Density、 functionality	Density、 cost functionality	Radiation hard、 environmental rugged	RF functionality
<i>Status</i>		Demo	Demo	Demo	Demo	Simulation
<i>Material Issues</i>			Stray charge			RT DMS

15-4 2007 年版 ERD

以下に、ロジック、メモリ、アーキテクチャに分けて、2007 年版の ERD の紹介を行う。

15-4-1 ロジック

従来、新探求デバイス(ERD)の章では汎用計算を対象として、CMOS を置き換える可能性のあるデバイス技術について検討を行ってきた。しかし、ロードマップに記載されているような今後の CMOS の性能を越すことが可能なデバイス技術は、結局のところ CMOS 以外には存在しないといった認識に達した。一方で、様々な見地から検討されている各種 ERD が持つ独特の特性は、汎用ブール関数ロジック以外の情報処理について CMOS を用いるより有用となる可能性がある。そこで、今回のエディションでは汎用ブール関数ロジックと、特殊用途への応用に関する新探求デバイスについて議論した。

汎用計算用ロジックデバイス

ロジックデバイスの候補を図表 15-3 に示す。汎用計算に用いるロジックデバイスとしては、動作原理は

CMOS そのものであるが、材料・構造から高性能化を目指す CMOS が議論されている。カーボンナノチューブ (CNT)、グラフェンナノリボンなどの新材料や、半導体の量子一次元構造をチャンネルに用いるものが紹介されている。また、III-V 族化合物半導体などの高移動度材料をシリコン CMOS のプラットフォームにのせるといったことや、その課題などについても述べている。

CMOS 以外のデバイスについても前版と同様に述べられているが、SET と分子デバイスについては MOSFET/CMOS との融合も強調されている。SET については、MOSFET と組み合わせて、SET の特徴を使いながらも欠点を補う手法が紹介されている。また、近年示された SET の室温動作についても述べている。分子デバイスでは、このデバイスの持つ多彩な可能性を指摘し、可変抵抗素子の機能に基づくプログラマブルダイオード(ラッチスイッチ)と、このような機能デバイスと CMOS を融合させた CMOL について述べた。

電荷以外の状態変数を用いたデバイスとして、強磁性デバイスとシングル・スピン・デバイスが紹介されている。強磁性デバイスでは、細線上に加工した磁気ドメインの幾何学的なレイアウトを利用して、論理演算を行うデバイスである。磁壁の移動によって論理演算を行い、状態変数はドメインの磁化である。シングル・スピン・デバイスでは状態変数としてスピンを用いるものを紹介した。論理ビットとして量子ドットのアレイに閉じ込められた局在電子のスピンを利用し、量子ドットのレイアウトによって論理ゲートを実現できる。特にこのデバイスでは原理的には非常に小さなスイッチングエネルギーを実現できる可能性について述べられている。

汎用ロジックデバイスでは CMOS の延長といった技術が再び注目され、また ERD と CMOS の融合が重要視されている。一方、ERD としてこれまで期待されてきた電荷以外の状態変数を用いたデバイスの汎用計算応用については、その可能性を主張するに留まっている。

代替情報処理デバイス(Alternative Information Processing Devices)

ロジックデバイスの節では von-Neumann スタイルの汎用論理計算への応用に限って ERD を考察したが、本節では ERD 特有のデバイス特性を利用した汎用ブール関数ロジック以外の情報処理を念頭において議論を行った。ERD の持つ独特なデバイス特性は汎用計算の置き換えと言うより、例えば認識や検索などといった特殊用途の応用に向いていると考えられる。現在のプロセッサにおけるトレンドがマルチコア・システムであることを考慮すると、ERD を用いた特定用途のプロセッサとシリコン CMOS プラットホーム上の汎用プロセッサとのハイブリッド化が重要になる可能性がある。図表 15-4 にこのような代替情報処理デバイスの候補を示す。

共鳴トンネルデバイス(RTD)、マルチフェロイックトンネル接合(MFTJ)、単電子トランジスタ(SET)、周波数コヒーレントスピンドバイスについてはこれらのデバイスの独特な出力特性の応用が述べられている。共鳴トンネルデバイス(RTD)は、その負性微分抵抗による負荷曲線を利用してすることが最大の特徴である。この特徴を生かしたデバイスについて議論した。RTD と自己組織化された量子ドットとを接続したデバイスによる高効率の画像処理や、RTD を用いた双安定回路の応用を紹介した。マルチフェロイックトンネル接合(MFTJ)は電気分極と磁化により 4 つの異なる情報の状態を表現できる。マルチフェロイック材料をトンネル接合のバリア層に用いることで、電気分極と磁化に依存する 4 つの異なる抵抗値をとることが可能となる。この特徴を生かした 4 ビットのストレージエレメントとしての応用などを述べた。単電子トランジスタ(SET)は、特定のゲートバイアスで出現するピーク状の電流特性を持つ。この特徴は連想プロセッサなどに応用できるベクトルマッチング回路など用いられることなどを述べた。周波数コヒーレントスピンドバイスはスピン偏極した電流が磁化に与えるトルクによって生じる磁化反転を利用したもので、直流の入力から、高周波の出力が得られる。これを利用した発振器などについて述べた。その他、スピントルクカップリングによるナノデバイスについても紹介した。

また、デバイスに用いる材料・構造の形態・物性による特徴を有効に生かしたデバイスとして、分子デバイスと強磁性デバイスを取り上げている。分子デバイスでは、高分散、自己組織化などといった特徴を利用した組み合わせ回路やニューロシステム等への応用、さらには CMOS との融合を行った CMOL によるニューロモーフティックネットワーク、パターン認識などの情報処理の応用について述べた。強磁性デバイスでは、強磁性ナノドメインの磁気分極を状態変数として使うデバイスに必要な要素技術について述べた。特に、ナノドメイン間の

交換相互作用を利用して情報処理を行う場合の増幅、スイッチング、情報伝達などの基本操作における課題の研究の現状についてまとめた。

15-4-2 メモリ

メモリの節で取り上げられた技術は、現行技術の限界を打破しうる有力な代替案として、概ね 2005-2007 年の間に発表された研究成果の中から選定された代表例である。各メモリは、動作原理の探索研究が行われている段階であり、誘電体中に孤立保持された電子電荷、強誘電体ゲート絶縁膜の残留分極、そして、多種多様な現象による抵抗変化を用いる。各メモリ技術は CMOS 技術と一体化できることが必要で、そのために必要な CMOS 基盤技術の修正や混載技術検討もメモリ開発に含まれる。現状のシリコンチップと同等の使い勝手を有するメモリデバイスを目指す。

2005 年版からの変化点は、1) ナノ浮遊ゲート型メモリをはずしたこと(PIDS へ移行)、2)絶縁体の抵抗変化利用メモリを 3)ヒューズ/反ヒューズ型メモリ、4)イオン移動メモリ、5)電子効果利用メモリの 3 種類に分けたこと、及び、6)ナノメカニカル型メモリを加えたことである。また、メモリを容量ベース型(メモリ機構をゲート構造の中に作り込んだ 1T 型)と抵抗ベース型(抵抗変化型のメモリ素子を持つ 1T1R or 1D1R 型)の 2 つに大別し、前者から 2 種、後者から 6 種の計 8 種類のメモリ技術を取り上げた。ここで、T はトランジスタ、D はダイオード、R は抵抗素子を表し、それぞれメモリセルを構成する機能要素である。メモリ技術の重要な差異化ポイントは、不揮発性(電源 OFF 時でもデータを保持できること)である。ここで取り上げた新探索メモリは、すべて不揮発性メモリである。

以下に、掲載したメモリの定義と議論の概略を示す。

A. 容量ベース型(1T)

トンネル障壁エンジニアリングメモリ — 基本的には浮遊ゲートメモリの構造と同じであるが、書込み/消去特性を向上するために絶縁障壁の形状を工夫している。種々の絶縁膜を積層して山型のトンネル障壁を作る試みや、積層に依らずに傾斜バンドギャップ及び傾斜誘電率を持つ新しい誘電体材料を開発する試みがなされている。誘電率が異なる 2 つの誘電体の積層膜を用いた試作では、メモリセルのプログラムと消去に必要な電圧の低減と長期間のデータ保持が実証されている。トンネル酸化膜の代わりに極薄の $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 障壁膜を用いたバンドギャップ調整型の SONOS メモリでは、この障壁により消去と保存のモード間に必要な非対称性が生み出される。

強誘電体 FET メモリ — 強誘電体キャパシタを FET のゲート構造の中に組み込むことで、従来の 1T1C 強誘電体 RAM(FeRAM)において大面積を占めていた強誘電体キャパシタが不要となり、スケーラビリティの問題が解消された。強誘電体の分極は直接、チャンネル中の電荷に作用でき、FET の入力特性を容易に制御ができる。この 1T メモリデバイスは、強誘電体 FET(FeFET)と呼ばれる。強誘電体絶縁膜厚が薄くなり過ぎると強誘電的性質が失われるため、スケーリングは 22nm 程度が限界と思われる。チャンネル界面における低い界面準位密度を保証するため、強誘電体-半導体界面制御が課題。

B. 抵抗ベース型(1T1R or 1D1R)

抵抗ベース型メモリは、ナノ電気機械式メモリと金属-絶縁体-金属(MIM)構造メモリからなり、電気パルス誘起の抵抗変化効果を示す。

ナノ電気機械式メモリ(NEMM)— NEMM は、双安定な極小の電気機械式スイッチに基づいている。デジタル信号は、電気回路の開閉を引き起こす固体の極小要素(ナノ細線、極小円柱、ナノ粒子など)の変位によって表される。カーボンナノチューブ(CNT)を立体交差させた型のメモリでは、交差箇所を静電的に接触/非接触状態とすることで ON/OFF 状態が得られ、抵抗値の変化として状態が読み出される。CNT ブリッジ、CNT カンチレバー(片持ち梁)、シリコンのカンチレバーなどもメモリ要素として検討されている。MOSFET 構造の中

に機械的に双安定な浮遊ゲートを形成し、その中に電荷蓄積中心となるナノ結晶シリコンのドットを埋め込んだメモリ提案もある。不揮発性 RAM に加え、極小の電気機械式シフトレジスタ・メモリも提案されている。NEMM の課題の一つは、高集積メモリアレイの確実な作製であり、CNT の特性制御の困難さのような材料や作製上の問題点が絡んでいる。

ヒューズ/反ヒューズ型メモリ — MIM 構造に適当な電圧パルスを加えると、絶縁膜が局所的に絶縁破壊し、その際に生じるジュール熱で放電部分が著しく変質して適当な抵抗値を持つ脆弱な導電性フィラメントが形成される。このフィラメントは、絶縁体中へ移動した電極金属、残存有機物の炭素、半酸化物のような分解された絶縁材料等からなると思われる。リセット過程にてこの導電性フィラメントは、局所的に生成される 10^{12} W/cm^3 台の高い電力密度により再び熱分解される。このメカニズムはヒューズ-反ヒューズ型と言われ、抵抗スイッチング現象は明らかに単極的性質を持つ。絶縁材として NiO、TiO₂ などが提案されており、Pt/NiO/Pt 薄膜のセルを CMOS 技術に組み入れて不揮発性メモリ動作が実証されている。制御因子として、熱的効果の他に電気化学的プロセスも関係している可能性がある。電極材料の影響も大きい。スイッチング電流(書込みエネルギー)が相対的に高く、また、メモリのスイッチングパラメータのばらつきが相対的に大きいことが問題である。

イオン移動型メモリ — 動作原理は、電極材料か絶縁材料あるいは両方における酸化還元プロセスに基づいている。絶縁材はイオン伝導性を示すことが必要で、酸化物、カルコゲナイド(ガラスを含む)、半導体の他、高分子を含む有機化合物が挙げられる。陽イオン輸送と陽極還元が起きると金属フィラメントが成長し、対向電極がつながると低抵抗状態になる。一方、酸化反応によりフィラメントが分解すると高抵抗状態に戻る。主として Ag と Cu ベースのシステムで、試作セルの動作に成功している。絶縁材料自体に電気伝導性を誘起する陰イオン(たとえば酸素イオン)輸送と酸化還元反応を利用する方法もある。多くの場合、双安定スイッチングを起こすためには、事前に発現プロセスが必要となる。このメモリのフィラメント的な電気伝導性を制御できれば、十分なスケールアップを期待できる。スイッチング速度はイオン輸送によって制限され、スイッチング時間として 2-3 ns が期待できる。各種現象のメカニズムの詳細がまだ不明であるため、各種特性の正確な予想は困難である。

電子効果メモリ — 電子効果メモリは、MIM 構造における次の 3 つの異なるメカニズムを含む: 1) 電荷注入と捕獲、2) モット転移、3) 強誘電体分極効果:

1) 電荷の注入と捕獲は、抵抗変化の原因となり得る。高電界による Fowler-Nordheim トンネリングによって注入された電荷は、絶縁体中の欠陥や金属ナノ粒子のようなサイトに捕獲される。これは MIM 構造の静電障壁特性を変化させ、従って構造の抵抗値も変化させる。界面で電荷が捕獲されると、様々な金属/半導体性ペロブスカイトの界面において、隣接するショットキー障壁に影響を及ぼす。多結晶 Si の極細線を使ったメモリの提案もあり、極細線中の結晶粒界に捕獲された少数の電子によって抵抗が変化する。再現性に乏しいものの、バルクの MOSFET をなくせるのでセルサイズを著しく低減できる。この Si 極細線に基づいた 128 Mbit のメモリが、実際に作られている。スイッチを繰り返すと材料中に欠陥が形成される材料脆弱性の問題があり、寿命とサイズ縮小の両方を制限する懸念がある。

2) モット転移メモリでは、電荷の注入により強相関電子から弱相関電子への転移が誘起され、その結果、絶縁体-金属の転移が起きる。このメカニズムは、いくつかのペロブスカイト型酸化物に対して報告されている。Pt/TiO₂/TiN/Pt 構造におけるモット転移による抵抗スイッチングが報告されている。重要課題の一つは、各種パラメータ(電荷密度、歪み、結晶の乱れ、局所的な組成など)の小さな変化に対する相関電子の応答感度である。それ故、材料と界面の物理的及び化学的構造の精密な制御が、極めて重要となる。

3) 強誘電体分極は、極薄膜のトンネル特性、あるいは、隣り合った半導体層におけるショットキー型空間電荷層を変調することができ、これにより強誘電性の抵抗スイッチングが生じる。今のところ、観察されたスイッチング現象の原因が強誘電的なものであるとの確証はない。

高分子メモリ — 高分子メモリは、ポリマー(重合体)あるいは有機メモリとも呼ばれるが、金属成分が埋め込ま

れた有機物の薄膜で作られたメモリ要素から成る。埋め込まれた金属成分は、薄い金属層やナノサイズ金属粒の集団、あるいは有機金属材料中の金属イオンなどである。C₆₀分子を埋め込んだポリマー膜を使ったメモリデバイスの報告もある。どの構造も、同じ印加電圧に対して伝導率が異なる 2 つの状態を示す。書込みは、この構造への電圧パルス印加で行われ、これにより低抵抗と高抵抗状態間の可逆的なスイッチングが行われる。状態遷移後は、電源を切っても、2 つの状態のうちの一つが維持される。消去は、逆電圧のパルス印加で行われる。メモリ動作原理は、まだ、明らかでない。導電性フィラメントの形成は関係していないようである。離散した金属ナノ結晶における電荷の捕獲とそれに伴う抵抗変化により双安定性が生じるとの解釈もあり、この場合、このメモリは電子効果メモリの範疇に入ることとなる。

分子メモリ — 分子メモリは、単一分子をメモリセルの構成要素として使う様々な提案の総称であり、情報の 1 bit は分子一つの空間に保存される。動作を実証した一つの方法は、2 つの電極間に分子を取り付け、電圧印加により実効コンダクタンスの高速な可逆変化を起こすというものである。データは、外部電圧の印加により分子を 2 つの可能な伝導状態のうちの一つへ転移させることで記憶される。読み出しは、分子セルの抵抗変化を測定する。CMOS ベースのメモリ技術の中に、分子を構成要素として取り込む構想もある。分子における伝導率スイッチングのメカニズムは、まだ理解されていない。初期の実験報告では、分子を通じた電子輸送は 2 つの金属電極間に取り付けられた分子に沿った金属フィラメントの形成によるとしている。それ故、分子スイッチの本来の性質は、往々にして他の効果によって遮蔽されている可能性がある。次のステップである機能的に活性な分子どうしの分子による接続には、長期的な研究が必要。分子エレクトロニクスに対する知識基盤の確立には、さらなる基礎的な研究が必要である。

15-4-3 アーキテクチャ

情報処理プロセッサのアーキテクチャは、集積度やデバイスのパフォーマンスに大きく左右される。新探求デバイスを導入すると、アーキテクチャはより複雑になる(例えば、信頼性確保のためにエラー訂正が必要になる、等)。本報告は、デバイスとアーキテクチャのトレンドを探求しながら、アーキテクチャの選択基準を整理し、他のアプローチとの比較検討を行うことを目的とする。図表 15-5 に新しいアーキテクチャのまとめ表を示す。

アーキテクチャとは、結合されたデバイス(計算要素を含む)のチップ上の機能的な配置のことをいう。本報告では特に、特殊用途向けのアーキテクチャや、新機能を生み出す CMOS 以外の新しいデバイスとアーキテクチャについて述べる。それらのデバイスは、最終的には CMOS と融合して利用される。

CMOS「メニーコア」アーキテクチャのトレンド

メニーコア技術は、デジタルアーキテクチャのトレンドとして確立されている。既にハイエンドのマイクロプロセッサのアーキテクチャはマルチコア形式に移行しており、デュアル(2)/クアド(4)コアのプロセッサは製品化されている。近年、80 コアのプロセッサについても報告がなされている。また、FPOA(Field Programmable Object Arrays)技術を用いた、マルチコア的な構造を持つ次世代 FPGA に関する開発も進んでいる。さらに、その他の ASIC や埋め込み SoC システムもマルチコアの形式をとっている。マルチコア構成では、コアを追加することで、(シングルコアのプロセッサと比較して)パフォーマンスをおそらく一桁改善できるだけの余裕があると見積もられているが、問題はそれらの複数のコアを最大限に利用する計算アルゴリズムにある。

「ヘテロマルチコア」アーキテクチャ

新探求デバイスにより可能になる機能をどうやって使うか? 現在の一連の新探求ロジックデバイスは、汎用計算の能力向上を目指しているようには見えない。考えられる一つのシナリオは、新探求デバイスの導入により安価に実装できパフォーマンスの向上が見込まれる場合に限り、CMOS で実現されている機能を新探求デバイスで置き換える、というものである。多くのケースでは、新探求デバイス単体ではなく、CMOS と組み合わせる必要がある。

このような CMOS と新探求デバイスによるハイブリッド技術の一例が、CMOL(CMOS チップ上に単一分子から

なるナノグリッドを実装するデバイス)である。CMOS は電流駆動、信号レストア、IO 機能を提供し、分子ブリッドが超高密度なプログラマブル結線を形成する。別の例として、分子クロスバーアーキテクチャが挙げられる。このアーキテクチャはまだ開発段階であるが、分子スイッチとナノ配線の相互接続技術を用いることで、少なくとも理論的には、現在の 10 倍以上の集積度が達成できる見込みがある。

上記のような分子-CMOS ハイブリッドアーキテクチャの問題点は、分子ナノワイヤの高い配線抵抗および CMOS とのコンタクト抵抗である。現在見積もられている最大の動作周波数はおよそ 1 GHz である。よってその用途は、分子スケール構造が生み出す超並列性を最大限に利用できるような計算(アプリケーション)に限られる。

モーフィック計算アーキテクチャ

「モーフィック」という言葉は、特殊な形状や形態を意味するものである。これは通常、接尾語として用いられる。たとえば、ニューロモーフィックは、脳の神経細胞ネットワークに似た構造を持つものを意味する。本報告では、この「モーフィック」という言葉を、生物や計算科学のパラダイムから影響を受けた、特殊な問題に効果的に適応するアーキテクチャ、として定義する。

モーフィックアーキテクチャは、1) 物理ドメインのデータを電気信号に変換する、2) それらの信号の雑音を取り除くためにフィルタをかける、3) フィルタ後の信号から特徴を抽出する、4) 特徴抽出されたデータの判別を行う、5) データを保存し外部とコミュニケーションする、などの能力を持つ。これらのアーキテクチャは、その構成要素が持つ物理特性を直接的に利用するものである。

新探求デバイスが利用できる可能性のあるアーキテクチャ

CMOS プラットフォーム上の情報処理アプリケーションの中で、新探求デバイスはどのようにして有益に使われるのか？ それらのデバイスの動作特性はまだ固定化されていないので、これは難しい問いである。下表に、新探求デバイスが利用できる可能性のあるアーキテクチャを示す。いずれのアーキテクチャも、新探求デバイスを埋め込むことで、CMOS を超えるパフォーマンスを示す、と予測されるものである。

ここで挙げられている三つのアーキテクチャクラス(同一のマルチコア、ヘテロマルチコア、モーフィック)の相対パフォーマンスを考えることは重要である。デジタル同一コアシステムのアルゴリズム的な進展は、汎用プログラミング環境の開発を待たなければならないようだ。またその技術進展は、メモリ管理とアクセス問題により制限されるようだ。パフォーマンスの増加に関する最も楽観的な予想は、パフォーマンスがプロセッサ数に比例する、ということである。ヘテロコアアーキテクチャは、特殊なプロセッサとオンチップメモリ(例えば、デジタル信号処理、線形代数プロセッサ、I/O プロセッサ、アクセラレータなど)を万能プロセッサと組み合わせて利用する。桁違いのパフォーマンス向上は、埋め込まれた特殊用途プロセッサと直接的に提携するアプリケーションでなければ達成できない。モーフィックアーキテクチャは、広範囲におよぶ。いくつかのケースでは、処理はアナログ計算により行われ、(精度は犠牲になるが)桁外れのパフォーマンス向上と低消費電力を達成できる。

図表 15-5 エマージングアーキテクチャのまとめ表

Architecture	Implementation	Computational Elements	Network	Application	Research Activity
Homogeneous Many-Core	Symmetric cores	CMOS	Irregular/Fixed	Synthesis/GPP	
Heterogeneous	Asymmetric cores	CMOS	Irregular/Fixed	Synthesis/GPP	
	CMOL	CMOS+Molecular Switches	Irregular/Fixed	Synthesis/GPP	
	Molecular Cross-bar	Molecular Switches	Regular/Flexible	Synthesis/GPP	
	Check-point	CMOS+Ferromagnetic logic	Irregular/Fixed	Synthesis/GPP	
Morphic	CNN	CMOS+Sensors	Regular/Flexible	Recognition/Vision	
	AMP	FG-FET、SET	Irregular/Fixed	Recognition/Vision	
	Bio-inspired	MFTD, Spin-gain transistor	Mixed	Recognition Mining Synthesis	

15-5 Extended CMOS のビジョン

日本の WG-12 (ERD)独自の活動として、将来の集積ナノエレクトロニクスデバイスの重要技術を時間軸上でまとめたビジョンマップの作成を行っている。昨年度、現状の CMOS を基盤とするロジックデバイスの将来を俯瞰した Extended CMOS のビジョンマップを作成したが、今年度はこのマップに重要技術をマッピングするとともに、メモリデバイスのビジョンマップも作成したので紹介する。

15-5-1 Extended CMOS のビジョンマップ

図表 15-5 に昨年度作成した Extended CMOS のビジョンマップを示す。大きく分けて将来のナノエレクトロニクスデバイス技術は 3 つの潮流に分類されると考えられる。このビジョンマップは、3 つの流れの関係を模式的に図示したものである。

(a) More Moore (CMOS の延長技術)

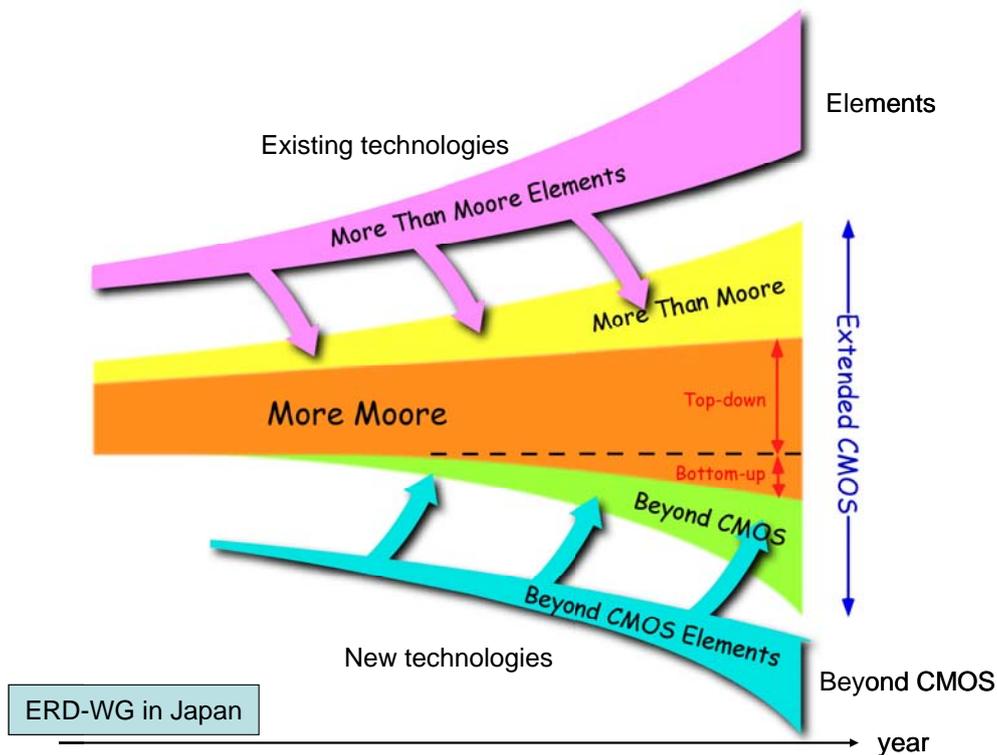
現状では当然のことながら集積デバイスとしては CMOS が中心であり、さらに新材料や新構造の導入により発展することが期待される。このような CMOS の延長技術は、「More Moore」と呼ばれることがある。これまで CMOS デバイスは、リソグラフィとエッチング等を用いたいわゆる「トップダウン」的プロセスで作製されてきた。一方、将来を見渡すと、リソグラフィの依存しないいわゆる「ボトムアップ」的な自己形成技術を利用したナノワイヤ FET やナノチューブ FET が実現される可能性がある。これらは発展途上の研究課題であるが、もしナノチューブトランジスタが実現されたとすると、動作原理は CMOS と同じ FET であるので、これらも More Moore に分類されるべきである。

(b) Beyond CMOS

一方、CMOS とは全く異なる原理で動作するデバイスもある。たとえば、CMOS のような電荷ベースとは異なり、スピンや分子などを状態変数とするデバイスである。これらはいわゆる Non-charge device である。これらのでばいすは CMOS を超えることをもくてきとするので、「Beyond CMOS」と呼ばれる。

(c) More Than CMOS (New Functions Added to CMOS)

一方、上記 2 つの技術の流れに属さない新しい可能性も存在する。それが CMOS への新機能追加の考え方であり、「More Than Moore」と呼ばれることが多い。CMOS では不可能な新しい機能を、新技術との融合により付加する。ここでは、あくまで基盤は CMOS 技術であり、CMOS 技術に新しい技術が融合する。融合する技術は、MEMS やセンサのような既存の技術でも良いし、新規デバイスでもよい。



図表 15-5 Extended CMOS のビジョンマップ

More Moore、More Than Moore、Beyond CMOS の関係を表している。

昨年度作成したこの図表 15-5 では、中心に More Moore が基盤技術として存在し、それが将来的に基盤であり続けることを示している。一方、MEMS やセンサ等の新技術(これを More Than Moore Elements と呼ぶ)が CMOS と融合し、”More Than Moore”という新しい技術体系が CMOS 基盤技術に付加されることを示している。

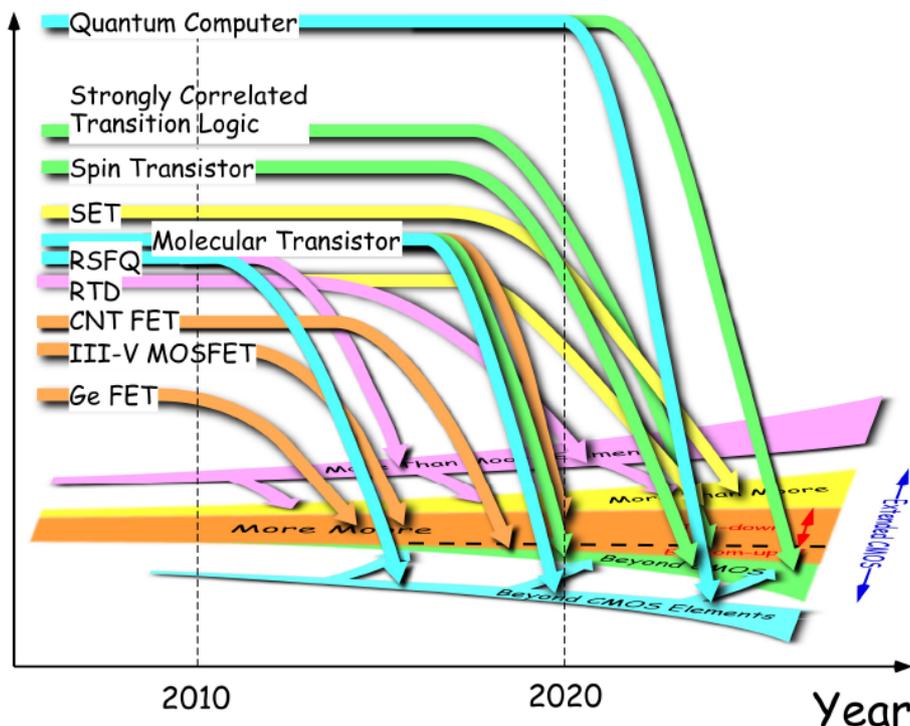
一般に Beyond CMOS は、CMOS を超えしかもそれ自体が単独で集積されるデバイスを意味する。しかし本 WG では、Beyond CMOS もスピンや分子等の Beyond CMOS Elements が CMOS と融合し、”Beyond CMOS”という新しい技術体系を構成すると考えた。但し、Beyond CMOS Elements の一部は CMOS と融合せず、単独で集積デバイスを構成する可能性も残されているので、これらの単独技術も Beyond CMOS として図に残してある。More Than Moore と Beyond CMOS を合わせた More Moore の基盤 CMOS 技術は、あらゆる技術が CMOS に融合したもので、”Extended CMOS”と呼ぶべき将来の究極の CMOS の姿であると考えられる。アプリケーションによって必要な技術がさまざまに形を変えて集積化されるものと思われる。

15-5-2 ビジョンマップへの重要ロジック技術のマッピング

今年度は、この Extended CMOS のビジョンマップにロジックデバイス技術のマッピングを行った。その結果を図表 15-6 に示す。マッピングにあたっては、図表 15-5 のマップをもとにし、三次元的に各ロジックデバイス技術を追加した。ここで、縦軸は、各技術の「Beyond 度合い」を表す。すなわち、CMOS 基盤技術に親和性の高い技術ほど下に、CMOS 基盤技術から遠い新技術ほど高い位置に描かれている。また、各技術から出ている帯が水平に伸びている期間は研究期間を表す。この帯が下に向かって折れ曲がる時期が実用化判明時期、下の Extended CMOS のグラフに到達する時期が実用化時期を表す。さらに、帯が到達した箇所がその技術の位置づけを示している。帯の色は、実用化した場合のその技術の位置と同じ色とした。

ロジックデバイス候補として、Ge FET、III-V 族 MOSFET、カーボンナノチューブ FET、共鳴トンネルデバイス、分子トランジスタ、単電子トランジスタ、スピントランジスタ、強相関遷移ロジック、量子コンピュータをプロットしてある。Ge FET、III-V 族 MOSFET、カーボンナノチューブ FET は、まさしく More Moore の延長技術と考えられ、Beyond 度合いは低く、実用化判明時期も比較的早いと予測される。したがって、帯の色は More Moore と同じオレンジであり、実用化時期は 2015-2020 年ころとした。一方、共鳴トンネルデバイスや単電子トランジスタは、単独では集積化情報処理デバイスとして実用化することが難しいと考えられ、むしろ More Moore に融合して新機能を追加する働きをすることが予測されることから、黄色の More Than Moore のところに到達するとした。スピントランジスタや強相関遷移ロジックは、やはり単独で集積化情報処理デバイスとして実用化することは難しいと考えられる。そこで、CMOS と融合する Beyond CMOS デバイスに分類し、黄緑色の帯とした。

これらの新ロジックデバイスの技術体系は、研究の進展とともに変化していくことが予測され、このビジョンマップも毎年更新していくことが望ましい。



図表 15-6 各ロジックデバイス技術を含んだ Extended CMOS のビジョンマップ

15-5-3 メモリデバイスのビジョンマップ

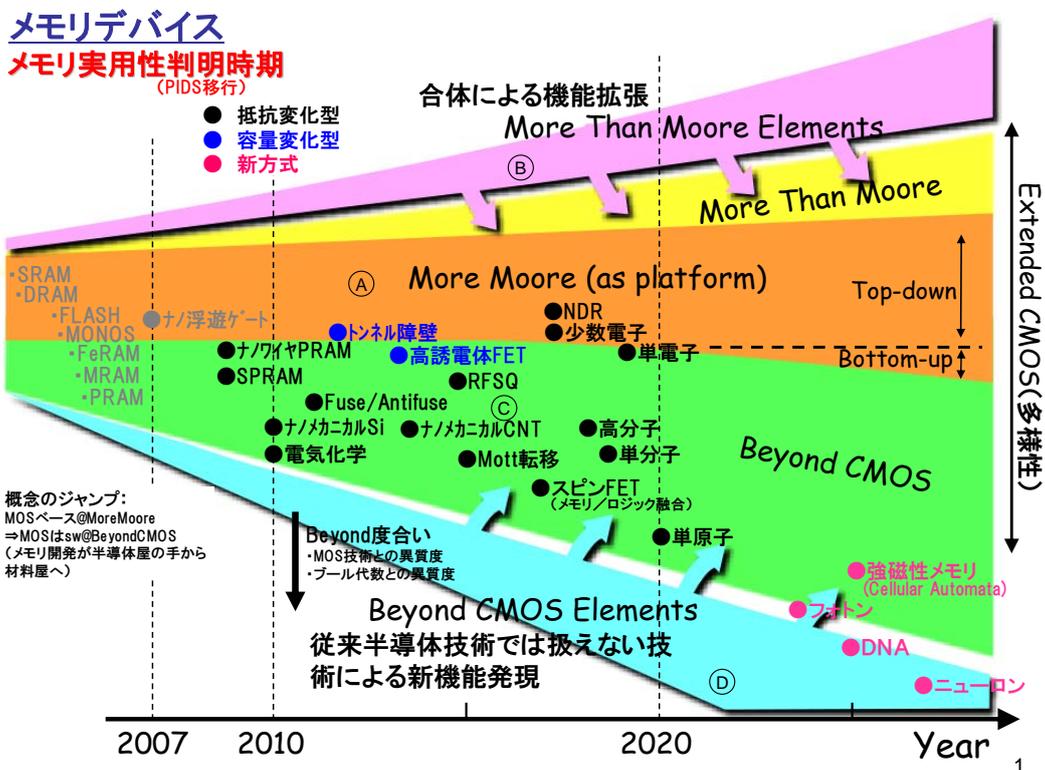
また、ERD メモリに対し、More Moore (MM)、More than Moore (MtM)、Beyond CMOS (BeC)の観点で各種 ERD メモリの実用化判明時期の検討を行い、マップ上にプロットした。その結果を図表 15-7 に示す。ここでの実用化時期とは、ERD から PIDS への移行時期を指す。ITRS2007 掲載のメモリの他に、ロジックとして取り

上げられたデバイスも、それをラッチすればメモリとして機能するとの考えから、いっしょにプロットしてある。プロットした ERD メモリは、ITRS2007 における分類に則り、既存メモリの発展系となる ERD メモリは容量ベース型と抵抗ベース型に分け、一方、これらのメモリとは異なる新たな動作原理・状態変数・アーキテクチャに基づくメモリは新方式型として分けた。

本メモリビジョンマップでは、従来 CMOS 技術の延長技術で対応できるものを MM、手に負えない新材料・新原理が入ってくるもの、すなわち、従来半導体技術では扱えない技術による新機能発現は BeC と定義してある。実務的感覚に合う表現であろう。MtM は、各種半導体・LSI 技術の組み合わせによる機能拡張と定義される。ERD メモリは、上記定義によれば MM あるいは BeC にプロットされ、MtM 領域へのプロットはないと思われる。

今回のビジョンマップにおけるもう一つの特徴は、時間軸と直交してロジックと同様に「Beyond 度合い」を示したことである。Beyond 度合いとは、各 ERD メモリが、材料・プロセス・アーキテクチャの観点から、Si(CMOS) 技術からどのくらいはずれているか、その異質度を示したものである。総じて、遠い未来のメモリほど、Beyond 度は高くなる傾向があるのは自然であろう。2020 年台後半にプロットされている新方式メモリ群は、状態変数が電子以外であり、構造も材料も、さらに、動かすためのアーキテクチャも、既存メモリの延長上にはないものであり、Beyond 度は高い。一方、たとえばメカニカル型のようなメモリは従来の純電氣的駆動のメモリとは一線を画すものであり、比較的近未来において実用化判断ができると考えられても、その Beyond 度は大きく設定される。

従来、メモリは、Si(CMOS)屋が主導してきたものである。SRAM、DRAM はもちろん、フラッシュ、MONOS が代表例である。ところが、FeRAM、MRAM、PMOS のような、新規材料をメモリ素子として使うデバイスが登場するようになると、もはや彼らの手には負えなくなり、開発の主導権は材料屋に移ることとなった。これがすなわち、メモリにおける MM から BeC への展開である。新材料やそれに関わる特殊プロセスが標準 CMOS の中に組み込まれ、やがてそれを含めて CMOS 標準と認知されるに至れば、やがて各種 BeC のメモリ群も MM とみなされることとなる。CMOS platform は懐が深く、新たな材料・プロセス技術を貪欲に取り込んでその可能性・多様性を広げ、さらなる発展をしていくことが期待される。



図表 15-7 メモリデバイス技術をマッピングしたビジョンマップ

15-6 Research Needs の議論

WG-12(ERD)では、INC 参加の IPWGN で議論しているナノエレクトロニクスの Research Needs に関しても議論を行った。米国では、NRI(Nanoelectronics Research Initiative)が中心となって、Beyond CMOS の 13 の Research Needs を決定した。このうち、最初の 6 つの Research Needs は、ITRS ERD の 2007 年版に”Guiding Principles”として記載されている。この 6 つの Guiding Principles は下記のとおりである。

1. 電荷以外の状態変数を用いた情報処理
2. 熱平衡以外で動作するデバイス
3. 電磁気によらない情報伝達(インターコネクト)
4. 熱伝導のためのフォノンのエンジニアリング
5. セルフアセンブリによるナノ構造作製
6. 新アーキテクチャ(ブール関数以外によるデバイス)

今年度、WG-12(ERD)では、日本独自の Research Needs を検討し、下記の 3 項目を挙げることにした。

- (1) 新機能構造・新機能材料を CMOS に付加して CMOS 回路に新しい機能を付加する新機能回路
- (2) 従来デバイスによる新アーキテクチャ
- (3) 脳の情報処理・記憶のメカニズムに学ぶ新たなアーキテクチャ(記憶できる素子の開発とその回路網構築ならびに同回路網を動かすためのアーキテクチャ作成)

今後は、新メモリや More Than Moore についても Research Needs の議論を行い、日本が注力すべき研究領域を明らかにしていく予定である。

15-7 その他

2007 年版の ERD メモリの記述に対しては、以下の問題点を指摘した。

- ・ERD から PIDS へ移行させる際の判断基準の明確化。
- ・抵抗ベース型メモリの分類については再度、議論が必要。たとえば、Ionic memory と Fuse/Anti-fuse memory の分けがはっきりしない。どちらも MIM 構造で、I(絶縁膜)における金属フィラメント形成と分解が ON/OFF 動作の(推定)基本原理。その意味では、分子メモリの一部も、これらに含まれる。今回の分類法(taxonomy)では、I(絶縁材)の種類による分類と動作原理による分類がオーバーラップしている感がある。また、従来 RRAM あるいは ReRAM と呼ばれているメモリはモット転移型と Fuse/Anti-fuse 型に入れられているが、その動作原理を考えるに、より望ましい分類名称があると思われる。

15-8 まとめと今後の課題

平成 19 年度の WG-12 (ERD)の活動内容を紹介した。ITRS の ERD の章は 2005 年版で従来のノンクラシカル CMOS 中心の考え方から、CMOS を凌駕する Beyond CMOS の考えに大きく棍を切った。ところが、議論を重ねるうち、CMOS を凌駕する情報処理デバイスは簡単に実現しないことがますます明らかとなり、2007 年版では、新原理・新材料デバイスの基礎研究の重要性を認識しつつも、CMOS 技術と新デバイスの融合の考え方が支配的となった。これはもともと日本が提唱していた考え方であり、WG-12 の意見が ITRS の ERD に反映された結果といえる。

一方、WG-12 (ERD)では、独自に作成した Extended CMOS のビジョンマップをもとに、ロジックデバイスのマッピングとメモリのビジョンマップを作成した。そこでも、新技術と CMOS 技術の融合の流れが目に見える形で

表されるよう工夫した。平成 20 年度は、いわゆる Beyond CMOS 分野だけでなく、More Than Moore やアーキテクチャ分野のビジョンマップ作成に取り組み、我が国が力を入れるべき重要分野を明らかにしていく予定である。