

## 第 2 章 WG1 設計

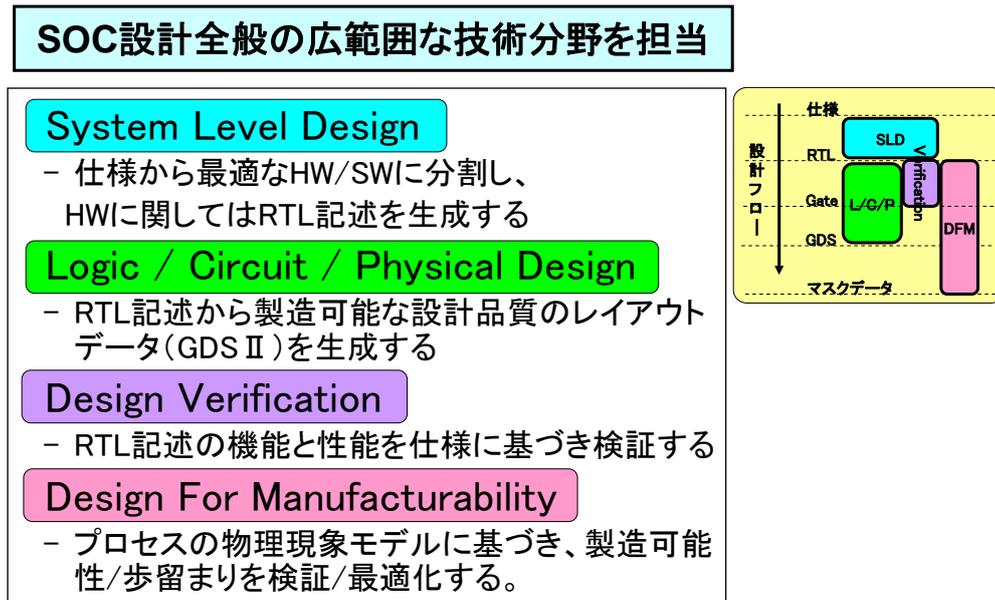
### 2-1 はじめに

WG1(設計 WG)は、国際活動として、ITRS の System Drivers 章と Design 章を担当している。また、国内活動として、①SOC(System On a Chip)の構造・規模を時間軸で定量化し、ロードマップ検討の基礎として提示する活動と、②設計技術課題を時間軸で定量評価し、解決策を提示する、所謂、「設計技術ロードマップ」作成の活動を中心に取り組んでいる。これらの活動を通して、ITRS ロードマップの SOC 設計に与える影響を定量化し、発信することにより、ロードマップ見直しのきっかけをつくることや EDA 自動化技術での設計技術革新の加速を支援することを目的としている。

設計の範囲は、SOCの「仕様」から「製造可能なマスクデータ」を作成するまでの広範囲な一連の設計作業工程の技術分野であり、図表 2-1 に示すように、ITRS では、SLD(System Level Design)、L/C/P(Logic/Circuit/Physical Design)、Design Verification、DFM(Design for Manufacturability)、DFT(Design For Test)の 5 つの枠組みで構成される。

WG1(設計 WG)はこのうち、SLD、L/C/P、Verification、DFMを範囲としており、DFTについてはWG2が担当することになっている。

### 設計WGの範囲



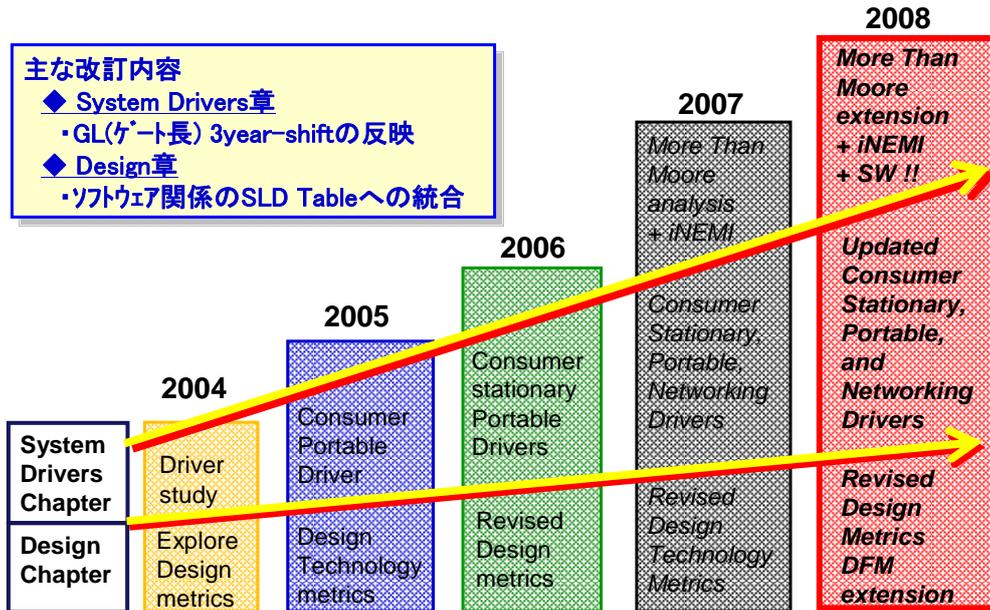
図表 2-1 WG1 設計の範囲

2008 年度活動として、一つは国際担当を中心とした国際活動を行い、ITRS2008 の改定に対して貢献を行った。また、国内活動は、「SOC の低消費電力設計技術の課題と解決策」というテーマで活動を行った。

### 2-2 国際活動(ITRS2008 の改定内容)

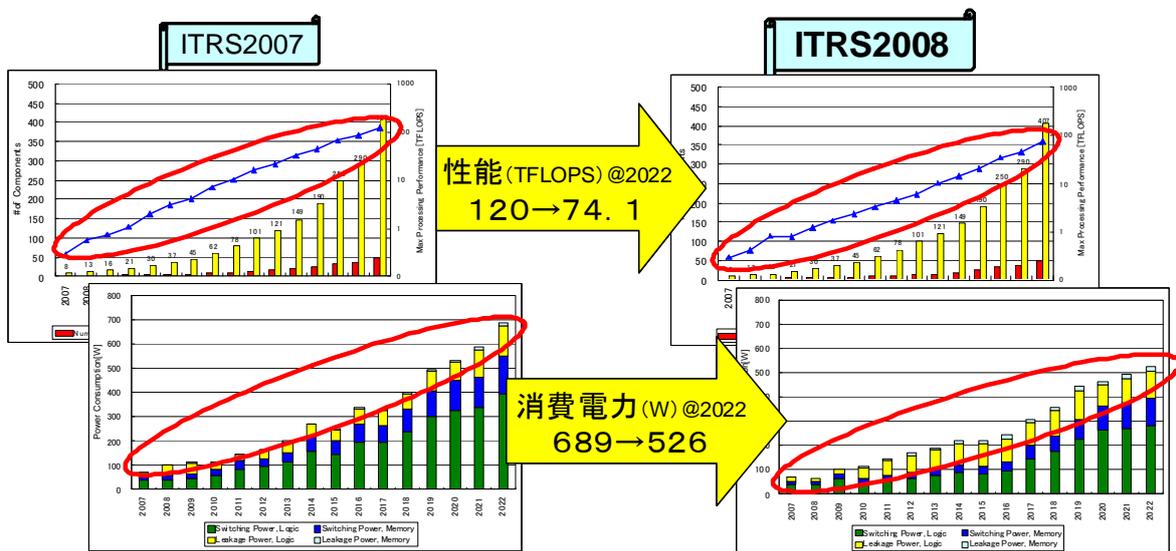
ITRS2008 で改訂された System Drivers 章と Design 章の概要を紹介する。ITRS2008 の改定において、図表 2-2 で示したように System Drivers 章では、ITRS の半導体プロセス微細化トレンドの中の GL(ゲート長)の 3 年シフトの反映を行った。また、Design 章では ITRS2007 から追加されたソフトウェアに関する記述の整理を行った。

# ITRS2008 Overview



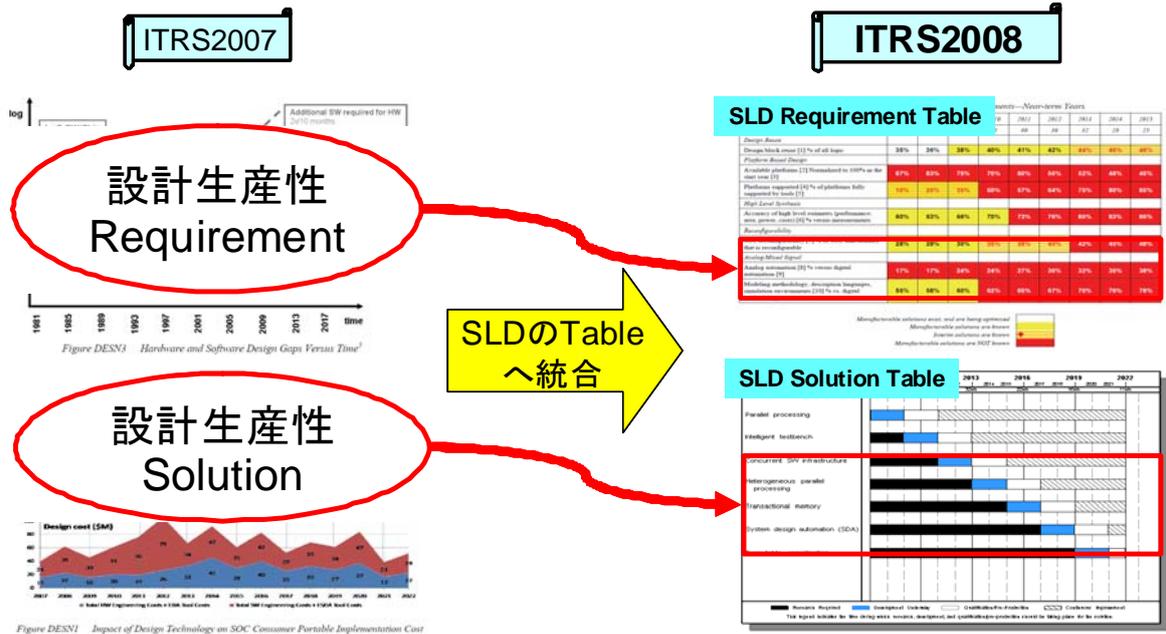
図表 2-2 ITRS2008 の System Drivers 章と Design 章の主な改定内容

System Drivers 章での GL(ゲート長)の3年シフトの対する具体的な影響(改定内容)として、MPU の周波数トレンドに関する記述としての修正は必要なかったが、SOC モデルでは、例えば、図表 2-3 に Consumer Stationary SOC で示したような影響が出るようになった。



図表 2-3 GL の 3 年シフトの影響(SOC Consumer Stationary の場合)

Design 章においては、図表2-4 に示したように、ITRS2007 では図として散在していたソフトウェア設計生産性に関する記述を SLD の Requirement Table と Solution Table に整理統合した。



図表 2-4 ソフトウェア設計生産性記述を SLD の Table に統合

設計 WG からの ITRS2008 への具体的な貢献内容としては、System Drivers 章の Consumer Portable SOC と Consumer Stationary SOC の各種テーブル数値の見直し(GL の 3 年シフト対応など)がある。

## 2-3 国内活動

### 2-3-1 背景

設計 WG と旧設計タスクフォースにおいて、過去に「消費電力」という観点では、次のような活動を行ってきた。

- ・ 低電力 SOC の消費電力の見積もり(2003 年度:旧設計タスクフォース)
- ・ 旧設計タスクフォースでの見積もり式を用いて Consumer Portable SOC で消費電力トレンドを見積もり(2005 年度:設計 WG)
- ・ Consumer Stationary SOC での消費電力トレンドの見積もり(2006 年度:設計 WG)

これらの活動も踏まえて、今年度は「SOC の消費電力」というテーマで以下の活動を行った。

- ① 最近のアーキテクチャトレンドを反映した Consumer Portable SOC モデルの見直し
- ② 設計生産性に対する低消費電力設計技術の課題解決策のロードマップ作成

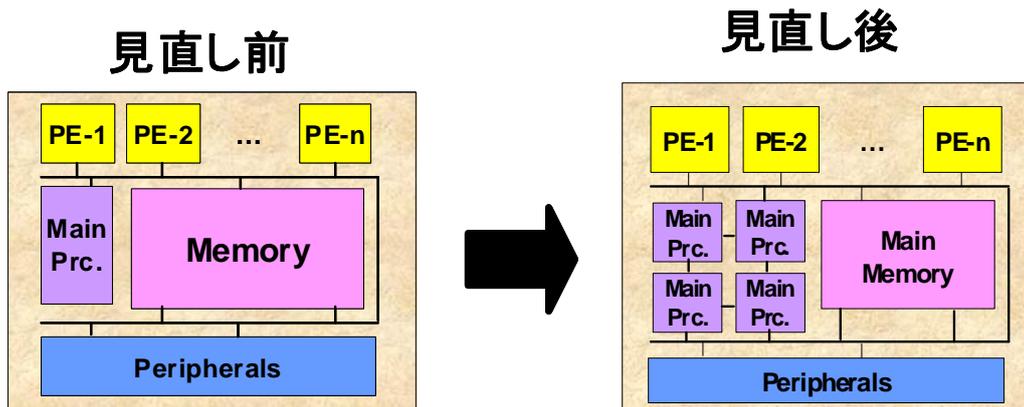
特に②に関しては、SOC 設計において、低消費電力化のために多種多様な技術を適用していくことになるが、その結果、設計が複雑になり、設計生産性に影響を与えることになるので、低消費電力化と設計生産性向上を両立するためには、どういう技術開発が必要かという切り口でロードマップに整理する活動を行った。

### 2-3-2 Consumer Portable SOC モデルの見直し

本節では、Consumer Portable SOC モデルの見直しの活動について報告する。

最近の技術動向の調査や WG への参加企業へのヒアリングを通して、アーキテクチャ構造と数値パラメータの見直しを行った。

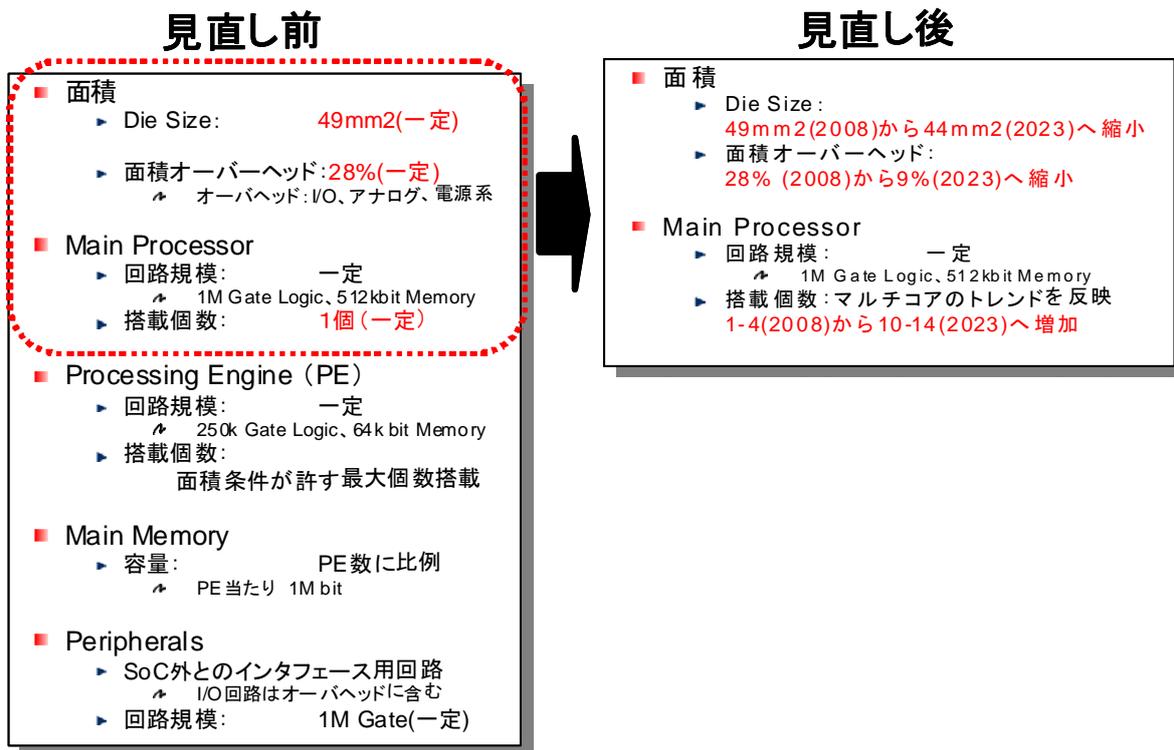
アーキテクチャ構造としては、最近のマルチコア化のトレンドを反映して、Main Processor の搭載個数が年々増加していく構造に変更した。(図表 2-5)



図表 2-5 Consumer Portable SOC のアーキテクチャ構造の見直し内容

数値パラメータとしては、Main Processor 搭載個数に加えて、Die Size と I/O・アナログ・電源系などの面積オーバーヘッドの数値を見直した。(図表 2-6)

Die Size は従来の  $49\text{mm}^2$  の固定から、小面積化による低消費電力化などを考慮し、縮小するトレンドへ変更した。面積オーバーヘッドも従来の 28%での固定から、アナログのデジタル化や別チップ化(SIP 化)などを考慮して、割合を削減していくトレンドに変更した。



図表 2-6 Consumer Portable SOC の数値パラメータの見直し内容

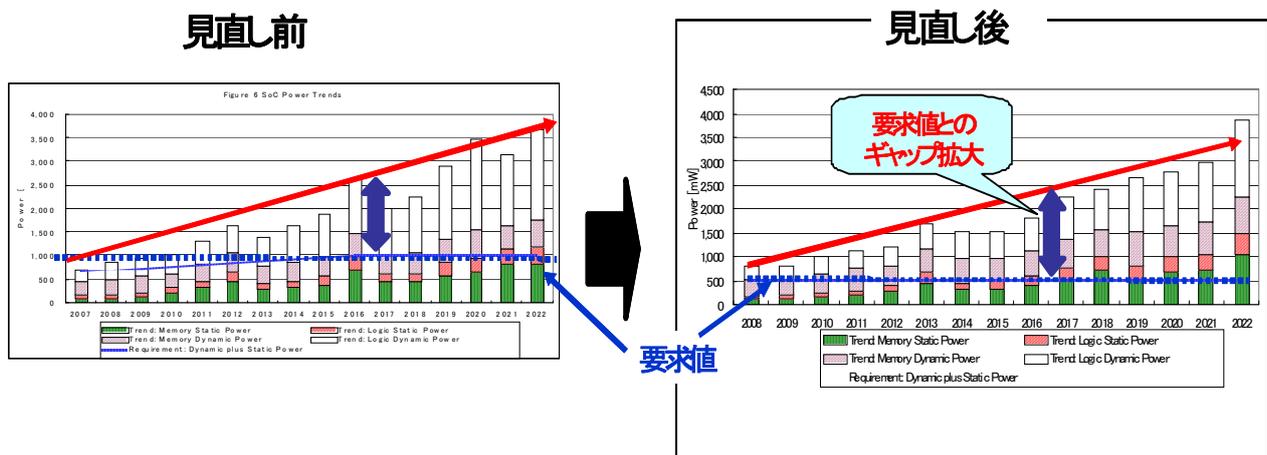
以上の内容をテーブルにしたものを図表 2-7 に示す。

	2007	2008	2009	2010	2011	2012	2013	2014	2015
	hp65			hp45			hp32		
Requirement Power Consumption(mW)	500	500	500	500	500	500	500	500	500
SOC die size(mm2)	49	49	48	48	48	47	47	47	46
#of Main Processors	1	1 - 4	1 - 4	1 - 4	2 - 6	2 - 6	2 - 6	4 - 8	4 - 8
#of Main Processors(mean value)	1	2	3	4	5	5	6	7	7
Area Overhead (%)	25	24	23	22	21	20	19	18	17

	2016	2017	2018	2019	2020	2021	2022	2023
	hp22			hp16				
Requirement Power Consumption(mW)	500	500	500	500	500	500	500	500
SOC die size(mm2)	46	46	45	45	45	44	44	44
#of Main Processors	4 - 8	6 - 10	6 - 10	6 - 10	8 - 12	8 - 12	10 - 14	10 - 14
#of Main Processors(mean value)	8	9	9	10	11	11	12	13
Area Overhead (%)	16	15	14	13	12	11	10	9

図表 2-7 見直し後の Consumer Portable SOC のアーキテクチャプロフィール

次に見直し後の新しい SOC モデルで消費電力のトレンドを再計算したものを図表 2-8 に示す。なお、今回の SOC モデル見直しに際して、消費電力の要求値も最近の「エコロジー重視」の動向を反映して、従来の 1.0W を 0.5W に半減した。



図表 2-8 Consumer Portable SOC の消費電力トレンド

図表 2-8 を見てわかるように、見直し前後とも、消費電力トレンドは、年々要求値とのギャップが大きくなり、設計技術革新による低消費電力化が急務である。

なお、消費電力の計算の方法は、旧設計タスクフォースが 2003 年度に取り組まれたものを用いており、図表 2-9 に示したように「Logic Dynamic Power」、「Logic Static Power」、「Memory Dynamic Power」、「Memory Static Power」の 4 つに分割して計算している。より詳細は、旧設計タスクフォースの 2003 年度の活動報告書を

参照していただきたい。

	概要	計算式
Logic Dynamic Power	<ul style="list-style-type: none"> <li>・High Speed部とLow Speed部に分けて算出し、その合計として求める</li> <li>・High Speed Logic部とは、Main Processor + PE</li> <li>・Low Speed Logic部とは、Peripheral Circuit</li> <li>・Gate当たりのDynamic Powerとゲート数の積で算出</li> </ul>	<ul style="list-style-type: none"> <li>・(Logic部のDynamic Power) = (High Speed Logic部のDynamic Power) + (Low Speed Logic部のDynamic Power)</li> <li>・(High Speed Logic部のDynamic Power) = (High Speed Logic部のGate当たりDynamic Power) × (High Speed Logic部のGate数)</li> <li>・(Low Speed Logic部のDynamic Power) = (Low Speed Logic部のGate当たりDynamic Power) × (Low Speed Logic部のGate数)</li> </ul>
Gate当たりのDynamic Power	<ul style="list-style-type: none"> <li>・初期値(2007年におけるGate当たりDynamic Power)を①とし、②の比例関係からGate当たりDynamic Powerを算出</li> </ul>	<ul style="list-style-type: none"> <li>①初期値: 2007年におけるGate当たりDynamic Power</li> <li>・High Speed Logic部 : 4.55E-08W</li> <li>・Low Speed Logic部 : High Speed Logic部の25%</li> <li>②計算式</li> <li>・(Gate当たりDynamic Power) ∝ (Wire Capacitance per Net) × (Power supply voltage) × (1/τ)</li> <li>- 負荷容量は配線容量が支配的であると想定</li> <li>・(Wire Capacitance per Net) ∝ (Wiring Pitch) × (K)</li> <li>- Net当たりの配線容量はIntermediateのPitchとKの積に比例</li> <li>- 比例縮小により単位長さ当たりの容量は一定だが、pitchに比例して配線長が減少</li> <li>・1/τ : 動作周波数はτ (PIDSのIntrinsic delay, τ)に反比例すると想定</li> <li>- Low Speed部の動作周波数はHigh Speed部の25%と設定</li> <li>・4.55E-08Wは設計TFのモデルから逆算して算出</li> <li>※動作率、クロックゲーティングなどは、2007年から一定(設計技術は変化無し)を想定</li> </ul>
Logic Static Power	<ul style="list-style-type: none"> <li>・Gate当たりのLeakage Powerとゲート数の積でLogic Static Powerを算出</li> <li>・High Speed部とLow Speed部には分離しない。</li> </ul>	<ul style="list-style-type: none"> <li>(Logic部のLeakage Power) = (Logic部のGate当たりLeakage Power) × (Logic部のGate数)</li> </ul>
Gate当たりのLeakage Power	<ul style="list-style-type: none"> <li>PIDSの下記パラメータを用いて、NAND 1ゲート当たりの2種のLeakage Powerを求め、その合計値をGate当たりLeakage Powerとする</li> <li>①Source/Drain Sub-threshold Off-State Leakage Drain Current</li> <li>②Maximum Gate Leakage Limit</li> </ul>	<ul style="list-style-type: none"> <li>・(Sub-threshold Leakage Power) = 9.63 × (Gate length) × (Source/Drain Sub-threshold Off-State Leakage Drain Current) × (Power supply voltage)</li> <li>・(Gate Leakage Power) = 5.25 × (Gate length)<sup>2</sup> × (Maximum Gate Leakage Limit) × (Power supply voltage)</li> <li>※PIDSの示す(Source/Drain Sub-threshold Off-State Leakage Drain Current)、(Maximum Gate Leakage Limit)は、「25°C、パルクキ無し」を前提とした値であり非現実的。</li> </ul>
Memory Dynamic Power		<ul style="list-style-type: none"> <li>初期値: 2007年におけるDynamic Power = 300mW</li> <li>①メモリの動作電力 ∝ [配線容量 × 電圧の二乗 × 動作周波数]</li> <li>②動作周波数 ∝ 1/ゲート遅延</li> <li>③配線容量 ∝ K × 配線ピッチ × SQRT(メモリ容量)</li> </ul>
Memory Static Power	<ul style="list-style-type: none"> <li>Bit当たりのLeakage Powerとゲート数の積で算出</li> </ul>	<ul style="list-style-type: none"> <li>(Memory部のLeakage Power) = (Memory部のBit当たりLeakage Power) × (Memory部のBit数)</li> </ul>
Bit当たりLeakage Power	<ul style="list-style-type: none"> <li>PIDSの下記パラメータを用いて、Memory Cell当たりの2種のLeakage Powerを求め、その合計値をBit当たりLeakage Powerとする</li> <li>①Source/Drain Sub-threshold Off-State Leakage Drain Current</li> <li>②Maximum Bit Leakage Limit</li> </ul>	<ul style="list-style-type: none"> <li>・(Sub-threshold Leakage Power) = 3 × (2 × Source/Drain Sub-threshold Off-State Leakage Drain Current) × (Gate length) × (Power supply voltage)</li> <li>・(Gate Leakage Power) = 2 × (Maximum Bit Leakage Limit) × (Gate length)<sup>2</sup> × (Power supply voltage)</li> </ul>

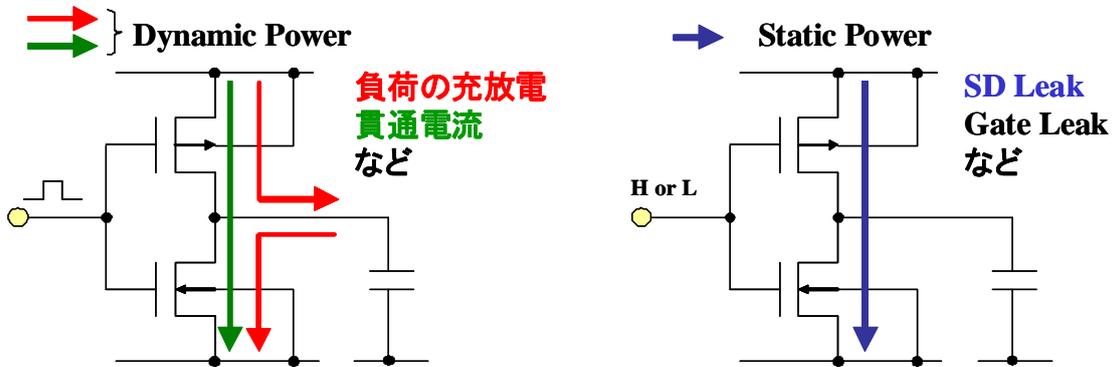
図表 2-9 消費電力トレンドの計算方法

### 2-3-3 低消費電力設計とは？

低消費電力設計技術の話の前に、低消費電力設計の基本的な内容・考え方を確認する。図表 2-10 に CMOS の消費電力の計算式を示す。消費電力は、この式のように、スイッチング電力を中心とした Dynamic Power とリーク電力を中心とした Static Power から構成されており、最近のプロセスの微細化に伴い、SOC 設計においてもリーク電力の低減が大きな課題になっている。

$\text{消費電力} = \frac{1}{2} \cdot \alpha \cdot C_L V_{dd}^2 f$	スwitching電力	}	Dynamic Power
$+ \alpha \cdot V_{dd} I_{cell} f$	貫通電力		
$+ V_{dd} \cdot I_{leakage}$	リーク電力	}	Static Power
$+ V_{dd} \cdot I_{DC}$	DC電力		

$\alpha$ : 動作率  
 $C_L$ : 負荷容量  
 $V_{dd}$ : 電源電圧  
 $f$ : 動作周波数  
 $I_{cell}$ : セル内貫通電流  
 $I_{leakage}$ : Leak電流  
 $I_{DC}$ : 定常電流



図表 2-10 CMOS の消費電力計算式

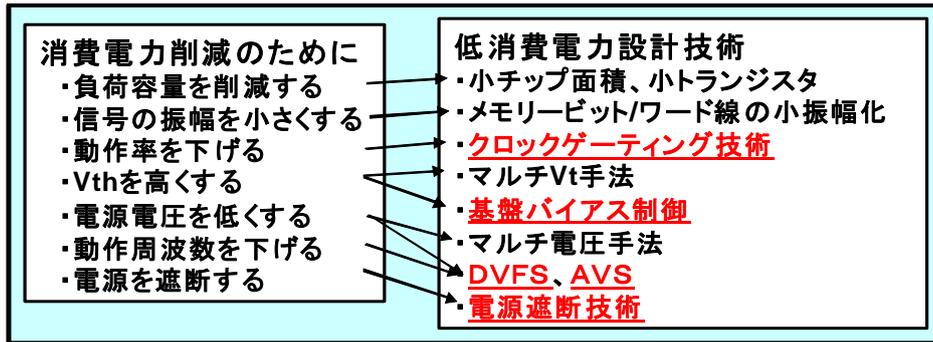
消費電力を削減するということは、簡単にいうと「動作の無駄をなくす」ことで、「無駄な動作を削減する」「無駄に速い部分を遅くする」といったことになる。

具体的には、上の計算式でわかるように、Dynamic Power を削減するためには、「負荷容量の“CL”を削減する」、「信号の振幅に相当する“Vdd”を小さくする」、「電源電圧の“Vdd”を低くする」、「動作率の“ $\alpha$ ”を下げる」、「動作周波数の“f”を下げる」必要がある。一方、Static Power を削減するためには、「閾値電圧の“Vth”を高くする」、「電源電圧“Vdd”を低くする」、「電源を供給しないように遮断する」必要がある。

### 2-3-4 低消費電力設計技術の概説

図表 2-8 で示したような SOC の消費電力トレンドと要求値のギャップを埋めるためには、様々な低消費電力化のための設計技術を駆使する必要がある。消費電力削減するためのいろんな施策を実現する技術として、図表 2-11 のようないろんな低消費電力設計技術が提案され、実用化が進んでいる。

しかし、このような低消費電力化のための技術は、SOC の設計を複雑化し、設計工数の増大といった設計生産性への影響が大きくなっていく。



図表 2-11 低消費電力設計技術

そこで、我々は、設計生産性との両立を目指して、設計生産性の観点で、低消費電力設計技術の課題と解決策をロードマップとして整理する取り組みを行った。特に今回は、低消費電力設計技術の中でも、特に設計生産性に影響が大きい技術ということで、「クロックゲーティング」、「基盤バイアス制御」、「DVFS」、「AVS」と「電源遮断」の 5 つの技術に注力して取り組んだ。

まず、これらの 5 つの技術の内容と設計生産性への影響(設計複雑度)をそれぞれ説明する。

①クロックゲーティング

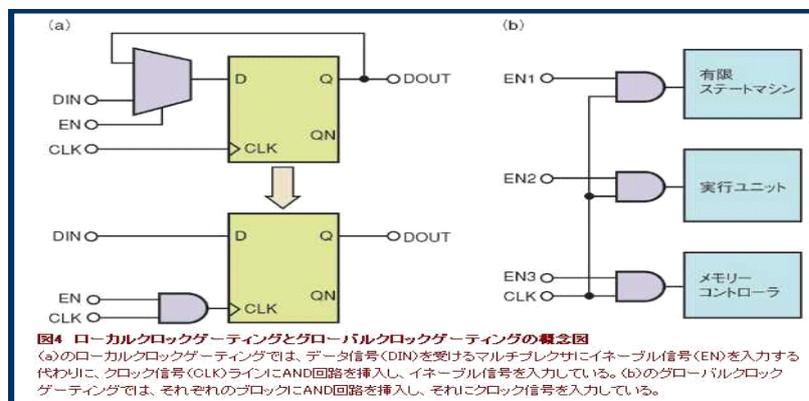
●技術説明

この技術は、動作していない回路へのクロック供給を停止する技術である。図表 2-12 の図の左側のように、レジスタレベルでクロックを部分的に止める「ローカルクロックゲーティング」と、右側のように、もっと大きなブロックレベル単位でクロック供給を停止する「グローバルクロックゲーティング」がある。

クロックゲーティングにより、動作時のスイッチング電力を削減することができ、図表 2-13 のように、この技術により電力を 1/5 にしたという報告もされている。

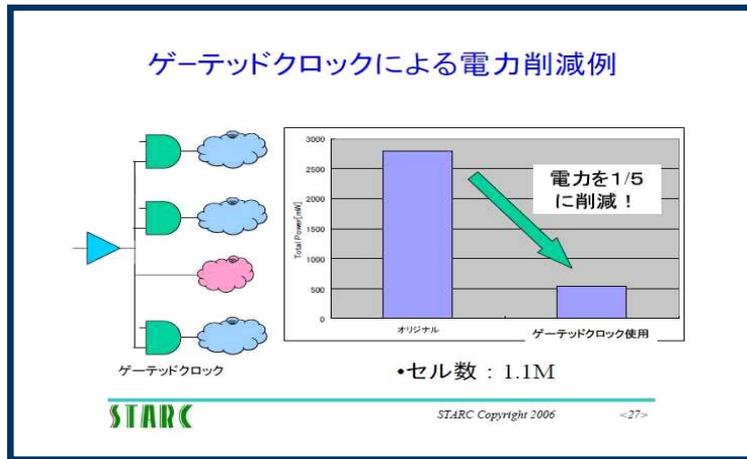
●設計複雑度(設計生産性への影響)

設計生産性への影響という観点では、クロックにグリッチが発生しやすくなるので、その回避回路を挿入する必要があるたり、ゲーティング回路が付加されることでその部分のテストをどうするかといった課題がある。また、より最適な形でクロックをゲーティングしようとする、そのために回路を手で解析する必要があり、余計な工数が発生する。



出典: EDN Japan 「低消費電力LSIの設計技術」  
<http://www.edn-japan.com/issue/2007/09/u3eqp30000014qs1.html>

図表 2-12 クロックゲーティング技術(1)



出典:EDSF2006技術動向セミナー  
 「サブ100ナノメータSOCで低消費電力設計を成功させる」  
<http://www.edsfair.com/2006/special/pdf/tokusetsu26-1.pdf>

図表 2-13 クロックゲーティング技術(2)

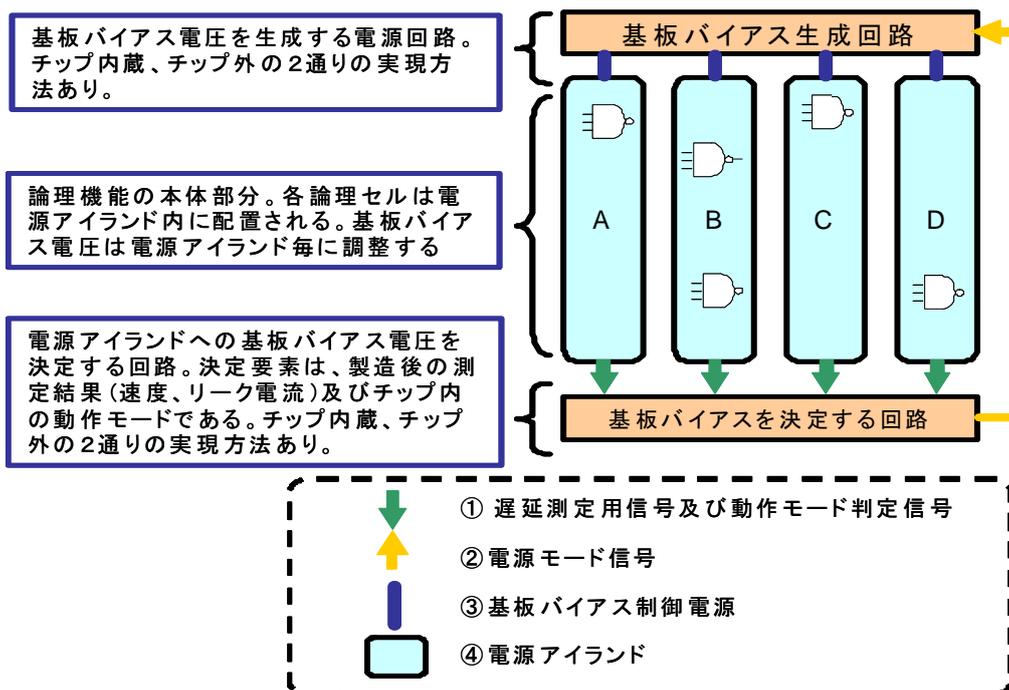
②基盤バイアス制御技術

●技術説明

この技術は、図表 2-14 に示したように、製造仕上がりに応じて、基盤バイアスを制御して閾値電圧の  $V_{th}$  を最適化する技術である。速度に余裕があれば、極力  $V_{th}$  を高めて、それにより、動作時のリーク電力を削減することができる。

●設計複雑度(設計生産性への影響)

設計複雑度への影響としては、速度余裕度を計測し、基盤バイアスを制御する機構を電源アイランド毎に如何に効率よく組み込むことができるか？また、効果を最大化するためのセル配置やクロックツリーを如何に効率よく生成できるか？さらに、基盤バイアス制御によりクリティカルパスが変動することになるが、それを考慮した At Speed テストをどうするか？といったものが考えられる。



図表 2-14 基盤バイアス制御技術

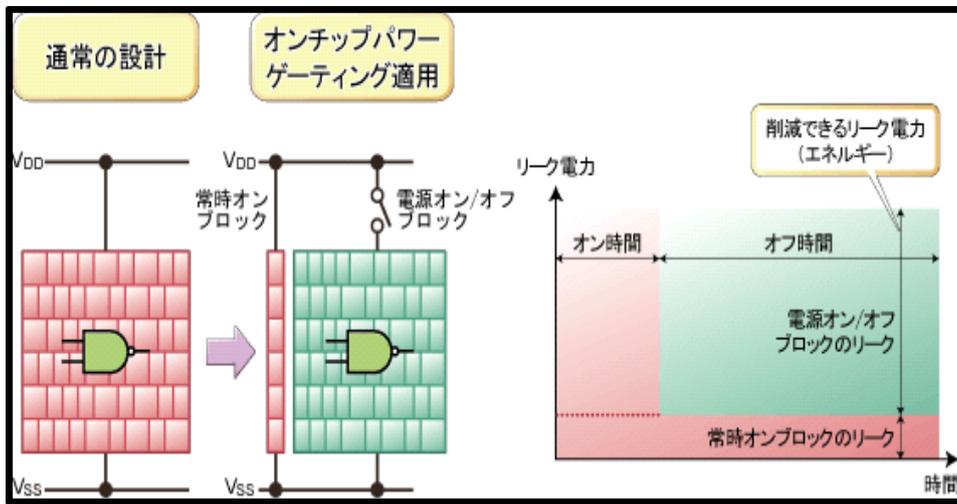
③電源遮断(パワーゲーティング)技術

●技術説明

この技術は、名前の通り、電源供給を制御するスイッチで、休止中のブロックへの電源供給自体を遮断することにより、待機時のリーク電力を削減するものである(図表 2-15)。電源遮断用のスイッチをLSI内部に搭載するものを「オンチップパワーゲーティング」と呼び、その実現手段として「MTCMOS」などがある。

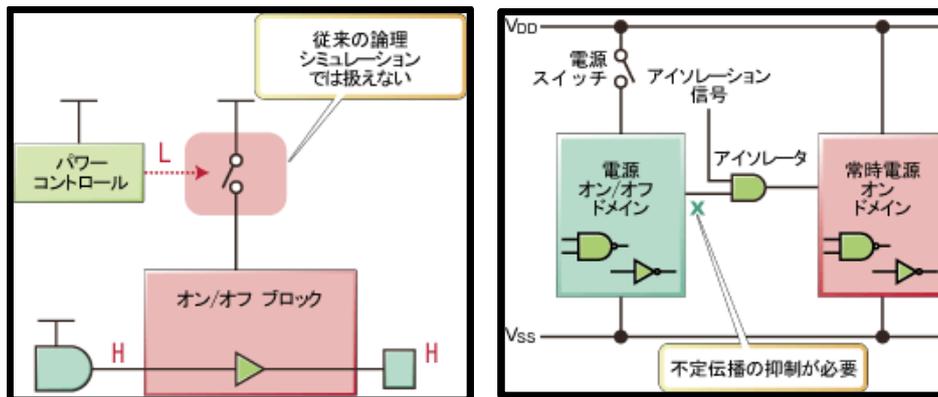
●設計複雑度(設計生産性への影響)

リーク電流を全くなくせるという大きな効果がある技術だが、電源オン・オフに対するSOCの動作シーケンスをキチンと確認する論理検証を追加する必要がある。また、図表 2-16 のように、電源アイランド間に電源オフブロックからの不定信号が伝播しないようにアイソレータを挿入する工程が増えたり、それが正しいかを検証・確認する必要もある。また、パワーオン時の突入電流を抑制したり、場合によっては、データ回避のためのリテンション回路の追加工数が余分に発生する。



出典：富士通マイクロエレクトロニクス「低消費電力LSI設計 技術解説」  
<http://jp.fujitsu.com/microelectronics/technical/lowpower/>

図表 2-15 電源遮断技術(1)



出典：富士通マイクロエレクトロニクス「低消費電力LSI設計 技術解説」  
<http://jp.fujitsu.com/microelectronics/technical/lowpower/>

図表 2-16 電源遮断技術(2)

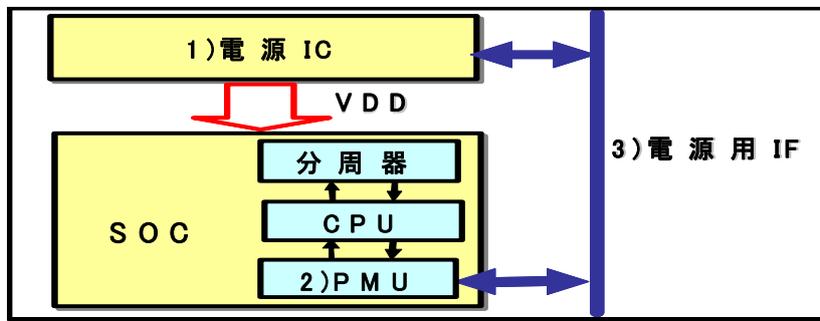
④DVFS(Dynamic Voltage and Frequency Scaling)技術

●技術説明

DVFS はその名の示すとおり、システムの処理負荷に応じて電圧と周波数を動的に制御する技術であり、それを実現するための構造は図表 2-17 のようになる。図表 2-18 で示すように、「余裕があれば、極力仕事を遅くする」という考えの元、同じクロック周波数で結果が得られるのであれば、より低い電圧で実行することになる。これにより、動作時のスイッチング電力を削減できる。DVFS では、これらの制御を SOC 搭載の CPU で制御することになる。

●設計複雑度(設計生産性への影響)

設計生産性への影響という観点では、このような動的制御を如何に効率よく実現するか？SOC と電源 IC 間の通信方式も設計の自動化を進めるために、仕様のフォーマットを含めての標準化が必要とある。また、複数の電源電圧を持つために、電源アイランド間にレベルシフターを挿入する必要があり、その境界接続の検証・確認工数も追加される。さらに、タイミング検証面でも可変電圧やマルチ電源に対応するために、複数の条件での最適化や検証が必要になり、大幅な検証工数増が発生する。



- 1) DVFS対応電源 IC: 出力電圧可変の電源 IC
- 2) PMU(Power Management Unit): LSIに最適な電圧条件を算出し、電源 ICを制御する。
- 3) 電源用 IF: PMUで算出された電圧条件を電源 ICに伝達する。

図表 2-17 DVFS 技術(1)



図2 動的な消費電力を低減する原理

出典: マイコミジャーナル「ARMプロセッサ活用法 - 低消費電力のための機能「DVFS」「IEM」の仕組み」

<http://journal.mycom.co.jp/article/2007/11/12/arm/002.html>

図表 2-18 DVFS 技術(2)

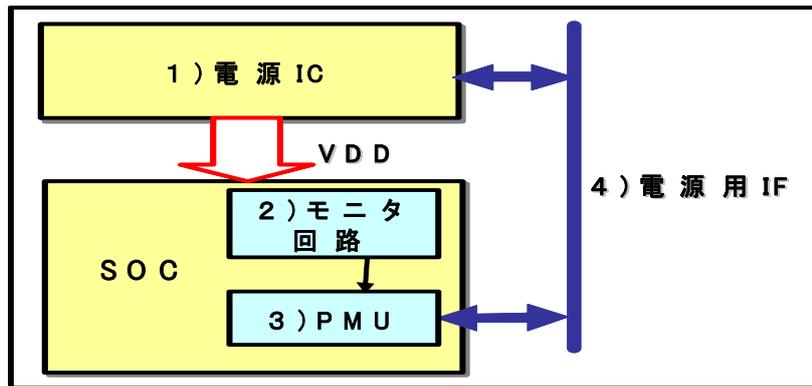
④AVS(Adaptive Voltage Scaling)技術

●技術説明

AVS は、プロセスや電圧や温度といった SOC の動作条件に応じて、最適な電圧を供給するものである。図表 2-19 のように、SOC 内に動作条件をモニターする回路を搭載し、その結果から PMU が最適な電圧を算出し、電源 IC を制御することになる。

●設計複雑度(設計生産性への影響)

設計生産性への影響という観点では、先程の DVFS と同様の課題があると考える。



- 1) AVS 対応電源 IC: 出力電圧可変の電源 IC
- 2) モニタ回路: LSI の動作条件をモニターする。
- 3) PMU (Power Management Unit): LSI に最適な電圧条件を算出し、電源 IC を制御する。
- 4) 電源用 IF: PMU で算出された電圧条件を電源 IC に伝達する。

図表 2-19 AVS 技術

2-3-5 低消費電力設計技術の課題解決策

前述の 5 つの低消費電力設計技術に関して、設計生産性の向上に向けての課題解決策を検討し、ロードマップとしてまとめた。(図表 2-20,21)

大項目	設計技術	2008-2012	2013-2017	2018-2022
クロックゲーティング(CG)	インプリ設計(CTS)	クロックツリー最適化挿入技術 RTLでのクロックゲート 自動挿入と等価検証技術	クロックゲート率考慮自動挿入 最適化技術	高位レベルクロックゲーティング 技術 非同期設計との混載設計技術
	テスト設計	クロックゲート回路の 故障検出率向上技術	クロックゲーティング対応の At Speedテスト技術	
基板バイアス制御	工程間I/F 効率化	チップ内仕様の記述標準化と 対応したチップ設計技術	設計と製造(テストボード製造) に関するインタフェース標準化	システムレベルの記述標準化と 対応したシステム設計技術
	インプリ設計(CTS)	クロックスキューの影響を最小 化するクロックツリー生成技術		高位レベルでのクロックツリー 生成技術
	インプリ設計 (自動配置)		電源アイランド毎に基板バイア ス制御の効果を最大化する 自動配置技術	
	インプリ設計 (タイミング)	マルチ電源対応のタイミング 検証技術	マルチ電源対応のタイミング 検証技術の高速化 サインオフコーナー削減	
	テスト設計		クリティカルパス変動を考慮 したAt Speedテスト技術	
電源遮断	検証	電源遮断考慮論理検証	電源遮断考慮論理検証最適化	高位レベル検証手法確立
	仕様記述	パワーフォーマットの標準化	パワーフォーマットの拡張	高位レベル対応フォーマットの 標準化
	テスト設計	電源遮断考慮DFT技術		

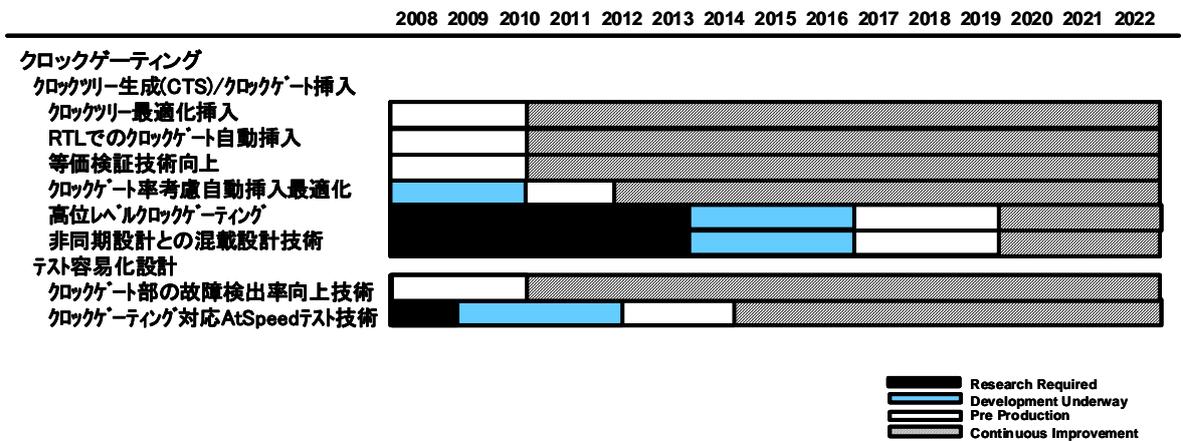
図表 2-20 低消費電力設計技術の課題解決策(1)

大項目	設計技術	2008-2012	2013-2017	2018-2022
DVFS/AVS	電源仕様	SOCと電源ICとの通信方式や仕様フォーマットの標準化	通信方式の高度化仕様フォーマットの拡張	高位レベル対応フォーマットの標準化
	電力管理	可変電圧及びマルチ電源対応の電力管理技術	可変電圧及びマルチ電源対応の電力管理技術の高度化	高位レベルでの電力管理技術
	インプリ設計(電源)	可変電圧及びマルチ電源対応の電源構造生成技術	可変電圧及びマルチ電源対応の電源構造生成の高度化	
	インプリ設計(CTS)	クロックスキューの影響を最小化するクロックツリー生成技術		高位レベルでのクロックツリー生成技術
	インプリ設計(タイミング)	可変電圧及びマルチ電源対応のタイミング検証技術(マルチモード、マルチコーナー最適化)	可変電圧及びマルチ電源対応のタイミング検証技術(高速化サインオフコーナー削減)	
	テスト設計		可変電圧及びマルチ電源対応のDFT技術	
	システム設計		システム考慮DVFS	非同期DVFS
消費電力見積もり		リーク電力見積もりの高精度化パワーフォーマット対応	RTLレベル電力見積もりの高度化/高精度化	高位レベル電力見積もりの高度化/高精度化

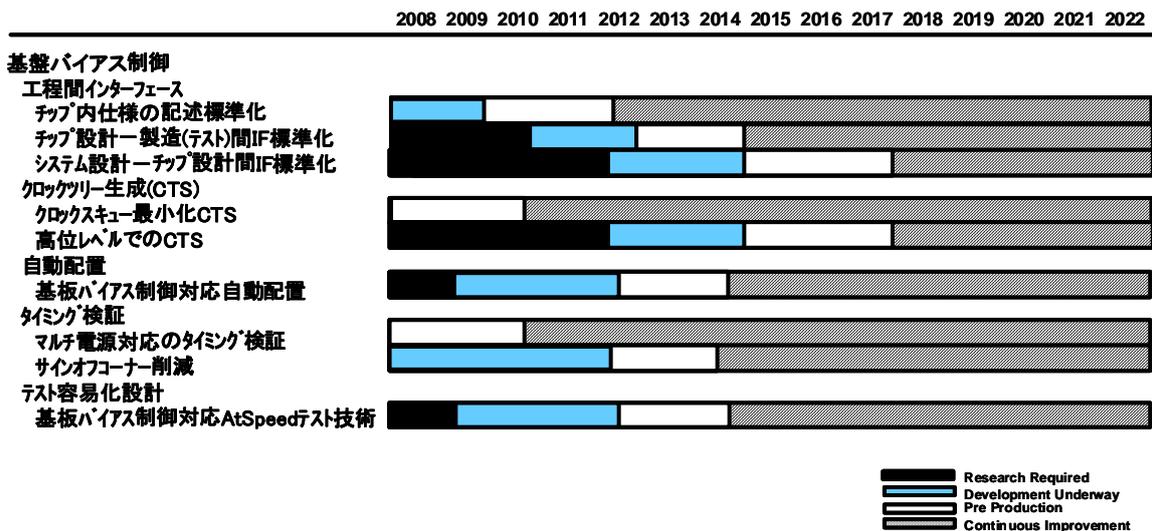
図表 2-21 低消費電力設計技術の課題解決策(2)

また、低消費電力を実現する技術ではないが、組み込んだ技術でどれだけの低消費電力低減が実現できるかといったことを早期に精度よく見積る技術も重要である。そのため「消費電力見積もり技術」という項目をあげて、必要な技術をロードマップとしてまとめた。

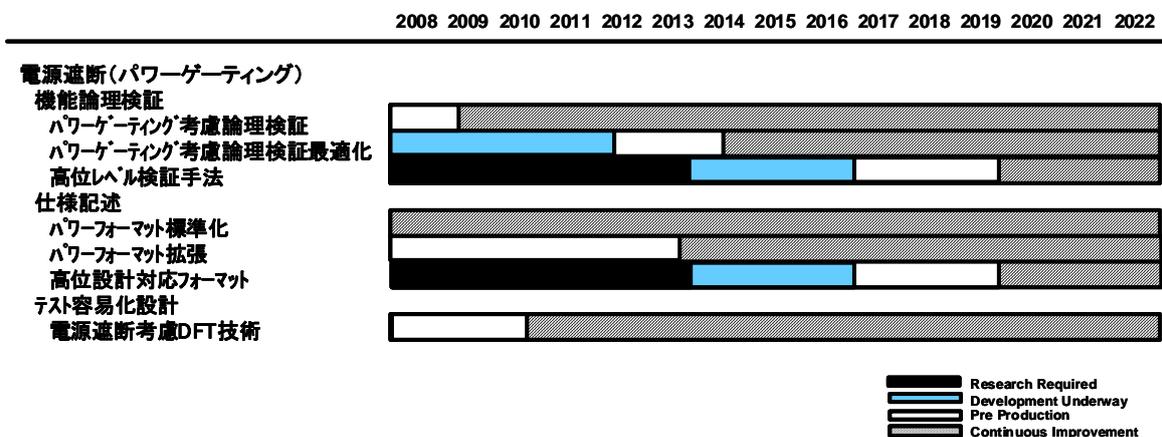
これらの内容を、ITRS のソリューションテーブル形式で表現したものも作成した。(図表 2-22~26)



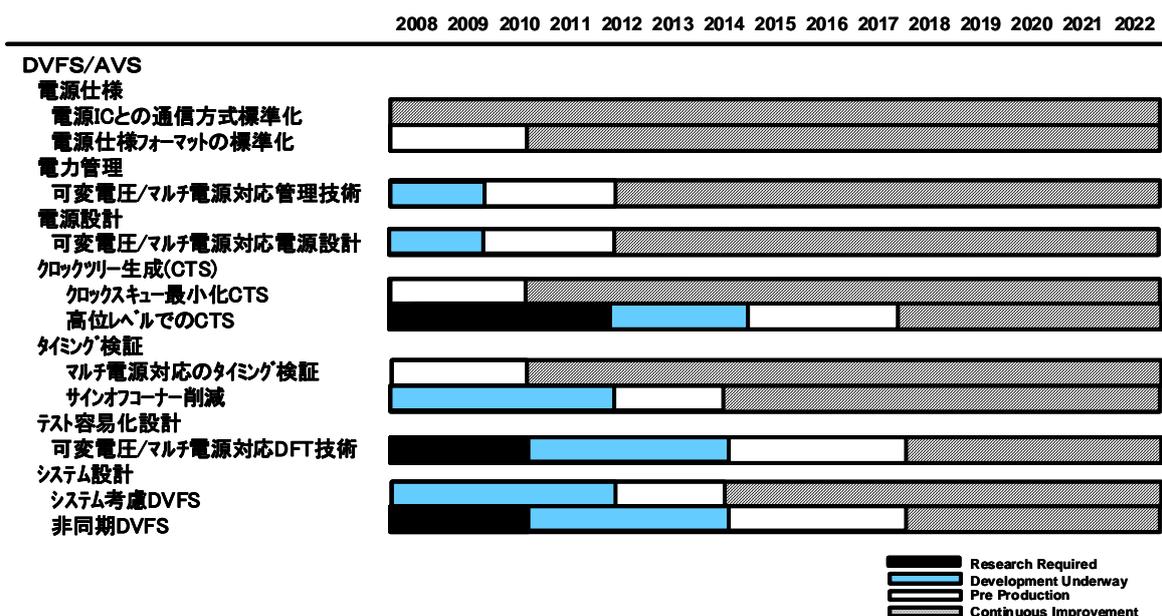
図表 2-22 低消費電力設計技術ソリューションテーブル(1)



図表 2-23 低消費電力設計技術ソリューションテーブル(2)

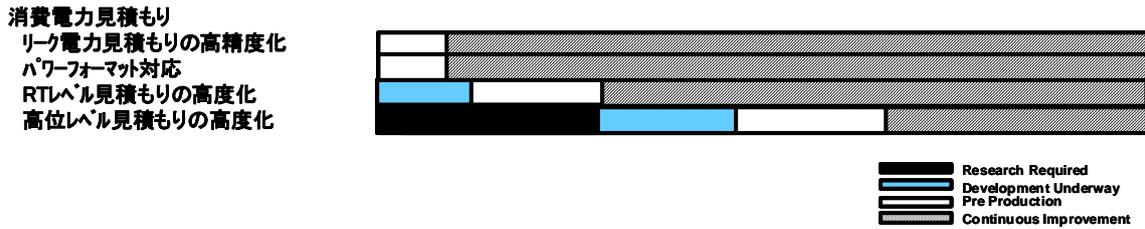


図表 2-24 低消費電力設計技術ソリューションテーブル(3)



図表 2-25 低消費電力設計技術ソリューションテーブル(4)

2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022



図表 2-26 低消費電力設計技術ソリューションテーブル(5)

## 2-4 まとめ

今年度、国内活動として「SOC の消費電力」をテーマに 2 つの活動を行った。

一つは、最近のアーキテクチャトレンドに基づき、Consumer Portable SOC モデル見直した。具体的には、WG 参加各社へのヒアリングなどを通して、Main Processor のマルチコア化などを行った。そして、新モデルでの消費電力トレンドの再計算を行うと共に、最近のエコロジーを反映して、消費電力の要求値も「0.5W」へ半減した。モデル見直し後も、消費電力トレンドと要求値には大きな乖離があり、技術革新が急務となる。

もう一つは、低消費電力化を実現するためには、いろんな技術に取り組んでいく必要があるが、その分、設計が複雑になり、設計生産性に大きな影響を与えるということで、設計生産性との両立に向けての解決策を検討・整理して、ロードマップとしてまとめた。今回は、特に設計生産性への影響が大きいという観点で、「クロックゲーティング」、「基板バイアス制御」、「電源遮断」、「DVFS」、「AVS」の 5 つの低消費電力技術について課題解決策をまとめた。

ただ、実際の設計においては、複数の技術を組み合わせて使用することになり、使う技術もアプリケーションによって異なることになるため、トータルとして効率的な設計技術を確立していくことも重要になる。

また、今回は、現状、実用化が進んでいる低消費電力技術に関して、設計生産性の観点から課題解決策ロードマップをまとめたが、低消費電力化のための新たな技術の開発も期待される。そのひとつの候補として、非同期設計も考えられるが、非同期設計に関しては、設計自動化面など多くの課題があり、解決のための技術革新が期待される。

いずれにしても、近年の地球環境の問題などから、SOC の消費電力削減も開発費削減(設計生産性向上)と同様に、半導体事業の成否を左右する程、重要になってきている。そういう点でも、消費電力に関する SOC 設計技術ロードマップも重要になっていくと考えられ、今後もその改定を通じて、技術動向や技術要求を発信していきたいと考える。