

第 4 章 WG3 FEP(フロントエンドプロセス)

4-1 はじめに

WG3 のカバーする技術領域は、Starting Materials、Surface Preparation、Thermal/Thin Film、Doping、Front End Etch というトランジスタ形成の要素プロセスと、DRAM、Flash Memory、PCM(Phase Change Memory)、FeRAM(Ferroelectric Random Access Memory)のメモリ材料からなっている。

2008 年度の活動は、1)今後重要になると思われる分野を中心とした技術動向調査、2)共通テーマに関して他 WG との議論、3)ITRS2008 改訂作業および ITRS2009 に関する検討を行った。

技術動向調査は、ウェハ大口径化の状況、寄生抵抗・寄生容量、高移動度材料の現状を中心に行った。2007 年度から続けている『ばらつき』調査は、設計あるいは制御の観点からヒアリングを行った。また、多結晶 Si 供給／環境／製造装置ビジネスの観点から、太陽電池に関するヒアリングを行った。

2008 年度は、他の WG と議論する機会が非常に多かった。STRJ_WG4(配線)とは、境界領域であるコンタクト抵抗(S/D 上へのプラグ抵抗)に関して何度か議論を行い、STRJ_WG6(PIDS)も含めて日本国内で考え方を共有し、ITRS2009 に向けて ITRS 会議で Table 化の提案を行った。WG6 とは、高移動度材料に関するヒアリングのための合同会議も開催している。STRJ_WG10(M&S)とは、WG3 FEP の M&S に対する要望について Face to Face で議論を行った。STRJ_WG13(ERM)に対しては、要望に応える形で、CMOS プロセス紹介と FEP に導入された材料・導入できなかった材料を網羅的に説明した。WG13 からはカーボン系材料(CNT、グラフェン)の FEP 導入に関する WG13/WG3 合同での議論を持ちかけられた。STRJ_WG10(計測)／WG14(YE)とは、接合計測技術のヒアリングを合同会議で行った。

ITRS2008 改訂の中心はゲート長スケーリングトレンドの見直しで、その結果としてテーブルに空白や逆転が生じる EOT(Equivalent Oxide Thickness)、接合深さ Xj、Parallel Path で FDSOI や Multi-gate の必要時期などは暫定的(詳細な計算をせず)に決められた。それ以外に、ITRS2007 の内容に問題が見られた項目は、最近の学会報告や技術動向を基に修正した。修正項目は、例えば、Starting Materials テーブルにおけるウェハ径記載の定義、Surface Preparation テーブルの Defect Budget、Doping テーブルの Si/Silicide コンタクト抵抗の Color Code、Trench DRAM テーブルなどである。Flash では、Charge Trap タイプを ITRS2008 でテーブル化する予定であったが、Floating タイプの限界見直し(再計算)も含めて ITRS2009 に反映させることになった。

ITRS2008 の変更内容には全体的な整合が取れていないものがあり、ITRS 会議で提案した内容も含めて、ITRS2009 改定に向けて今後議論する必要がある。

4-2 技術動向調査および他 WG との議論

本報告書では、450mm ウェハ、コンタクト抵抗、寄生容量、高移動度材料、Flash メモリに関して詳説する。

4-2-1 450mm ウェハ

4-2-1-1 概要

ITRS2008 年 update 版では、ウェハ大口径化についていくつか指摘されている。

業界が重大な経済的課題に直面した時期に 200mm から 300 mm への移行が起きた。このような事情が、歴史的周期に基づく予想タイミングに対して、この直径による大量生産開始を実質上遅らせた。ウェハハンドリング操作に使われるメカニカル Si ウェハ“標準”草案を検討する活動が業界内で最近ある程度増えたが、必要とされる 2012 年に大口径化を達成するスケジュールから業界は相当遅れている。

昨今の未曾有の経済状況が 450mm 化にどのように影響するかは予測できないが、現時点で、“2012 年からウェハ最大直径は 450mm”の変更は検討されていない。ただし、後述するように、2012 年は大量生産開始ではなく、450mm パイロットラインが稼働する年である。装置開発、プロセス開発そしてパイロットラインでの検証を考慮すると、2008 年は、450mm 化への具体的取り組みが始まるタイミングとなる。事実、450mm メカニカルハンドリングウェハ規格が決まり、シンター法によるウェハではあるが、450mm ウェハも入手可能になった。さらに、プロセス開発用ウェハ規格の論議も始まった。2012 年に向けた開発スケジュールに沿っている。この点に関しては、ITRS の指摘は当を得ていない。

経済環境の変化とは別に、ビジネス的見地から 450mm 化を批判した意見は多い。雑誌などに散見するが、roadmap とは異なるのでここでは紹介しない。比較的中立の立場からスタディした意見と、それに対する様々な立場からの意見は SEMI ニュースに報告されている。

4-2-1-2 450mm 大口径化スケジュール

450mm 化スケジュールは、一般的な roadmap としての ITRS と具体的な ISMI 開発計画がある。

ITRS の 450mm スケジュール

以前から指摘していることであるが、ITRS スターティングマテリアルで、450mm 化が 2012 年からとなっていることについて、注意することがある。

まず、450mm ウェハの技術開発 roadmap であるが、Figure FEP2 Starting Materials Potential Solutions では、

2007—2008 年: 研究段階

2009—2011 年: 開発段階

2012—2015 年: 品質確認と試作

2016 年以降: 品質改善の継続

となっており、2009 年に研究段階から開発段階に移行し、少量ウェハの供給が始まるのは 2012 年になる。

300mm から 450mm への本格的な移行は 2016 年以降を想定している。このことは、ORTC の

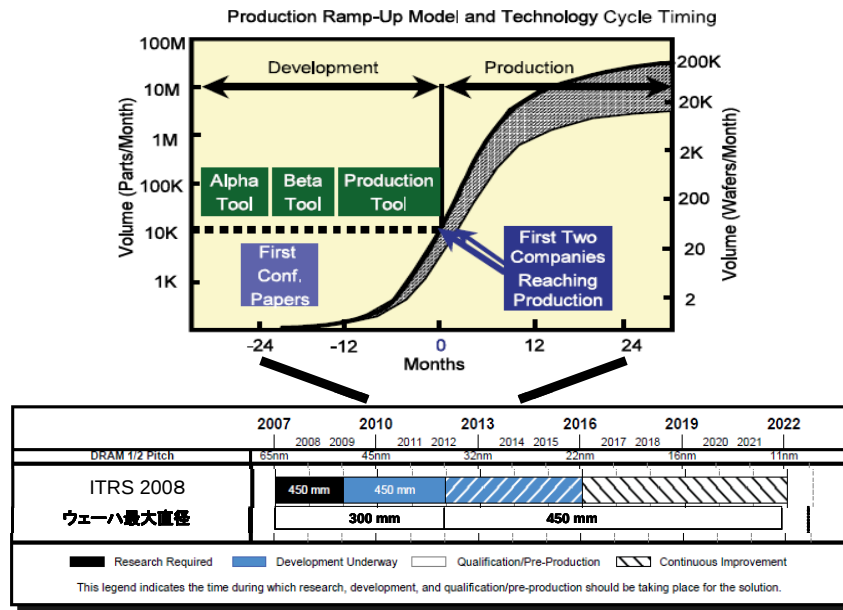
2011 年まで: ウェハ最大直径 = 300mm

2012 年—2016 年: ウェハ最大直径 = 300mm あるいは 450mm

2016 年以降: ウェハ最大直径 = 450mm

と一致している。ITRS では、その時点で使われるウェハの 最大 直径であり、2016 年以降も 300mm は主要ウェハとして使われ続けることは云うまでもない。450mm ウェハは、2mm エッジ除外を考慮しても、有効面積 1562cm^2 ある。チップサイズを 140mm^2 とすると 1115 チップ/ウェハになる。TEG の搭載、多量のモニターウェハ、低歩留まり (ITRS では 60%) を見込んでも、1—2 ロット/月で 10k チップ/月の生産となる。これが 2012 年時点の ITRS 想定であろう。その後、2014 年から 2 年掛けて量産ラインが立ち上がるというのが後述する ISMI のシナリ

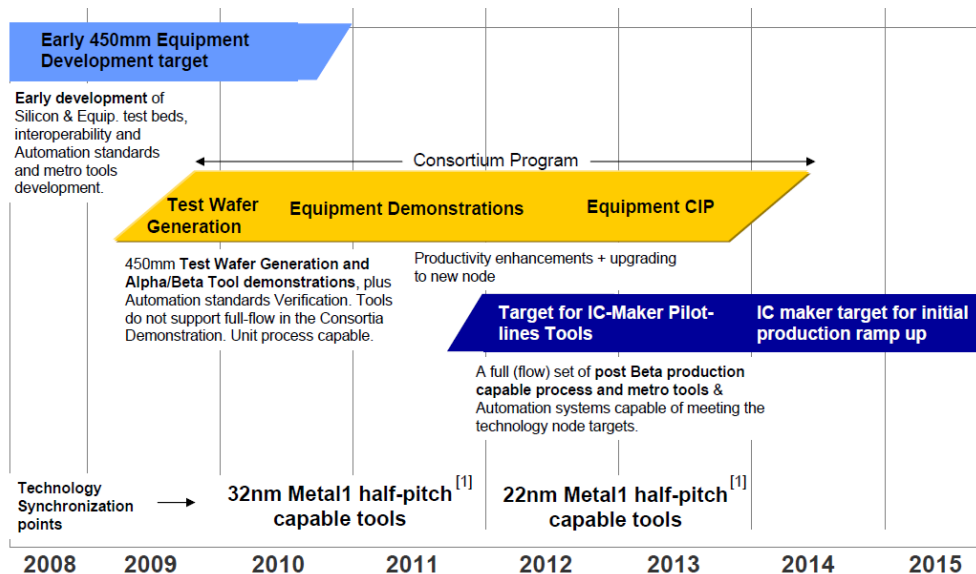
オである。2016 年からは本格的な 450mm 時代となる。



図表 4-1 2012 年前後の 450mm 開発 roadmap。450mm ウェハでは、上図(Production Ramp-Up Model and Technology Cycle Timing)の左軸と右軸はマッチングしない。左軸の 10K Parts(チップ)/Month が 2012 年の目標で、それに合わせて装置開発とウェハ開発が行われる。その後の量産立ち上がりは、ORTC(上図)よりスターティングマテリアル(下図)の方がゆっくりしている。

ISMI の 450mm 計画

Development & Technology Intercept Targets for 450mm



Note: Detailed technology goals will be defined by individual company business requirements

[1]: Reference is DRAM stagger-contacted Metal 1 half-pitch in nanometers

図表 4-2 ISMI の 450mm 計画。ISMI の web から入手可能。

2012 年の 450mm パイロットライン稼働をコミットしているのは、Intel、Samsung、TSMC である。ISMI は、この 3 社、特に、Intel を中心として、450mm プログラムを推し進めている。2008 年 12 月の ISMI インダストリーブリーフィングで、450mm 化の詳しい計画が公表された。

この中で、直近の詳細な計画が明らかになった。

2008 年

Phase 1 — シンター法によるウェハ

シンター法で作った多結晶ウェハを貸し出して搬送および評価技術の開発を支援する

2009 年

Phase 2A/2B — 単結晶ウェハ。基本的なウェハ評価とべた膜形成

2A — 単結晶ウェハを入手し、基本的な品質(パーティクルや形状など)評価

単結晶ウェハをプロセス開発のために貸し出す

2B — べた膜を付けたウェハ(貸し出したウェハ)を入手し膜評価技術の確認

Phase 3 — 酸化ウェハの基礎的なパターンニング

酸化膜をパターンニングしたセルと関連評価法を開発し、必要とする人に貸し出す

4-2-1-3 450mm ウェハの標準化

ORTC の量産開始の定義図では、生産開始の 3 年前、450mm の場合には、2009 年にアルファーツール開発が想定されている。装置開発にまず必要となるウェハは、手で触っても良いようなメカニカルハンドリングウェハであり、その規格を装置開発に先立って決める必要がある。メカニカルハンドリングウェハは、ISMI の Early 450mm Equipment Development target に相当し、ウェハ容器(FOUP や SHIPPING ボックス)開発や搬送試験にも使われている。後述するように、予定通り 2008 年に標準化が終わった。シンター法で作製した 450mm 多結晶ウェハが市販されている。次のステップであるプロセス開発用ウェハ規格の論議も 2008 年 12 月のセミコンジャパンから始まった。

メカニカルハンドリングウェハ

450mm 装置開発に対しては、450mm ウェハ、特に、その厚さは重要なパラメータである。450mm 用の装置開発は、ウェハのハンドリング機構やウェハステージを、300mm 装置からスケールアップすることで対処できるような装置もあろうし、全体を新設計しなければならない装置もあろう。いずれにしても、450mm ウェハ形状規格が必要となる。FOUP 等のウェハ容器と AMHS(自動搬送システム)・FOUP のインターフェース(ロードポート)は、450mm 装置の共通規格であり、450mm 工場設計のベースにもなる。ここでもウェハ形状は基本パラメータである。このような事情から、メカニカルハンドリングウェハ規格を先行して決める必要がある。一般的に、業界規格は、規格対象となる技術やパラメータなどが煮詰まってから規格化する場合と、今回のように、初めに規格を決めて関連した開発を容易にする場合がある。450mm メカニカルハンドリングウェハ規格は、450mm ウェハ試作に先立って決めているので、未知の部分があることを承知で作業が進められた。ウェハ規格は SEMI で制定されている。2007 年 7 月のセミコンウェストで議論が始まり、同年 12 月のセミコンジャパンで規格案の投票が承認された。2008 年 1 月に投票し、4 月に反対投票やコメントに対する議論が行われ、7 月のセミコンウェストで最終審議し規格が成立した。時期尚早という論議はなく、いくつかの技術的反対は議論の段階で解消し、1 回の投票で規格が成立した。

SEMI M74-1108 直径 450mm メカニカルハンドリング鏡面ウェハの仕様

この SEMI 規格の目的 —— 450mm ウェハキャリア、ロードポート、AMHS とロボットなどの 450mm 半導体装置の研究、開発、初期設計検討に使うことを意図している。プロセス開発に使える品質を持ったウェハなどの仕様を決めることは意図していない。プロセス開発用テストウェハ仕様、デバイス製造に使える品質を持ったプライムウェハ用仕様は別規格となる。

この規格の特徴の一つとして

材料 —— ウェハはシンターしたシリコンあるいは単結晶シリコンである。

となっていることである。これは、2008 年時点では、微細な結晶をシンター法で固めた多結晶 450mm ウェハが市販されているが、単結晶ウェハはまだ市販されていないためである。この“シンターシリコン”ウェハの寸法形状は SEMI 規格に従っているし、機械的性質も単結晶シリコン相当である事が確認されており、メカニカルハンドリングウェハとして十分である。

ウェハの寸法規格で議論となったのは、直径公差で、ロボット側の $\pm 0.1\text{mm}$ という要求に対して、ウェハ製造経験がないという理由で $\pm 0.2\text{mm}$ となった。ウェハエッジ形状は、FOUP やウェハハンドリングに影響するが、推奨形状がなく SEMI M1 にあるエッジ形状を採用した。ノッチに関しては、ノッチレスという議論もあったが、従来のノッチ形状で投票し、そのまま決まった。

問題は、ウェハ厚である。925 μm で投票し、異論なく決まった。200mm ウェハの 725 μm 厚、300mm ウェハの 775 μm 厚を 450mm ウェハに外挿した厚さより 100 μm 程度厚い。ウェハが割れることを危惧した結果と云われているが、技術的根拠は明確でない。ウェハ厚さについては、今後、説得力のあるデータあるいは議論があれば、プロセス開発用ウェハ規格等で修正できる。

Property	Specification
DIAMETER	450.0 $\pm$ 0.2 mm
THICKNESS, CENTER POINT	925 $\pm$ 25 μm
NINE-POINT THICKNESS VARIATION, less than	10 μm
NOTCH DIMENSIONS (see Figure 1)	
Depth	1.00 mm + 0.25 mm – 0.00 mm
Angle	90° + 5° – 1°
FRONT SURFACE	POLISHED
BACK SURFACE FINISH (GLOSS)	POLISHED
EDGE PROFILE SURFACE FINISH	POLISHED

図表 4-3 450mm メカニカルハンドリングウェハ規格

プロセス開発用ウェハ規格

450mm ウェハの規格制定作業は、次の 3 段階で進めている。

1. メカニカルハンドリングウェハ:

直径と厚さなど基本的なウェハ形状寸法規格でウェハ搬送検討などに使う

2. プロセス開発(デヴェロップメンタル)ウェハ:

ウェハ形状寸法に加えて、パーティクルや平坦度などいくつかのウェハ特性も規格化し、プロセス開発な

どに使う

3. デバイスウェハ

デバイスに試作に使うウェハ

2008 年 7 月に第 1 段階のメカニカルハンドリングウェハ規格が成立したので、第 2 段階のプロセス開発用 (SEMI/ISMI ではデヴェロップメンタルウェハという)ウェハ規格の論議が始まった。12 月のセミコンジャパンでたたき台が示され、2009 年中に投票原案まで議論を進める予定で進行中。次のような 3 種類のウェハを想定して検討している。

1. 一般的用:プロセス開発全般用で清浄度規格などがあるウェハ
2. パーティクルモニター用:装置発塵チェック用でパーティクル規格の厳しいウェハ
3. リソグラフィモニター用:リソ開発用で平坦度規格の良いウェハ

ウェハが関連する規格

450mm ウェハ規格と平行して 2 種類のウェハ容器規格の検討が進行している。

- ・デバイスメーカーで使う FOUP
- ・ウェハメーカーからデバイスメーカーにウェハを届ける SHIPPING ボックス

前者は、450mm 工場でのウェハ搬送システムやプロセス装置設計に絡むので、早急に決める必要があり、極めて精力的に議論されている。シンター法 450mm ウェハを 450mmFOUP に出し入れしたり、ウェハを入れた FOUP を搬送するなどの実験も日米で進んでいる。FOUP 規格議論は、その 200 項目にもわたる詳細な形状寸法である。その中で、FOUP 内のウェハとウェハの間隔(ウェハピッチ)は、FOUP 高さを決める重要な項目である。FOUP 高さは、装置高さや搬送系に影響し、クリーンルーム高さにまで波及する。既存の 300mm クリーンルームを 450mm に転用することを考慮して、300mmFOUP と同じ 10mm ピッチが求められているが、この原稿作成時点の状況では、12mm ピッチになった。ウェハピッチを決めるファクターの中で、ウェハ特性としては、

- ・ウェハ厚:925um $\pm$ 25umであるので 950umを想定(ハンドリングウェハ規格)
- ・ウェハの反り:ウェハ製造起因で 100umを想定(ハンドリングウェハ規格)
- ・自重によるたわみ:ウェハ厚と支持点位置で決まる

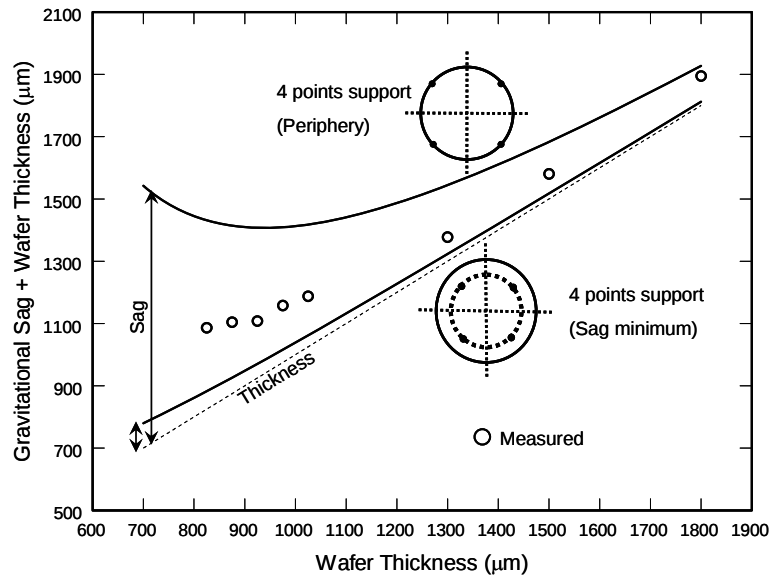
FOUP 内に挿入されたウェハのたわみ:500umを想定(FOUP 規格)

- ・デバイスプロセスにおいて膜応力などで誘起された反り:

300mm プロセスでの公表データもなく、450mm プロセスでの推定は難しい

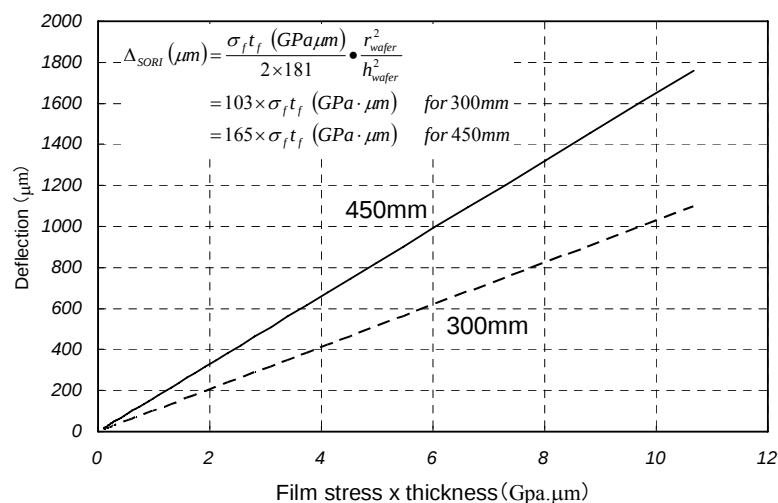
などである。ウェハ厚はメカニカルハンドリングウェハ規格で決まっている。自重によるたわみやプロセス誘起そり、ウェハ直径が 300mm から 450mm になると、増大する。

自重によるたわみは、ウェハが厚いほど小さい。しかし、ウェハ厚とたわみの和は、ウェハ支持の仕方で振るまいが違ふ。ウェハを縁で支える場合、ウェハが薄くなると、たわみが増大し、ウェハ厚とたわみの和が増加する。ウェハが厚くなると、たわみの寄与分は少なくなるが、ウェハ厚が寄与して、ウェハ厚とたわみの和は増加する。このために、図表 4-4 に示すように、ある厚さで和が最小となる。90 度間隔の 4 点で支持した場合は、925-950um で和は最小となる。一方、たわみが最小となるように、ウェハの内側(30%位入った点)でウェハを支持した場合には、たわみの厚さ依存性が小さく、ウェハ厚とたわみの和は単調に増加する。縁より少し内側に入った点で支持した場合の測定データも図表 4-4 に示す。925um 厚はそこそこ妥当な選択となろう。



図表 4-4 450mm ウェハの縁あるいは内部で支持したときの自重によるたわみ

プロセス誘起反りは、デバイスメーカーのプロセス条件に依存するので公表されていない。様々な膜の応力でウェハが反る場合は、Stoney の式で計算できる。最近、Stoney の式で無視されていたシリコン弾性定数の異方性を考慮した計算が発表された。膜厚 $\times$ 応力をパラメータに 300mm(775 μ m)ウェハと 450mm(925 μ m)ウェハの反りを図表 4-5 に示す。450mm ウェハでは約 1.6 倍の反りとなる。現状、300mm プロセスで膜応力誘起反りは、0.3mm から 0.6mm 程度であるようなので、450mm プロセスでの膜応力誘起反りは 1mm を超えないであろうと思われる。希に、ウェハが塑性変形してしまい、ウェハ形状が凸凹になり、不規則な反りが 1mm 位になることがあるようだ。この凸凹のウェハ直径依存性(スケーリング)は難しい。しかし、根拠の不明確な推測で、450mm ウェハのプロセス誘起反りを 1.6mm と想定する議論がある。300mm と同じ 10mm ピッチは機械的に難しいという議論もあり、急遽、12mm ピッチとなった。それに伴って、FOUP 高さも増加することで関係者の合意が成立した。ウェハに関連したピッチバジェットを図表 4-6 に示す。2009 年 5 月に SEMI 規格案の投票を行い、7 月のセミコンウェストで規格成立を目指す。



図表 4-5 膜応力とそれに起因した反り

Item	Description	Pitch Budget	コメント
1	Thickness of Wafer	0.95 mm	ウェハ厚+公差
2	Deflection Under Gravity	0.50 mm	ウェハ内側を支持
3	Process Induced Warp	3.20 mm	上下方向に±1.6mm
4	Initial Warp	0.10mm	ウェハの初期そり
9	Pitch Budget Total	12.00 mm	FOUP 規格(z17)

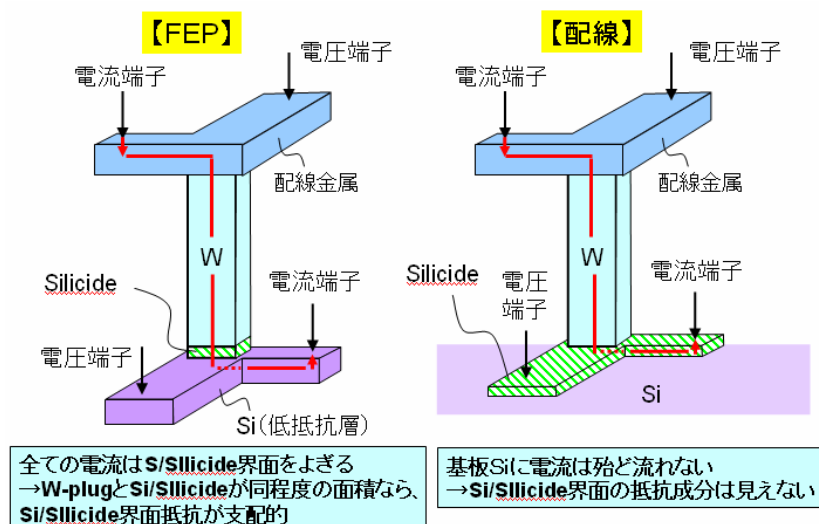
図表 4-6 FOUP のウェハ関連ピッチバジェット

4-2-1-4 450mm の省エネ・環境効果

450mm ウェハが使われる 32nm あるいは 22nm 世代以降のデバイスプロセスは、一部の例外を除いて枚葉プロセスになると思われる。リソのように、ウェハの一部を逐次処理していくプロセスは別として、CMP、PVD やエッチング等のようにウェハを一括して処理するプロセスでは、ウェハ面積が倍になれば、面積当たり、つまり、チップ当たりに消費するエネルギー・薬品などは概略半減する。ISMI を初めとして、この 450mm の省エネ・環境効果に着目した議論が多い。

4-2-2 コンタクト抵抗

図表 4-7 は FEP(特に接合関係者)にとつてのコンタクト抵抗(以下、Si/Silicide 界面抵抗と記載)と配線にとつてのコンタクト抵抗(以下、コンタクトプラグ抵抗と記載)の違いを示している。2007 年 12 月の ITRS 鎌倉会議で、コンタクト抵抗(「contact resistance」)と呼びながらも、FEP メンバーと配線メンバーでは違うものを想定していたため、技術的議論ができなかった。ITRS2007 では、Si/Silicide 界面抵抗とコンタクトプラグ抵抗とも問題があったので、ITRS2008update および ITRS2009 に向けて議論を行った。



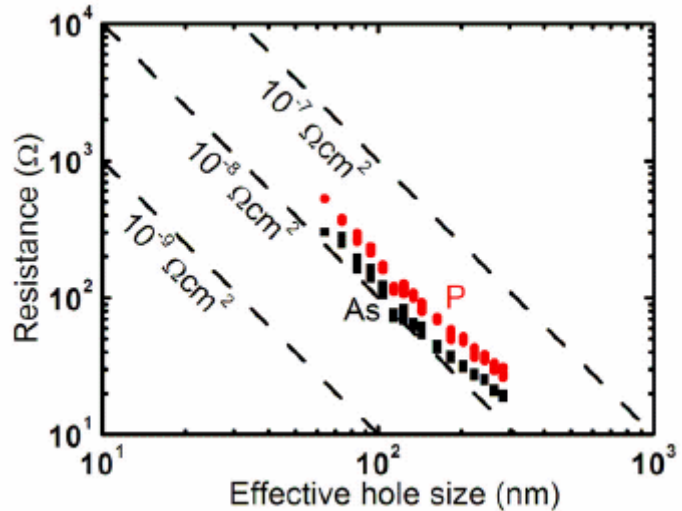
図表 4-7 コンタクト抵抗(FEP)とコンタクト抵抗(配線)との比較

4-2-2-1 Si/Silicide 界面抵抗

US内のローカルな議論によって、Si/Silicide界面抵抗率は $1\text{e-}7\ \Omega\text{cm}^2$ が限界とされ、ITRS2007 ではHPの寄生抵抗要求が大幅に緩和された。例えば 45nmのHPの寄生抵抗がITRS2005 では $105\ \Omega\cdot\text{um}$ ($W=1\ \text{um}$ に対する寄生抵抗で、Si/Silicide界面抵抗 $4.7\text{e-}8\ \Omega\text{cm}^2$ に相当)であったものが、ITRS2007 では $180\ \Omega\cdot\text{um}$ (Si/Silicide界面抵抗 $7\text{e-}8\ \Omega\text{cm}^2$ に相当)に修正された。この変更は、nFETの総抵抗に占める寄生抵抗が 20%程度から 33%程度に増加することに相当していた。

一方、最近の学会報告には、 $2\text{e-}8\ \Omega\text{cm}^2$ 程度が実現可能(例. 図表 4-8)というものもあり、こうしたデータを元に、Color Codeの見直しを提案した。

その結果、ITRS2008update 版では、Si/Silicide界面抵抗 $\sim 5\text{e-}8\ \Omega\text{cm}^2$ までは実現可能(White)に変更された。但し、寄生抵抗の要求値自体は緩和されたままで、ITRS2009 ではITRS2005 レベルの要求値に変更してゆく必要がある。



図表 4-8 Si/Silicide界面抵抗に関する報告¹⁾

4-2-2-1 コンタクトプラグ抵抗

サリサイド上のコンタクトプラグ抵抗は、FEP_TWIG と配線_TWIG の境界領域にあることから、ITRS ではテーブル化されていなかった。45nm 世代くらいから、現状の W プラグでは寄生抵抗として無視できないという指摘が出始めていることもあり、サリサイド上のコンタクトプラグ抵抗のテーブル化を検討した。

プラグ自体は配線_TWIG の分担領域であり、配線_TWIG が単独で進められるのではないかと考えていたが、要求値(FET 総抵抗の何%か)とか、コンタクトあたりのチャンネル幅 W を何 um にするかは PIDS から出して欲しいということになり、日本の FEP/配線/PIDS 間で整合を取った。その結果、

- FET 総抵抗の 3%をコンタクトプラグ抵抗に割り当てる
- コンタクトプラグ 1 個に対するチャンネル幅は、SRAM を想定し、M1 1/2 ピッチの 3 倍にする
ということで合意した。

4-2-3 寄生容量

ITRS では、特に HP についてゲート電極長スケーリングの鈍化が顕在化していて、ロードマップ高精度化の必要性が増している。その活動の中で、4-2-2 に記載したように、Contact 抵抗値の高精度化が検討されている。さらに性能指標である $CV_{dd}/I_{d,sat}$ の高精度化について、 I_{eff} や $V_{gs}-V_{th}$ 等を考慮することが検討されている。一方、容量 C は gate overlap と fringing の寄生容量を含む全 gate 容量で示されているが、その詳細はロードマップ上に示されていない。

そこで FEP では、「微細 CMOS における寄生容量の影響」について、富士通研究所の靱山氏よりヒアリングを行い、以下のことが示された。まず寄生容量の回路への影響について、微細化により寄生成分が増大

¹ K.Ohuchi et al., "Extendibility of NiPt Silicide Contacts for CMOS Technology Demonstrated to the 22-nm Node", IEDM2007, p.1029

する傾向があり、先端 MOSFET において、 $F/O=1$ では 80%程度が寄生成分である。さらに実回路のクリティカルパスにおいて、配線を考慮しても MOSFET 寄生成分の寄与は 40%程度もある。次に、MOSFET の全容量において、世代が進むのに従って、寄生容量の寄与割合が大きくなる傾向がある。チャンネルを発生させる Intrinsic な容量を除いた寄生容量には、主に Gate/SD-Overlap, Fringing, Junction の 3 成分があり、それらの分解には、電氣的測定や物理形状測定に加えて、3D simulation を併用する必要がある。Overlap 容量成分は微細化されても比較的一定となる傾向がある。Fringe 容量成分は微細化により増加する傾向で、現状 0.06-0.1 fF/um 程度と見積もっている。Junction 容量成分について、微細 MOSFET の電圧依存性は大きいにも関わらず、SPICE でモデル化されていない。この様に容量成分毎に微細化した時の傾向が異なるため、ロードマップ作成上、寄生容量の高精度見積もりが重要である。次に、寄生容量を低減するには、Mirror 効果を考慮する必要があるために Drain 領域の低容量化が重要である。例えば $I_{d,sat}$ を維持しながら Overlap 容量を低減するには、SDE の急峻化が必須である。これは短チャンネル効果抑制の方向性と合致しており、N co-implantation 技術や非対称 S/D Extensions 等により実現できる。また、Junction 容量の低減には S/D 2 度注入や SOI 技術等が効果的である。一方、Metal-gate/High-k 構造による EOT 低減により、寄生容量は増大する傾向にあると言える。

今後、hp 32 nm で Gate と Contact の間隔が 20 nm 以下となること等からも²⁾、寄生容量を考慮した高性能化を実現する必要があることが分かる。また、FinFET 等の 3D 構造を用いた場合、S/D 領域の表面積が増大し、寄生容量が増加することが容易に考えられる。また、広く知られている通り、チャンネル、S/D 領域及び Silicide 領域の断面積が小さくなるために寄生抵抗が増大する。この様に、寄生抵抗・容量の高精度な見積もりを基礎として、ロードマップを作成することが重要であると考えられる。それにより、適正な寄生抵抗・容量の低減に起因する低消費電力化の実現が期待される。

4-2-4 高移動度材料

4-2-4-1 高移動度材料開発の背景と現状

MOSFET のチャンネルに、高移動度を有する材料として、III-V 材料を用いたデバイス開発の機運が高まっている。この背景には、PMOS であれば(110)面の利用、Ge チャンネル化等で無歪みの Si に対して約 10 倍以上の性能向上が可能なのに対し、NMOS 駆動能力向上は 2 軸引っ張り歪み頭打ちであること、またピッチが狭くなると、これまで移動度の向上手法として用いていたストレスライナーの効果が低減してしまうなどのため、NMOS において、ストレスによらずに高い移動度を実現する方法が必要となっていることなどが挙げられる。Table I に示すように、NMOS の移動度向上につながるような、電子移動度の高い III-V 材料は多い。

開発の現状としては、特に米国では SRC が 2005 年より開発奨励を強力な指導体制で行っており、大学を巻き込んでの活動が盛んに行なわれている。2004 年頃から Intel などで検討が開始され、Funding も行われている。SRC からは Ultimate CMOS Device という領域として資金提供を行なっている。学会では、2004 年にたとえば Intel から AlInSb をチャンネルとした発表がある。あるいは、IEDM2007 の 28.7 で SEMATECH からの発表がなされている。

一方 EU では、4 つほど Project が発足している。GeOI(LETI, ST-Crolles 等)、III-V 選択成長(AIXTRON, IMEC 等)、Module(IMEC, IBM, NCSR, U.Glasgow 等)、Modeling(NXP, U.Glasgow 等)。IEDM2007 のシヨ

²⁾ B. S. Haran, et. al, "22 nm Technology Compatible Fully Functional 0.1 um² 6T-SRAM Cell", IEDM 2008, p. 625.

ートコースでも取り上げられているとともに、Logic 応用の論文も多く発表されている。

これに対して日本では米国や EU に比較して、アクティビティが高いとはいえない。最も日本で活発なのが東大の高木教授の研究室を中心としたグループである。III-V-OI をその分野のトップメーカーである住友化学が開発中であり、物材機構・産総研との連携により、MOSFET 作製を進めている。

4-2-4-2 III-V 材料を用いたデバイスの特性

初期研究は 70 年代から始まっているが、良い MOS 界面ができないため 90 年代にトーンダウンした。その頃のデータでは、GaAs で $1 \times 10^{13} / \text{eV} \cdot \text{cm}^2$ 、比較的良い InP でも $1 \times 10^{12} / \text{eV} \cdot \text{cm}^2$ の界面準位密度だった。Pinning 位置も、GaAs は Midgap であり、ほとんど動かない。InP は C.B. 寄り、nMOS は、Si よりは悪いがそこそこの値が得られた。

初期は Spicer の Unified Defect Model ³⁾ があり、その後に北大・長谷川英機先生の DIGS Model ⁴⁾ なども出されたが、メカニズムの特定には到っていない。下火になった 90 年代に Ren らによる (GaGd)2O₃/GaAs 系で Pinning が解けるという報告 ⁵⁾ があり、顕著な成果と言えるが、下火の時期なのであまり注目されなかった。最近、Freescall が RF&Digital 応用で進展させている ⁶⁾。また、ALD Al₂O₃/III-V で Pinning が解けるという Purdue 大からの報告 ⁷⁾ や、Si Passivation 有効性の報告 ⁸⁾ もある。

移動度については III-V 族半導体は、伝導帯において Γ 点(直接遷移)の有効質量は軽いのに対し、少し上にあり第二極小点となる間接遷移の L 点の有効質量は重い。InP や InAs は、この 2 つのエネルギー差が大きいため L 点付近を電子が占めることはない、この重い有効質量の問題はない。これに対して GaAs や InSb では、 Γ 点と L 点エネルギー差が小さいため、表面電子濃度が高くなった場合 (GaAs でキャリア密度が 1×10^{13} 個程度) には、実効的な移動度は小さくなる ⁹⁾。ただし一方有効質量が軽いままであったとしても、その際の課題として、Fischetti がすでに報告しているように、反転層容量が小さくなる、すなわちバンドを大きく曲げないとキャリアが出てこないという課題がある ¹⁰⁾。

4-2-4-3 III-V 材料を使うための結晶成長

III-V 材料を MOSFET として使えるようにするためには、上述の界面の課題以外に、Si 上あるいは insulator 上に良質の III-V を成長できる必要がある。Ge と GaAs の整合性はよく、また GaAs (5.68 Å) と InAs (6.05 Å) 間は全率固溶であるが、Si (5.43 Å) とは格子定数差が大きく、欠陥という問題が生じる。IEDM2007 の Intel の発表では、GaAs/InAlAs の積層構造の 1.3 μm の Buffer 層で、HEMT 型の InGaAs の $L_g=80\text{nm}$ の FET の動作を報告している ¹¹⁾。IEDM2007_Short Course では Prof. de Alamo から、同じく HEMT 型ではあるが、 $L_g=40\text{nm}$ が動いたという報告もある ¹²⁾。de Alamo の特徴は、Barrier 層 InAlAs 4nm ($\epsilon=10$ なので EOT=1.5nm) が薄い=薄いゲート絶縁膜に相当、チャンネル部 5nm InAs (これは FD-SOI に相当) であり、Si の微細化技術を実

³⁾ Spicer et al., J. Vac. Sci. Technol. 17 (1980) 1019; J. Vac. Sci. Technol. B 6 (1988) 1245.

⁴⁾ 長谷川英機ほか、応用物理、41(1981) 1289.

⁵⁾ F. Ren et al., IEDM (1996) 943.

⁶⁾ M. Passlack et al., IEDM (2007) 621.

⁷⁾ Y. Xuan et al., IEDM (2007) 637.

⁸⁾ I. Ok et al., APL 92 (2008) 202903; 92 (2008) 112904.

⁹⁾ S. Takagi et al., SSDM (2006) 1056; IEEE Trans. Electron Devices (2008) 21

¹⁰⁾ M. Fischetti, TED-38(1991) 634

¹¹⁾ M. K. Hudait et al., IEDM (2007) 625.

¹²⁾ J. del Alamo, IEDM(2007) short course

質的に使っている構成となっていること。

Ⅲ-V 材料と下地 Si 基板との格子ミスマッチを回避しながら良質の結晶を得る方法として、ELO (epitaxial Lateral Overgrowth) と呼ばれる絶縁膜上への横方向成長がある。東大 高木先生の研究室では横型 MOCVD 装置でⅢ-V 材料の成長を用いて行っている¹³⁾。原料ガスは、TMGa、TMIn 等を用いている。ガス分圧でモホロジーが大きく変わり、Ⅲ族原料の分圧を上げると横方向に成長が速くなり、下げるとピラー状の成長になる。今までの実験では、(111)Si 基板だけで良いモホロジーの結果が得られている。NEDO、及び METI の研究プログラムである 5 年の活動期間で、少なくともⅢ-V 材料の課題が解決できそうかの感触は得たいとのことであった。

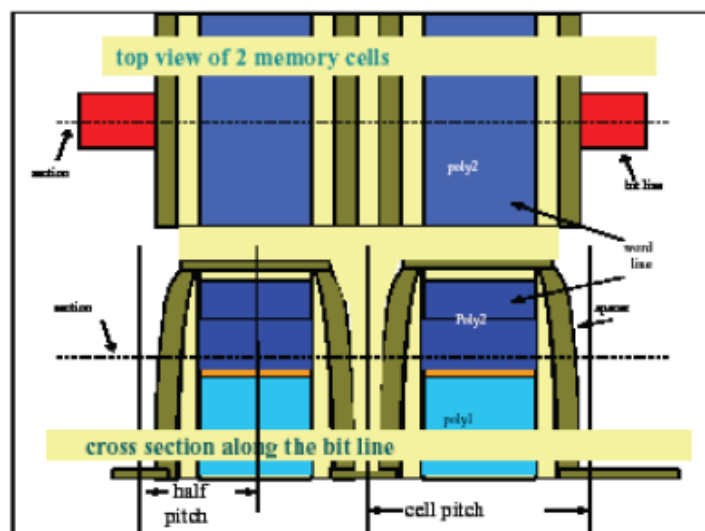
4-2-4-4 ロードマップ上の位置づけ

FEP のロードマップでは、テーブルの中には明確な形で高移動度材料は出てきていないが、Potential solution の中には記載されている。しかしながら、FD-SOI の採用、あるいは 3D 構造の採用を、微細化に引き続く性能向上基本方針としており、これとⅢ-V 材料の採用とが並び立つものなのか、現時点ではまだわからない。Si LSI の限界を追及した研究と、新材料を用いた研究の行き着く先で、新材料で Si に匹敵するデバイス性能を実現できるか、上述したように、今後数年は研究が必要である。

4-2-5 不揮発性メモリ

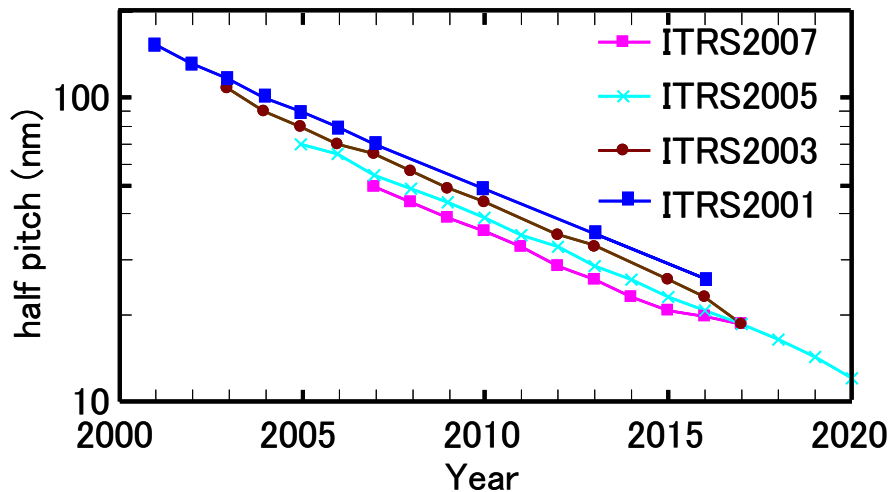
4-2-5-1 FG(フローティングゲート)型 NAND フラッシュメモリ

FG(フローティングゲート)型 NAND フラッシュメモリに関する要求値(Table)は、ITRS2003 で初めて、図表 4-9 に示したような具体的なデバイス構造が記載され、その数値の意味するところが明確になった。図表 4-10 は、ITRS2001 以降における NAND の、half pitch の変遷の様子を示したものである。ITRS2003 で大きな前倒しがあり、このときに half pitch の定義の明確化の必要性が認識されたことによるものである。その見直しは現在は、DRAM においてと同じように、NAND を生産する各社に対して PIDS が取ったアンケート、及びデバイスメーカーからの公式発表をベースに行なっている。図表 4-10 からわかるように、2 年ごとの大改訂のたびに前倒しがなされており、これは現実の微細化が、それまでの予想よりも常に先を行っていたことによる。図表 4-10 の一定の傾きが示すように、微細化は一定の割合(11%/年ずつシュリンク)でなされていて、これが NAND の継続的コストダウンと市場拡大の源泉となっている。



図表 4-9 NAND セルの構造とハーフピッチの定義

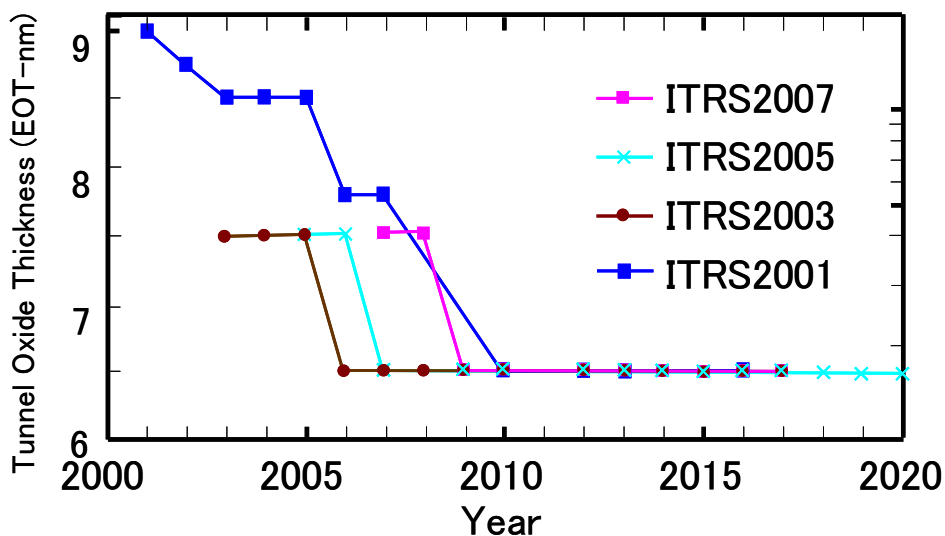
¹³⁾ T. Hoshii et al, SSDM (2007) 132; 34th Int. Symp. on Compound Semiconductors (ISCS 2007) p. 164



図表 4-10 NAND のハーフピッチの変遷

しかし一方 NAND の微細化は、図表 4-10 に示したように、2017 年およびそれ以降における half pitch の値がそれ以前の年の前倒しにもかかわらず改訂によっても全く変わっていないこと、またのロードマップでプロットした年度が途中で終わっていることが示すように、微細化が遠い将来にわたって進むことを保証するものではない。近い将来(near term)については、微細な加工技術を克服していくことでデバイスの製造が可能となるため、比較的予想がしやすい。これに対して遠い将来(long term)においては、フラッシュメモリにおけるセルトランジスタの構造・動作が、通常の MOSFET と大きく異なっていることに起因する、フラッシュメモリ固有の微細化の限界を設定してしまう。具体的には、書き込み読み出しのためにゲート絶縁膜にトンネル電流を流すこと、FG であることによるインターポリ絶縁膜の存在、および FG に蓄えた電荷で閾値を制御するという動作原理、等が挙げられる。

一般的にゲート長を微細化する場合には、それに伴ってゲート絶縁膜の厚さも薄くなる。しかしながら FG 構造の NAND においては、ゲート絶縁膜であるトンネル絶縁膜を薄膜化すると SILK が増加してしまうため、ゲート長の微細化に合わせたトンネル絶縁膜の微細化ができない。Fig.3 にトンネル酸化膜の EOT の変遷を示したが、将来的な予測も含めて、トンネル絶縁膜の薄膜化下限が 6.5nm と予想されており、これが FG 型の NAND の微細化に対する長期的な阻害要因の一つとなっている。



図表 4-11 トンネル酸化膜の薄膜化トレンド

FG 型 NAND の最も構造的な特徴として挙げられるのが、FG と CG(コントロールゲート)の間に形成されるインターポリ絶縁膜(IPD)の存在である。現時点は酸化膜/窒化膜/酸化膜の積層構造を持つ ONO 膜が用いられている。この膜を用いる限り、誘電率がトンネル絶縁膜と大きく変わらないため、その容量を増加させるため、FG をくるむように ONO 膜を形成せねばならず、この FG の脇の ONO 膜の存在が、微細化阻害要因となる。そこで ONO に代わる膜として、より誘電率の高い high-k 膜が候補となる。これにより FG の側壁に IPD 膜を形成する必要がなくなるため、FG 型の NAND の微細化にとって必須の要素技術となるが、現時点実用化には至っていない。この切り替わりの時期は、ITRS2005 では 2010 年としていたが、ITRS2007 では 2011 年に、さらに 2008Update では 2013 年に後ろ倒された。これは ONO を IPD として用いた FG 型の NAND の微細化が予想を超えて進んだことによる。

FG 型の NAND では、FG 内部に蓄えた電子による電界によって、トランジスタの閾値をコントロールする。セル間の距離が離れていれば、セル相互での影響もないが、微細化によりセル間隔が縮まると、本来影響を与えないはずの隣のセルの状態が閾値に影響を与えようになる。これを近接セル効果という。この効果は、三次元的に影響するものであるため、微細化に対する影響は極めて予測しにくい。

以上のような FG 型の NAND が本質的に持つ課題に対しする解決策が不透明なことが、どの時点を「フローティングゲート構造の終焉」とすべきであるかの設定が難しくなっている。実際、ITRS2005 では 2020 年まで作成されていたロードマップが、ITRS2007 では 2017 年までとなっている。今後の技術開発の結果だけでなく、CT に移行するに適切な時期がフローティングゲートの終焉となることが、予想をさらに難しくしている。

ただし現時点において、STI の Fill が NAND を作るための最大の課題となっている。この項目は、ITRS2006 Update で加えられ、現時点、NAND の Table の中で、最も早い時期にセルが黄色くなっている。書き込み、消去時に高い動作電圧が必要となるため、STI が他のデバイスに比べて深く、また NAND が微細化の先端を進んでいること、この幅を狭くすることがセル面積の縮小化に不可欠であること等の理由による。STI を埋めるだけであれば Spin on の採用も有り得るが、使用電圧が高いことから、固定電荷を持つような材料は使うことができず、埋め込み材料の選択が難しい。

4-2-5-2 CT(チャージトラップ)型 NAND フラッシュメモリ

FG 型の次のフラッシュメモリとして想定されているのは CT(チャージトラップ)型である。FG 型が導電体である FG の中に電荷を蓄えるのに対し、CT 型ではゲート絶縁膜の中に電荷を蓄える。この結果として、トンネル絶縁膜の薄膜化限界、インターポリが FG をくるむことによる面積増加、及び近接セル効果による問題は、いずれも軽減される。ただし現時点、FG 型の方が安定して電荷を蓄えられ、また微細化が予想を上回るスピードで実現されているため、CT は現時点、FG に置き換わるデバイスとはなっていない。

CT のロードマップは、PIDS の Table においては ITRS2003 で SONOS の表現で初めて登場し、その後 ITRS2007 で CT と明記されて別テーブルが作成された。これに対して FEP においては、最新の 2008update においても、text 中の記述に留まっており、Table は作成されていない。これは FEP の Table では、ロードマップを作るべきは量産されるデバイスについてと考えており、CT の生産時期が全く不透明であったことによる。またその生産される際のプロセス、および要求値が明確でないことも、Table を作成していない理由であった。ただし、上述のように FG の将来が明確であるわけでもなく、現在作成中の ITRS2009 では、CT の Table を作成することが予定されている。

4-2-5-3 その他の不揮発性メモリ

不揮発性メモリのロードマップの PIDS との不一致としては、MRAM や SOI-NAND についても、PIDS には Table があるが FEP にはない点で、事情は同じである。この不一致は、上記 CT 型 NAND で書いたのと同じで、FEP の Table では、ロードマップを作るべきは量産されるデバイスについてと考えているためである。SOI-NAND は現時点、生産されていない。一方 MRAM については、生産量、メーカーの数が、「2 社で 10k/M」という ITRS で定義する量産の criteria を満たしていないが、生産されている。このことから MRAM については、2010update 以降での Table 作成の検討を進めている。

4-3 2008update における変更点と ITRS2009 に向けた方針

ITRS2008 では text の変更はなく、Table 中においていくつかの変更があった。特筆すべきは Lg のスケールリングの後ろ倒しである。本章ではこの Lg の後ろ倒しの経緯、および、これ以外の変更点について記す。

4-3-1 Lg の後ろ倒し

ロードマップに記載されている MPU の Lg の値が、実態以上に微細化されているとの指摘は、2007 年 12 月に開催された、ITRS 東京大会で初めて指摘された。以降、US の FEP を中心に、2008 年時点で市販されているデバイスの分析、及び微細化トレンドの予測の見直しにより、2008update で Lg の見直しがなされた。Fig.5 に示したように、2008 年については Lg を 3 年後ろ倒し、以降の年については緩和された微細化トレンドにしたがってロードマップを機械的に後ろ倒している。この結果として 2009 年/2010 年が空白となってしまうが、ここには EOT=1.0nm(2009 年)、0.95nm(2010 年)という値を入れる(セルの色は白)こととした。また Extension の接合深さについては、2007~11 年にかけて、暫定的に微細化が緩むため、当初計算では一旦深くなり、再度浅くなるという不可思議なものとなっていたが、これについては特に構造が変わったわけではないので、ロードマップとしてあまりに奇異であることから、2007~11 年の間、11nm で変化なしという Table とした。

FDSOI と Multi-Gate も、bulk の MOSFET での限界からその導入時期が決められているため、Lg の後ろ倒しに伴って遅くなる。これにより、bulk/FDSOI/FinFET のオーバーラップする期間も変わる。

このような暫定的なやり方で Table 中の各数値が決められているため、要求値としての精度が十分であるとは言いがたい。しっかりとした計算は、2009 年の改定の際に行なう予定である。また ITRS では、これまで性能指標としていた CV/I に加えて ring oscillator (RO) delay も用いることが予定されている。また ITRS2009 に向けて、Lg の再確認を行なっているが、最近の学会発表に基づく、さらに 1 年の後ろ倒しが必要な可能性があり、現在議論中である。

上記は MPU についてであるが、LOP も合わせて後ろ倒しされた。よりゲート長の長い LSTP は変更なしとなっている。

4-3-2 Starting Material

テーブルの中の行の項目に、Production の定義として、「>20k wafers per month」との記載がある。この記載は、IRC/FEP/FI 合意の下で ITRS2005 の改定の際に追加されているが、「20k per month のラインが Production 状態になるのは 20k wafers start per month」という合理的な内容であったように思える。しかし、2012 年に Pilot Line がコミットされているという最近の情勢に合わせて、ITRS2008update の FEP Table ではこ

の定義を削除した。なお、関連する ORTC の記載では「>20k parts per month」に修正されている。

4-3-3 Surface Preparation

今後要求値について、デバイスごとに異なった値とする予定。Surface Prep と Starting Material との間での Particle size の定義の不一致については、notes に記載するなどの方法も含め、2009 年に向けて明確にすることを考える。

4-3-4 Thermal Thin Film and Doping

Lg の後ろ倒しについては 4-2-1 に書いた通り。コンタクト抵抗であるが、これ以外には Color Code の区切りの変更に関し、 $\geq 5E-8 \Omega \text{ cm}^2$ が白となった。これは、最近の論文で、その程度のコンタクト抵抗が実現されることが報告されているため。

4-3-5 DRAM

Stacked DRAM の half pitch を、ORTC Table の変更に伴って変更する。Trench DRAM については、Qimonda の微細化中止のアナウンスにより、2009 年以降はロードマップを作成しない。

Stacked DRAM の Table では、誘電率が一旦増加し、その後減少するというものとなっている。Stack DRAM の作成担当である韓国の FEP メンバーによると、将来的に Capacitance が少なくとも済む構造を Potential Solution として考えているとのこと。

4-3-6 ロードマップの構成

FEP では ITRS2009 より、Table のシートの構成をデバイスごとに分ける。これは、特に Thermal/Thin Films/Doping のシートが大きくなってしまって読みづらいため。デバイスごとに Table のシートをつくと、他のシートとの間でオーバーラップが発生するが、それは OK とする。CMP の Table を追加。

Parallel Path に関して、どのように切り替わるかの説明が必要との問題提起があった。Multi-gate のような 3D デバイスの採用と、チャネル材料の変更は、いずれも一旦行なわれたら後戻りするとは思われない。特にチャネルの新材料への変更はリスク高いことを text 等に記載する。

4-4 まとめと今後の課題

2008 年度の活動は、

- 1) ITRS2007 の内容に問題という理由から、寄生抵抗(コンタクト抵抗)、寄生容量、Flash メモリ に対して技術動向調査を行い、
- 2) 今後のロードマップ検討に生かす目的で、450mm ウェハ動向(+多結晶 Si 供給状況)、高移動度材料、ランダムばらつき、接合評価技術の調査を行った。

調査結果の一部は、ITRS2008update および ITRS2009 の検討項目として反映している。

ITRS2008update ではゲート長スケーリングの後倒し修正があり、それに伴って多くの数値を暫定的に見直した。ITRS2009 に向けては、ITRS2008update で暫定的に決めた数値の精度向上が必要になる。他 WG(特に PIDS)にあって FEP に無い CT-Flash と MRAM に関して、テーブル化の検討を進める。

2009 年度の技術調査活動は、

- ・高移動度材料に関する技術動向調査(継続)
- ・FEP の内容に沿った『ばらつき』の調査(継続)
- ・Lg 微細化および低電圧化を阻んでいる Show Stopper に関する議論
- ・3D 構造に関連するプロセス課題の検討

を行う予定である。

4-5 謝辞

2008 年度の技術調査で下記講師の方々に講演いただき、また他の WG の方々と共通テーマに関して議論する機会をもつことができました。ご協力いただいた各位に深謝いたします。

開催日	テーマ	講師	備考
08.3.7	コンタクト抵抗に関する議論	—	WG4 会議
08.7.4	GaN on Si 結晶の現状と可能性について	コハレントマテリアル:阿部氏	WG6 から参加
	微細 CMOS における寄生容量の影響	富士通研:初山氏	
08.7.30	高移動度基板エンジニアリング	東大:高木先生	WG6 と合同
	Emerging Research Device の状況	東大:平本先生	
08.11.19	設計から見たばらつきの制御	東芝・吉村氏	
08.12.24	太陽光発電の最新技術動向	豊田工大:大下先生	
	拡大する太陽電池市場と AMAT 太陽電池製造装置	AMJ:佐藤氏	
〃	FEP シミュレーションに関する議論	—	WG10 から参加
09.1.30	FEP 技術紹介(材料導入の観点から)	—	WG13 会議
09.3.26	SSRM による接合評価	東芝・張氏	WG14&10 合同