

第5章 WG4 配線

5-1 はじめに

WG4(配線 WG)の活動概要

昨今の半導体技術は、「More Moore」と「More than Moore」の二つの概念に象徴されるように、さらなる微細化を推進する路線と、必ずしも微細化に依らない手法によって新たな付加価値を創造する路線の大きく二つに分かれて議論されるようになった。この背景には、今後の CMOS が微細化を行っても高性能化や低電力化が益々困難になってきていることや、微細化やウェーハ大口径化に伴って開発費や設備投資額が爆発的に増大しており、特に、少量多品種の先端 SoC ビジネスでは新規の投資を回収することが極めて難しいという側面がある。従って、最先端の微細化技術を使わずに、他の素子との融合によって多機能化しようとする、所謂、「Heterogeneous Integration」という言葉が 2007 年から登場するようになった。このような状況下において、我々は、「More Moore」と「More than Moore」について、一般読者にも分かりやすくそれぞれの路線の技術開発の方向性と具体的な数値指標を提示することが要求されている。配線 WG もこの業界情勢を強く意識し、上記二つの路線に対応する「More Moore ～微細化の深耕～」と「More than Moore への展開」という切り口で技術課題を整理し、積極的な活動を展開してきた。

我々は毎年、「論理的根拠に基づいた、合理的かつ現実的な配線技術ロードマップ作成」を基本方針に、将来まで見据えた一貫性のある論理を堅持したいという理想を失わず、現実から乖離しないような活動を心掛けてきた。「配線構造やデザインルール」、「配線抵抗」、「配線容量」、「電流密度」の四つの観点から毎年継続的に議論を行ってきたが、今年度は、以下の四項目を配線 WG の活動方針とした。

- ① low-k 技術の導入実績や今後の導入計画を考慮して、現実的かつ合理的な low-k ロードマップの見直しを行う。
- ② 周波数鈍化を受けて改訂した $J_{\max}$ (最大電流密度)指標について、そのモデルをより現実的なものに見直し、最適化を図る。
- ③ ロジックデバイス向けコンタクト抵抗の定義をフロントエンド WG(FEP-WG)との議論を通して明確化するとともに、ITRS2009 に向けて配線 WG としての要求スペックの議論を始める。
- ④ TSV(Through Silicon Via;シリコン貫通ビア)技術のロードマップ策定に向け、実装 WG(WG7)との議論を通して配線 WG がカバーすべき領域の明確化を行う。

①と②は、ITRSロードマップ策定作業において国際的にも期待されている日本の重要な取り組み内容であり、今年度も十分な時間をかけて議論してきた。層間絶縁膜のk値トレンドについては、学会発表ベースからは読み取れない実際のlow-k導入実績や今後の導入計画を基にバルクk値の改訂を行った。また、 $J_{\max}$ については、導出モデルパラメータを専門家であるITRS System & Design TWGのAndrew B. Kahng氏(U. C. San Diego)の意見を参考に、より現実的なものに見直して議論の精度を上げた。さらに、③については、現在、配線WGではDRAM向けのコンタクト/ビア抵抗の目標値しかロードマップに掲載しておらず、それらがロジックデバイス向けのコンタクト構造とは異なるために、FEP-WGがカバーしている「コンタクト抵抗」の定義とは異なっていることから、お互いが扱うべき領域を明確にするための議論を行った。

一方、④の TSV は「More than Moore」路線における鍵を握る技術として、三次元集積化によるデバイスの多機能化の実現に必要不可欠であるが、ウェーハプロセスと実装プロセスに跨る広範囲な技術であるために、実装 WG とカバーすべき領域を議論して分担を明確にする必要があった。そこで、今年度は、実装 WG と「3DI(3-Dimensional Integration)/TSV 技術交流会」を開催し、TSV の微細化の動向や各社の TSV 技術を用いたアプリケーションの動向を踏まえて、配線 WG が今後狙うべき TSV 径・ピッチ・深さについて実装 WG との棲み分けを行った。これらの結果は ITRS サンフランシスコ会議でも議論され、配線 WG として扱うべき HD(High Density)TSV の定義や想定アプリケーションの抽出、TSV ピッチトレンドの決定に大いに貢献した。

本報告では、冒頭の「More Moore～微細化の深耕～」の節で、32nm世代以降のCu/Low-k配線技術の課題について述べた後、材料やプロセスに起因した不良モードやその要因について詳しく解説する。その後、今年度の最重要取り組みであるITRS2008 改訂内容(k値、 J_{max})についてこれまでの背景や経緯を含めて詳細に解説する。次に、FEP-WGと議論したコンタクト抵抗の定義と配線WGのカバーすべき領域について触れた後、究極のLow-k技術及びPost-Cu技術であるAir-Gap及びCNT(Carbon Nano-tube)の最新動向と実用化における解決すべき課題について述べる。「More than Mooreの展開」の節では、Difficult Challengesにおける配線技術の位置付けについて述べた後、三次元集積化によるデバイスの多機能化を実現していく上での重要な要素技術であるTSVの最新動向と各社が想定しているアプリケーションについて解説し、TSVピッチや深さから見た実装WGとの境界領域とHDTSVロードマップの策定内容について述べる。

ここで、今年度の活動概要を以下に列挙しておく。

【活動概要】

- ITRS 国際会議(4 回): Koenigswinter(4 月)、Burlingame (6 月)、San Francisco (7 月)、Seoul (12 月)
- STRJ 国内会議(8 回): WG4 会議(4/18、5/23、7/4、8/8、10/31、11/18、1/23、3/17)
- WG4/WG7(実装)「3DI/TSV 技術交流会」(6 月)

5-2 More Moore ～微細化の深耕～

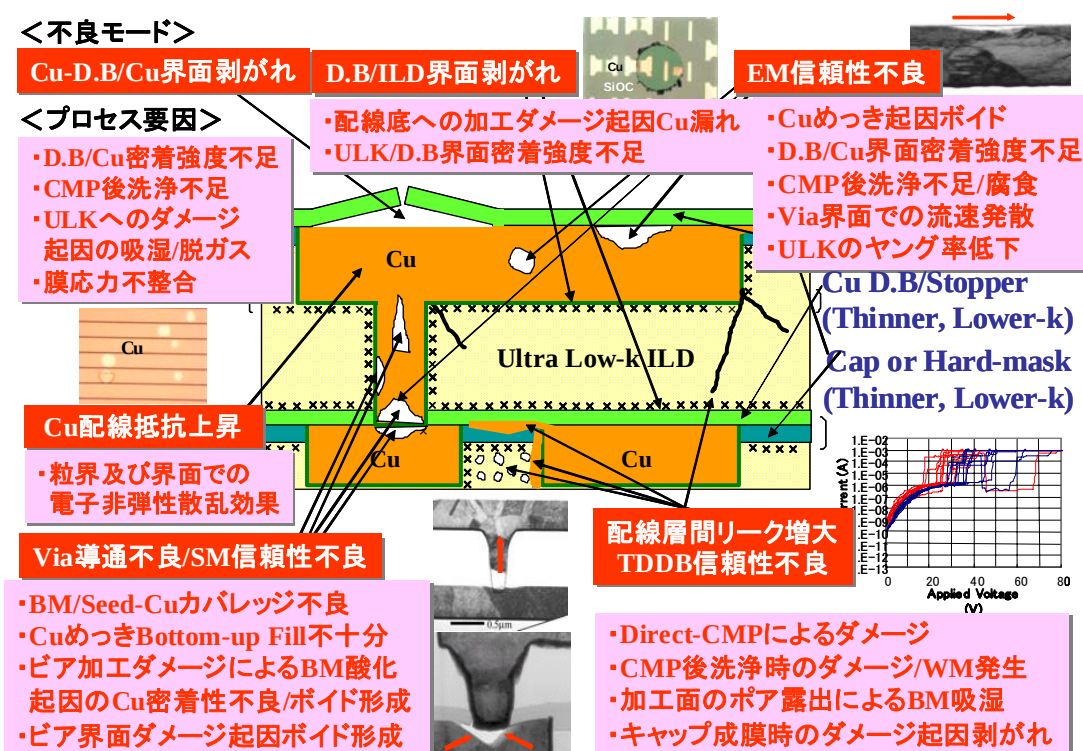
5-2-1 32nm 世代以降の Cu/Low-k 配線技術の課題

ここでは、Cu/low-k 配線技術の課題について述べる。下層(微細・薄膜)Cu ダマシン配線においては大きく分けて三つの深刻な課題が顕在化してきている。第一は微細・薄膜 Cu ダマシン配線形成のためのトレンチ／ビア内へバリアメタル(BM)／Cu 埋め込み困難度の増大である。これは、世代とともに配線間口が確実に縮小化されるために、従来の PVD(Physical Vapor Deposition)法による BM/Seed-Cu 成膜では、間口でのオーバーハングやビア側面でのカバレッジ劣化によって、その後の Cu 電解めっき時のボイド形成を抑制することが難しくなっていることによる。第二には、Cu 結晶粒界及び界面での電子の非弾性散乱による電気抵抗の上昇である。配線幅が Cu 中の電子の平均自由行程(34nm)の 3 倍を下回ってくると、Cu 結晶粒界や配線側面/上下界面における電子の非弾性散乱の影響が無視できなくなり、顕著な電気抵抗の上昇として観測される。そして、第三はエレクトロマイグレーション(Electro-Migration: EM)、ストレスマイグレーション(Stress-Migration: SM)、Time-dependent Dielectric Breakdown(TDDDB)などの信頼性確保の困難度増大である。特に、EM 信頼性においては、Cu 拡散機構が Cu 上面と Cu 拡散防止(Diffusion Barrier)膜との界面拡散で決まっていることから、Cu 配線やビアの微細化に伴って EM 信頼性は益々低下していくことに加えて、層間絶縁膜や Cu 拡散防止膜の low-k 化に伴う機械的強度や界面強度の低下によって、設計的に要求される最大電流密度を確保することが困難になってきている。

一方、low-k 層間絶縁膜に関しては、k 値低減化、特に多孔質化が必要となる k 値 2.4 以下まで低減してくると、機械的強度(ヤング率、硬度)やプラズマダメージ耐性の低下に伴う配線容量増大や、配線間リーク増大、信頼性の低下が益々深刻化してくる。また、これに伴い配線／ビア加工も難しくなり、加工形状や CD(Critical Dimension)の制御性が低下してくる。さらに、配線容量低減のためには、配線間／ビア層間 low-k 膜に比べて k 値が高い CMP 保護層(或いは DD(Dual Damascene)加工時のハードマスク、或いはキャップ層)を用いない絶縁膜構造が望まれるが、このためには low-k ダイレクト CMP が要求される。しかしこの場合には、せん断応力下での物理ダメージによる吸湿起因の k 値上昇やウォーターマークの発生、疎水性 low-k と親水性 Cu 配線の境界領域での異常研磨、これらに起因した配線間リークの増大などの不具合が現れる。

図表 5-1 に、典型的な外観上、電気特性上、信頼性上の不良モードと Cu や low-k 材料・プロセスに起因した要因について纏めた。外観上では、Cu/Cu 拡散防止膜(D.B)界面や D.B/low-k 絶縁膜界面での剥がれが発生する。これは、CMP 後洗浄不足による界面の密着強度不足が要因の場合もあるが、最も本質的な要因は、

DD 加工時の配線底や側面、ビア側面へのダメージに起因した吸湿や脱ガスによる密着性の低下である。これらの要因は剥がれのみならず、EM 信頼性を劣化させることが知られている。また、ビア導通不良は BM/Seed-Cu のカバレッジ不良や Cu めっきの Bottom-up Fill 能力不足によるものが一般的だが、ビア加工時の low-k へのダメージによってビア側面の low-k 膜が吸湿し、その後ビア側面に成膜される BM が酸化することで Cu との密着性が劣化し、これが引き金となって SM 信頼性不良を引き起こすことも報告[1]されている。一方、low-k Direct-CMP によって low-k 表面がせん断応力によって物理ダメージを受けたり[2]、ウォーターマークが発生することによって配線間リークが増大したり、TDDB 信頼性劣化を引き起こしたりすることも報告されている。従って、ハードマスクを用いたアッシャーレス DD 加工やダメージレス CMP や洗浄・乾燥などの施策が low-k へのダメージ低減の鍵を握っている。また、剥がれや EM 信頼性・TDDB 信頼性の劣化要因である界面密着強度の改善については、プラズマ前処理や後処理の最適化、CMP の低圧化や低摩擦化によるダメージの低減、CMP 後洗浄の最適化が重要な施策である。



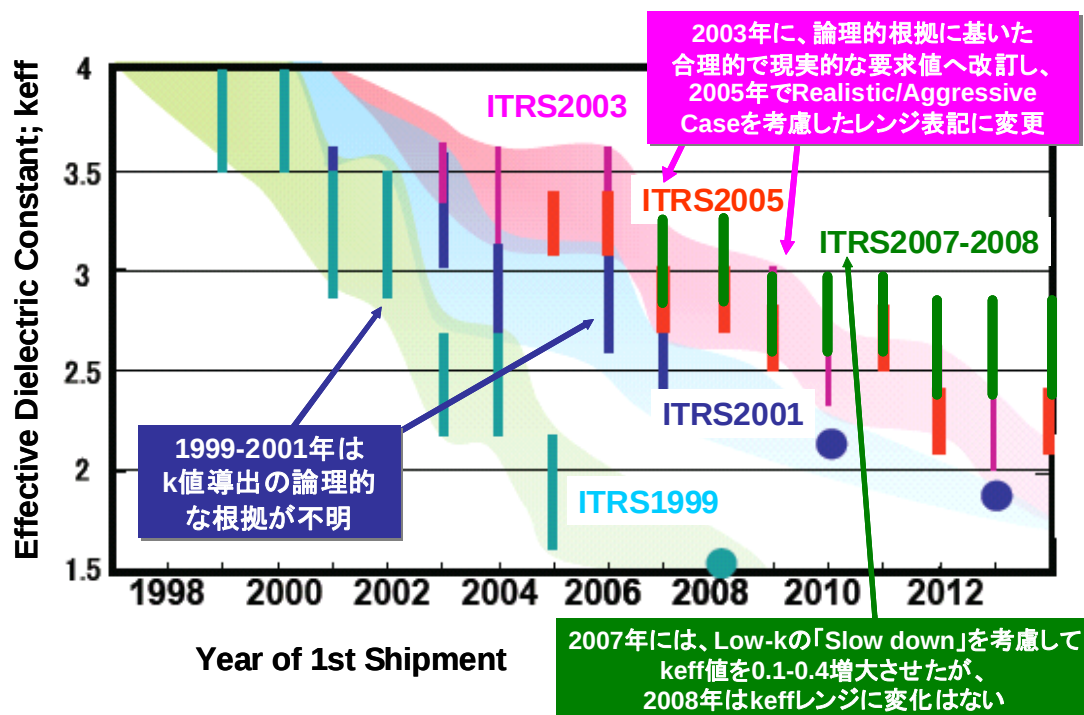
図表 5-1 Cu/Low-k 材料・プロセス起因の不良モードとその要因

5-2-2 ITRS2008 改訂

low-k ロードマップの見直し

配線WGでは、2003 年度に掲げた「論理的根拠に基づいた、合理的かつ現実的な配線技術ロードマップ」という基本方針を踏襲しながら、low-kロードマップの継続的な見直しを行ってきた。図表 5-2 にITRS low-kロードマップの変遷を示した。1999～2001 年にかけては日本が殆どlow-kロードマップ策定に関わっていなかったこともあり、k値の導出根拠も不明瞭な時代であった。この頃に策定したロードマップでは2008 年の実効比誘電率 k_{eff} として1.5 程度を予測していたが、これは後述のAir-Gap構造を意味しており、今見てもまったく非現実的なロードマップであったことは言うまでもない。そこで、2003 年度には日本が主導してlow-kロードマップの大幅な改訂を行った。具体的には、論理的な根拠に基づいた合理的で現実的なロードマップ策定を目指して、典型的な3 種類の絶縁膜構造(Capless-Homogeneous構造、Homogeneous構造with Cap、Hybrid構造)について配線間及びビア層間low-k材料やCu-D.B膜、CMP保護膜などのk値を用いた容量計算を行い、 k_{eff} を算出し、 k_{eff} の最小値と最大値のレンジ表記を行

った。



図表 5-2 ITRS low-k ロードマップの変遷(1999～2008 年度)

	90nm	65nm	45nm	32 nm
Intel	 CVD SiOC DD ($\kappa=2.9$)	 CVD SiOC DD ($\kappa=2.9$)	 CVD SiOC DD ($\kappa=2.6$)?	
IBM	 CVD SiOC DD ($\kappa=3.0$)	 CVD SiOC DD ($\kappa=2.75$)	 CVD SiOC DD ($\kappa=2.45$)	
TSMC	 CVD SiOC DD ($\kappa=3.0$)	 CVD SiOC DD ($\kappa=2.5$)	 CVD SiOC hybrid DD ($\kappa=2.2/2.5$)	 CVD SiOC DD ($\kappa=2.2-2.3$)?
Renesas	 CVD SiOC DD ($\kappa=2.9$)	 CVD SiOC stack DD ($\kappa=2.6/3.0$)	 CVD SiOC DD ($\kappa=2.65$)	
Fujitsu	 CVD SiOC DD ($\kappa=2.9$)	 NCS/CVD SiOC stack DD ($\kappa=2.25/2.9$)	 NCS/NCS stack DD ($\kappa=2.25/2.25$)	 NCS/NCS stack DD ($\kappa=2.25/2.25$)
Toshiba Sony NECEL	 CVD SiOC DD ($\kappa=2.9$)	 PAR/SiOC hybrid DD ($\kappa=2.6/2.5$)	 P-PAR/p-SiOC hybrid DD ($\kappa=2.3/2.3$)	 ULK-PAR/SiOC hybrid DD ($\kappa=2.0/2.0$)

図表 5-3 主要国際学会発表(2003～2008 IITC、IEDM、VLSI シンポジウム、AMC)に見る low-k 技術動向

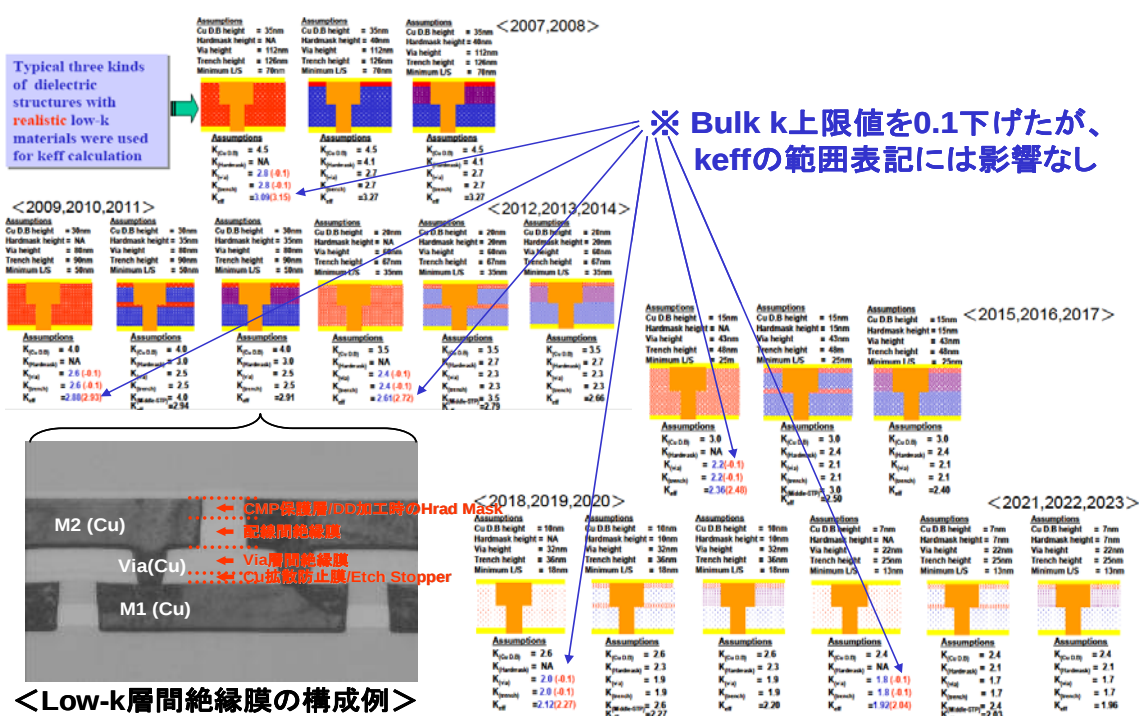
また、2005 年度の改訂では、3 種類の絶縁膜構造において、「リスクが大きいが入手可能と判断されるlow-k材料の k 値を採用したAggressive Case」と、「現実的に入手可能と判断されるlow-k材料の k 値を採用したRealistic Case」の二つのケースについて k_{eff} を計算し、計6種類の k_{eff} の最小値と最大値のレンジ表記に変更した。さらに、2007 年度版では、前述のようにlow-k材料起因の様々な特性上、信頼性上の課題に直面し、その解決に時間を要した影響で実デバイスへのlow-k材料の導入遅れが発生(Slow down)したことを受けて、バル

ク k 値及び k_{eff} 値を0.1~0.4程度増大させた。

	90 nm	65 nm	45 nm	32nm
Company A	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=2.8) →	CVD SiOC DD (k=2.6)
Company B	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=2.5-2.75)? →	CVD SiOC DD (k=2.2-2.4)?
Company C	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=2.5) →	CVD SiOC DD (k=2.4)
Company D	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=2.8) →	CVD SiOC DD (k=2.6)
Company E	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=3.0) →	CVD SiOC DD (k=2.75) →	CVD SiOC DD (k=2.4)

図表 5-4 実際の low-k 導入実績と今後の導入計画

そして 08 年度は、昨年度に引き続いて low-k 材料の実デバイスへの導入実績や今後の採用計画を考慮して k 値見直しを行った。まず、図表 5-3 に 2003～2008 年の主要国際学会発表から見た low-k 技術動向を示した。昨年度は 45nm 世代までの学会発表しかなかったが、今年度は 3 社から 32nm 世代向けの発表が加わった。こうして眺めると 45nm 世代以降デバイスメーカー間の k 値に大きなばらつき($\Delta k=0.3\sim 0.4$)が生じて来ていることがわかる。また、図表 5-4 には、社名は明かせないが、市場に出回っている各社の SoC チップの分解調査結果やプライベート・インタビュー結果に基づいた low-k 導入実績や今後の導入計画を示した。学会発表に比べて実際の low-k 材料の導入は一世代程度遅れてはいるが、low-k 材料の有力候補が絞られてきているためにデバイスメーカー間の k 値ばらつきは学会発表の場合よりも 0.1 程度小さくなっている。



図表 5-5 Realistic Caseにおける典型的な 3 種類のlow-k絶縁膜構造における k_{eff} 計算結果

そこで、バルクk値を 0.1 低下させた場合の k_{eff} の見積もり結果を図表 5-5 に示した。Realistic Caseにおける 3 種類の絶縁構造のうちで最大のk値を用いているCapless-Homogeneous構造の配線間及びビア層間low-k材料のk値を 0.1 下げて k_{eff} を計算した。勿論、バルクk値を 0.1 下げたために k_{eff} もその分低下したが、Realistic Caseの他の 2 種類の絶縁膜構造の k_{eff} やAggressive Caseの 3 種類の絶縁膜構造の k_{eff} と合わせた計 6 種類の k_{eff} のレンジに影響を与える変化ではなく、結果的に k_{eff} レンジに変化はなかった。

		Near-term					
Was	Year of Production	2008	2009	2010	2011	2012	2013
	Interlevel metal insulator – effective dielectric constant (κ)	2.9-3.3	2.6-2.9	2.6-2.9	2.6-2.9	2.4-2.8	2.4-2.8
Is	Interlevel metal insulator – effective dielectric constant (κ)	2.9-3.3	2.6-2.9	2.6-2.9	2.6-2.9	2.4-2.8	2.4-2.8
Was	Interlevel metal insulator – bulk dielectric constant (κ)	2.5-2.9	2.3-2.7	2.3-2.7	2.3-2.7	2.1-2.5	2.1-2.5
Is	Interlevel metal insulator – bulk dielectric constant (κ)	2.5-2.8	2.3-2.6	2.3-2.6	2.3-2.6	2.1-2.4	2.1-2.4
As Is	Copper diffusion barrier and etch-stopper – bulk dielectric constant (κ)	4.0-4.5	3.5-4.0	3.5-4.0	3.5-4.0	3.0-3.5	3.0-3.5

Long-term									
2014	2015	2016	2017	2018	2019	2020	2021	2022	2023
2.4-2.8	2.1-2.5	2.1-2.5	2.1-2.5	2.0-2.3	2.0-2.3	2.0-2.3	1.7-2.0	1.7-2.0	1.7-2.0
2.4-2.8	2.1-2.5	2.1-2.5	2.1-2.5	2.0-2.3	2.0-2.3	2.0-2.3	1.7-2.0	1.7-2.0	1.7-2.0
2.1-2.5	1.9-2.3	1.9-2.3	1.9-2.3	1.7-2.1	1.7-2.1	1.7-2.1	1.5-1.9	1.5-1.9	1.5-1.9
2.1-2.4	1.9-2.2	1.9-2.2	1.9-2.2	1.7-2.0	1.7-2.0	1.7-2.0	1.5-1.8	1.5-1.8	1.5-1.8
3.0-3.5	2.6-3.0	2.6-3.0	2.6-3.0	2.4-2.6	2.4-2.6	2.4-2.6	2.1-2.4	2.1-2.4	2.1-2.4

Change maximum bulk k value from 2.9 to 2.8 corresponding to 45nm actual introduction in manufacturing of low-k material.

2.5-2.9 → 2.5-2.8 @2007-2008

Beyond 2009, decrease maximum bulk k value by 0.1.

2.3-2.7 → 2.3-2.6 @2009-2011

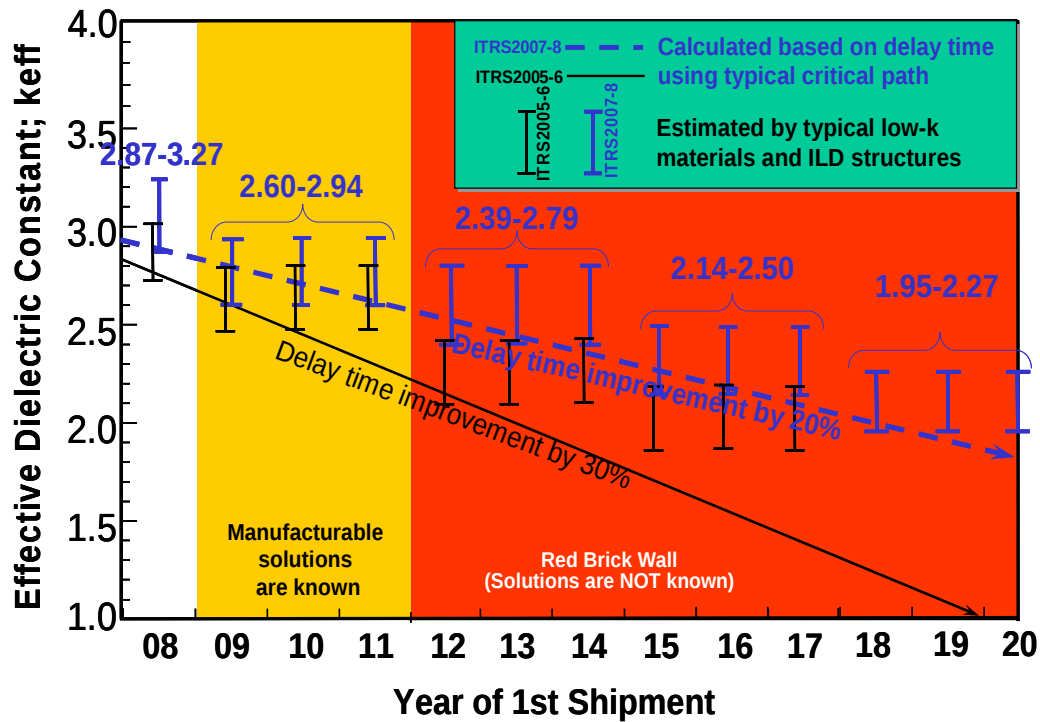
2.1-2.5 → 2.1-2.4 @2012-2014

1.9-2.3 → 1.9-2.2 @2015-2017

1.7-2.1 → 1.7-2.0 @2018-2020

1.5-1.9 → 1.5-1.8 @2021-2023

図表 5-6 ITRS2008 low-k ロードマップテーブル(2007 年度版との比較)


 図表 5-7 k_{eff} ロードマップ(ITRS2005～2008 年度版の変遷)

図表 5-6 に ITRS2008 low-k ロードマップテーブルを 2007 年度版と比較して示した。2008 年から 2023 年にかけてバルク k レンジの最大値を 0.1 低下させたが、 k_{eff} レンジには変化がなかったことを示している。図表 5-7 には、 k_{eff} ロードマップを 2005 年度版からの変遷として示した。図中の実践と破線は、SoC の典型的な性能律速経路における配線長分布を考慮した配線遅延モデル[3]を用いて計算した、性能改善率 30% と 20% を達成するために要求される k_{eff} のスケーリングカーブである。2005 年度から 2006 年度にかけては性能改善率 30% に相当した k_{eff} ロードマップを策定していたが、2007 年度に入って low-k 化の「Slow down」を反映させて性能改善率を 20% に低下させた。2008 年度も結果的には 2007 年度と同じ k_{eff} ロードマップとなった。

J_{max} のモデルパラメータの見直し

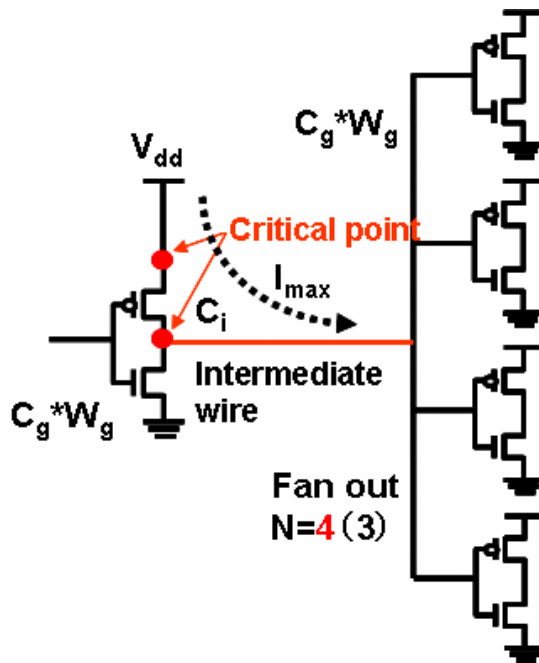
J_{max} に関して ITRS2008 年版では、計算モデルは昨年と同様、図表 5-8 に示すものであるが、計算に用いるモデルパラメータがより適切な値となるように、回路設計側の意見(前述の A. B. Kahng 教授)を参考にして、モデルパラメータの見直しを行った。さらに 2007 年時点での J_{max} の値が、主要なデバイスメーカ(IDM)の実情に合うようにフィッティングを行った。

デル自体は 1999 年以来、基本的に変わっていないが、ITRS改訂に合わせて実状に合うように、パラメータの見直しを行ってきている。最近では、昨年の見直しによって、 $J_{\max}$ が、クロック周波数の伸びの鈍化を反映して、図表 5-9 に示すようにITRS2006 年版からITRS2007 年版で大幅に緩和された。

以下に計算の詳細について説明する。クロック周波数で信号配線に流れる電流 $I_{\max}$ および電流密度 $J_{\max}$ は次式で表される。

$$I_{\max} = f \cdot (C_g \cdot W_g \cdot N + C_i) \cdot V_{dd}$$

$$J_{\max} = I_{\max} / (W \cdot H)$$



図表 5-8 $J_{\max}$ の計算モデル

$J_{\max}$ の見積もりでは、図表 5-8 に示すインバータ回路に接続された信号配線(Intermediate配線)を流れる最大電流密度を以下の式で計算している。このモ

ここで、 f :周波数、 N :Fan out、 V_{dd} :電源電圧、 W :配線幅、 H :配線厚である。今回は、上述のように回路設計側の意見を参考に見直したパラメータを含め、以下のものを用いた。

- (1) 最小のトランジスタ幅($W_{\min}$)として、NMOS=(ASICのHalf-pitch)×4、PMOS=(NMOSのゲート幅)×2を仮定・・・変更なし
- (2) モデル回路のトランジスタ幅(W_g)は、 $W_g = W_{\min} \times 2$ を仮定・・・×8 から×2 に変更($J_{\max}$ の実情に合わせるため)。
- (3) 信号線は最小ピッチで置かれた最小線幅の Intermediate 配線が使われるとして、その配線長(L)は、 $L = \text{配線ピッチ} \times 400$ と仮定・・・×200 から×400 に変更(設計側の意見を元に変更)
- (4) 配線容量(C_i)の算出は、Table INTC2 の値(k_{eff} を含む)を使用・・・ITRS2008 Updateの k 値見直しを反映して変更
- (5) 周波数(f)の値は、Table ORTC-4CD の値を使用・・・ITRS2008 Update の値を使用(2007 年版と同じ値)

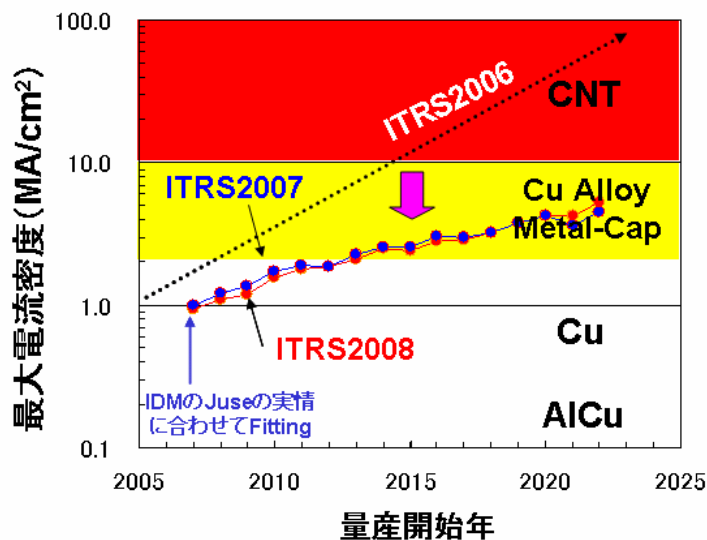
この結果、図表 5-9 に示すように、 $J_{\max}$ の値は結果的にITRS2007 年版とほぼ同じとなり、 $J_{\max}$ のトレンドにおいてクロック周波数の伸びの影響が大きいことがわかる。配線技術において $J_{\max}$ の値は、EM耐性への要求指標という意味を持っている。従来、白、黄、赤など解決策の有無、困難度を示す色分けに関して、 $2\text{MA}/\text{cm}^2$ までは、従来のCu配線で量産適用可能なレベルを示す白、 $2 \sim 10\text{MA}/\text{cm}^2$ までは、Cu合金やメタルキャップといったEM耐性向上の報告を元に解決の見通しがある黄色としている。 $10\text{MA}/\text{cm}^2$ を超える $J_{\max}$ については現時

点でまだ解決の困難度が高く、CNT[4]のようにEM耐性が高いと考えられる新材料が必要と考えられる。予想される $J_{\max}$ の値からは、将来的に $10\text{MA}/\text{cm}^2$ を超えない見通しとなっており、その結果、EM耐性向上技術の必要性が低いように思われるかもしれないが、現実には微細化に伴うEM寿命の低下が、 32nm ノード以降、以下に述べるような要因によって、顕著になってきている。

- ・ 電流密度一定でも界面拡散の影響増大により配線幅とともに EM 寿命が低下[5]。
- ・ 微細化とともに Cu とキャップ絶縁膜(D.B:dielectric barrier=拡散防止膜と同じ)との界面の割合の増加や故障に達するボイド体積の減少により EM 寿命が低下[6]。
- ・ Low-k 膜では弾性率が低下するためにバックフロー効果が減少し、ドリフト速度が増加し、バックフロー効果の期待できる短い配線での EM 寿命が低下[7]。
- ・ 微細化とともに粒構造も微細化し、粒界拡散の影響が増加して EM 寿命が低下。

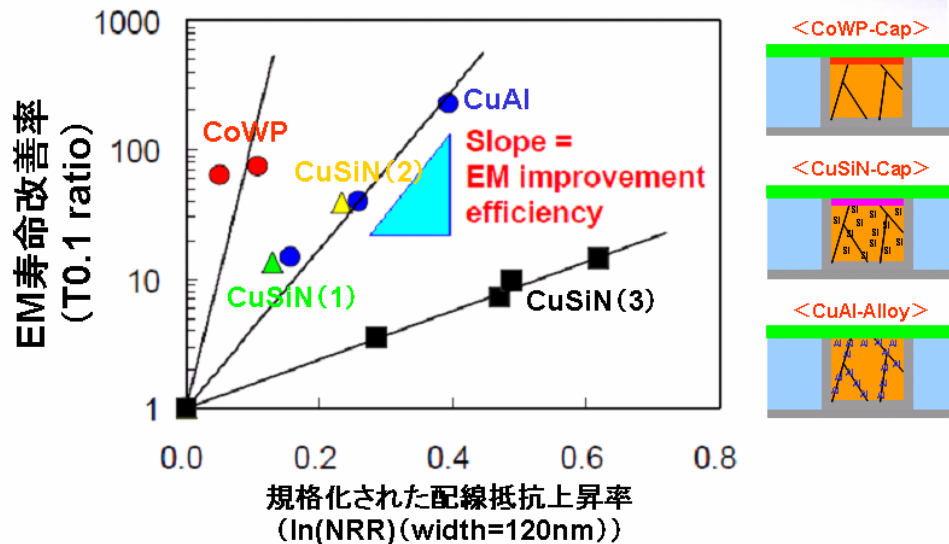
Near-term Years										
Year of Production		2007	2008	2009	2010	2011	2012	2013	2014	2015
Is	Jmax(A/cm2)-intermediate wir	9.28E+05	1.11E+06	1.19E+06	1.56E+06	1.79E+06	1.86E+06	2.11E+06	2.50E+06	2.41E+06
Was	Jmax(A/cm2)-intermediate wir	9.95E+05	1.20E+06	1.37E+06	1.72E+06	1.91E+06	1.85E+06	2.25E+06	2.57E+06	2.57E+06

Long-term Years								
Year of Production		2016	2017	2018	2019	2020	2021	2022
Is	Jmax(A/cm2)-intermediate wir	2.80E+05	2.86E+06	3.22E+06	3.79E+06	4.28E+06	4.23E+06	5.31E+06
Was	Jmax(A/cm2)-intermediate wir	3.06E+06	2.97E+06	3.23E+06	3.81E+06	4.25E+06	3.65E+06	4.47E+06



図表 5-9 $J_{\max}$ の 2007、2008 年の計算結果と 2006 年からの比較

従って今後は、スケーリングに伴う EM 低下の影響を考慮して、解決策に関する色分けを見直す必要がある。EM 低下の影響によって、CoWP メタルキャップ、CuSiN、Cu 合金などの EM 耐性向上技術(EMR ブースター技術)が前倒しで必要になる可能性がある。EMR ブースター技術の導入には、配線抵抗の上昇とのトレードオフがあり、図表 5-10 に示すように、CoWP キャップが抵抗上昇の抑制と EM 信頼性の改善を両立できる技術として最有力と考えられる[8]が、最近では Si 拡散や Al 添加による抵抗上昇を抑制できるプロセスの活発に検討されており、2009ITRS 改訂に向けて EMR ブースターの動向を注視していく必要がある。

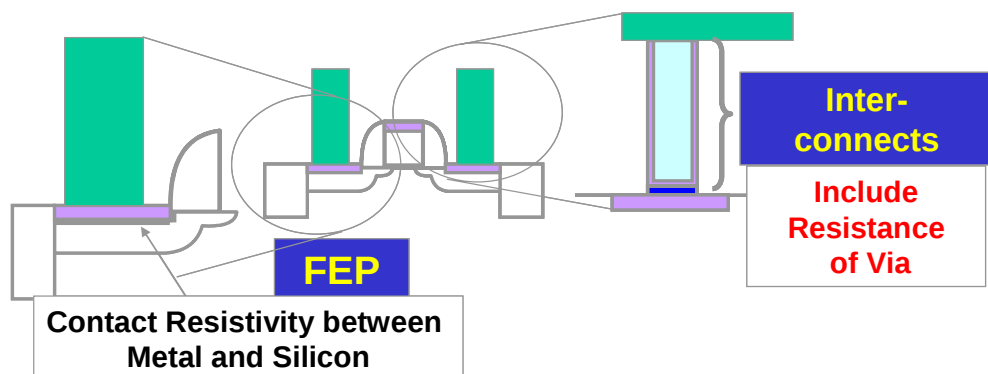


図表 5-10 EM 耐性向上技術(EMR ブースター)候補における配線抵抗と EM 改善のトレードオフ[8]

コンタクト抵抗:定義の明確化と FEP との切り分け

ロジックデバイスのコンタクト抵抗について FEPWG と検討を行い、定義と各 WG での担当領域の明確化を行った。FEP ではシリサイド/シリコン界面の抵抗が支配的であるとして検討がなされてきたのに対して、配線側では上部の異層配線間を接続するビアと同様にプラグ部の導体部分の抵抗を検討してきた。この差異が指標の不明確・不整合に繋がるものとなるため、同一の見解と解釈に基づいて FEP、配線の担当領域の切り分けを行った。図表 5-11 は、コンタクト抵抗に関する担当領域を模式的に表した断面図である。コンタクト下部のメタル/シリコンの界面を境界として、「この界面を含むシリコン基板側を FEP」が、「この界面より上の部分を配線 WG」がそれぞれ担当する。すなわち、シリサイド/シリコン界面は FEP の領域であり、プラグ内のバリアメタルを含むビア抵抗を配線が受け持つ。

また、PIDSおよびFEPから、「トランジスタの全寄生抵抗(R_{total})の 3%をコンタクト抵抗として許容する」という提示を受けた。これに基づき、2009 年度はPIDSからの提示される抵抗値を元にして、W(タングステン)コンタクトの適用限界と、Cu, Ru, Coなどの代替材料・プロセス技術の可能性について検討を行っていく。



FEP: Below Metal, including the interface of metal (silicide) and silicon
Interconnects: Above the interface between metal (silicide) and silicon

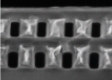
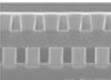
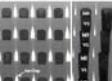
図表 5-11 コンタクト抵抗に関する FEP、配線 WG の担当領域

5-2-3 究極 low-k(Air-Gap)技術の最新動向と実用化課題

配線 WG では、2006 年度から Post-Cu/low-k 技術について動向調査を行ってきた。本年度は、究極の

low-k 技術である Air-Gap 技術及び Cu のような金属配線に比べて原理的なメリットが多い CNT の最新動向と実用化を睨んだ場合の課題について述べる。

既に 5-2-2 で low-k 材料起因のプロセス課題について述べたが、k 値のさらなる低減化のために多孔質(Porous)膜の空孔率(Porosity)を上げていくと、機械強度やプラズマダメージ耐性は益々低下していくことは明らかであるため、機械強度が高い通常の固体絶縁膜や犠牲膜を使って Cu 配線を形成した後何らかの方法で、これら絶縁膜や犠牲膜を除去して配線間に空洞を形成する、所謂「Air-Gap」技術が世界中で活発に検討されている。図表 5-12 は 2006～2008 年に主要国際学会で発表された Air-Gap 技術を世代毎に並べたものである。NXP[9、10]からは有機ポリマーの熱昇華やベーパーHF による有機膜の除去を利用した配線形成後の一括ギャップ形成が、IBM[11]からは自己組織化膜をパターン転写膜として利用した酸素プラズマ及び希フッ酸(DHF)によるギャップ形成が、日立[12]などからは通常の Tetra-ethoxy Silane(TEOS)を用いた酸化膜で一旦 Cu 配線を形成後、層間膜を除去し、段差被覆性の悪い PE-CVD を成膜して配線間にギャップ形成するなど、様々なプロセス方式が報告されている。

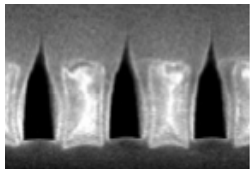
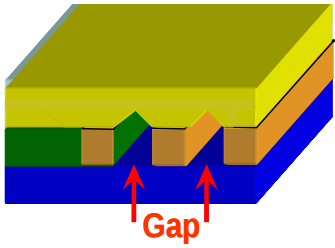
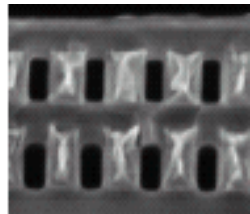
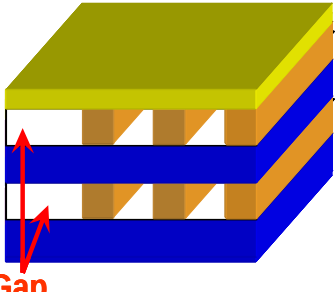
	32 nm(keff $\leq$ 2.5)	22 nm(keff $\leq$ 2.2)	15 nm (keff $<$ 2.0)	工程数 増加	機械強度 低下	BL対応
NXP	 Keff=2.5 TDP, HM:SiOC  Removing SiO ₂ of hybrid(SiO ₂ /PAF) by HF Vapor			△	×	○
Philips	 CoWP mask & TDP(400C 1h N ₂) HM:CDO,TDP			△	×	○
Infineon	 Keff=2.3 Etch & selective ozone TEOS on TEOS depo. MS&Cu barrier:SIN			×	×	×
IBM	 Keff 35% ↓ M1-No air gap (because of short wire) M2-M4:Self-assembly scheme, O ₂ plasma & dil.HF M5-M10:Optical scheme 			×	○	○
Panasonic	 Etch & SiOC etching using CoWP Mask SiOC:k=3.0? Keff=1.9 @65nm DR			×	×	×
Hitachi	 CF ₄ etching No air-gap at via to avoid miss-alignment issue			×	×	×

図表 5-12 学会発表(2006～2008 IEDM、VLSI シンポジウム、IITC、AMC)に見る Air-Gap 技術動向

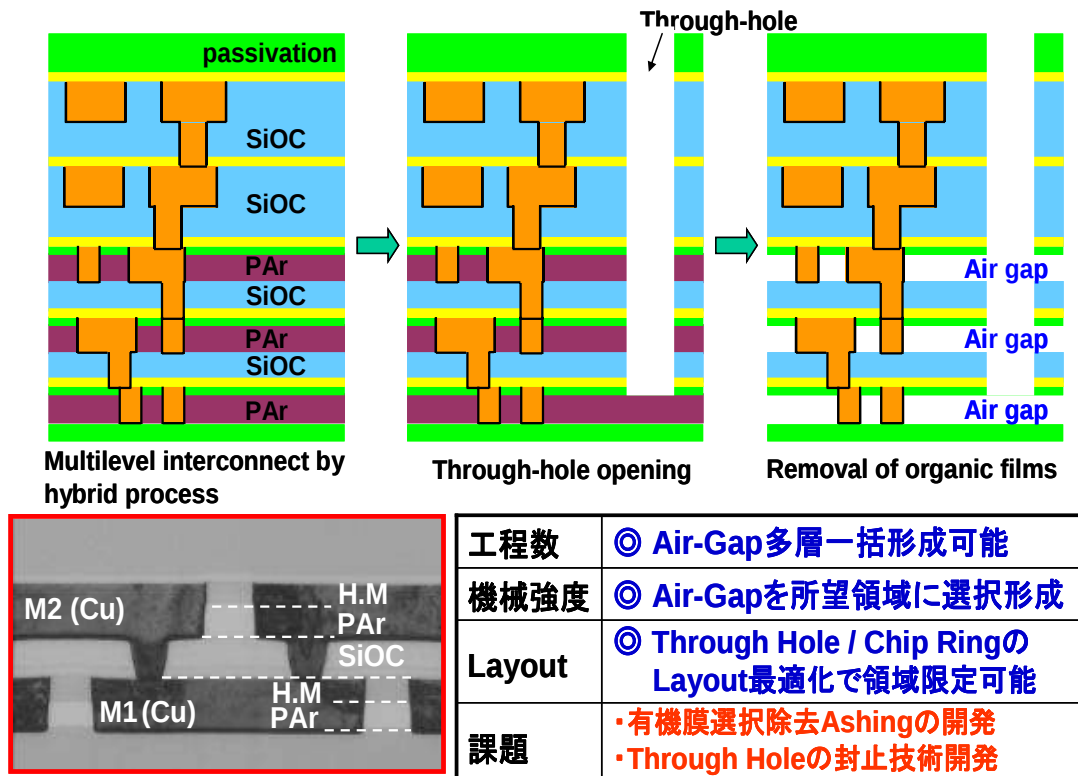
しかしながら、図表 5-12 の右横に工程数増加、機械強度低下、BL(Border-Less)対応の欄を設け、その優劣を○△×で示したように、いずれの発表も、一層毎にエアギャップを形成する必要があるために工程数が大幅に増加することや、チップ、或いはウェーハ全面に Air-Gap が形成されるために機械強度の保持が難しいこと、配線／ビア間のボーダーレス(レイアウト上マスク合わせ余裕をゼロに設定)に対応していないために発生する合わせズレによって Cu 埋め込み不良が発生するなど、これら三つの課題をすべて満足するプロセス方式が見当たらないのが現状である。

これらの課題をプロセス方式毎にまとめたものが図表 5-13 である。図表 5-12 で示した発表例は大きく二つのプロセス方式に分けられるが、そのひとつである CVD-Gap 方式では、一層毎に絶縁膜を除去したい領域

のみを選択するためのリソや、除去のための加工(ウェット処理或いは RIE)が追加されるために、配線層数分工程数が増加することや、ある配線間隔以上ではギャップが埋まってしまうために、ギャップ形状のレイアウト依存性が大きいなどの課題がある。一方、犠牲層除去方式では、犠牲層材料によっては多層配線形成後に一括して熱処理で昇華できる可能性があるが、チップ(或いはウェーハ)全面に Air-Gap が形成されてしまうため機械強度の保持が難しいという課題がある。

方式	プロセス概要	特性						
CVD Gap方式 		<table><tr><td>工程数</td><td>✗ 一層毎にリソ/加工が追加される</td></tr><tr><td>機械強度</td><td>◎ A.G領域の選択形成が可能</td></tr><tr><td>Layout</td><td>✗ Gap形状のパターン依存性が大きい</td></tr></table>	工程数	✗ 一層毎にリソ/加工が追加される	機械強度	◎ A.G領域の選択形成が可能	Layout	✗ Gap形状のパターン依存性が大きい
工程数	✗ 一層毎にリソ/加工が追加される							
機械強度	◎ A.G領域の選択形成が可能							
Layout	✗ Gap形状のパターン依存性が大きい							
犠牲膜除去方式 		<table><tr><td>工程数</td><td>◎ 多層一括形成が可能</td></tr><tr><td>機械強度</td><td>✗ A.Gが全面形成 強度不足懸念</td></tr><tr><td>Layout</td><td>✗ A.G領域の限定ができない</td></tr></table>	工程数	◎ 多層一括形成が可能	機械強度	✗ A.Gが全面形成 強度不足懸念	Layout	✗ A.G領域の限定ができない
工程数	◎ 多層一括形成が可能							
機械強度	✗ A.Gが全面形成 強度不足懸念							
Layout	✗ A.G領域の限定ができない							

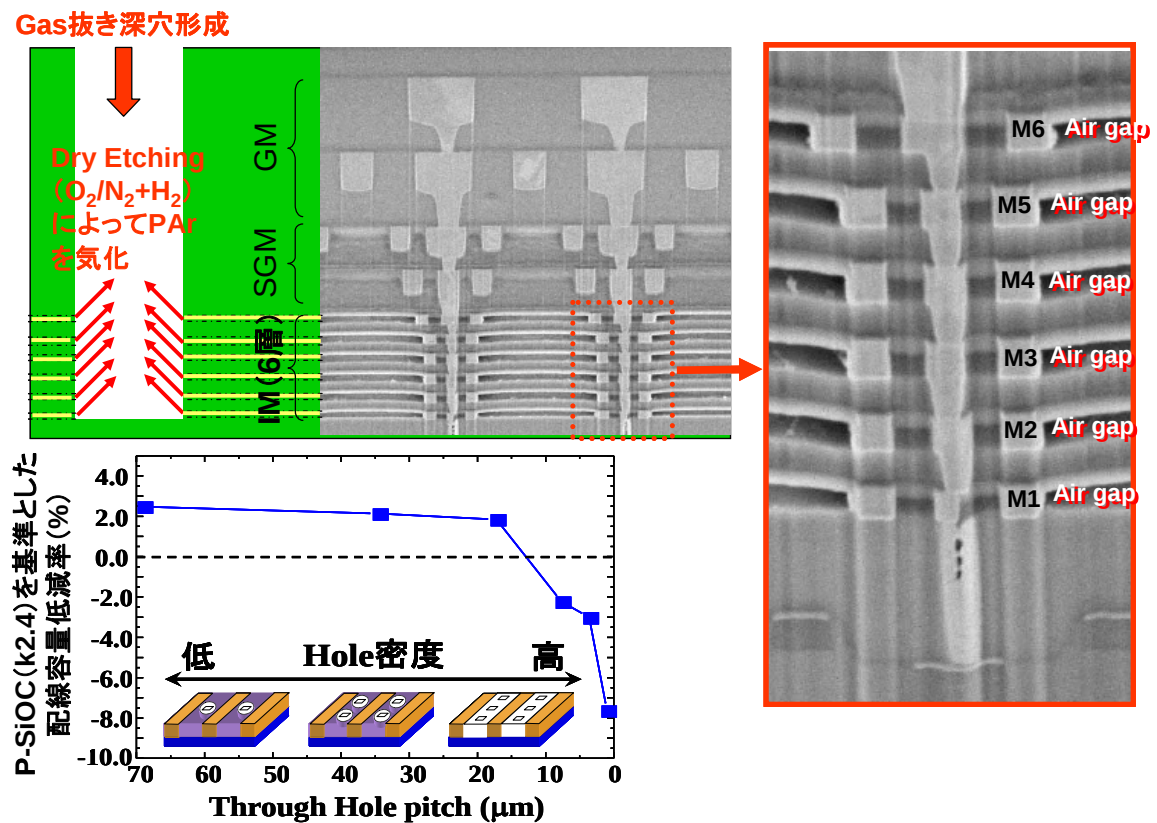
図表 5-13 Air-Gap プロセス方式の分類と特徴のまとめ



N.Nakamura et al., IITC2008, pp.193-195

図表 5-14 低コスト指向多層配線形成後の一括 Air-Gap 形成プロセスの例

従って、工程数増加が少なく、機械強度を確保でき、レイアウト制約が少ないAir-gap技術の開発が必要である。図表 5-14 には、これら三つの要件を満たすことができるプロセス方式の実例として、ITRS2008 で発表された多層配線形成後の一括Air-gap形成プロセスの概要[13]を示した。この方式では、通常のCu/low-k配線プロセスを用いて多層配線を形成した後、最下層に達するビアホールを開孔して、そこからガスを導入して配線間に用いている有機膜を一括してエッチング除去する方式である。このプロセス方式のキーポイントは、図表 5-5 で示した典型的な 3 種類のlow-k絶縁膜構造のうち、有機膜を配線間に、無機膜をビア層間に用いる所謂Hybrid構造で最終的にAir-Gap構造を適用したり、Air-Gapを形成したい領域に合わせてビアホールの開孔場所を選択したりすれば、チップ全体の機械強度を確保することができることである。図表 5-15 には、11 層配線構造における下層 6 層の配線間の有機膜をビアホールから導入した O_2/N_2+H_2 ガスを用いて一括除去した場合の断面SEM観察結果、及び、ビアホールの開孔ピッチに対する配線容量低減率を示したものである。6 層分の有機膜が完全に除去できていることや、ビアホールの開孔ピッチを狭くしていくと有機膜のエッチング領域が連結されて配線容量が急激に低下していく様子が伺える。但し、現状ではビアホールを介してエッチングされる領域が $1\mu m$ 程度であり、今後ガス条件の最適化によるエッチング速度の向上や、吸湿防止のために開孔したビアホールの封止が開発課題といえる。2009 年度は、より実用性の高いAir-Gap技術の開発が活発化する可能性が高く、今後も最新動向をウォッチしていく必要がある。

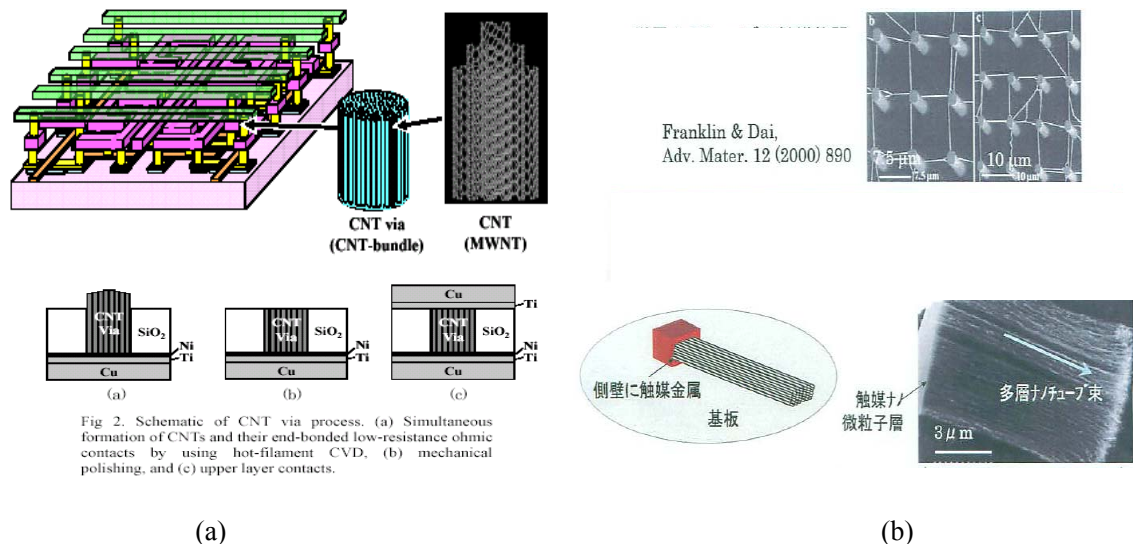


図表 5-15 11 層配線における 6 層一括 Air-Gap 形成後の断面観察結果と配線容量低減効果

5-2-4 Post-Cu(CNT)技術の最新動向と実用化課題

既に 5.2.2 で述べたように、微細・薄膜Cu配線の課題は、結晶粒界や界面での電子の非弾性散乱効果による電気抵抗の上昇、Cu配線の微細化によるEM信頼性劣化と、改善限界($<10MA/cm^2$)、微細ビア付きCu配線のSM信頼性の劣化と改善限界に大別される。これに対して金属の性質をもつMW(Multi-Wall)CNTは、

Ballistic伝導(600nm～4μm長)による低抵抗が期待でき、量子化抵抗が $6.45\text{k}\Omega/\text{tube}$ であることから、高密度成長によってCuよりも低抵抗化することが可能である。また、Cuに比べて 2 桁程度高い電流密度(～ $1000\text{MA}/\text{cm}^2$)を流すことが可能で、Cuよりも 3 倍程度高くダイヤモンド並の熱伝導率(～ $1300\text{W}/\text{mK}$)、タンゲステン並みの高機械強度(～ 1000GPa)をもつことが原理的なメリットとされている。ここでは、図表 5-16(a)、(b)に示したように、ERM-WG(WG13)でも活発に議論されている「カーボンエレクトロニクス」の中で配線分野への応用研究が最も盛んなCNTによるビアホール埋め込み[14]及び横成長配線技術[15]を取り上げる。



図表 5-16 CNT によるビアホール埋め込み技術(a)及び横成長配線技術(b)の概要

このうち、EM信頼性の向上を目指したCNTによるビアホール埋め込みは最も実用化検討が進んでおり、図表 5-17 で示すように、LSI への適用が可能な低温(400°C)での微細ビアホール($160\text{nm}\phi$)への成長で得られたCNTが Ballistic 伝導を示すことや、CNTを用いた最初の EM 信頼性の評価結果が IITC2008 で報告[16]されている。しかし、ここでの CNT 成長プロセスが、TaN/Ta/TiN 薄膜 BM 上へ吹き付けた触媒金属(Co)へのCNT全面成長であることから、微粒子がダスト発生源になる可能性があり、LSI 製造プロセスとの整合性を考えると微粒子吹き付けに代わるプロセスが望まれる。また、CNT 成長後に SOG(Spin-On Glass)で固めた上で余剰CNTの除去にCMPを用いているが、硬度が高いためにCMPの難易度が高く、そのためのスラリー開発には相当な時間がかかること予想され、早期実用化のためにはCMPへの負担を軽減できる代替プロセスが必要と考えられる。

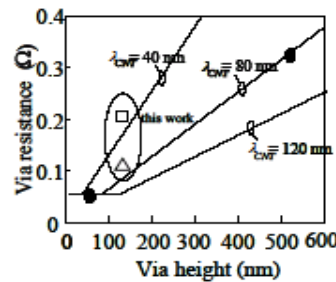
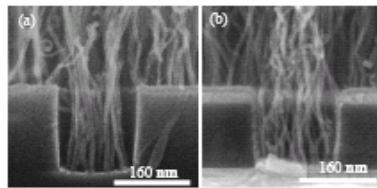
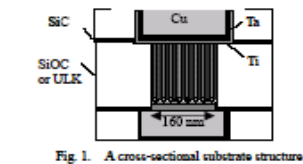


Fig. 5. Via resistance dependence of the via resistance
Solid line: the via resistance calculated assuming various ball...
lengths: * 2.8 μm via 450 °C growth Δ : 160 nm via 450 °C growth $\square$: 160 nm via 400 °C growth

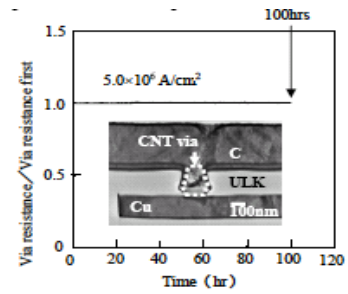


Fig. 6. EM characteristic at 105 °C in a vacuum and cross-sectional TEM image of the CNT via

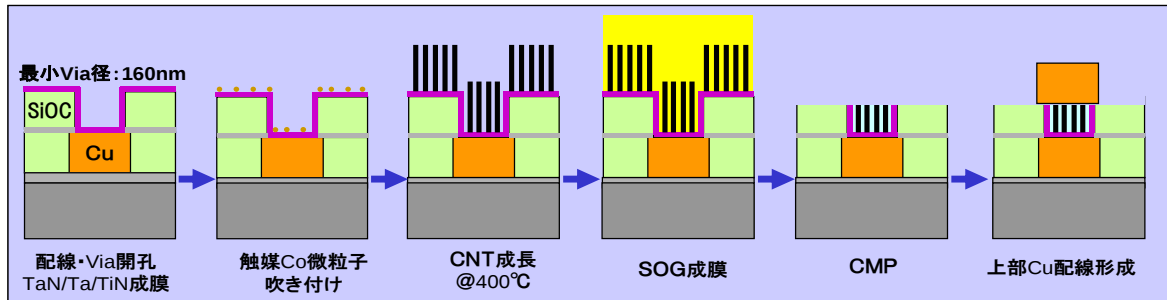
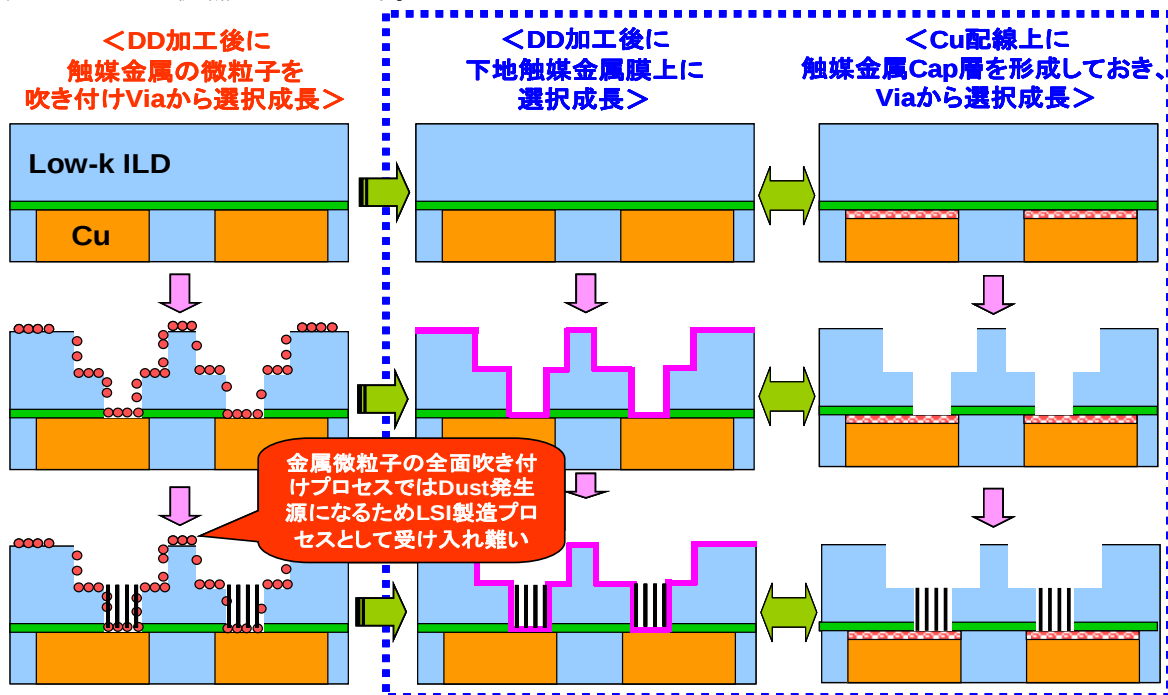


表 5-17 160nmφビアホールへのCNT埋め込みプロセス概要と電気特性/EM信頼性

そこで、図表 5-18 に LSI 製造プロセスとの整合を考慮したプロセス案を示した。現状の触媒金属微粒子の吹き付けプロセスに対して、ビアホール加工後に薄膜の触媒金属薄膜を成膜して、ビアホール上へののみ CNT を選択成長させたり、予め Cu 配線上に触媒金属キャップ層を形成しておき、ビアホール開孔後に選択成長させたりするプロセスが候補となるであろう。

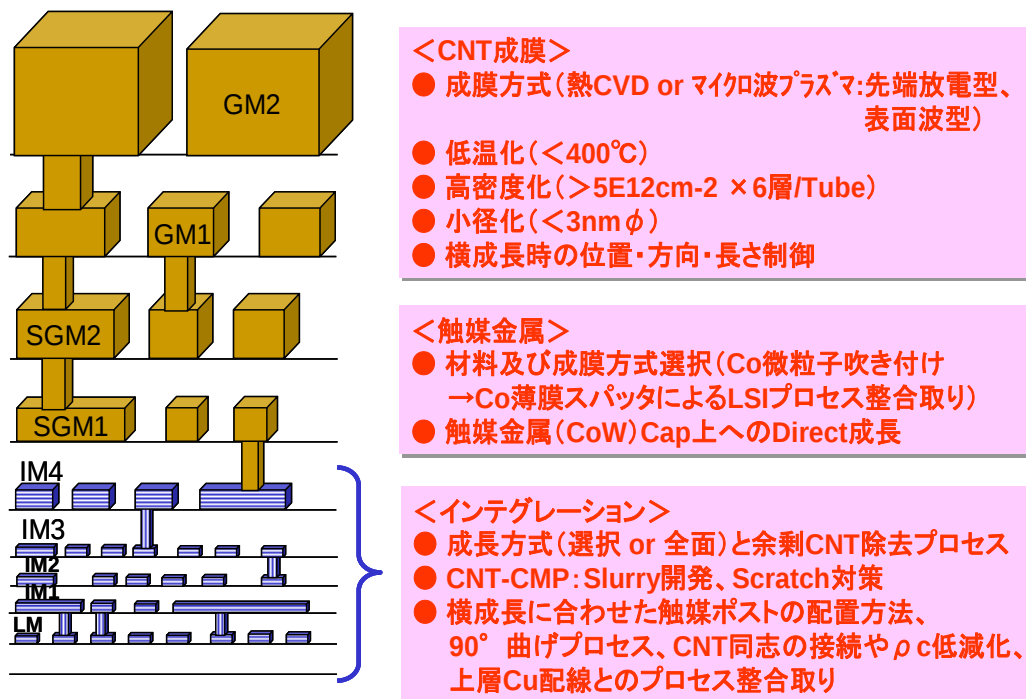


図表 5-18 LSI 配線プロセスとの整合を考慮した CNT 成長プロセス(案)

最後に、CNTによる横成長配線も含めて実用化のための課題をCNT成膜、触媒金属、インテグレーションの三つの観点で図表 5-19 にまとめた。CNTによるCu配線/ビアホールへの置き換えは全ての配線層に対してではなく、微細化・薄膜化による電気特性や信頼性への影響が深刻な下層(Local配線、Intermediate配線)に

限られるものと予想される。まずCNT成膜に関しては、現状ではLSIの配線プロセスで許容される 400℃以下の低温で、如何に高密度のCNTを成長できるかが最大の課題である。Cuと同等以下のビア抵抗を実現するためには、チューブ当たり6層のマルチウォールを仮定して $5E12 \text{ tubes/cm}^2$ 以上の高密度成長が必要である。また、将来の横方向への成長配線への応用を考えた場合には、CNTの位置や方向、長さを高精度に制御するための新たなブレークスルーが重要な鍵を握る。一方、触媒金属については、CNTの高密度成長のための小径化が要求されるが、図表 5-17 で述べたような微粒子の吹き付けではなく、スパッタやCVDのような連続薄膜を成膜して、その後、何らかの処理を行って 3nmφ以下へ小径化する工夫をすることがLSIプロセスとの整合を考えると望ましい。そして最終的には、図表 5-18 に示したように、例えば 5.2.2 で述べたEM信頼性向上のための有力技術候補であるCoWキャップ技術と組み合わせてCu配線上面に形成したCoWキャップ上から直接CNTを成長することができれば触媒金属膜の成膜工程は省略でき、コスト削減にも繋がる。

この CNT 成長をビアホールへ適用した場合に必要なインテグレーション上の課題について述べる。図表 5-17 で述べたように、CNT の成長方式によってその後のインテグレーションが異なる。全面成長の場合には、絶縁膜上にも成長した硬度が極めて高い CNT を CMP でスクラッチやダメージなどの「傷」を付けることなく完全に除去する必要がある、CNT に合わせた専用スラリーの開発が実用化の重要な鍵を握る。また、横成長配線においては、触媒ポスの配置方法や 90 度曲げプロセス、CNT 同志の接続方法やコンタクト抵抗の低減化、上層 Cu 配線とのプロセス整合取りなどの課題を一つ一つ解決していく必要がある。これらのアプローチを図表 5-19 に示した。



図表 5-19 CNT のビアホール埋め込み及び横成長配線応用の実用化課題

5-3 More than Moore への展開

近年、半導体デバイスの成長を支えてきた「寸法の微細化(Geometrical Scaling)」だけでロードマップを語ることが困難になり、2007 年度版の ITRS から「実効的微細化(Equivalent Scaling)」と「機能の多様化(Functional Diversification)」の定義を導入するようになってきている。「寸法の微細化」と「実効的微細化」により More Moore を推進し、「機能の多様化」は微細化以外の考え方で高性能化・高機能化を目指す More than Moore の領域を切

り拓くという考えがこの根底にある。

「実効的微細化」や「機能の多様化」では、チップに貫通孔を開けて縦方向の配線を実現する TSV が注目されているが、TSV は、形成プロセス次第で配線技術とみなせる場合と実装技術とみなせる場合がある。このため、2008 年度は実装 WG との技術交流会を開いて担当領域を明確化して検討を進めた。

5-3-1 配線技術における Difficult Challenges

寸法の微細化を進めるに伴い、Cu 配線に使用するバリアメタルの抵抗が無視できなくなるばかりではなく、サイズ効果(界面電子散乱と粒界電子散乱)により Cu 配線そのものの抵抗が増大するようになる。また、絶縁膜では、配線間容量を低減するため Low-k 化を進めるに従い機械的強度が保てなくなるというトレードオフが課題になる。つまり、配線寸法の微細化により、配線の RC 積が増大する傾向にあるため信号遅延や消費電力の増大を招き、また、機械的強度の低下や界面特性の影響により EM 信頼性が低下する傾向にある。

このような状況は微細化が物理的な限界に近づいたことに起因するため、更なる More Moore を進める方策として実効的微細化が検討されている。配線抵抗の低減には CNT に代表される Post-Cu 材料が検討されている。現状では CNT の適用は主にビア部で検討されており、バリアメタルを使わないこと、CNT の密度を 5×10^{12} tubes/cm² 以上にできれば Cu より低抵抗化できること、Cu 配線以上の電流密度に耐えるため EM 信頼性を確保できることなどの効果が期待されている。また、グローバル配線における実効的微細化は、RC 遅延や伝送ロスの課題をクリアする技術として、TSV や光配線が検討されている。

配線領域の More than Moore は、従来からの配線の機能である信号や電力の伝送の他に、様々な機能をチップ上に集積化しようとする試みである(Heterogeneous Integration)。新たに組み込む機能としては、コイルやキャパシタ、スイッチ、センサ、アクチュエータ、メモリなどが挙げられている。近年、MEMS 技術が導入され三次元構造や可動部のある構造が可能になり、これらの機能の実現をアシストしている。

図表 5-20 に、Difficult Challenges の観点から見た配線技術における More Moore と More than Moore の位置づけを示した。

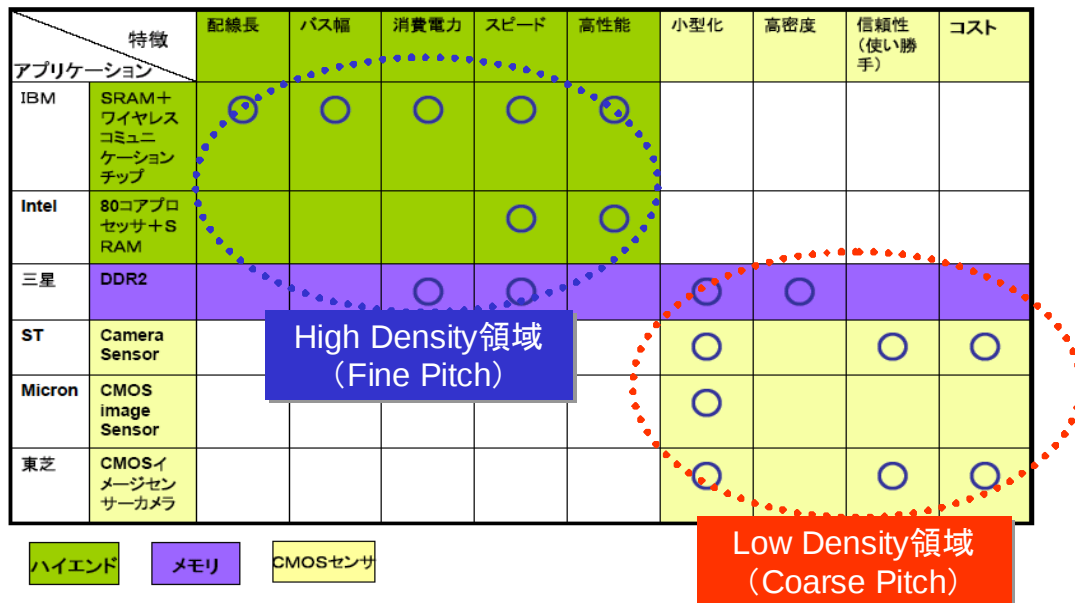
More Moore		More than Moore
Geometrical Scaling 寸法の微細化	Equivalent Scaling 実効的微細化	Functional Diversification 機能の多様化
Cu 配線抵抗の増大⇒ 高抵抗 BM を 薄膜化の必要！ + 配線間容量の増加⇒ 更なる Low-κ 化を！ ↓ RC 低減困難 消費電力増大	Post-Cu 材料(CNT)で 低抵抗化と Cu では実現不可能な EM 高信頼化を！ + グローバル配線には、 貫通電極(TSV)と 光配線で短距離化と 伝送限界打破を！	配線に機能を アドオン ↓ 受動素子 スイッチング素子 センサー… ↓ ヘテロジニアス インテグレーションで 新たな機能を 1チップで！

図表 5-20 配線技術における More Moore と More than Moore の位置づけ

5-3-2 3DI/TSV: 実装 WG との境界領域の明確化

TSV は「More than Moore」路線のキーテクノロジーとして、重要性が益々高まり現実味を帯びてきている。ITRS2007 年版の配線章からは、TSV に関する記述が追加された。2008 年度は、配線 WG において更に技術検討を深め、また、実装 WG と境界領域の明確化を図ったので、ここにその背景と要点を記述する。

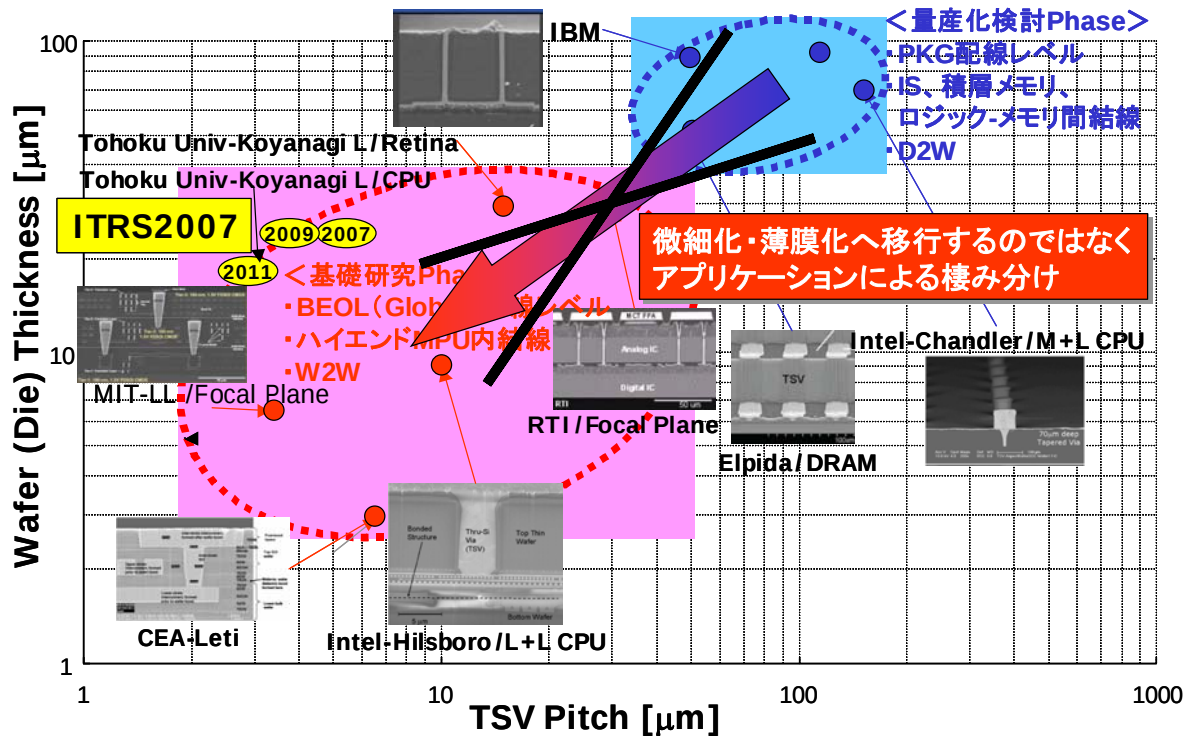
ウェーハやチップ三次元実装化技術は、2006 年度まで実装章でのみ扱われてきた。More than Moore 世代のデバイスでは、ウェーハプロセスであらかじめ TSV を作りこむ技術も重要となる。配線 WG では、2007 年度版配線章への掲載に向け、2006 年度より活動を行なってきた。



図表 5-21 TSV を用いた各社アプリケーションと特徴による分類

配線 WG では、TSV 技術を要求性能と適用デバイスの観点から調査を行い、図表 5-21 の様に分類した。Fine Pitch の High Density 領域と Coarse Pitch の Low Density 領域に分類できる。LD 領域のアプリケーションの製品が、HD 領域レベルの Fine Pitch に微細化が進むわけではなく、アプリケーションごとにピッチが異なり、それぞれ実現すべき特徴も異なることが示される。

2007 年度には、TSV に関する微細化とウェーハ薄膜化の動向について調査した。横軸を TSV ピッチ、縦軸を積層されたウェーハあるいはダイの厚さとして、様々な機関から発表されている TSV 技術を整理している。08 年度版では、図表 5-21 の知見を踏まえ、Coarse Pitch 群から Fine Pitch 群へ微細化・薄膜化するのではなく、アプリケーションにより棲み分けてゆくと明記し、図表 5-22 のようにまとめた。



図表 5-22 TSV の微細化とウェーハ薄膜化の動向

実装章と配線章における TSV の棲み分けについて、2008 年版では 2007 年版から大幅な見直しを行っている。2007 年版では、2007 年 ITRS サンプランシスコ会議での議論を反映し、パッシベーション膜を成膜する前に形成する TSV を配線章で、パッシベーション膜以降の TSV を実装章で扱うこととしていた。しかし、具体的な製品検討が進むにつれ、この定義では対応できない例外も見られるようになってきた。

目的・用途		アプリケーション	代表的ビア形状		
			直径	ピッチ	深さ
パッケージ技術	WBの代替	CMOSイメージセンサー	75 μm	150 μm	100 μm
	3次元構造	積層メモリ DRAM積層(ex.DDR), FLASH積層	25 μm	50 μm	50 μm
		Logic-SiP Logic-Memory, Logic-MCU-Memory RF-SiP	25 μm	50 μm	100 μm
配線技術 (グローバル配線の代替)		MPU, SoC	<2.5 μm	<5 μm	10~50μm

図表 5-23 TSV 寸法から見た実装 WG との棲み分け(実装 WG 提供の 3DI/TSV 技術交流会資料)

様々な実現的バリエーションに対応するため、2008 年度は「3DI/TSV 技術交流会」を開催し、実装 WG と配線 WG の領域の明確化を図った。双方の意見を尊重しながら、3DI/TSV の想定アプリケーションを抽出し想定アプリケーションから見た要求仕様、製造工程のバリエーションについて議論を行い、各 WG がカバーすべき領域を明確にした。図表 5-23 は、「3DI/TSV 技術交流会」にて合意を得た、実装 WG 作成の棲み分け表である。配線 WG はグローバル配線代替を目的とし、MPU や SoC を対象とする領域を扱っていくこととなり、代表

的ビア形状は「TSV ピッチは $5\mu\text{m}$ 未満」と定めた。

今後配線 WG では、サイズの小さい TSV をターゲットに、Difficult Challenge や Potential Solution の観点から必要技術を抽出し、アプリケーションと要求仕様との関連付け作業を進めていく。

5-4 2008 年度の活動まとめと 2009 年度の活動方針

以上のように、配線 WG(WG4)では、「More Moore～微細化の深耕～」と「More than Moore への展開」の二つの観点から 08 年度の活動を展開してきた。その結果をまとめると以下ようになる。

- Low-k技術の導入実績(計画)を考慮してバルクk値のレンジを縮小したが、結果的には 07 年度の $\text{Low-k}_{\text{eff}}$ ロードマップと変化がなかった。
- 07 年度に周波数鈍化を受けて改訂した J_{max} 指標について、そのモデルパラメータをより現実的なものに見直したが、07 年度版と大きな変化はなかった。
- ロジックデバイス向けコンタクト抵抗の定義をフロントエンドプロセス WG(WG3)との議論を通して明確化した。配線 WG は PMD 以降のバリアメタルを含めたコンタクトプラグ部分を担当領域とすることで合意した。
- TSV 技術のロードマップ作成に向け、実装 WG(WG7)との議論を通して配線 WG がカバーすべき領域を明確化した。配線 WG はグローバル配線代替として TSV ピッチ $< 5\mu\text{m}$ を扱っていくことになった。

また、09 年度に向けては、

- ① 「EM Crisis」(J_{max} だけでは表わせない配線信頼性の危機)を受けた EMR(Electro-Migration resistance)ブースターのプロセス検討
- ② ロジックデバイス向けコンタクト抵抗の設計 WG からのスペック提示を受け、タングステンプラグの適用限界と代替技術の Potential Solution の洗い出し
- ③ HDTSV の想定されるアプリケーションの抽出と要求仕様の明確化、Difficult Challenges や Potential Solutions の観点から必要技術の洗い出し
- ④ More Moore(ex. Air-Gap, CNT)及び More than Moore(ex. MEMS on CMOS)の最新動向調査の継続を中心に活動を推進していく方針である。

【参考文献】

- [1] N.Nakamura et al., Proc. IITC2004, p.228 (2004).
- [2] H.Shibata, Tutorial Text on ADMETA 2004, p.17 (2004)
- [3] 柴田英毅、半導体技術ロードマップ専門委員会(STRJ)2003年度ワークショップ(第5回)5B-1～13(2004)
- [4] M. Nihei, M. Horibe, A. Kawabata, Y. Awano., Proc. IITC2004, p.251 (2004).
- [5] S. Yokogawa, H. Tsuchiya, Stress-induced Phenomena in Metallization, AIP Conf. Proc. p.124 (Springer Verlag, 2004).
- [6] C. -K. Hu, L. Gignac, R. Rosenberg, Microelectronic Reliability **46**, p.213 (2006).
- [7] P. S. Ho, K. Lee, S. Yoon, X. Lu, E. T. Ogawa, Materials Sci. Semiconductor Processing, **7**, p. 157 (2004).
- [8] S. Yokogawa et al., IEEE Trans. Electron Dev. **55**, p.350 (2008).
- [9] L. G. Gosset et al., Proc.of IITC 2007, p.58 (2007).

- [10] R. Daamen et al., Proc.of IITC 2007, p.61 (2007).
- [11] D. C. Edelstein, Proc. of IITC 2007 p.57 (2007).
- [12] J. Noguchi et al., Proc. of IITC 2003, p. 63 (2003).
- [13] N.Nakamura et al., IITC2008, p.193 (2008)
- [14] M.Nihei et al., IITC2004, p.251 (2004).
- [15] Flanklin & Dai, Adv.Mater.12, p.890 (2000).
- [16] Kawabata et al., IITC2008, p.237 (2008).