# 第 6 章 WG5 リソグラフィ

## 6-1 はじめに

2008 年度、WG5(リソグラフィ WG)では、ITRS2008update 版の作成に向けて、技術世代に対応した解決策候補(Potential Solutions)の技術調査、各種テーブルの見直し、クロスカット活動などを行うとともに、2009 版の作成指針を絞り込んだ。Lithography iTWG は、SEMATECH から出ているリーダーの下、日、米、欧州、韓国、台湾の 5 つの TWG で活動し、年三回の ITRS Meeting を中心に議論をおこなっている。国内活動では、月一回の定例会議に加えて、合宿を一回開催し、また、M&S、Metrology 等の WG との議論、ITRS 会議へのメンバーの派遣を実施した。定例会議では、リソグラフィ関係の学会、ワークショップを中心に技術動向を議論し、さらに講演者を招聘して、最新技術の現状の把握を図る等の活動を行った。2008 年度は、多品種少量デバイスの製造分野で期待が大きく、また、海外で開発が活発となっている ML2 技術の議論にも時間をかけた。ML2 は ITRS の量産の定義から外れる規模のデバイスの生産、あるいはデバイス開発段階での技術として注目されている。本報告では、ITRS2008update 版の主な内容と共に、リソグラフィ技術の現状と課題をまとめ、2008 年度の活動の概要を報告する。

## 6-2 リソグラフィ技術の現状

既に、液浸露光技術は、水を液浸液に用いる上での限界とされるNA1.35 に達している(図表 6-1)。一方、高屈折率の材料を導入して更なる高NA化を図る装置開発は、頓挫している。その結果、技術開発は、193 nm水液浸露光技術の延命と四倍体マスクを用いる縮小投影露光技術を軟X線領域に発展させるEUVLの導入を中心に展開されている。193 nm水液浸露光技術の延命は、Single Exposureを極める技術開発と、ダブルパターニングにより、$k_1$<0.25 領域を実現し、32 nm hp、更には 22 nm hpへの到達を目指す技術開発により進められている。SMO(Source Mask Optimization)、CL(Computational Lithography) への取り組みが強化され、Spacer DP(Double Patterning)は、Pitch Splitting DPに先行して、生産工程に導入されている。

| Year of Production | | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DRAM ½ pitch (nm) | | 68 | 59 | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 22.5 | 20 | 17.9 | 15.9 | 14.2 |
| Flash ½ pitch (nm) (un-contacted poly) | | 54 | 45 | 40 | 36 | 32 | 28 | 25 | 22 | 20 | 17.9 | 15.9 | 14.2 | 12.6 | 11.3 |
| Flash ASML presentation | | 45 | | 32 | | 22 | | 16 | | 11 | | | | | |
| | NA | | | | k1 | | | | | | | | | | |
| ArF Dry | 0.75 | 0.25 | | | | | | | | | | | | | |
| | 0.85 | 0.29 | 0.25 | | | | | | | | | | | | |
| | 0.93 | 0.31 | 0.27 | 0.24 | | | | | | | | | | | |
| ArF Water Immersion | 1.2 | 0.4 | 0.35 | 0.31 | 0.28 | 0.25 | | | | | | | | | |
| | 1.3 | 0.44 | 0.38 | 0.34 | 0.3 | 0.27 | 0.24 | 0.21 | | | | | | | |
| DRAM | 1.35 | 0.45 | 0.4 | 0.35 | 0.31 | 0.28 | 0.25 | 0.22 | 0.2 | 0.18 | 0.16 | 0.14 | 0.12 | 0.11 | |
| Flash | 1.35 | 0.37 | 0.31 | 0.28 | 0.25 | 0.22 | 0.2 | 0.18 | 0.15 | 0.14 | 0.12 | 0.11 | 0.1 | 0.09 | |
| ArF High Index Immersion | 1.45 | 0.49 | 0.43 | 0.38 | 0.34 | 0.3 | 0.27 | 0.24 | | | | | | | |
| | 1.55 | | 0.46 | 0.4 | 0.36 | 0.32 | 0.29 | 0.26 | | | | | | | |
| | 1.7 | | 0.5 | 0.44 | 0.4 | 0.35 | 0.31 | 0.28 | 0.25 | | | | | | |
| EUVL | 0.25 | | 1.05 | 0.93 | 0.83 | 0.74 | 0.66 | 0.59 | 0.52 | 0.47 | 0.42 | 0.37 | 0.33 | 0.29 | 0.26 |
| | 0.32 | | | | | | 0.85 | 0.75 | 0.67 | 0.6 | 0.53 | 0.48 | 0.42 | 0.38 | 0.34 |
| | 0.45 | | | | | | | | 0.94 | 0.84 | 0.75 | 0.67 | 0.6 | 0.53 | 0.47 |

$$R = k_1 \frac{\lambda}{NA}$$

図表 6-1 $R=k_1 \lambda/NA$

NGL(Next Generation Lithography)として期待されている ML2(Mask Less Lithography)、NIL(Nano Imprint Lithography)は、四倍体マスクパターンを縮小投影露光する 193 nm あるいは EUVL の抱える課題を乗り越える技術として開発が行われているが、大量生産技術に発展するか否かの判断は出来ていない。

図表 6-2 に各技術の現状と課題を一覧にて示した。以下に詳述する。

| SADP (Spacer DPT) | Pattern Splitting DPT | EUVL | Nano Imprint | ML2 |
|---|---|---|---|---|
| 1.Complex process steps, cost solution | 1. Overlay accuracy & CD control, pitch walking | 1.Reliable high power source & collector module, lifetime | 1.Defect control during imprinting | 1.EB direct writing tool performances (resolution, overlay, throughput) |
| 2.CD control of space width、Pitch walking | 2.Restricted Design Rule, Coloring/Splitting & OPC+SB algorithm | 2.Availability of defect free mask, Reticle protection during storage, handling and use | 2.Availability of defect free 1:1 template | 2.Data conversion & data delivering, Beam (Parallel module ) calibration/monitor |
| 3.Restricted Design Rule, Donut pattern solution | 3.Process proximity correction | 3.Resist resolution, sensitivity & LER/LWR met simultaneously | 3.Overlay accuracy | 3.Resist sensitivity & LER, Resolution |
| | 4. Nonlinear resist process, Magic Material | 5.Projection and illumination optics quality & lifetime | 4.Throughput | 4.Pattern inspection & verification |
| | | 6.Flare & Shadowing correction | | |

図表 6-2 Lithography Critical Issues List

### 6-2-1 ArF 液浸露光技術 (Single exposure)の延命

水液浸露光技術は、Top coat less resist の登場により、ほぼ、プロセス開発の峠を越えたと考えられる。

高 NA 化は、既に、NA 1.35 の壁にぶつかっており、L&S といった単純なパターンでも、hp 40 nm 程度が限界となる(図表 6-1)。LER/LWR の要求も厳しい(図表 6-17)。しかし、Single exposure の魅力は大きく、適用限界の拡張を目指して、多くの取り組みがなされている。最近のキーワードは、SMO(Source Mask Optimization)、CL(Computational Lithography)である。SMO は、露光装置の照明をマスク上の全てのパターンに対して最適化する処理である。CL は、設計パターン、プロセス、システム条件に対し、コンピュータを使ったモデリングを駆使してリソグラフィプロセスのパターン転写性能を予測し、OPC(Optical Proximity Correction)処理・SB(Scattering Bar)発生を検証し、最適化する技術であり、マスク上の全てのパターンの転写性能の確保を実現する。マスクパターンの発生では、Model Base の OPC 処理が広く採用され、SB の適用も自動化され、発生したマスクパターンの転写性などを検証し、転写裕度をマスク全領域に渡って保証する。プロセスマージンの確保を目指し、照明とマスクのデザインの制約を取り払い、Source も Mask も Pixel 単位で設計し、露光装置の照明系に Pixel 単位の照明設計に自在に対応する機能を持たせ、マスクパターンは、よりピクセルとして扱い、マスクパターンの最適化、モデルベースでのマスクパターンの自動発生を図るなど、計算を駆使して、最適化をすべての要素に実施して転写性能を究極まで引き出す。より単純な表現を使えば、計算機負荷をも省みずに、全てのオプションを投入する技術領域の模索が始まっている。SMO の工程では、個々のマスクに対して Source とマスク設計の組み合わせを探し、最適化することにより、露光裕度の確保・拡大を図っている。最新の露光装置では、Source の形状、強度、偏光は組み込まれたモジュールで大きな露光強度の低下を伴うことなく任意に選択でき、目的とするパターンに応じて、最適化を図ることが可能である。今日では、さらに限界を追求し、個々の露光装置の転写特性を取り込み、SMO、CL 処理を施す必要性が増し、個々の露光装置の収差などを最適化に取り込んでいる。

一般的な OPC 処理では、設計データから出発して転写パターンを計算し、要求仕様の満たないパターンを補正して、転写パターンを計算して確認するサイクルを繰り返して収束させるが、Inverse Lithography と呼ばれる手法では、目的とするレジストパターンから出発してマスクパターンを導く。PPMs(Pixelated Phase Masks)と呼ばれる手法は、マスクパターンを Pixel 単位で表現し、個々の Pixel に位相差を与えてクロムレス位相シフト

マスクを製作することを基本とし、180 度位相差のドット単位でマスクが設計される。180 度の位相差は、172nm の溝に相当する。Pixel のサイズは、マスク製造技術の制約を受ける。Mask の負担を省みない Inverse Lithography、Pixelated Phase Masks は、付加価値の高い Logic デバイスで検討され、40 nm hp の実現に迫っていると考えられるが、コスト負担、マスク精度の限界から、広く展開できる技術として普及していくか不透明である。また、並行して、設計制約も拡大している。デバイスパターンが単純で無ければ、微細な寸法で製作出来ない為、セル構造の単純化も推し進められている(図表 6-3)。

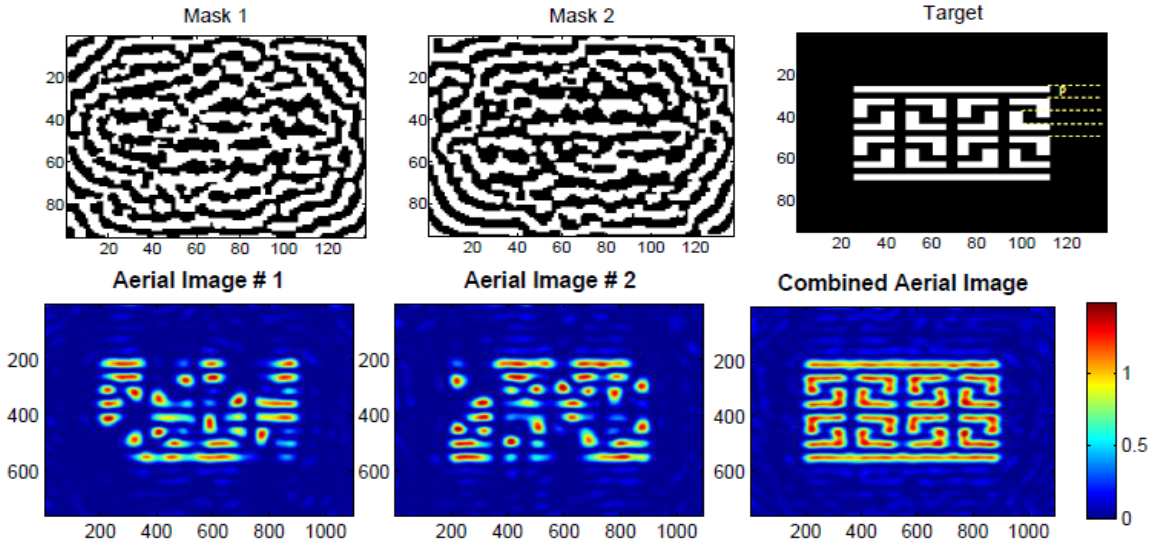



**Figure 2.** Top row illustrates the estimated CPL masks (black=-1 and white=+1) and the (binary) target pattern consisting of 60nm features. The pitch p=120nm is indicated by dotted lines in the figure. Bottom row indicates the aerial images for the individual exposures and the combined aerial image. Here $NA = 0.93$ and $k_1 = 0.289$.

"ILT for Double Exposure Lithography with Conventional and Novel Materials"
Amyn Poonawala and Yan Borodovsky and Peyman Milanfar
Optical Microlithography XX, edited by Donis G. Flagello, Proc. of SPIE Vol. 6520, 65202Q, (2007)

図表 6-3 PPMs & ILT

露光装置では、より高次の補正が可能になっている。スリット内の露光量の均一性、アライメント精度、焦点位置の制御性の改善が継続的になされている。コンタクトホールの露光では、焦点位置をスキャン中に変える手法(Focus drilling)も採用されている。焦点深度の低下に伴って、マスク、ウエハーのフラットネス要求も厳しくなっている。露光装置側では、193 nm 光源の革新が進んでいる。解像性能の向上のための更なる狭帯域化に加えて、周波数アップ、高出力化が図られ、90W に達している。また、光学系の劣化を回避するために Pulse stretching と呼ばれるピーク強度の低減技術が投入されている。ガス交換などの停止時間の削減も進んでいる。干渉計に代わって、エンコーダーを採用し、ステージの位置計測精度の改善が進んでいる。

液浸露光技術で用いられるレジスト・レジストプロセスでは、初期の現像液不溶の Top coating から、現像液可溶型に移行し、さらに、Top coat less resist の採用が始まっている。液浸固有の欠陥は、接触角の制御をベベル部分にまで拡大して低減され、Dry に迫る欠陥レベルを実現してきている。次の課題は、更なるスループットの改善を狙って、高速スキャンに対応する材料開発である。レジスト膜は微細化に伴って減少している。焦点深度余裕の低下とレジストの倒壊のためである。また、マスクを含めて、高 NA 化に伴う三次元効果が問題となっている。BARC と呼ばれる反射防止膜材料も、より広い入射角に対して機能することを求められ、傾斜型(Graded BARC)や、多層構造が必要になっている。レジストプロセスでは、レジストパターンの後処理技術として、レジストフローによるコンタクトホールのシュリンクだけでなく、レジスト表面に不溶化膜を設けてコンタクトホールをシュリンクするケミカルシュリンク技術や、デポとエッチングを繰り返して、LER の低減を行う後処理技術の採用の検討が進んでいる。レジストパターンから直接あるいは、HM(Hard Mask)の加工後に Slimming する

ことは既に一般的に使われている。

マスクでは、三次元効果の低減が期待できる遮光膜の薄膜化を目指してマスクの遮光膜材料の検討も図られている。ペリクルの薄膜化は、既に採用されている。製造現場では、Haze は依然として厄介な問題である。Chemical clean 技術は著しく進んでいるものの根絶には至っていない。また、マスクの静電破壊(EM Electro Migration)もしばしば取り上げられている問題である。

**6-2-2 ダブルパターニング技術**

現在でも、複数回の露光処理によってひとつの層のパターン形成を行う技術が、生産に寄与している。二重極照明等を用いて解像限界のL&Sを形成し、その一部をもう一枚のマスクで切り取り、パターン形成を行う手法は狭いライン対向パターン(Tip-to-tip)が必要な場合に用いられる。DDL(Double Dipole Lithography) は、マスクを縦横方向毎に分割し、それぞれに適した二重極偏光照明を用いて 2 回露光処理を行うものである。Alt.PSMあるいはCLPSM技術を用いて、ゲート層などの微細な孤立ラインパターンを形成する工程では、不必要なパターンを除去するTrimmingと呼ばれる第二の露光処理が施され、また不足するパターンを露光処理で追加する。しかし、これらの技術では、$k_1$ 0.25 の限界を超えることは出来ない。

$k_1$ 0.25 の壁を越えていくダブルパターニング技術は、Pitch SplittingとSpacerの二つの技術に大別されている。Pitch Splittingは、クリティカルなパターンを形成するマスクを少なくとも二枚用いて行うもので、Single Exposure(SE)の限界を超えた隣あったパターンを二つのマスクに分割して、解像可能なピッチに落とし、第一のレジストパターンを形成し、HMを加工するなどしてパターンを固定し、次いで第二のレジストパターンを重ねて設け、二つの露光処理により一つの層のパターンを生成する。それぞれの露光は、Single exposureの限界追求を行っていくものである。第一の露光パターンをHMのエッチング工程まで進めるLELE(Litho-Etch-Litho-Etch)と呼ばれる方法、第一の露光パターンをレジスト段階でFreezeし、第二のレジストを積層して露光処理するLFLE(Litho-Freeze-Litho-Etch)と呼ばれる方法、同一のレジストに二回の露光を行ってしまうDE(Double Exposure)と呼ばれる方法などが提案されている。スペースを形成していくDual trenchと、ラインを形成していくDual lineがある。Spacerダブルパターニングは、露光して形成したパターンを直接、あるいは下地を加工した後、全面に等方的に膜を設け、異方性エッチングを施して、パターンの側壁、すなわち、輪郭に膜を残してL&Sを二倍周期に倍増する。その特徴から、Spacer doublingあるいはSidewall transferとも呼ばれる。側壁部をLineパターンとするDual lineと、CMP技術を用いる等して反転してTrenchパターンを形成するDual trenchがある(図表 6-4)。

LELE は、現在のリソグラフィ技術、成膜、エッチングプロセスを駆使して微細化を図る為、既存の技術の延長の加工技術として捕らえることも出来る。もっとも大きな課題は、転写精度とともに、そのプロセスステップの倍増にある。

LFLE は、LELE の HM を加工する工程を削減する技術で、最初に形成するレジストパターンを、二回目の塗布・露光・現像処理に耐えるように Freeze させ、HM と同等の機能を持たせ、新たに、レジストを塗布し、露光・現像処理を行ってレジストパターンを形成し、エッチング工程は一回で処理する。このレジストの Freeze 方法には、幾つかの提案がある。UV Cure と呼ばれる不溶化、熱架橋、電子線あるいはイオンビームを用いる不溶化、化学的な表面保護、デポなどの処理が提案されている(図表 6-5)。

DE は、レジストに二回の露光を施してから、一回の現像でパターンを形成する。DE は、俗に Magic Material と総称される特異な特性を有する材料を必要とする。従来の材料では、解像力の向上が期待できない。代表的な提案に Ultra-CEL(Contrast Enhancement Layer)、2-Photon resist、Thermal reversible resist がある。しかし、これらの材料の概念では、Non-linear な特性の実現に、一桁以上大きな露光量を必要とし、実用化に適さないとする指摘もあり、材料開発は困難を極めている。

Spacer ダブルパターニングは、Flash Memory のワードラインやビットラインで使われる L&S パターンの形成に適した技術として注目され、開発が図られてきた。DRAM に比べて、セルパターンが単純なために微細化

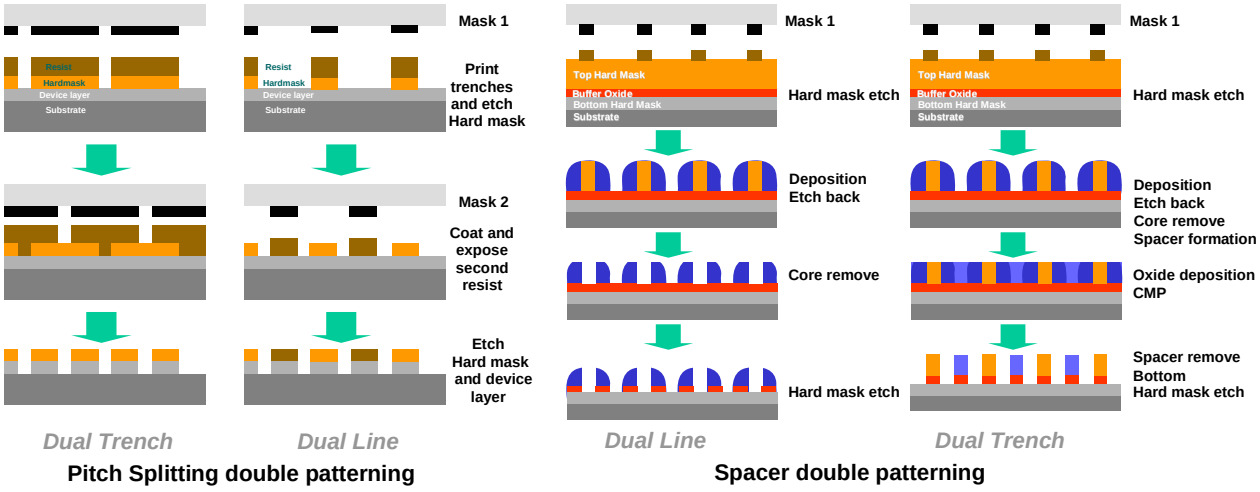
で先行してきたFlash Memoryでは、既に2008年の時点で、液浸露光のSEの限界に達しており、Spacerダブルパターニングを適用したhp 40 nmを切った製品の出荷がなされている。2008年時点で、34 nm hpの製品が既に出荷されており、2009年には、hpで32 nmの製品の登場がアナウンスされている。しかし、Spacer固有の課題は依然として抱えている。デポ膜の均一性は、レジストパターンの均一性に比べて優れているとされるが、スペースの寸法ばらつきは、露光パターンの寸法ばらつきに加えて、デポ膜の側壁部の厚さや、エッチバック加工のばらつきが加わり、劣化する。また、Spacerは、単一の幅でしか形成できない。この点は、Flash Memoryにとって魅力であるが、任意の寸法を形成する必要があるパターンには適用できない。さらに、パターンの制約がある。レジストパターンの輪郭に Spacer が形成されるため、ドーナツ状のパターンのみが形成され、不必要部分を除去する工程が必要になる。この領域は、Area penalty となり、チップサイズの増大を招く。もっとも大きな課題は、コストにある。プロセスステップが増大し、TAT が増す点も課題である。CVD 等のデポジションではなく、Wetプロセス等で、側壁部に成膜する、レジストパターンの輪郭だけを残す特殊な現像処理、ポジレジストとネガレジストの特性を併せ持つ材料を開発するなどしてSpacer DPをより簡便なプロセスだけで実現する技術が待望されている。

Pitch Splittingでは、二つの露光を組み合わせてパターンを形成するため、異なる露光でエッジが形成されるパターンにおいて、Overlay エラーが、CD エラーとなるため、実現不可能ではないかと考えられる非常に厳しい重ね合わせ精度が要求されている。一方、Spacer技術では、Spacerそのもので形成されるパターンは、その膜厚によって決まる単一の寸法のみとなる。すなわち、Spacer で最終的にラインを形成する場合は、ウェハ全面が単一のライン幅となり、逆に反転させてスペースを形成した場合は、ウェハ全面が単一のスペース幅となる。膜厚制御性が、寸法を決めるため、Spacerで形成される部分のCDUは、露光処理に依存せず、レジストパターンの CDU に比べて優れているとされている。Spacer ダブルパターニングでは、形成できるパターンは基本的に輪郭パターン、すなわち、ドーナツパターンとなるため、別のマスクを用いて、切断したり、さらに別のマスクを用いてパターンの追加を行ったりする工程も必要となる。

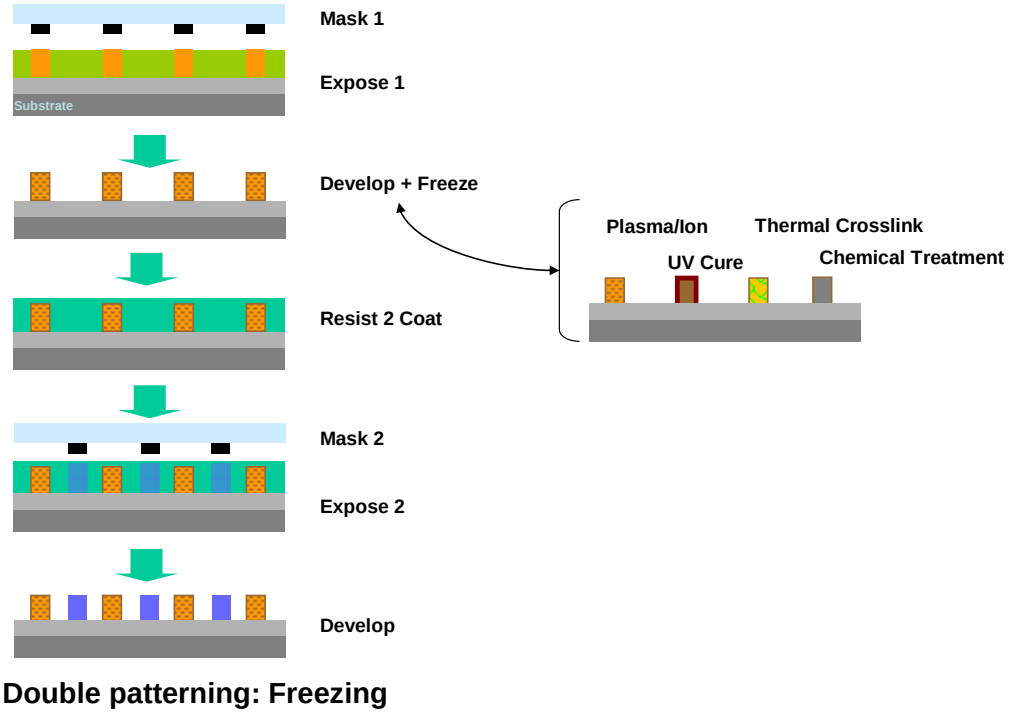
ダブルパターニング技術は、厳しい設計制約、データ分割処理、プロセスステップ、TAT、マスク数、工程数の増加、製造期間の増大、歩留まりの低下、結果的に製造コストの増大など、多くの課題を抱える。特に、Pitch SplittingにおけるCDU、オーバーレイ精度の要求は、従来のトレンドに比べて一世代以上厳しい。重ねあわせ精度がSEの1/3以下、また、CDUも1/√2以下が必要と報告されている。これに伴いマスクの高精度化も厳しく要求されている(フォトマスクへの要求(図表 6-18)にマスク精度の要求数値が記載されている)。また、寸法、オーバーレイの計測も課題である。パターンは、それぞれの露光で形成されるラインあるいはスペースと、その組み合わせで形成される重ね合わせ精度の影響を受けるスペースあるいはラインとで構成され、計四つの組み合わせを考える必要がある(図表 6-6)。すなわち、母集団が四つになり、L&Sでは、ライン-スペース-ライン-スペースが、繰返し単位になる。Pitch Walkingと呼ばれる周期構造が発生する。また、第一の露光パターンと、第二の露光パターンで、エッチングによる加工形状が異なる問題も懸念されている。計測技術も課題である。それぞれの露光処理でのOverlay、CD計測に加えて、二枚のマスクから転写された形状、寸法、さらには、材料の異なるパターンを、識別して測定する必要がある(図表 6-7)。さらにエリアペナルティもある。また、データ処理、マスク、QC工程などすべて、コストの増加要因となる。露光装置には、重ねあわせ等精度の改善が求められるだけでなく、そのスループットの向上も要求されている。ダブルパターニング技術のコストの低減は、プロセスステップの削減にもあり、それらは、Resist Freezing技術など、工程の簡略化を狙った材料・プロセス開発に多くを依存している。コンタクトホールを$k_1$<0.25で形成するためには、コンタクトシュリンク技術の適用だけでなく、さらにマスクを追加することも考えられる。

ダブルパターニング技術のもっとも大きな課題は、Logic デバイスへの適用にある。既にデバイスパターンの特徴によって選択肢が異なることも理解されてきたが、ダブルパターニング技術は、従来以上に複雑な設計制約を必要とする。設計環境の抜本的な見直し無しでは、ダブルパターニング技術の導入は困難である。二

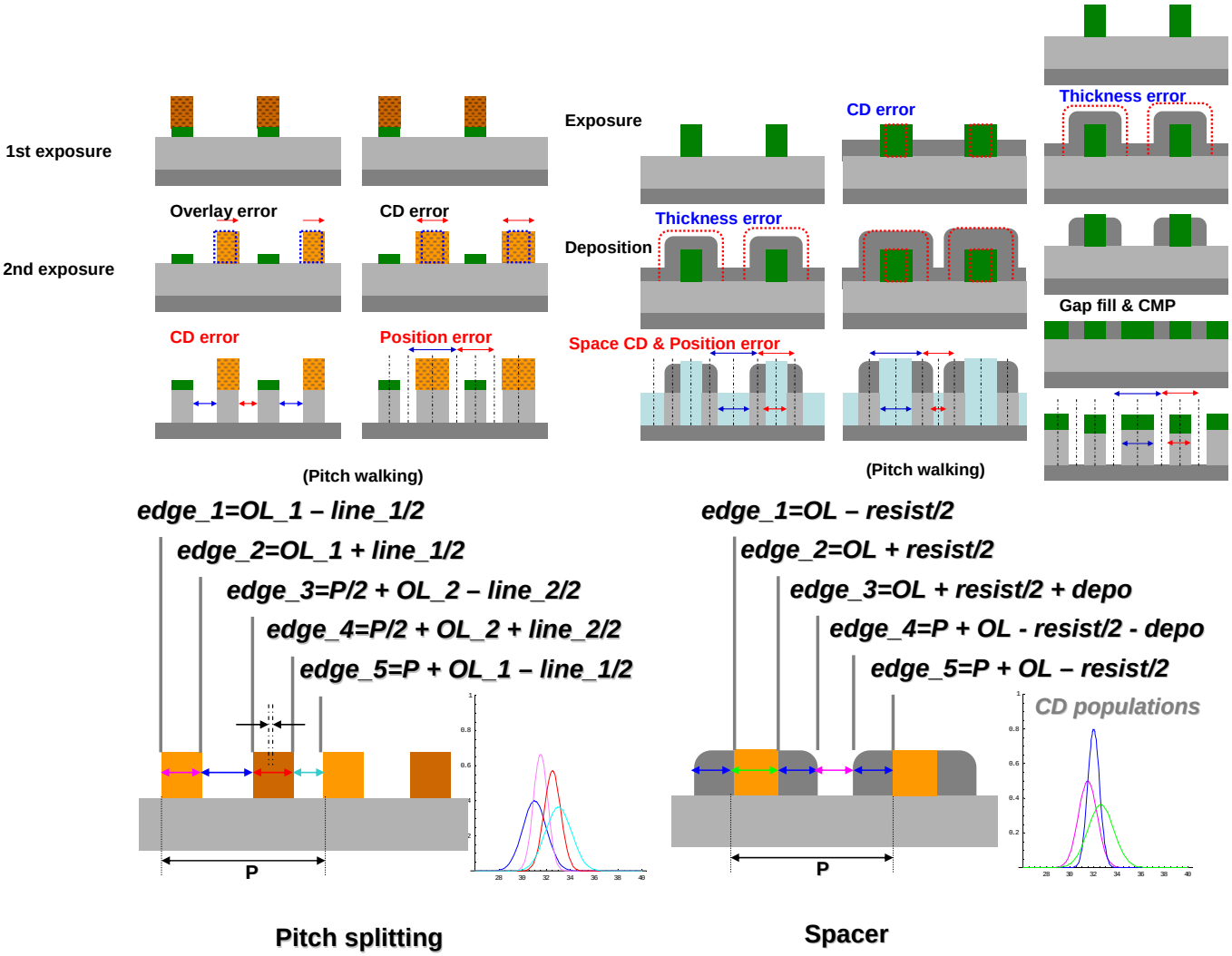
次元的に複雑なパターンに Pitch Splitting 技術を適用する場合に、パターンを交互に二枚のマスクに分割する Pitch Splitting を自動的に実施し、二つのマスクに分割する MDP(Mask Data Preparation)処理が必要となる。単純な L&S と異なり、二枚のマスクに分割するためには、単一の図形を分割する必要がある。また、微細な分割無しでは、解が存在しないことも考えられる。また、図形の分割を行った結果として、ウェハー上でのパターンの接続精度が問題となる。接続に伴い図形の精度が劣化する為、クリティカルな位置での分割を避ける自動図形分割、ダブルパターニングに最適化した OPC 処理が望まれる。アライメントエラー、寸法エラー、エッチングなどのプロセスでの変換差など全ての要素を取り込み、接続精度を確保して、データの分割を行う必要があり、エッジの微調整などの図形処理が必要になるなど、単純なデータ分割処理だけでは、Pitch Splitting に対応できない(図表 6-8)。



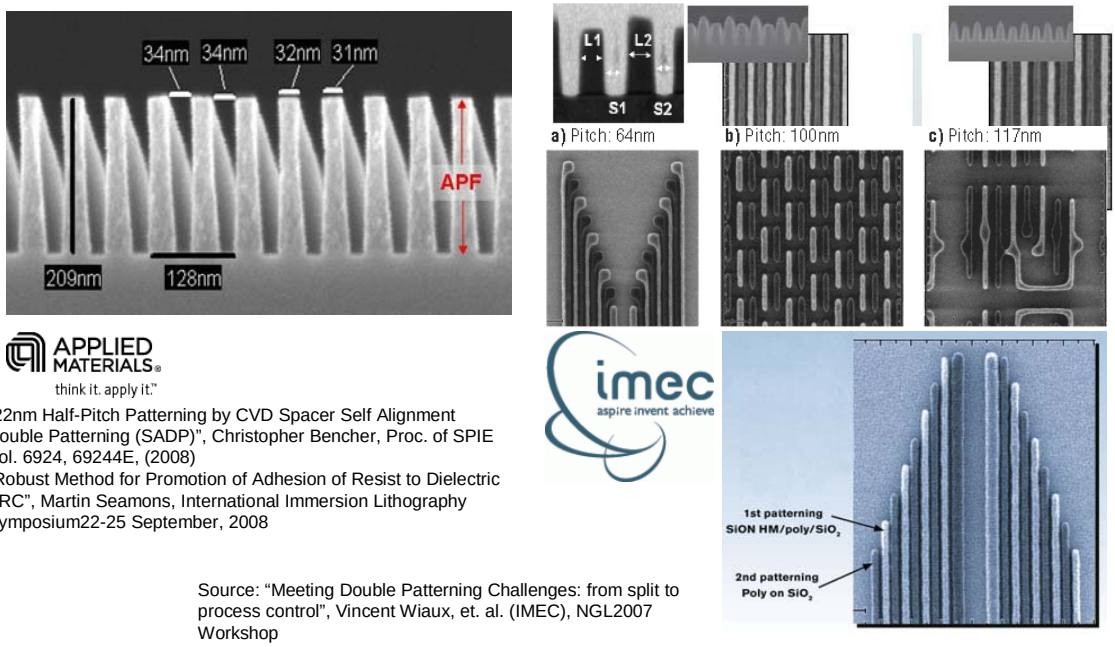

図表 6-4 Pitch Splitting Double Patterning, and Spacer Double Patterning




図表 6-5 LFLE DP:



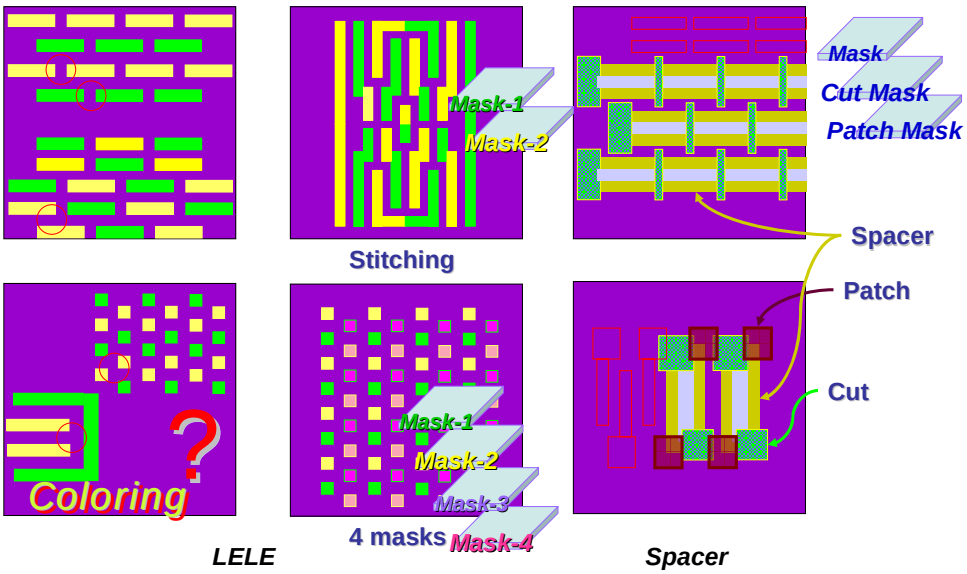

図表 6-6　Pitch Splitting & Spacer Double Patterning: CDU & Overlay




"22nm Half-Pitch Patterning by CVD Spacer Self Alignment Double Patterning (SADP)", Christopher Bencher, Proc. of SPIE Vol. 6924, 69244E, (2008)
"Robust Method for Promotion of Adhesion of Resist to Dielectric ARC", Martin Seamons, International Immersion Lithography Symposium22-25 September, 2008

Source: "Meeting Double Patterning Challenges: from split to process control", Vincent Wiaux, et. al. (IMEC), NGL2007 Workshop

図表 6-7　CD Overlay 計測

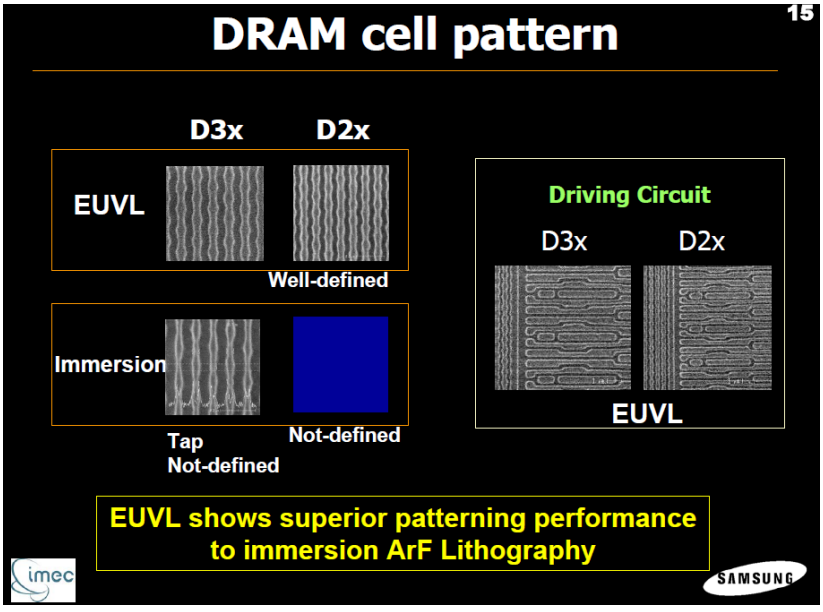



図表 6-8 Restricted Design Rule、Coloring Confliction & Area Penalty

ダブルパターニング技術は、既にFlash memoryの製造に導入されているように微細化に寄与する。EUVL技術の登場までは、ダブルパターニング技術で延命せざるを得ない。また、EUVL技術が導入されても、EUVL技術の延命の選択肢の一つは、ダブルパターニング技術となる可能性もある。$k_1$<0.25 を実現するダブルパターニング技術の確立が、微細化の延命の上で欠くことのできない事実に議論の余地は無い。

**6-2-3 EUV 露光技術**

2008 年は、EUVL で、漸くデバイスの試作が報告された年となった。ASML 社の ADT(Alpha Demo Tool)が、IMEC と ANT(Albany NanoTech)でスキャン露光が可能になり、開発が加速されている。AMD は、ANT の ADT を Logic デバイスの配線層を露光し、試作した SRAM 領域の電気特性と歩留まりを報告し、基本的に EUVL 露光に問題が無いことを示した。また、Samsung Electronics は、IMEC の ADT を用いて、DRAM パターンの転写性能を調べ、OPC 無しで、32 nm、22 nm のセルパターンが転写できていることを報告した(図表 6-9)。Hynix も自らテストマスクを製作し、転写実験を行って報告している。




図表 6-9 DRAM パターンの EUVL 転写報告

EUV露光技術は、波長 13.5nmの軟X線を光源とし、露光装置は、真空装置となる。0.7~1.0nmの波長を用い

るPXL(Proximity X-ray Lithography)の開発が挫折した後、縮小投影露光を、X線領域の波長で実現する検討から、取り組みが強化された。KrF、ArF露光技術に続く技術として、$F_2$(157nm)露光技術が開発の主となった2000ころから、多層膜ミラー光学系に絞りこんで、開発されている。EUV露光技術の本格的な開発は、1997年より、米国のEUVLLCで開発が進められた開始された。多くの資金が投入され、研究開発の中心は、米国の国立の研究所であるLLNL、SNL、LBNLが、共同で研究する組織VNLであったEUVLは、SEMATECHの開発テーマとなり、開発の中心は、SEMATECHに移された。現在は、SEMATECHを始め、IMEC、ANT、Seleteなどのコンソーシアム、アライアンスが開発の拠点をなし、光源メーカー、露光装置メーカー、材料メーカーなどとの連携を密に図って開発に取り組んでいる。

波長 13.5nmでは、光学要素を構成できる透明材料は無い。その為、基本的な光学系は、反射ミラーで構成される。13.5nmは、多層膜反射技術の選択肢から絞り込まれた波長で、多層膜をMoとSiで構成する。多層膜の構成は、周期7nmほどで最低40周期となる。マスクも、同様な構成の多層膜反射層を有する反射型マスクとなり、多層膜上の遮光吸収膜をパターン化して用いる。EUV光の経路の照明光学系の一部には、浅い角度で入射・反射する斜入射全反射ミラー(多層膜ではなく、Ruなどの金属表面に浅い角度で光を入射して表面反射させる方式)も用いられるが、多くは、Mo/Si多層膜を用いた直入射型のミラーが用いられ、投影光学系は、全て多層膜ミラーで構成される。NA 0.25の設計では、投影光学系は6枚の多層膜ミラーで構成され、マスクを含めて、全体で 13 枚程度の多層膜反射面となる。Mo/Si多層膜の反射率は、理論値でも高々70%強で、現状、70%を超えない。光源から、照明系、マスク、投影光学系の反射面を経てウェハーに到達するEUV光は、1%にも満たない。ほとんど全てのエネルギーが熱負荷となる。その為、熱膨張係数の非常に小さな材料が必要で、ミラーやマスクの基板には、Tiドープの石英ガラスや結晶化ガラスなどの材料(LTEM)が用いられる。EUV露光技術においてエネルギー効率は、非常に大きな課題である。エネルギー効率は、非常に大きな課題である。光源に投入される電力の $1/10^5$程度しかEUV光としてウェハー面に到達しない。

EUV Focus Areas 2003-2008

SEMATECH

| 2003 | 2004 | 2005 | 2006 | 2007 | 2008 |
|---|---|---|---|---|---|
| 1. Source power and lifetime including condenser optics lifetime | 1. Availability of defect free mask | 1. Resist resolution, sensitivity & LER met simultaneously | 1. Reliable high power source & collector module | 1. Reliable high power source & collector module | 1. Long-term source operation with 100 W at IF and 5MJ/day |
| 2. Availability of defect free mask | 2. Lifetime of source components & collector optics | 2. Collector lifetime | 2. Resist resolution, sensitivity & LER met simultaneously | 2. Resist resolution, sensitivity & LER met simultaneously | 2. Defect free masks through lifecycle & inspection/review infrastructure |
| 3. Reticle protection during storage, handling and use | 3. Resist resolution, sensitivity & LER met simultaneously | 3. Availability of defect free mask | 3. Availability of defect free mask | 3. Availability of defect free mask | 3. Resist resolution, sensitivity & LER met simultaneously |
| 4. Projection and illuminator optics lifetime | ▪ Reticle protection during storage, handling and use | 4. Source power | 4. Reticle protection during storage, handling and use | 4. Reticle protection during storage, handling and use | ▪ Reticle protection during storage, handling and use |
| 5. Resist resolution, sensitivity and LER | ▪ Source power | ▪ Reticle protection during storage, handling and use | 5. Projection and illuminator optics quality & lifetime | 5. Projection and illuminator optics quality & lifetime | ▪ Projection / illuminator optics and mask lifetime |
| 6. Optics quality for 32-nm half-pitch node | ▪ Projection and illuminator optics lifetime | ▪ Projection and illuminator optics quality & lifetime | | | |

図表 6-10　　EUV 露光技術の抱える課題　SEMATECH EUVL Symposium 2008 から

EUV 露光装置、マスク、レジスト、マスクデータ処理の開発課題を整理する。

EUV 露光装置は、EUV 光源、デブリシールド、集光光学系、照明光学系、マスクステージ、投影光学系、ウェハーステージ、マスク及びウェハーハンドリング・ロードロック機構、真空系、各種センサー、制御システムな

どで構成される。EUV 露光装置は、従来の 248 nm あるいは、193 nm の露光装置との共通性に乏しく、ほぼ全てが、EUV 露光装置固有の開発となっている。共通点は、1/4 の縮小投影である点程度である。図表 6-10 に、開発課題への認識の変遷を示した。依然として光源が高いランクに指摘されているものの、無欠陥マスク、レジスト、さらには、光学系の寿命、コストなど多くの課題が未解決である。

光源は、DPP(Discharge Produced Plasma)とLPP(Laser Produced Plasma)の二方式が検討されている。量産機のEUV光源には、発光する元素としてSnが用いられる。Xe、Sn、Liなどの様々なターゲット材料の選択肢の中から、大きなCE(Conversion Efficiency)の得られるSnが本命視されて、検討が進み、現在開発中のDPPでも、LPPでも、Snを採用している。露光処理能力 100 wph(wafer per hour)の達成には、200W@IF(Intermediate Focus: 中間焦点位置におけるEUV強度)程度の強度が求められる。LPPでは、今まで、瞬間値で 100W@IF が報告されている程度であったが、2009 年に入って、漸く実用的な数値に結びつくデータが報告された。実際の露光処理で一回のスキャン露光で必要と考えられる400msecの連続発振動作が得られ、100msecのインターバルで、18 時間の運転をCymer社が報告した。出力は 20~40Wである。集光光学系も、捕集立体角 5srの Normal incident ML Mirrorが実装試験に入った。デブリと呼ばれる飛沫の課題もある。Snが、プラズマ状態から飛散するため、対策が求められている。光源側では、Snの飛散量、及び供給量を最小とするために、ターゲット材料であるSnのDroplet化とLaser pre-pulseを組み合わせて用いる検討が進んでいる。20~30μm φ のSn Dropletをプラズマ化し、密度とサイズを制御し、ついで、大きなエネルギーを、$CO_2$レーザーで注入しEUV発光させる技術への取り組みである。デブリシールドは、集光光学系、さらに、IFへのSnを主成分とするデブリの進入・付着を阻止する機構で、ガスを流したり、磁場でイオンを阻止したりする技術が検討されている。また、付着したSnをハロゲンガスと反応させて除去する洗浄技術も、開発段階にある。集光光学系は、DPPとLPPでその方式が異なる。DPPでは、浅い角度でEUV光を入射させ、Ruなどの表面で反射させる方式で集光する。LPPでは、より広い角度で捕捉するNormal Incident ML Mirrorを用いて集光する。DPPは、既にFull fieldの α 機に採用され、5wph程度を実現している。Sn槽からSnを回転板に供給する機構を用いて熱交換との両立を行い、放電させる方式は、量産機に対応できる出力の確保を目指している。LPP、DPPの並行開発が続いている。

マスクは、基板に、フォトマスクブランクスと同一の外形形状に加工した超低膨張ガラス(Ti ドープ合成石英ガラス)を用いる。Mo-Si 多層膜(Mo ~3 nm, Si ~4 nm, pitch ~7 nm, >40 layers)、Capping(Si ~11 nm)、Buffer(Ru ~1~3 nm)、遮光膜(Ta or TaOxide, TaBN, …50~70 nm)といった構成の膜構造を形成し、反射型マスクとする。膜構成は、開発途上で、まだ、絞り込まれてはいないが、50~55 nm に薄膜化した遮光膜を用いて、マスクの 3D 効果を低減し、解像力の向上を図る提案がなされている。

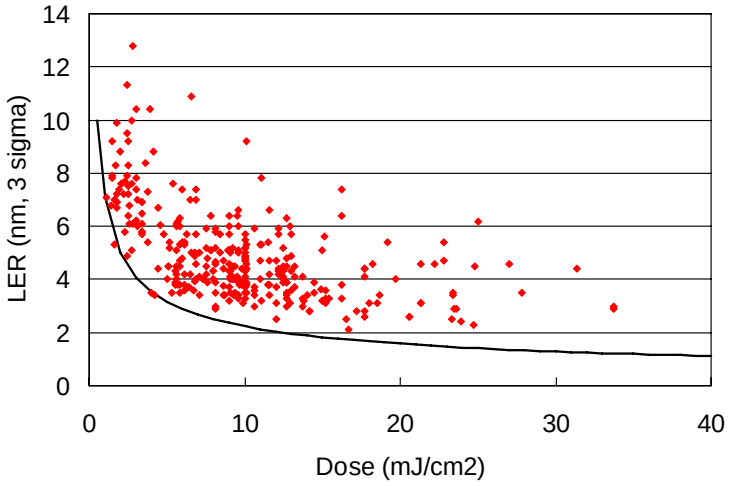
マスク開発の最大の課題は、無欠陥化である。無欠陥化の課題は、三点ある。まず、ブランクスの無欠陥化で、多層膜に欠陥が無いことが求められる。特に困難な課題があり、それは、多層膜の位相欠陥の回避である。位相欠陥は、多層膜の平坦性が崩れている段差で発生し、1.5 から 2 nm の段差で干渉効果により暗部を形成する。段差の主因は、超低膨張ガラス基板の表面の凹凸で、数 10 nm のサイズで 1.5 から 2 nm の段差で、32 nm 世代のパターンの 10%の CD エラーを生む。次に、パターン欠陥の修正技術が大きな課題である。特に、黒欠陥を除去する修正において、多層膜の位相項を含めて反射率を損なうことなくエッチングする技術が必要となる。従来の FIB 修正技術では、Ga が基板に打ち込まれ、多層膜を劣化させ反射率の低下を招くことが知られている。もうひとつ第三の課題は、無欠陥で製造されたマスクが、露光装置で用いる段階でも無欠陥であり、無欠陥が保証される技術の構築である。EUV マスクでは、従来の考え方のペリクルが無いため、マスク表面への欠陥の付着が問題となる。また、コンタミネーションも無視できない。真空中では、比較的容易に照射領域にハイドロカーボンなどの真空中の不純物が堆積し、マスクの反射率の低下を招く。

マスクには、また、EUV 露光技術固有の課題がある。反射型であるため、マスク面への入射と反射は、光軸を共有できない。NA 0.25 の設計では、主軸 6 度の入射となる。それに伴い、高さのある遮光膜パターンのエッ

ジは、その方向に依存して、入射光の角度が異なるために、解像性能と転写位置が異なる。すなわち、パターンの変形が生じる。入射角光の向きは、露光領域(スリット)内で異なっているため、歪は一様ではない。フレアと呼ばれる迷光も無視できない。現在開発中の α 機では、10%以上、初期の量産機では、6~7%とされており、マスクパターンに応じて補正する必要がある。

EUV レジストの開発も進んでいない。

既に述べたように、EUV露光においては、光源で発生したEUV光の利用効率が非常に悪い。その為 5 mJ/cm$^2$といった高感度レジストが切望されている。しかし、感度と解像力とLER/LWRの両立が出来ていない。LER/LWRを解決する手段は単純には露光量の増大である(図表 6-11)。また、Resist Blurと呼ばれるCARの酸拡散に伴うボケが生じ、潜像と現像後のレジスト像との差が大きい。これは解像力の劣化であり、Resist Blurの低減が急務であるものの、感度の低下無しに改善できる見通しは得られていない。また、特に、LER/LWRは、EUVL固有の課題では無く、ArFなどの露光技術においても、問題であり、Shot Noiseなど現象の理解と対策、最適露光量の選択などの検討が進められている。レジスト開発の中には、分子レジストへの取り組みがある。漸く、ArFレジスト並みのLER/LWRを示すレジスト材料も試作されてきた。レジストのアウトガスも問題とされている。真空中に逸散したガスは、EUV光照射によって、比較的容易にハイドロカーボン系のデポ膜を形成することが知られている。装置側の対応と共に、アウトガスのないレジストの開発が行われている。EUVレジスト材料の開発は、露光評価の環境が整備されて加速されている。2009 年には、さらにα機がレジスト開発に寄与し、実用化への進展に期待がある。




- **Simple shot-noise model predicts 1/√dose relationship between LER and dose**

Data courtesy of Dr. P. Naulleau (LBNL) and Dr. T. Wallow (AMD)

図表 6-11　　LER と露光量の関係　$\propto\sqrt{\text{dose}}$

EUV露光技術は、比較的大きな$k_1$値から導入されるため、RET、OPC処理などの負担は少ないものとされている。しかし、前述した入射角依存の補正と、フレアの補正は必要となる。マスク全面を補正するために単純なルールであっても、マスクの全パターンを補正処理しなければならない。EUVL専用のMDP(Mask Data Preparation)技術の開発が急務となっている。

EUV 露光装置の課題は、まず、NA を確保して、収差の少ない、フレアの少ない光学系の製作である。研磨精度と多層膜の製作が課題である。EUVA が開発した EEM 研磨技術は、世界の最先端を行く。収差の計測技術には、既に 6 枚ミラー光学系を露光波長で計測する技術が報告されている。マスク、ウェハーの保持も大きな課題である。静電チャックの使用を前提として検討されているが、要求される平坦度は、数 10 nm であり、

重ねあわせ精度に影響する。

EUV 露光技術の最大の課題は、二つと考えられる。ひとつは、無欠陥化である。無欠陥マスクの歩留まりは、急激には改善されるとは考えにくい。また、露光装置で付着するパーティクルなどの除去も含めての管理技術の構築は、計測機の開発、データの蓄積など、経験的な要素もあり、短期的な解は無い。二つ目は、ただし、コストの問題であるは依然として残されている。光源パワー、熱問題が、スループットの制約となる。現在、5 wph の α 機の処理能力は、今後、改善され、デバイス製造に適用される量産機では、120～150 wph が達成されているものと考えられる。EUV 露光装置は、その高価格からも、さらなる大きな処理能力を期待される。その為には、光源の開発が鍵であり、変換効率、ミラーの反射率の低さに伴う熱問題の解決と、部品の長寿命化が課題となる。2010 年~2011 年には、β 機の実績が得られているものと期待されている。

一方、EUVL 露光技術の開発は、困難を極めている。開発は、SEMATECH、IMEC、ANT、Selete といったコンソーシアム、アライアンスにますますその多くを負っている。核となる露光装置の開発は、三社に限定され、ASML が先行し、Nikon が続く状況となっている。ASML が、IMEC 及び、ANT に ADT を納入し、スキャン露光に漕ぎ着け、Nikon が Selete にて、EUV1 の組み立て調整を行い、2009 の稼動を目指している稼働し始めている。既に、次世代機の開発が計画されている。2010~2011 年の稼動を目指している。しかしながら、EUV 光源の開発は遅延しており、2010 時点では、初期の目標とされる 100 wph のスループットの達成は困難であり、2012 年に登場するとされる量産機で、漸く達成される。しかし、マスク、レジストの開発が整合できるかは全く予断を許していない。EUVL では、マスクの無欠陥化が大きな課題である。まず、多層膜反射型マスクブランクを無欠陥とする必要がある。多層膜の数 nm の微細な凹凸が位相干渉効果により欠陥となる位相欠陥の撲滅が、まず、不可欠とされている。その為には、まず、LTEM とよばれる基板の表面を 1.5 nm 程度の凹凸もない超平坦な表面に研磨する必要がある。さらに、多層膜成膜工程で、パーティクルの進入を回避しなければならない。さらに、EUVL マスクに特化した欠陥検査修正技術により、マスクの無欠陥化を実現しなければならない。また、従来の概念の Pellicle は、この波長領域では採用できずに、Pellicle-less 技術の開発が必要となっている。レジストも、感度と解像力と LER/LWR のトレードオフを解決しなければならない。開発途上の材料では、本命とされる 22 nm hp のパターンのクオリティは乏しく、目標にはほど遠い。EUVL の課題は枚挙に暇がない。

しかしながら、EUVLへの期待は大きい。193 nmの液浸露光技術では、hpで 38~40 nm (ピッチで 76~80 nm)が、Single exposureの限界となる。$k_1$<0.25 を達成するためには、何らかのDPTが必要となるが、露光コストの倍増と、設計制約を伴い、OPC/SB処理の負担は激増する。Single exposureで、$k_1$値が大きく、OPCが不要との負担が軽減されるEUVLは、非常に魅力がある露光技術である。EUV露光技術は、32 nm、22 nm、16 nm、さらには、11 nmの世代においても、解像性能が達成できると報告されている。NA 0.5 を超える設計が報告されており、複数世代をカバーする露光技術として期待できる。

**6-2-4 ML2、NIL、DSA 他**

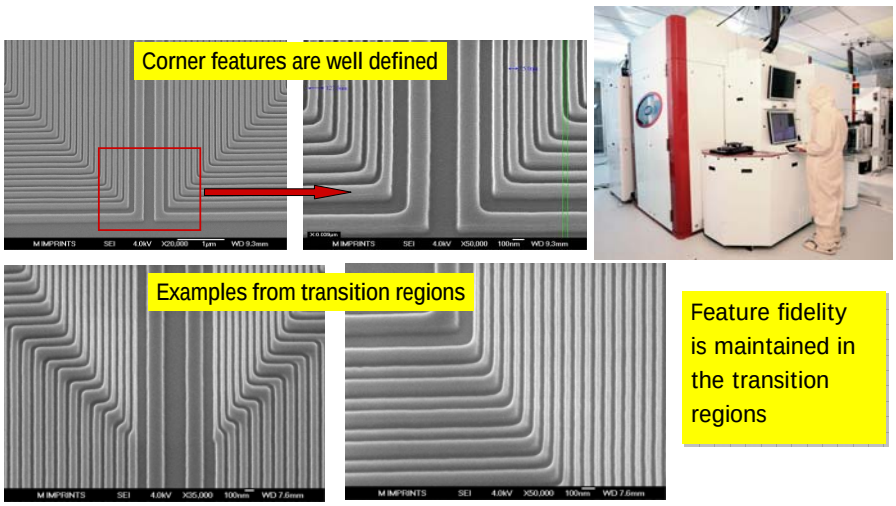
16 nm 以細の議論では、EUVL に続く将来技術候補として、ML2(Maskless Lithography)、NIL(NanoImprint Lithography)、DSA(Directed Self Assembly)さらに IL(Interference Lithography)、3D Integration があげられている。

ML2 の多くは EB で、Multi-beam と Multi-column に分類できる。EB 以外では、OML(Optical Mask less Lithography)と呼ばれる Micro Mirror Array を用いる光の方式や、Ion Beam を用いる方式が検討されているが、特に断らない限り、EB を線源とする狭義の ML2 を示している場合が多い。ML2 は、Mapper、IMS をはじめ、多くのプログラムで活発に開発が進められている。図表 6-12 に概要をまとめた。まだ、技術の実証段階ではあるが、開発目標値が示すスループットは、期待にはほど遠い。その為、大量生産のリソグラフィとして位置づけることは出来ない。しかし、研究開発、多品種少量生産でのニーズも大きく、最先端マスクの高騰を回避する技術としての位置づけは変わっていない。各 ML2 開発は、2012 から 13 年頃に量産機を計画している。スループットの飛躍的な改善が困難な状況は変わらず、最近の提案では、EB 描画モジュールをコンパクトに構成

し、複数モジュールをクラスター化して、100wph を超えるスループットを目指している(図表 6-13)。IMS は、EB と Ion Beam を共通のコンセプトで開発し、微細パターンの形成結果を示している。原理検証の段階を抜け出た程度である。

| Company | IMS Nanofabrication | Mapper Lithography | KLA-Tencor | Multibeam Systems | Advantest | Vistec |
|---|---|---|---|---|---|---|
| Name | PML2 | MAPPER | REBL | MBX | MCC | MSB |
| Beams | Massive parallel | Massive parallel | Massive parallel | Multi column | Multi column | Massive parallel(?) |
| Acc. Voltage | 50kV | 5kV | 50kV | 50kV | 50kV | |
| Pixels | ~10M 262k APS | 13k | >1M | 88 (30mm pitch) | wafer 16 mask 4 (ASET) | |
| Expsoure method | | Line scan 26 mm slit length | Reflection+TDI | 3rd Order Imaging | CP+VSB | VSB 8x8 |
| TPT | 5wph | 10wph | 40wph(Via) 2wph(Metal) | >15wph(Via) | ~10wph | |
| TPT | Cluster | Cluster | Rotation stage 6 wafers | Cluster ? | | |
| VP tool | 2012 β ? | 2011 β ? | 2013 β | ? | ? | 2010 α |
| Funding etc. | EU FP7 MAGIC project | Proto -> TSMC, LETI | DARPA | TEL | ASET-D2I(mask) | |

図表 6-12　　EB ML2




"Full field imprinting of sub-40 nm patterns", Jeongho Yeo, Hoyeon Kim, Ben Eynon, Samsung Electronics Co., Ltd, Proc. of SPIE Vol. 6921, 692107, (2008)

図表 6-13　　NIL

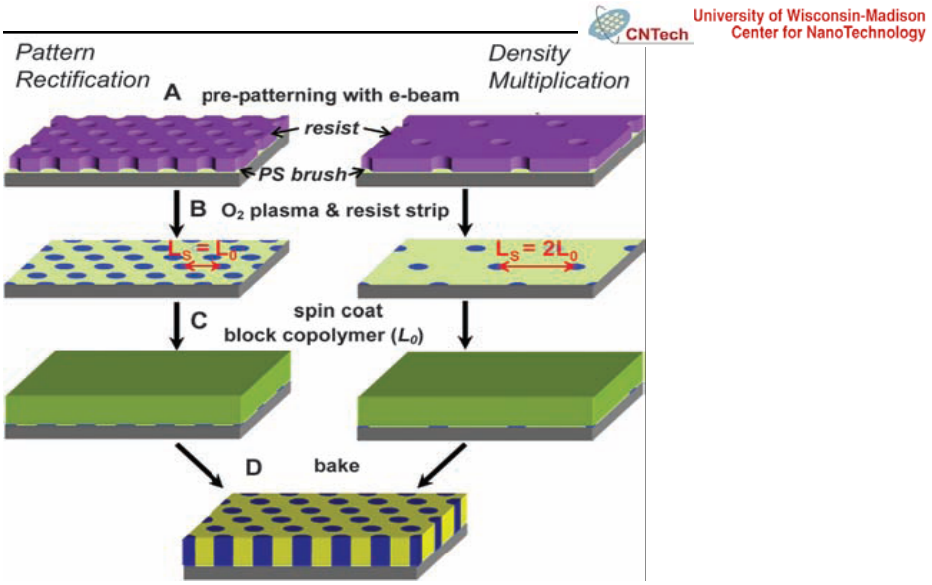



Fig. 1. Process to create lithographically defined chemically prepatterned surfaces and subsequent directed assembly. (A) Electron-beam lithography patterns at Ls = L0 (left) and Ls = 2L0 (right). (B) Chemical contrast on the substrate after O2 plasma exposure on the e-beam–defined spots above. (C) Block copolymer thin film. (D) Guided self-assembly in registration with the underlying chemical pattern.

D. S. Kercher, T. R. Albrecht, J. J. de Pablo, P. F. Nealey, Science 936 vol. 321 (2008)

図表 6-14　　DSA　Guided self-assembly によるピッチ倍増技術

NIL は、微細パターンを、優れた LER で形成でき、また、デュアルダマシーンなどの 3D 構造を、一括で形成できる技術として注目されている。UV 光を用いて液状のレジスト材料を硬化させ、ステップアンドリピートする MII 社の S-FIL 技術が先行している。1:1 の合成石英テンプレートマスクの製作や、アライメント精度の課題が残されていたが、アライメント精度が 20 nm を切る結果も報告され、進展を見せた。デバイスへの適用を目指した報告も注目され、存在感の出た年となった。スループットの改善も模索されている。欠陥対策など今後の技術開発動向に注目していく必要がある(図表 6-14)。

また、DSA(Directed Self Assemble)は、記録メディアへの適用を目指す開発の中から、位置合わせ機能の可能性が提案されるなど、注目されている。報告の多くは、PS-MMA Block copolymer を用いる系で、材料設計で決まるピッチとサイズ(ライン/スペースサイズ、あるいは、ドット/コンタクトホールサイズ)を有している点に特徴がある。半導体製造プロセスでも、特殊な用途でまず導入される可能性があり、特に、近年報告されている Marking あるいは、規則性を拘束するパターンを用いる等して、倍、あるいは n 倍の密度で規則的に配置していく技術の開発に注目が集まる(図表 6-15)。ITRS のリソのロードマップでは、16 nm の技術候補である。また、iTWG での 2009 年版への議論の中では、Interference Lithography の可能性も指摘されている。干渉縞を転写するもので、二光束干渉、あるいは四光束干渉により、ラインアンドスペースやコンタクトアレイの形成が可能になる。

3D-Integration を候補技術として挙げているが、リソグラフィ技術への要求は明確ではない。TSV は、パッケージ技術の領域とチップでのグローバル配線の領域で検討されており、ウェハー上では、数μm ピッチ、アスペクト比~10 の貫通孔の形成がターゲットとなる。

### 6-3 ITRS2008 の取り組み

2008update 版における解決策候補の見直しのポイントは、EUVL 露光技術開発の進展・実用化時期にある。また、デバイスのトレンドからリソグラフィ技術に要求される数値の反映に注意を払った。

変更点のある図表は次の三点である。

図表 6-15　リソグラフィへの要求

図表 6-16　レジストへの要求

図表 6-17　フォトマスクへの要求

- 解決策候補、関連テーブルの見直し

選定の基準は 2004 年度に定められたものを踏襲しており変更は無い。

- 全てのインフラ(マスク、 露光ツール、 レジスト等) が相当するノードに対し準備されていること。
  - α Tool 及びそのインフラが3 年前に準備されること。
  - β Tool 及びそのインフラが2 年前に準備されること。
  - 量産装置及びそのインフラが量産開始の1 年前に準備できる見通しであること。
- 少なくとも二つ以上のリージョンのIC メーカーが生産に使用することを計画していること
- N+3 以降のノードではこの限りではない。
- 解決策候補として記載されるのは、最先端のクリティカル層に対応するテクノロジィであること。
- 対応する露光ツールが世界で100 台以上使われる見通しであること。

以上の定義は、多量生産をターゲットにしたものであるが、量産開始の定義が、二社から 10000 チップ/月の生産・出荷とする条件は、リソグラフィ工程においては、単一の露光装置で、単一のマスクで実現可能な数値となっていることを勘案する必要がある。

### 6-3-1 リソグラフィ技術への要求

図表 6-15 に、更新されたリソグラフィへの要求一覧表を示す。MPUの欄が大きく更新されている。MPUのGate-Lの微細化が、先送りされている。しかし、M1 ピッチのスケーリングに変更はない。Gate in resistが緩和され、Physical gate lengthへのバイアス値が緩和されて、Gate-Lの微細化が鈍化している。さらに、長期的にもM1 ピッチに対しての率は緩和されていく。しかし、Gateスケーリングの緩和が生じていても、CD(Critical Dimension)バラツキに対する要求は、依然として厳しく、要求された時期に達成する見込みは得られていない。また、DRAMは、既に、$6F^2$セルに完全に移行し、さらに、2011 年には、$4F^2$を予定しているが、図表 6-15 には反映されていない。$4F^2$セルは、構造が大きく変わり、リソグラフィに対する要求内容に変更が予想されるが、2008 年度は、十分な検討を行っていない。デバイスパターンによって、リソグラフィ技術の選択肢、仕様が異なっている。Flash Memoryが、セルピッチの微細化で先行し、DRAMは、CDU、オーバーレイで厳しく、MPUは、ゲートの孤立パターンで、CDU、さらに欠陥レベルで要求が突出している。

*Table LITH3　Lithography Technology Requirements*

| *Year of Production* | *2007* | *2008* | *2009* | *2010* | *2011* | *2012* | *2013* | *2014* | *2015* | *2016* | *2017* | *2018* | *2019* | *2020* | *2021* | *2022* | *2023* |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| *DRAM ½ pitch (nm) (contacted)* | *68* | *59* | *52* | *45* | *40* | *36* | *32* | *28* | *25* | *23* | *20* | *18* | *16* | *14* | *13* | *11* | *10* |
| ***DRAM*** | | | | | | | | | | | | | | | | | |
| *DRAM ½ pitch (nm)* | 68 | 59 | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11.3 | 10.0 |
| *CD control (3 sigma) (nm) [B]* | 7.1 | 6.2 | 5 | 4.7 | 4.2 | 3.7 | 3.3 | 2.9 | 2.6 | 2.3 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.0 |
| *Contact in resist (nm)* | 75 | 65 | 57 | 50 | 44 | 39 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12.4 | 11.0 |
| *Contact after etch (nm)* | 68 | 59 | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11.3 | 10.0 |
| *Overlay [A] (3 sigma) (nm)* | 13.6 | 11.9 | 10 | 9.0 | 8.0 | 7.1 | 6.4 | 5.7 | 5.1 | 4.5 | 4.0 | 3.6 | 3.2 | 2.8 | 2.5 | 2.3 | 2.0 |
| *k1 193 / 1.35NA* | 0.48 | 0.42 | 0.36 | 0.31 | 0.28 | 0.25 | 0.22 | 0.20 | 0.18 | 0.16 | 0.14 | 0.12 | 0.11 | 0.10 | 0.09 | 0.08 | 0.07 |
| *k1 EUVL* | | | | 0.83 | 0.74 | 0.66 | 0.59 | 0.52 | 0.47 | 0.58 | 0.52 | 0.46 | 0.41 | 0.37 | 0.33 | 0.42 | 0.37 |
| ***Flash*** | | | | | | | | | | | | | | | | | |
| *Flash ½ pitch (nm) (un-contacted poly)* | 54 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 8.9 | 8.0 |
| *CD control (3 sigma) (nm) [B]* | 5.6 | 4.7 | 4 | 3.7 | 3.3 | 2.9 | 2.6 | 2.3 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.0 | 0.9 | 0.8 |
| *Contact in resist (nm)* | 59 | 50 | 44 | 39 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12 | 11 | 9.8 | 8.8 |
| *Contact after etch (nm)* | 54 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 8.9 | 8.0 |
| *Overlay [A] (3 sigma) (nm)* | 17.7 | 14.9 | 13 | 11.8 | 10.5 | 9.4 | 8.3 | 7.4 | 6.6 | 5.9 | 5.3 | 4.7 | 4.2 | 3.7 | 3.3 | 2.9 | 2.6 |
| *k1 193 / 1.35NA* | 0.37 | 0.31 | 0.28 | 0.25 | 0.22 | 0.20 | 0.18 | 0.16 | 0.14 | 0.12 | 0.11 | 0.10 | 0.09 | 0.08 | 0.07 | 0.06 | 0.06 |
| *k1 EUVL* | | | | 0.69 | 0.61 | 0.55 | 0.49 | 0.43 | 0.37 | 0.46 | 0.41 | 0.37 | 0.33 | 0.29 | 0.26 | 0.33 | 0.29 |
| ***MPU*** | | | | | | | | | | | | | | | | | |
| *MPU/ASIC Metal 1 (M1) ½ pitch (nm)* | 68 | 59 | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11.3 | 10.0 |
| *MPU gate in resist (nm)* | 54 | 47 | 41 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12 | 11 | 10 | 8.8 | 7.9 |
| *MPU physical gate length (nm) ** | 32 | 29 | 27 | 24 | 22 | 20 | 18 | 17 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8.1 | 7.4 |
| *Gate CD control (3 sigma) (nm) [B] *** | 3.3 | 3.0 | 2.8 | 2.5 | 2.3 | 2.1 | 1.9 | 1.7 | 1.6 | 1.5 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.8 |
| *Contact in resist (nm)* | 84 | 73 | 64 | 56 | 50 | 44 | 39 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 13.9 | 12.4 |
| *Contact after etch (nm)* | 77 | 67 | 58 | 51 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 12.7 | 11.3 |
| *Overlay [A] (3 sigma) (nm)* | 17 | 15 | 13 | 11 | 10.0 | 8.9 | 8.0 | 7.1 | 6.3 | 5.6 | 5.0 | 4.5 | 4.0 | 3.5 | 3.2 | 2.8 | 2.5 |
| *k1 193 / 1.35NA* | 0.48 | 0.42 | 0.36 | 0.31 | 0.28 | 0.25 | 0.22 | 0.20 | 0.18 | 0.16 | 0.14 | 0.12 | 0.11 | 0.10 | 0.09 | 0.08 | 0.07 |
| *k1 EUVL* | | | | 0.83 | 0.74 | 0.66 | 0.59 | 0.52 | 0.47 | 0.58 | 0.52 | 0.46 | 0.41 | 0.37 | 0.33 | 0.42 | 0.37 |
| ***Chip size ($mm^2$)*** | | | | | | | | | | | | | | | | | |
| *Maximum exposure field height (mm)* | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 |
| *Maximum exposure field length (mm)* | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 |
| *Maximum field area printed by exposure tool ($mm^2$)* | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 | 858 |
| *Wafer site flatness at exposure step (nm) [C]* | 63 | 55 | 48 | 42 | 37 | 33 | 29 | 26 | 23 | 20 | 18 | 16 | 14 | 12 | 11 | 10 | 9 |
| *Number of mask levels MPU* | 33 | 35 | 35 | 35 | 35 | 35 | 37 | 37 | 37 | 37 | 39 | 39 | 39 | 39 | 39 | 39 | 39 |
| *Number of mask levels DRAM* | 24 | 24 | 24 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 | 26 |
| *Wafer size (diameter, mm)* | 300 | 300 | 300 | 300 | 300 | 450 | 450 | 450 | 450 | 450 | 450 | 450 | 450 | 450 | 450 | 450 | 450 |

| | | | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| *NA required for Flash (single exposure)* | 1.01 | 1.20 | 1.35 | 1.52 | 1.70 | 1.91 | | | | | | | | | | | |
| *NA required for logic (single exposure)* | 0.91 | 1.04 | 1.20 | 1.38 | 1.54 | 1.73 | 1.94 | | | | | | | | | | |
| *NA required for double exposure (Flash)* | 0.54 | 0.86 | 0.96 | 1.08 | 1.22 | 1.36 | 1.53 | 1.72 | 1.93 | | | | | | | | |
| *NA required for double exposure (logic)* | 0.62 | 0.72 | 0.82 | 0.95 | 1.06 | 1.19 | 1.34 | 1.50 | 1.68 | | | | | | | | |
| *EUV NA minimum* | | | | 0.25 | 0.25 | 0.25 | 0.25 | 0.25 | 0.25 | 0.35 | 0.35 | 0.35 | 0.35 | 0.35 | 0.35 | 0.50 | 0.50 |

*Double Patterning solutions*
*Manufacturable solutions exist, and are being optimized*
*Manufacturable solutions are known*
*Interim solutions are known*
*Manufacturable solutions are NOT known*

図表 6-15　　リソグラフィへの要求

*Table LITH4AB Resist Requirements*

| *Year of Production* | *2007* | *2008* | *2009* | *2010* | *2011* | *2012* | *2013* | *2014* | *2015* | *2016* | *2017* | *2018* | *2019* | *2020* | *2021* | *2022* | *2023* |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| *DRAM ½ pitch (nm) (contacted)* | *68* | *59* | *52* | *45* | *40* | *36* | *32* | *28* | *25* | *23* | *20* | *18* | *16* | *14* | *13* | *11* | *10* |
| *Flash ½ pitch (nm) (un-contacted poly)* | *53.5* | *45.0* | *40.1* | *35.7* | *31.8* | *28.3* | *25.3* | *22.5* | *20.0* | *17.9* | *15.9* | *14.2* | *12.6* | *11.3* | *10.0* | *8.9* | *8.0* |
| *MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)* | *68* | *59* | *52* | *45* | *40* | *36* | *32* | *28* | *25* | *23* | *20* | *18* | *16* | *14* | *13* | *11* | *10* |
| *MPU physical gate length (nm) [after etch]* | *32* | *29* | *27* | *24* | *22* | *20* | *18* | *17* | *15* | *14* | *13* | *12* | *11* | *10* | *9* | *8* | *7* |
| *MPU gate in resist length (nm)* | *54* | *47* | *41* | *35* | *31* | *28* | *25* | *22* | *20* | *18* | *16* | *14* | *12* | *11* | *10* | *9* | *8* |
| *Resist Characteristics ** | | | | | | | | | | | | | | | | | |
| *Resist meets requirements for gate resolution and gate CD control (nm, 3 sigma) **†* | 3.3 | 3.0 | 2.8 | 2.5 | 2.3 | 2.1 | 1.9 | 1.7 | 1.6 | 1.5 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.8 |
| *Resist thickness (nm, single layer) **** | 105-190 | 90-160 | 80-145 | 70-130 | 60-115 | 55-100 | 50-90 | 45-80 | 40-75 | 35-65 | 30-60 | 25-50 | 25-45 | 20-40 | 20-40 | 15-35 | 15-30 |
| *PEB temperature sensitivity (nm/C)* | 1.75 | 1.5 | 1.5 | 1.5 | 1.5 | 1.5 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| *Backside particle density (particles/cm$^2$)* | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 | 0.28 |
| *Back surface particle diameter: lithography and measurement tools (nm)* | 120 | 120 | 100 | 100 | 100 | 100 | 75 | 75 | 75 | 50 | 50 | 50 | 50 | 50 | 50 | 50 | 50 |
| *Defects in spin-coated resist films (#/cm$^2$) †* | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 |
| *Minimum defect size in spin-coated resist films (nm)* | 40 | 35 | 30 | 30 | 20 | 20 | 20 | 20 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 |
| *Defects in patterned resist films, gates, contacts, etc. (#/cm$^2$)* | 0.04 | 0.03 | 0.03 | 0.03 | 0.02 | 0.02 | 0.02 | 0.02 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 | 0.01 |
| *Minimum defect size in patterned resist (nm)* | 40 | 35 | 30 | 30 | 20 | 20 | 20 | 20 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 |
| *Low frequency line width roughness: (nm, 3 sigma) <8% of CD ****** | 4.3 | 3.7 | 3.2 | 2.8 | 2.5 | 2.2 | 2.0 | 1.8 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.6 |
| *Correlation Length* | 40.8 | 33.8 | 29.2 | 25.8 | 23.3 | 21.4 | 19.6 | 18.6 | 17.0 | 15.5 | 12.6 | 12.8 | 11.5 | 10.2 | 8.3 | 6.9 | 7.9 |
| ***Defects in spin-coated resist films for double patterning (#/cm2)*** | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 | 0.005 |
| ***Backside particle density for double patterning (#/cm2)*** | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 | 0.14 |

*Manufacturable solutions exist, and are being optimized*

*Manufacturable solutions are known*

*Interim solutions are known*

*Manufacturable solutions are NOT known*

図表 6-16　　レジストへの要求

| Table LITH5AB Optical Mask Requirements | | | | | | | | | | | 22 nm | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Year of Production | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 |
| DRAM/ MPU/ ASIC (M1) ½ pitch (nm) (contacted) | 68 | 59 | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 |
| DRAM CD control (3 sigma) (nm) | 7.1 | 6.2 | 5.4 | 4.7 | 4.2 | 3.7 | 3.3 | 2.9 | 2.6 | 2.3 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.0 |
| Flash ½ pitch (nm) (un-contacted poly) | 54 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 | 8 |
| MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted) | 68 | 59 | 52 | 45 | 40 | 36 | 32 | 28 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 |
| MPU gate in resist (nm) | 54 | 47 | 41 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12 | 11 | 10 | 9 | 8 |
| MPU physical gate length (nm) | 32 | 29 | 27 | 24 | 22 | 20 | 18 | 17 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 |
| Gate CD control (3 sigma) (nm) [A] | 3.3 | 3.0 | 2.8 | 2.5 | 2.3 | 2.1 | 1.9 | 1.7 | 1.6 | 1.5 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.8 |
| Overlay (3 sigma) (nm) | 14 | 12 | 10.3 | 9.0 | 8.0 | 7.1 | 6.4 | 5.7 | 5.1 | 4.5 | 4.0 | 3.6 | 3.2 | 2.8 | 2.5 | 2.3 | 2.0 |
| Contact in resist (nm) | 84 | 73 | 64 | 56 | 50 | 44 | 39 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 16 | 14 | 12 |
| Generic Mask Requirements | | | | | | | | | | | | | | | | | |
| Mask magnification [B] | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 5 |
| Mask nominal image size (nm) [C] | 214 | 186 | 162 | 141 | 126 | 112 | 100 | 89 | 79 | 71 | 63 | 56 | 50 | 44 | 40 | 35 | 39 |
| Mask minimum primary feature size [D] | 150 | 130 | 114 | 99 | 88 | 78 | 70 | 62 | 55 | 49 | 44 | 39 | 35 | 31 | 28 | 25 | 28 |
| Mask sub-resolution feature size (nm) opaque [E] | 107 | 93 | 81 | 71 | 63 | 56 | 50 | 44 | 40 | 35 | 31 | 28 | 25 | 22 | 20 | 18 | 20 |
| Image placement (nm, multipoint) [F] | 8.2 | 7.1 | 6.2 | 5.4 | 4.8 | 4.3 | 3.8 | 3.4 | 3.0 | 2.7 | 2.4 | 2.1 | 1.9 | 1.7 | 1.5 | 1.4 | 1.5 |
| CD uniformity allocation to mask (assumption) | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 | 0.4 |
| MEEF isolated lines, binary or attenuated phase shift mask [G] | 1.6 | 1.8 | 2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 |
| CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] * | 3.3 | 2.7 | 2.2 | 1.8 | 1.7 | 1.5 | 1.4 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.7 | 0.6 | 0.7 |
| MEEF dense lines, binary or attenuated phase shift mask [G] | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 2.2 | 3.2 |
| CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J] | 5.2 | 4.5 | 3.9 | 3.4 | 3.0 | 2.7 | 2.4 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.1 | 1.0 | 0.9 | 0.7 |
| MEEF contacts [G] | 3.5 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 5 |
| CD uniformity (nm, 3 sigma), contact/vias [K] * | 3.2 | 2.5 | 2.1 | 1.9 | 1.7 | 1.5 | 1.3 | 1.2 | 1.0 | 0.9 | 0.8 | 0.7 | 0.7 | 0.6 | 0.5 | 0.5 | 0.4 |
| Linearity (nm) [L] | 10.9 | 9.5 | 8.3 | 7.2 | 6.4 | 5.7 | 5.1 | 4.5 | 4.0 | 3.6 | 3.2 | 2.9 | 2.5 | 2.3 | 2.0 | 1.8 | 2.0 |
| CD mean to target (nm) [M] | 5.5 | 4.8 | 4.1 | 3.6 | 3.2 | 2.9 | 2.5 | 2.3 | 2.0 | 1.8 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | 1.0 |
| Defect size (nm) [N] * | 55 | 48 | 41 | 36 | 32 | 29 | 25 | 23 | 20 | 18 | 16 | 14 | 13 | 11 | 10 | 9 | 10 |
| Blank flatness (nm, peak-valley) [O] | 250 | 218 | 190 | 165 | 147 | 131 | 117 | 104 | 93 | 83 | 74 | 66 | 59 | 53 | 47 | 42 | 37 |
| Pellicle thickness uniformity [P] | 5.0 | 4.5 | 4.1 | 3.6 | 3.3 | 3.1 | 2.8 | 2.6 | 2.4 | 2.2 | 2.1 | 1.9 | 1.7 | 1.6 | 1.5 | 1.4 | 1.3 |
| Data volume (GB) [Q] | 413 | 520 | 655 | 825 | 1040 | 1310 | 1651 | 2080 | 2621 | 3302 | 4161 | 5242 | 6605 | 8321 | 10484 | 13209 | 16642 |
| Mask design grid (nm) [R] | 2 | 2 | 2 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0.5 | 0.5 | 0.5 | 0.5 | 0.5 |
| Attenuated PSM transmission mean deviation from target (± % of target) [S] | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 |
| Attenuated PSM transmission uniformity (±% of target) [T] | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 |
| Attenuated PSM phase mean deviation from 180° (± degree) [U] | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 | 3 |
| Alternating PSM phase mean deviation from nominal phase angle target (± degree) [T] | 1.5 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Alternating PSM phase uniformity (± degree) [U] | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Image placement (nm, multipoint) for double patterning of independent layers [V] | 5.8 | 5.0 | 4.4 | 3.8 | 3.4 | 3.0 | 2.7 | 2.4 | 2.1 | 1.9 | 1.7 | 1.5 | 1.4 | 1.2 | 1.1 | 1.0 | 1.1 |
| Difference in CD Mean-to-target for two masks used as a double patterning set (nm) [W] | 2.7 | 2.4 | 2.1 | 1.8 | 1.6 | 1.4 | 1.3 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.6 | 0.6 | 0.5 | 0.5 | 0.5 |
| Double exposure: image placement for each mask used for exposing mutually dependent layers (nm) [X] | 2.4 | 2.1 | 1.8 | 1.6 | 1.4 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.6 | 0.6 | 0.5 | 0.4 | 0.4 | 0.3 |
| Double exposure: mask CD uniformity for each mask used for exposing mutually dependent layers (nm) [Y] | 2.4 | 2.1 | 1.8 | 1.6 | 1.4 | 1.2 | 1.1 | 1.0 | 0.9 | 0.8 | 0.7 | 0.6 | 0.6 | 0.5 | 0.4 | 0.4 | 0.3 |
| Double exposure: dual space, etch bias repeatability and uniformity [Z] | 1.6 | 1.4 | 1.2 | 1.0 | 0.9 | 0.8 | 0.7 | 0.7 | 0.6 | 0.5 | 0.5 | 0.4 | 0.4 | 0.3 | 0.3 | 0.3 | 0.2 |
| Mask materials and substrates | | | | | | | | Absorber/attenuator on fused silica | | | | | | | | | |
| | | | | | | | | ellicle for optical masks for exposure wavelengths down to 193 nm, including masks for 193 nm immersion. | | | | | | | | | |

Manufacturable solutions exist, and are being optimized
Manufacturable solutions are known
Interim solutions are known
Manufacturable solutions are NOT known

図表 6-17　　フォトマスクへの要求

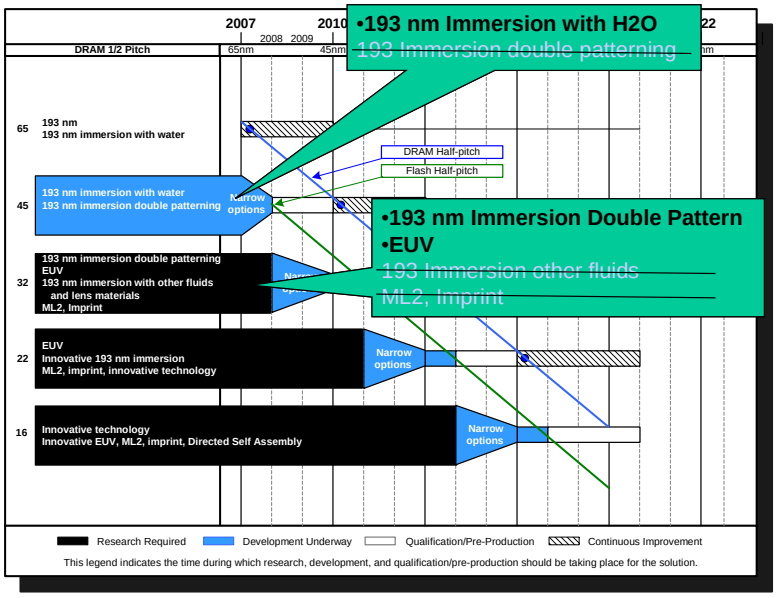
### 6-3-2 ITRS2008update におけるリソグラフィ解決策候補 (Potential Solutions)

Lithography iTWG では、2010 年、45 nm、2013 年、32 nm を中心にリソグラフィ技術の解決策候補の見直しを行った(図表 6-18)。

2010 年、45 nm は、193 nm immersion with water のみとした。さらに、2013 年、32 nm の候補を検討し、193 nm immersion double exposure/patterning を第一の候補、EUVL を第二の候補とする二つに絞り込んだ。45 nm は、193 nm の水液浸露光技術で、Single exposure で達成されると判断し、また、EUVL は、依然、開発段階にあるため、193 nm immersion with water ひとつに絞り込んだ。1.35 が最大 NA とされる 193 nm immersion with water での Single exposure の限界は、単純なパターンで、ピッチ 80 nm 弱、規則的な L&S で、hp 39~38 nm が解像限界と判断している。

2013 年、32 nmに対しては、解決策候補をダブルパターニング技術とEUVLとした。高屈折率液体を用いる 193 nm immersionは、既に開発中止に至り、Tableから削除されている。また、ML2、Imprintは、もとめられる時期に量産技術に達していないと判断し、削除した。さらに、EUVLの開発が遅延している状況を反映させ、ダブルパターニング技術、EUVLの順に、順序を見直した。より、厳密には、EUVLは、2013 年に実用化の可能性があると判断し、2013 年時点では、DRAMで適用の可能性があると記載した。EUV露光装置の量産機の出荷は、2011 年以降とされ、2013 年に生産に寄与できる可能性がある。微細化で先行するFlashでは、既に、2009 時点で、SpacerダブルパターニングがITRSの定義である二社で適用されて一社からは、32 nm hpのデバ

イス生産の開始が公表されている。EUVLが順調に開発され、1~2 年前に技術が用意され、デバイスの開発段階で、主流となり、2013 年に 32 nm hpのDRAMやMPUの量産に至る主たる技術として採用されることには依然リスクが大きいと判断した。ダブルパターニング技術は、$k_1$ 0.25 の壁を打ち破り、解像性能を二倍に高める技術として、hp 32 nmでも十分な解像力の達成が可能である。




22 nm 以細に関しては、EUVL を本命候補としている。また、新たに、Interference Lithography を候補技術に取り上げる議論があった。ML2、Nano Imprint、DSA の記載に大きな変化は無い。また、22 nm に 193 nm 露光技術の可能性があるとした。ダブルパターニング技術を複数回適用する等の手法により、三倍あるいは四倍パターンの形成が可能であるとした。

*Notes: RET and lithography friendly design rules will be used with all optical lithography solutions, including with immersion; therefore, they are not explicitly noted.*

図表 6-18　　露光装置解決策候補

今後の活動の中では、22 nm、16 nm さらに 11 nm 世代のデバイスが必要とするリソグラフィ技術を見極め、新たな技術を候補に加えることも含めて、候補技術の取捨選択を測っていく。

## 6-5 iTWG 活動

Technology Pacing Meeting[IRC, Litho, FEP, Yield, Interconnect, Design, PIDS]では、MPUのGateのScalingスケーリングのupdateと、Flashのサーベイに基づく加速提案がなされた。また、DRAMは、2011 に 4 $F^2$セルに移行する。NAND Flashは、2008 年に34 nm hpの製品が一社から出荷されており、2009 年に32 nm hpの製品が発表され、2009 年の数値を、40 nm hpから 34 nm hpに書き換えることが提案された。リソグラフィへの要求事項の議論は出来ていない。2009 年版の課題となっている。

ERM TWG の WS に参加し、次世代レジスト材料、コンセプトの議論をおこなった。MG(分子ガラス)レジストの最新コンセプト、DE 材料などの現状と課題が整理された。ここでも、RSL (Resolution-Sensitivity-LER/LWR)トレードオフは宿命で、特に DE プロセス材料では、非線形反応を期待するため、桁違いの露光量が必要となることが理解されている。俗に言う Magic material は、非線形あるいは二光子反応など用いるが、結局、露光量が必要になる。“More Photons” for scaling がひとつの結論であった。また、レジストの均一性の究極として、MG に全ての機能を結合させた分子レジスト、2-stage レジストの提案等考えている技術の紹介・議論があった。

Modeling & Simulation TWG とリソグラフィに関わる Modeling & Simulation 技術要求の議論を開始した。また、Fraunhofer で開発しているプログラム・Mesoscopic model の紹介を受けた。LER/LWR の低減には、現象の理解が必要であり、この種のモデルの重要性は増している。

Metrology とのクロスカットでは、リソ側から、NGL/ML2 (+EUVL)を睨んで、Die-DB の Wafer 検査の必要性を

指摘した。全 Array/Column の動作保証できないと考えると、マスクで検証されない ML2 などでは wafer 全数検査も視野に入ってくる。

Lithography iTWG の合意事項として、2009 年版に向けての Table 改定作業は、各 TWG の担当者を Table ごとに決めて対応することとなり、体制を構築した。2009 年版では、16 nm が Near term に入ってくる。

450 mm に関しては、移行の前提となる 30%のコスト低減はリソグラフィ領域では困難で、現在の予測は 0~15%と考えられると結論した。レチクルサイズを変更し、スキャン長を伸ばすことによりスループットが増大できる可能性がある。その場合、9 インチ角あるいは、6×9 インチといった長方形レチクルの可能性があり、Slit 幅を変えずにスキャン長を伸ばすだけであるため、光学系は基本的に変更しないで対応できる。しかし、マスク製造インフラの整備に大きな負担があり、受け入れ難い。

More than Moore に関わる議論は発展できていない。リソグラフィに対する要求がまず明確化できていない。リソグラフィ技術の検討を図る上でまず考えなければならない点は、対象となる基板、被加工材料の形状である。また、3D 加工がどこまで要求されるのか明確ではない。今後の議論で可能性を見つめて行きたい。

### 6-6 まとめと今後の課題

2008 年は、微細化の困難さがますます顕在化する年であると共に世界規模の不況に突入した年となった。デバイスビジネスは、より付加価値の高い製品の開発を求めている。

EUVL の遅延は、その適用の時期を 22 nm 世代とせざるを得ない状況と化している。既に 32 nm 世代 2013 年での適用のタイミングを逸しつつある。一方で、Pitch Splitting を採用するダブルパターニング技術は、オーバーレイなどの厳しい精度要求、設計負担に加えて、工程数の増加に伴うプロセスコストの上昇が中途半端ではないことが共通認識となった。その結果、LELE におけるコスト要因であるエッチング工程を削減する技術として、LFLE が注目され、開発が活発になった。しかし、LFLE であっても、二回のクリティカルな露光工程のコストは許容できるものでは無い。また、Flash メモリーへの適用が始まっている Spacer 技術は、成膜とエッチング工程が複雑であり、Pitch Splitting 以上のコストとなるとされている。そのため、塗布型の Spacer 材料などの開発が注目され、多くの提案が成された。Pitch Splitting 適用のためのパターンデータの自動分割処理の検討も進められ、32 nm 世代をダブルパターニング技術で凌ぐための準備が整えられつつある。しかし、ダブルパターニング技術の適用は、コストとの戦いでもある。デバイスパターンの特徴に応じて、最適な技術を選択するだけでなく、デバイスパターンの最適化も推し進めていかなければならない。

ダブルパターニングを含めて、193 nm 露光技術の延命の為には、光源とマスクを最適化する SMO や、設計パターン側にも最適化を促す CL の動きが、今後ますます重要となる。今使える露光装置の性能を、限界まで使いこなす手法として、SMO や CL への取り組みが、当面の最大の課題となる。

2009 年度の活動では、EUVL の見極めを図り、さらに、次の世代に進むための指針となるロードマップの策定に向けて、活動していきたい。EUVL では、光源の開発の遅れが再三指摘されるが、他の EUVL 要素技術の開発が順調ともいえない。マスクの無欠陥化、ペリクルの無いマスクの運用技術は、EUVL の検証の鍵となる。また、Actinic 検査・計測の必要性が高まっているにもかかわらず資金が不足し、開発が進展していないことにも懸念がある。EUVL の実用化の見極めが出来ても、次の世代に向けて、即、EUVL の延命と他の候補技術との比較・絞込みに取り掛からなければならない。リソグラフィ関係では、多くの学会・ワークショップ等が開催されている。技術情報の把握、情報の共有化を積極的に進めて、ロードマップへの反映を迅速に行って行きたいと考えている。