

第 8 章 WG7 実装

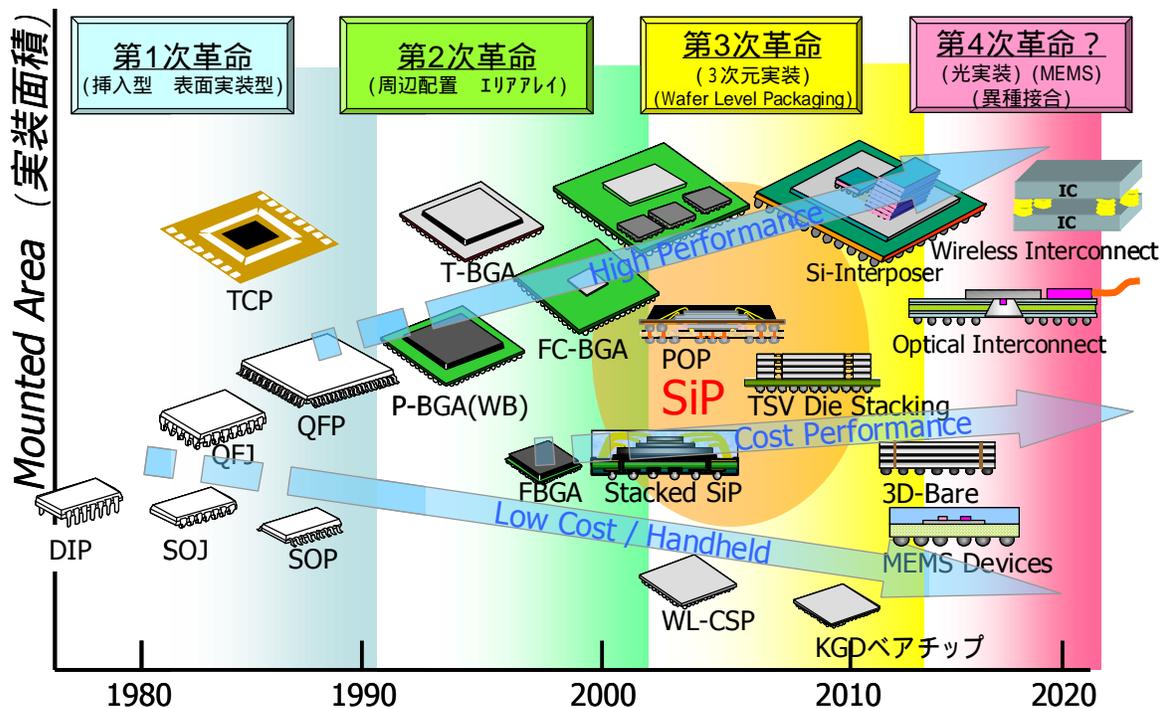
8-1 はじめに

半導体技術ロードマップ(STRJ)の WG7(実装)は、JEITA 電子実装技術委員会 Jisso 戦略専門委員会 実装技術ロードマップ G の WG3(半導体パッケージ)と一体になり、活動を推進している。実装技術ロードマップ G では隔年で「日本実装技術ロードマップ」を発行しており、2009 年 6 月に「2009 年度版 日本実装技術ロードマップ」¹⁾(以下、JJTR2009 と記す)を発行予定であり、実装技術ロードマップ G の WG3 としては半導体パッケージのロードマップ作成を担当した。

2008 年度の STRJ-WG7 としては、上述の JJTR2009 の半導体パッケージロードマップデータを作成すると共に、ITRS A&P(Assembly & Packaging)ITWG に参画し、「ITRS2008 Update」A&P 章の作成に協力した。具体的には、JJTR2009 のデータの一部を ITRS A&P ITWG に提供した。

本章では、JJTR2009 を作成するために検討した技術ロードマップから、注目すべき内容を抜粋し、紹介する。

LSI パッケージの開発動向を図表 8-1 に示す。1970 年代後半に現れた QFP (Quad Flat Package) や SOP (Small Outline Package) に代表される周辺端子型の表面実装パッケージが多ピン・高密度化を促進し(第 1 次革命期)、1990 年に入ってから多ピン対応のパッケージとしてエリアレイ端子型の表面実装パッケージである BGA (Ball Grid Array Package) や超小型の CSP (Chip Scale Package/Chip Size Package: チップサイズに近い小型パッケージの愛称) が出現した(第 2 次革命期)。特に日本から提案された CSP はモバイル機器用途の小型パッケージとして急速に世界に広まり、デファクトスタンダードなパッケージ形態として普及が進んだ。



図表 8-1 LSI パッケージの開発動向

さらに 1990 年代末から半導体デバイスや半導体パッケージの 3 次元積層化や、ウェーハレベルパッケージング技術 (WLP: Wafer Level Packaging) による高密度化が進展した(第 3 次革命期)。一つのパッケージの中に複数個の LSI を搭載する SiP (System in a Package) や複数のパッケージを積み重ねる POP (Package on Package) が広く実用化されている。また、ウェーハレベルで組み立てを行い、最後に個片化してパッケージを製造する方法である WLP 技術はモバイル機器の小型化要求に伴って開発された。WLP 技術は、ウェーハ状態でパッケージ組立が行われる画期的な技術と位置づけられる。

LSI ウェーハプロセスの微細化はムーアの法則に沿い進展してきたが、今後の 32nm, 22nm 以降の微細化 (More Moore) では技術障壁が高まっている。この状況から、電子機器システムの更なる高性能化・多機能化には、ムーアの法則とは異なる進化 (More than Moore) が求められ、その実現には実装技術、すなわち SiP パッケージ技術が重要な役割を持つ。そして、SoC (System on a Chip) と SiP の組合せにより付加価値の高い製品を創出していくことが、今後の電子機器システム発展の鍵である。ますます大規模化するシステム LSI において、高速化するためには信号の伝搬遅延をいかに少なくすることも重要な点であり、デバイス間の接続を水平方向から垂直方向に行うことで遅延を抑えることができることから、新たな SiP・3D 実装技術として、フリップチップ接続技術をベースとした COC (Chip on Chip) や、TSV (Through Silicon Via) を用いたデバイス積層構造の実用化が現在進んでおり、今後も開発が更に加速していく。この COC と TSV のパッケージ構造の製品展開拡大にあたっては、接続技術の開発の他、加工コストの面も重大なファクターとなっており、今後、コストダウンに向けた取組みが重要となるが、コストダウン実現のためにはプロセス技術の革新に加えて、これらの技術が幅広い用途に使われていくことが必要で、各種の標準化も重要な課題である。

8-2 各種パッケージの動向

LSI パッケージの内、主要パッケージの動向を記載する。

(1) QFP/SOP

QFP/SOP の主要寸法値である最大端子数、最小端子ピッチ、最小取り付け高さを図表 8-2 に示す。これらのパッケージは、今後も多端子化や低背化については現状を維持する。

QFP は主にロジックデバイスのパッケージとして利用され、デバイスの多端子化、実装基板やソケットの狭ピッチ化や基板実装技術の進歩とともに、QFP の端子ピッチの狭ピッチ化が進められ、高密度実装化が図られてきた。現在 0.4mm ピッチが実用化されているが、ソケット技術が困難であることや細かいリードが曲がり易いこと、さらに基板実装技術も格段に難しくなることから、これ以上の狭ピッチ化は困難である。多端子化の要求に対してはエリアレイパッケージで実現する。この状況を踏まえ、JTR2007 と同様、JJTR2009 では最大端子数 300 ピン程度、最小端子ピッチは 0.4mm ピッチで留まるものと予測する。また、低背化の要求に対しては QFN、BGA 等の他のパッケージ技術での対応が進むため、最小取り付け高さについても、現在の 1.2mm からの低背化への積極的な開発は行われず、現状で留まる。

SOP についても、QFP と同様の理由により、今後はエリアレイパッケージに移行していくため、主要寸法値は現状に留まる。

項目	QFP	SOP
最大端子数(信号 + 電源 / GND)	304	100
最小端子ピッチ(mm)	0.4	0.4
最小取り付け高さ(mm)	1.2	1.2

図表 8-2 QFP/SOP の主要寸法(2008 年 ~ 2018 年)

(2) QFN

QFN は SON (Small Outline Non-leaded Package) の多端子化を目的として開発されたパッケージであり、裏面の 4 辺に実装用端子が形成されているため、従来の QFP に比べて小型化される。QFN の動向を図表 8-3 に示す。JJTR2009 では、多端子化と小型化のために周辺端子の配列を千鳥配列にしたパッケージも量産されてきているため、単列配列タイプと千鳥配列タイプとに分けて端子数、端子ピッチの動向を記述した。QFN は小型化を特徴とするため、パッケージサイズは 12mm×12mm よりは大きくならないと予測される。そのため、単列配列の QFN は、現在の最大端子数が 100 ピン程度であり、2014 年には約 132 ピンになる。これに伴い、最小端子ピッチは現在の 0.4mm から、2014 年には 0.3mm となるが、リードフレーム材を加工して裏面の端子を形成することから、これ以上の狭ピッチ化は困難と予測する。千鳥配列の QFN は、現在の最大端子数は約 164 ピンであり、2014 年には約 212 ピンになる。最小端子ピッチは現在の 0.5mm から、2014 年には 0.4mm となる。最小取り付け高さは徐々に低背化し、現在の 0.65mm から、2014 年には 0.4mm になる。

また、放熱性を重要視する用途に対しては、ダイパッド裏面を露出させるタイプの QFN がある。

項目		2008年	2010年	2012年	2014年	2016年	2018年
最大端子数 (信号 + 電源 / GND)	単列配列	100	132	132	132	132	132
	千鳥配列	164	164	164	212	212	212
最小端子ピッチ(mm)	単列配列	0.4	0.3	0.3	0.3	0.3	0.3
	千鳥配列	0.5	0.5	0.5	0.4	0.4	0.4
最小取り付け高さ(mm)		0.65	0.5	0.5	0.4	0.4	0.4

図表 8-3 QFN のロードマップ

(3) P-BGA

主として多ピンパッケージとして用いられている P-BGA の動向を図表 8-4 に示す。最大端子数は、はんだボールがフルマトリクスで配置された現在の 2,200 ピン程度から、2018 年には 3,800 ピンに増加する。また、最大信号端子数は用途によってその比率が異なり、最大端子数の約 50% が使われる。今後も、高速化対応など用途によって最適な端子設計がなされる。反り最大許容値は、現在 0.2mm であるが、端子の狭ピッチ化に伴い、2018 年には 0.14mm になる。この表の最小取り付け高さは、放熱対策のためのヒートスプレッダー高さは含んでいない。最大パッケージサイズは、実装信頼性やコストを考慮して、50mm×50mm 以下に収まる。

項目	2008年	2010年	2012年	2014年	2016年	2018年
最大端子数(信号 + 電源 / GND)	2,200	2,400	2,600	3,000	3,400	3,800
最大信号端子数	1,100	1,200	1,300	1,500	1,700	1,900
最小端子ピッチ(mm)	1.0	1.0	0.8	0.8	0.8	0.65
反り(RT 260)(mm)	0.2	0.2	0.17	0.17	0.17	0.14
最小取り付け高さ(mm)	1.7	1.7	1.4	1.4	1.4	1.2

図表 8-4 P-BGA のロードマップ

(4) FBGA

FBGA は、主として Low Cost / Hand-held 用途に、高密度実装を目的として開発された小形パッケージである。

FBGA の動向を図表 8-5 に示す。現在、最大端子数は 800 ピン程度であるが、徐々に増加し、2018 年には 1,300 ピン程度まで増加する。そのうち、約 70%が信号で、残りが電源 / GND である。これらの端子数の増大に伴い、狭ピッチ化も進む。現在、0.4mm ピッチの FBGA が量産されているが、2010 年には 0.3mm ピッチ、2014 年には 0.20mm ピッチと徐々に狭ピッチ化が進み、2018 年には 0.15mm ピッチの FBGA が量産される。但し、狭ピッチ化実現のためには、はんだボール形成技術の進展だけでなく、狭ピッチ化に対応したインターポーザやテスト用ソケットなどのインフラ技術の開発が必須である。また、端子の狭ピッチ化にははんだ接続信頼性確保のため、現在ではアンダーフィルの使用が必要である。端子の狭ピッチ化に伴い、基板実装に使用されるはんだペーストの塗布厚さもより薄くなってきている。これに対応するには、室温時とリフロー高温時の両方で、より高精度なコプラナリティの確保が必要である。そこで、反り最大許容値は、現在 0.1mm であるが、端子の狭ピッチ化に伴い、2010 年には 0.07mm、2018 年には 0.05mm が必要になる。

最小取り付け高さに関しては、現在既に 0.8mm のものが実用化されているが、徐々に低背化が進み、2010 年には 0.65mm、2014 年には 0.5mm になる。

項目	2008年	2010年	2012年	2014年	2016年	2018年
最大端子数(信号 + 電源 / GND)	800	900	1,000	1,100	1,200	1,300
最大信号端子数	560	630	700	770	840	910
最小端子ピッチ(mm)	0.4	0.3	0.3	0.2	0.2	0.15
反り(RT 260)(mm)	0.1	0.07	0.07	0.06	0.06	0.05
最小取り付け高さ(mm)	0.8	0.65	0.65	0.5	0.5	0.5

図表 8-5 FBGA のロードマップ

8-3 パッケージ組立プロセスの技術動向

パッケージ組立プロセスの内、技術の進展が早い、主要プロセスの技術動向を記載する。

(1) バックグラインド技術

ウェーハのバックグラインド技術動向を図表 8-6 に示す。パッケージの薄型化やチップ積層技術による高密度化への対応でウェーハの厚さは薄くなっていく。2016 年には一般品でも 50 μ m 程度にまで薄くなると予測される。一方、IC カード等の薄型製品については、ウェーハ薄型化への取組みが加速されて、急速に進展し、2010 年には最小 25 μ m、2018 年には最小 10 μ m 程度まで薄くなると予測される。ウェーハ薄型加工技術としては、化学溶解処理(エッチング)などの方法も適用されている。また、チップが薄くなると機械的強度(抗折強度)の確保が課題であり、ウェットポリッシング、ドライポリッシング、ウェットエッチング、ドライエッチングと呼ばれるストレスリリーフ技術のほかに、通常のグラインディングホイールよりも微細な 1 μ m 近辺の砥粒で構成されたグラインディングホイールも使用される。チップの厚さが薄くなるにつれて、チップの抗折強度維持の要求によりストレスリリーフ技術の適用が増えていく。ストレスリリーフの各工法を図表 3.1.4-2 に示す。一方でウェーハ裏面にゲットリング効果が必要なデバイスの存在があり、1 μ m 近辺の微細な砥粒で構成されたグラインディングホイール等、チップの厚さが薄くなり抗折強度維持の要求に見合う手法の開発が望まれる。

また、ウェーハの薄化が進む事でグラインド中やハンドリング時などの製造工程内における破損の可能性が高まっている。グラインド工程からストレスリリーフ工程までウェーハの着脱を行わずに加工する装置の採用が増えていく。また、ウェーハ厚さが薄くなりウェーハが割れやすくなる事に対して、インクマークレス化が必須となる。さらに、ダイシング工程に必要なウェーハフレームにウェーハをマウントする装置を上述の加工装置と統合し、ウェーハの搬送リスクを低減する試みがなされている。バックグラインド後のウェーハは、表面保護テー

プが UV 硬化型接着剤の場合、先ず UV 照射を行い、次にマウントテーブルにウェーハを受け渡し、ウェーハ裏面にダイシングテープを貼り付け、その後に表面保護テープを剥離し、カセットにアンロードする動作フローが主体となっている。

表面保護方法は統合した装置によるウェーハの搬送方法が寄与し、テープが主流で使われていく。加工精度の観点ではウェーハが薄くなるにつれ、表面保護テープの厚さばらつきの改善要求がある。バンブウェーハの研削加工においてバンブ高さを吸収し得るテープを使用して加工されている。しかしながらバンブ高さが 250 μm ~ 300 μm 程度ある製品もあり、バンブを起点とするクラック、裏面への形状転写、テープ接着面へ研削時の水の浸入、加工後テープの剥離が難しいなどの課題がある。

項目	2008 年	2010 年	2012 年	2014 年	2016 年	2018 年
最小ウェーハ処理後厚さ 一般製品(μm)	70	70	60	60	50	50
最小ウェーハ処理後厚さ 薄型製品 (μm)	30	25	20	15	15	10
表面保護方法	テープ	テープ ガラス テープレス	テープ ガラス テープレス	テープ ガラス テープレス	テープ ガラス テープレス	テープ ガラス テープレス
搬送方法	真空吸着	真空吸着 治具貼付け	真空吸着 治具貼付け	真空吸着 治具貼付け	真空吸着 治具貼付け	真空吸着 治具貼付け

図表 8-6 バックグランド技術

(2) ワイヤボンディング技術

チップ電極間、もしくはチップ電極とパッケージ内部接続部の電氣的接続方法は、ワイヤボンディング技術、フリップチップ技術、TAB (Tape Automated Bonding) /COF (Chip on Film) 技術、TSV 技術に分類される。WB 技術は、Au ワイヤを用いたボールボンディング方式が低コストでかつ生産性が高いため、現在最も一般的な接続方式として広く使われている。

ワイヤボンディング(WB)技術にはボールボンディング方式とウェッジボンディング方式があるが、ウェッジボンディング方式はボンディング方向を高速・自在に制御する点で劣るため、ボールボンディング方式が主流となっている。ボールボンディング方式での WB 技術の動向を図表 8-7 に示す。

狭ピッチ化は今後も進行するものの、Au ワイヤやキャピラリやプローブ等のインフラ技術の開発が課題であり、最小パッドピッチは以前からの予測に比べる遅くなると予測され、単列配置では 2010 年に 35 μm 、2016 年には 30 μm に、2 列千鳥配置では 2010 年に 55 μm 、2016 年には 45 μm になる。狭ピッチ化における重要な課題としては、まず、ワイヤの細線化、キャピラリ先端径の微細化に見られる材料面の課題がある。ワイヤ細線化は、ワイヤ間距離の-margin確保とボール小径化にも寄与するが、Au ワイヤの取り扱い性やループ形状制御が難しくなる、ワイヤフローが発生し易くなる、またボール径が小さくなるためにボンディング強度が低下する、など生産性や信頼性低下の課題である。特にパッドピッチ 30 μm の際に必要な 12.5 μm の Au ワイヤになると Au 自体の強度低下により、その難易度はより高くなると思われる。キャピラリに関しては隣接圧着ボールや、隣接配線の接触が懸念されるため、狭ピッチ専用のデザインが必要となる。装置に関しては、小径ボールの形成・接合技術、テストプローバによるパッド表面傷の対策、ボンディング位置精度などが挙げられる。特にボンディング位置精度の向上は、その精度が圧着ボール面積の上限を決める大きな要因のため、必要不可欠である。その他、リードフレームおよび基板側接続端子ピッチ等、2 次接続側の微細化も大きな課題となる。

項 目		2008 年	2010 年	2012 年	2014 年	2016 年	2018 年	
接合技術	最小パッドピッチ 単列(μm)	40	35	35	35	30	30	
	最小パッドピッチ 2列千鳥(μm)	60	55	50	50	45	45	
	最大ワイヤ長 (mm)	10.0	10.0	10.0	10.0	10.0	10.0	
	最小ワイヤ長 (mm)	0.20	0.20	0.15	0.15	0.15	0.15	
	最低ループ高さ (μm)	55	50	45	40	40	40	
	最小パッドに対する 最大ワイヤ長(mm)	4.0	4.0	4.0	5.0	5.0	5.0	
	最小パッドに対する ワイヤ径(μm)	18	15	15	15	12.5	12.5	
	最小パッドに対する キャピラリ先端径 (μm)	50	45	45	45	38	38	
	ワイヤ材料	Au Au 合金 Cu 合金						
	パッド材料	Al Cu						
リード フレーム	最小フレーム厚 (μm)	125	125	100	100	100	100	
	最小ピッチ (μm)	110	100	100	100	90	90	
	最小平坦幅 (μm)	50	45	45	45	40	40	
インター ポーザ	最小リードピッチ (μm)	80	80	60	60	50	50	
	最小リード平坦幅 (μm)	50	50	40	40	35	35	

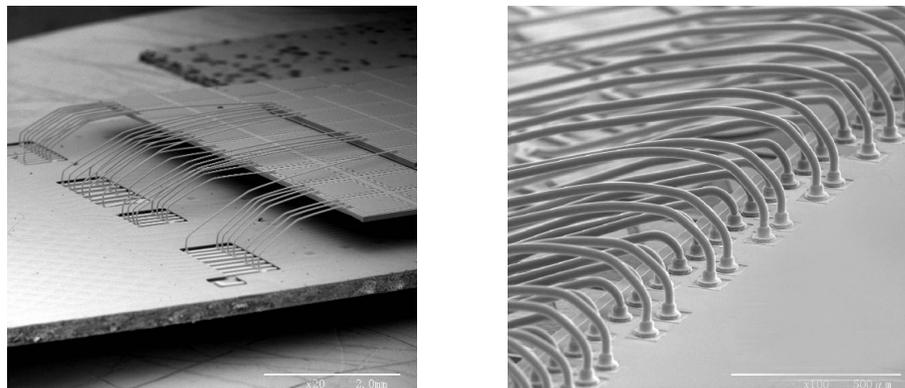
図表 8-7 ワイヤボンディング技術

パッケージの薄型化、チップ多段積層化の製品動向に対応すべく、低ループ化、長ループ化などを含めたループコントロール技術が重要になる。図表 8-8 にワイヤボンディング技術の一例を示す。狭ピッチ化、多列パッドに加え、異なる長さ、異なる高さのワイヤを多重に接触する事なくルーピングする必要がある。狭パッドピッチ化の為のワイヤ細線化は、よりルーピングマージンを困難にする。また樹脂によるワイヤ流れの対策も必要と

なる。今後の狭ピッチ化とループコントロールを両立させる為には、材料・装置・接合プロセス・パッド配置設計の各要素技術の総合的な向上が望まれる。また、デバイスの高速化に対応したLow-k材の適用により、ボンディングパッド直下の層間膜の脆弱化が進むため、ボンディング時の衝撃低減、ダメージ抑制策が、装置面・材料面で必要となる。

デバイスの高速化要求への対応や Au の価格上昇に対する低コスト対応のため、Cu ワイヤの適用検討が進んでいる。Cu は酸化し易いため、不活性もしくは還元性雰囲気中での接合技術などの酸化抑制対策、およびボール硬度が大きい事によるパッド下ダメージ対策などが必須となるが、Cu ワイヤは Au ワイヤに比べて素材が安価、電気伝導率が良好という利点がある。現状ではパワーデバイス等での一部実用に留まっているが、今後上記の技術的課題を解決し LSI への実用化が進む。

狭ピッチ、長ループ、低ループ、多列、多段等の技術を複合して用いる事によりワイヤ間隔は狭くなるが、ワイヤ同士の接触は電氣的に致命不良となる為、ワイヤの被覆化が有効である。有用性は以前から認識され、様々な組織で開発が行なわれてきたが、1st/2nd 共に適切に被覆を除去する事、被覆屑の悪影響、ルーピング性、接続信頼性等の諸問題を解決するには至らず普及していない。継続した技術開発が必要である。



図表 8-8 ワイヤボンディング技術の事例

(3) フリップチップ技術

フリップチップ(FC)技術は電極をチップ表面にアレイ状に配置できること、また接続配線長が短く配線インダクタンスが比較的小さいため、High-performance 分野など、端子数が約 1,000 ピン以上の多ピン製品や高速対応に向け低インダクタンスが求められる製品への適用が進んでいる。

FC 技術の動向を図表 8-9 に示す。パッド配列はペリフェラル(周辺配置)とエリアアレイ(面配置)に分けられ、チップサイズ、ピン数、パッドピッチ、バンブ材料に応じてレイアウト設計がなされるため、ペリフェラルとエリアアレイに分けて示す。なお、本表における最小バンブ径、バンブ高さは、最小バンブピッチで FC 接続する場合の、接続前のバンブ径、バンブ高さを示している。

パッドピッチの縮小は、2008 年で 40 μ m(ペリフェラル)および 150 μ m(エリアアレイ)、2018 年には 30 μ m(ペリフェラル)および 110 μ m(エリアアレイ)まで進展すると見られる。また、パッド数については、2008 年で最大 1,400 パッド(ペリフェラル)および 3,800 パッド(エリアアレイ)、2018 年には 1,850 パッド(ペリフェラル)および 5,400 パッド(エリアアレイ)程度になる。チップ厚については、ペリフェラルは SiP など積層チップとして使われるため薄化が進んでいくが、エリアアレイは積層での用途は少ないため薄化は進まないと考えられる。

バンブ構造とパッケージ基板との接続方式には、はんだバンブを用いた金属接合、絶縁性樹脂の中に導電性粒子を分散させた異方導電性樹脂による接続、バンブとインターポーザの電極を接触させ樹脂の収縮応力で電気接続を保つ接続、バンブとインターポーザの電極を導電ペーストで接続する等、様々な方式が提唱、

開発されている。どの方式を採用するかについては、信頼性やパッドピッチなどの要求仕様、また既存設備インフラ等の都合に合わせて選択される。

FC 技術は当初、鉛を主成分とする高融点はんだと共晶はんだの組合せで、C4 (Controlled Collapse Chip Connection) 技術と呼ばれてきた。環境保全の面から鉛フリー化が求められているが、パッケージ内部の接続部材としては、代替技術がなければという前提で高融点はんだの使用は許容されている。ただし、2010 年には全廃すると予測され、その代替材料としては、溶融系では Sn 合金の Sn-Ag と Sn-Ag-Cu が有力である。また、非溶融系としては Au または Cu が有力である。はんだバンプの形成は、電解めっきが主流であるが、スクリーン印刷、転写、ボール搭載、無電解めっき等、今後も様々な方式が使用されていくと考えられる。

Au ボールバンプは主にペリフェラルのチップ向けに使用されている。Au ボールバンプの形成は、専用のボールバンプボンダが実用化されており、狭ピッチ化動向、ウェーハ大口径化に連動した装置が開発されている。

チップ間の接続 (COC) については、デザインルールが基板よりも微細であることや熱膨張係数が同じであることから、FC 接続の中では最も狭ピッチ化が進展していく技術であり、現在 25 μ m ピッチの対応の開発が行われている。

項目	パッド配置	2008 年	2010 年	2012 年	2014 年	2016 年	2018 年
最大パッド数	ペリフェラル	1,400	1,400	1,600	1,600	1,600	1,850
	エリアアレイ	3,800	4,200	4,600	5,000	5,400	5,400
最小パッドピッチ (μ m)	ペリフェラル	40	40	35	35	35	30
	エリアアレイ	150	150	130	130	130	110
最小チップ厚 (μ m)	ペリフェラル	130	100	80	60	50	50
	エリアアレイ	200	200	150	150	150	100
パッド材質	ペリフェラル エリアアレイ	Al, Cu	Al, Cu	Al, Cu	Al, Cu	Al, Cu	Al, Cu
最小バンプ径 (μ m)	ペリフェラル	20	20	17	17	17	15
	エリアアレイ	90	90	80	80	80	70
最小バンプ高さ (μ m)	ペリフェラル	10	10	9	9	9	8
	エリアアレイ	75	75	65	65	65	55
バンプ材料	ペリフェラル	Au, Cu	Au, Cu	Au, Cu	Au, Cu	Au, Cu	Au, Cu
	エリアアレイ	Sn-Pb Sn-Ag 系	Sn-Ag 系 Cu				

図表 8-9 フリップチップボンディング技術

(4) 樹脂封止技術

樹脂封止は、固形樹脂を使用するモールド樹脂封止と液状樹脂封止に大別される。樹脂封止技術の動向を図表 8-10 に示す。

モールド樹脂封止

プラスチックパッケージのモールド樹脂封止技術は成熟技術であるが、近年のパッケージの低熱抵抗化、薄型化、あるいは長ワイヤ化、ワイヤ細線化などの進展に伴い材料、工法両面からの技術開発が急務となっている。材料面の技術課題を以下に示す。

- ・低熱抵抗化：デバイスのハイパワー化に伴いパッケージの低熱抵抗化が必要となる。一般的にはアルミナ、窒化アルミなどの高熱伝導フィラーを使用しているが、レジン自体の熱伝導率を上げる、カーボンナノチューブなどの新しいフィラー材を使用するなど検討も進められており、すでにサンプルレベルでは5W/m²・K対応の材料検討が進んでいる。
- ・高流動化：チップ積層(オーバーハング)対応、パッケージ薄型化、FC パッドの狭ピッチ化などによる狭路への樹脂充填性改善、長ワイヤ化および微細化に伴うワイヤ変形改善、そしてキャピティサイズの大型化などに伴い高流動化の重要性が高まっている。樹脂材料面からは、低分子で高流動の樹脂をベースとし、フィラー最大粒径を小さくする方向で開発が進められている。フィラー粒径は液状樹脂との境界が無くなる傾向にあり、現状の先端材料での平均粒径は数ミクロン以下となっている。
- ・パッケージ反り対応：今後、端子の狭ピッチ化が進むと予測される中、室温時とリフロー高温時の両方で高精度なコプラナリティの確保のためパッケージ反りを最小化する対応がより一層求められる。樹脂材料面からは、一般的に線膨張係数、硬化収縮率、弾性率の3つの変数がパッケージ反りに影響すると判断されるが、実際の反りは基板の種類や厚み、キャピティサイズ、チップ占有率などのパッケージデザインに大きく影響を受ける傾向があり、パッケージに合った樹脂材料を各々開発しているのが現状である。今後、基板材料の改善と並行して反りを最小化する為の線膨張係数、硬化収縮率、弾性率の制御技術が求められる。
- ・はんだリフロー耐性：鉛フリー化に伴いリフロー温度が上昇する傾向にあり、今以上の耐リフロー性が要求される。耐リフロークラック性の改善はもちろんのこと、高リフロー温度においても上記のパッケージ反り対応が求められる。
- ・耐熱性：プラスチックパッケージの車載用途への拡大に伴い耐熱性向上の要求が一層厳しくなる。高T_gで低熱膨張の材料が期待される。
- ・低ストレス化：Low-k 材より更に脆弱な Ultra Low-k 層間絶縁膜に対応した材料開発が必要となる。
- ・環境対策：ハロゲンフリー樹脂の適用拡大と同時に樹脂利用効率改善(廃棄物のミニマム化)が進展する。

工法面では、現在キャピティの側面から樹脂を注入するコーナーゲートトランスファー成形が主流となっているが、キャピティ大型化への対応としてのエッジゲート方式、ワイヤループに沿うように樹脂を流し込みワイヤ変形改善が計れるトップゲート方式が実用化されている。更に樹脂流動を極端に少なくしワイヤ変形改善、狭路への樹脂充填改善またキャピティ大型化への対応として圧縮成形方式の検討が進んでいる。

液状樹脂封止

液状樹脂はFC実装のアンダーフィル材やTCPパッケージの封止に使用され、特に前者は注入性、流動性、吸湿性、密着性、低応力性、リペア性などの技術的要求が強く、開発が活発に行われている。現在エポキシ系樹脂が主流になっているが、高信頼性・高耐熱性等の観点からポリイミド系やアクリルなどの新規の樹脂系の適用も出てきている。樹脂共通の課題としては、難燃剤として含まれるSbやBrの環境汚染の懸念があり、これらを使用しない樹脂(ハロゲンフリー樹脂)の実用化が課題となっている。

また、アンダーフィル形成方法としては、チップ搭載後にチップ下へ樹脂を毛細現象により注入する方式が現在でも大半を占めるが、パンプピッチの狭ピッチ化やボイド対策への対応の点から、チップ搭載前にチップや基板に樹脂を塗布しておく方式も一部で実用化されている。注入方式においても、従来から主流のノズルディスプレイ法ではチップ周辺部のスペースの点でアンダーフィル材注入が困難なケースへの対応として、新たな方式としてジェット方式が適用されている。

項目		2008年	2010年	2012年	2014年	2016年	2018年
封止技術 (材料面)	熱伝導率 (W/m・K)	3.2～3.4	3.4～3.6	3.6～3.8	3.8～4.0	4.0～5.0	5.0～6.0
	フィラー充填量 (wt%)	85～95	85～95	85～95	90～95	90～95	90～95
	線膨張係数 (ppm/)	6.0	5.0	5.0	5.0	4.5	4.5
	硬化収縮率 (%)	0.14～0.17	0.12～0.15	0.12～0.15	0.12～0.15	0.10～0.12	0.10～0.12
	高 Tg 樹脂の ガラス転移温度()	150～200	150～200	150～200	150～200	150～200	150～250
	最大キャピティサイズ (mm)	75×240	100×300	100×300	100×300	200×300	200×300
	最小モールド厚さ (mm)	0.3	0.3	0.2	0.2	0.2	0.15
環境対応	ハロゲンフリー 採用状況(%)	50	80	90	100	100	100

図表 8-10 樹脂封止技術

8-4 SiP (System in a Package) 技術動向

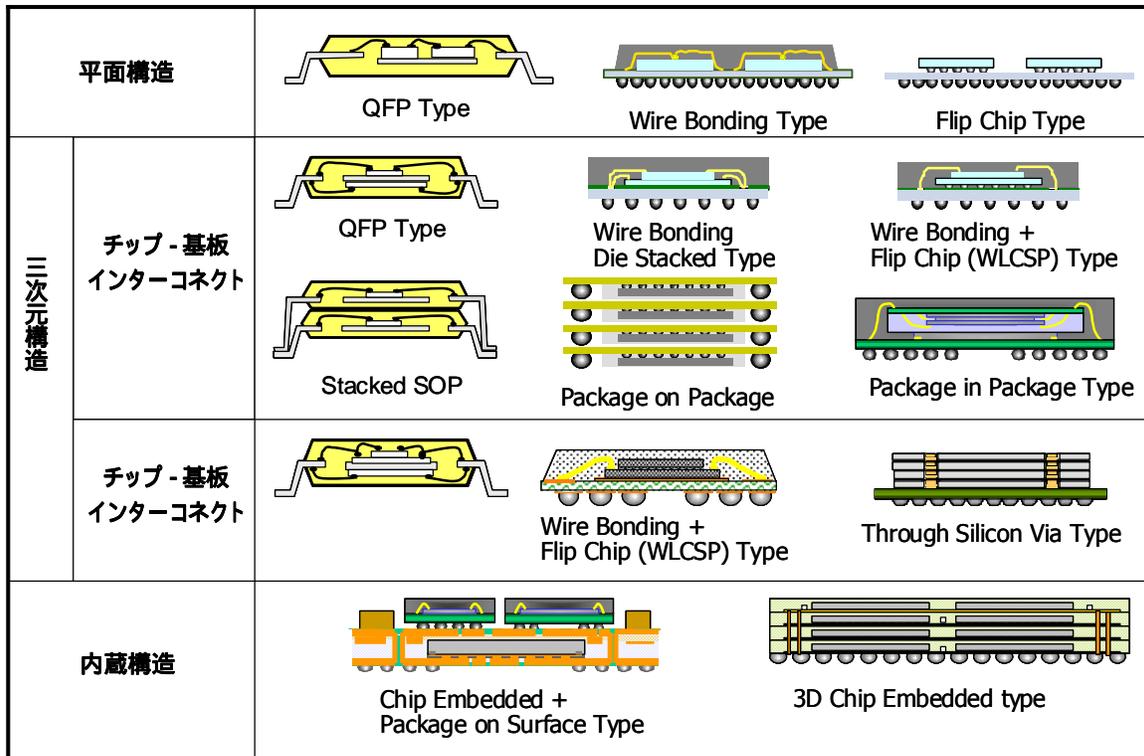
電子機器の高性能化・多機能化への要求に対して、従来はシステムレベルの1チップ化、すなわち、SoC (System on a Chip) で対応してきたが、今後の更なる多様なニーズの実現には、高性能化・多機能化という機能面と小型化の構造面で SiP の技術が必要不可欠な状況になっている。

SiP は当初、新たに要求されるニーズを先行して、SoC で製品実現させるまでの一時的な位置付けで適用するケースが多かったが、今日では、SoC では提供が困難な機能・性能を具現化できるとの理由から、SiP の適用ニーズが強くなり、またそれによる新たな製品開発実現への期待が大きくなり、携帯電話を中心にデジタルコンシューマ機器には幅広く採用されてきている。SiP のパッケージ技術としては、様々な組合せでの複数の異種デバイスの収納が可能なパッケージ構造が求められ、また高性能化に対応した最先端デバイスを採用した製品における信頼性の確保が必然であることから、技術面では最先端のパッケージ技術が必要となる。従って、この SiP パッケージ技術の進展は、半導体パッケージ技術全体の発展を牽引していると言える。

(1)以下に、SiPパッケージ技術の動向について示す。

(1) SiPの構造

各種SiPの構造例を図表8-11に示す。ハイブリッドIC・MCMと称されたICを平面的に配置した平面構造や2チップをダイボンドで積層した構造のパッケージ形態から始まったSiPは、さらなる高密度実装や機能・性能の向上を目的に、Si貫通ビア(TSV: Through Silicon Via)を用いたチップ積層()や、能動・受動素子をパッケージ基板に内蔵した構造などを応用した新たなパッケージ構造の開発が急速に進んでいる。



図表8-11 各種SiPの例

(2) SiPの技術動向

SiPは、1チップでは実現できない、もしくは実現困難な機能・性能や高密度実装の要求に対応して、パッケージの構造が多様化し、技術が進化している。大規模化するシステムLSIの高速化・高性能化するためには信号の伝搬遅延をいかに少なくすることも重要な点であり、デバイス間の接続を水平方向から垂直方向に行うことで遅延を抑えることができることから、新たなSiP・3次元実装技術として、フリップチップ接続技術をベースとしたCOCや、TSVを用いたチップ積層構造の実用化が現在進んでおり、今後も開発が更に加速していく。三次元実装構造の製品展開にあたっては、チップ積層の接続技術開発の他、コストダウンの取組みが重要であり、またウェーハプロセス(前工程)と組立プロセス(後工程)を統合したデバイスからパッケージまでの協調設計も今後更に重要となる。これらの技術の延長線にはチップ内蔵基板、MEMS、光電気複合パッケージ等があり、将来製品展開が広がっていく。

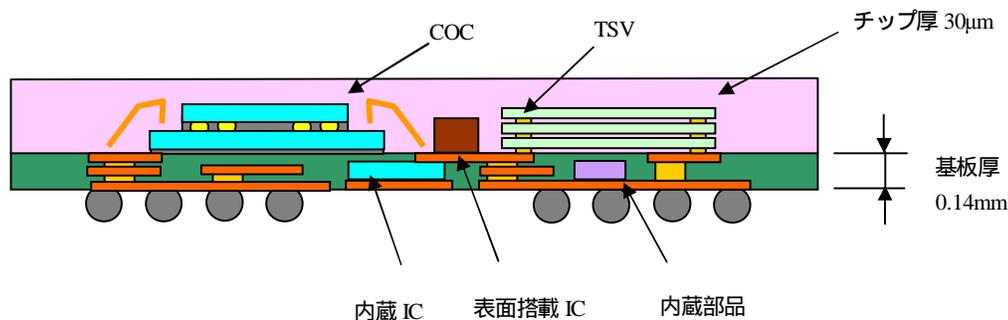
Low-cost/Hand-held用途の3次元構造SiPの技術ロードマップを図表8-12に示す。積層するチップの種類は多様化傾向にあるが、主な製品例としてはメモリとマイコンやASIC、あるいはアナログICとの組合せである。特に小型・薄型要求の強いLow-cost/Hand-held用途では、パッケージ内のICの最大積層数は現在10チップレベルであるが、今後も搭載数は増加傾向にある。表に示すように、パッケージ取付け高さ、基板厚など、高さ・厚み寸法を縮小するパッケージ構造設計と組立プロセス技術、および材料開発が重要となる。積層されるチップの接続方法としては、現在主流のワイヤボンディング方式の他にCOCやPOPも実用化されているが、今後はTSVも使用される。チップ間の接続数やバンド幅、最小チップ厚さ、積層数は、チップ接続方法に依存する。多ピン化にはCOCが、薄型化ではTSVが、多層化ではワイヤボンディングが有利である。POPはメモリとの積層において、メモリのKGD (Known Good Die) 対応や、メモリ増量やスピードの変更に対して容易に対応出来ることが特長である。

大項目	小項目	2008年	2010年	2012年	2014年	2016年	2018年
IC搭載数	最大個数	10	10	12	12	14	14
最大外形サイズ (mm)	平面サイズ	25	25	25	27	27	27
取付け高さ (mm)	8チップ積層時	1.2	1.0	1.0	0.8	0.8	0.8
最大端子数	最大端子数	800	900	1000	1000	1000	1000
最薄DAF厚 (μm)	Min	15	15	10	10	10	10
最小基板厚 (μm)	Min	180	160	140	100	80	80
最薄チップ上樹脂厚 (ワイヤ構造、μm)	Min	150	100	80	70	60	50
チップ間接続数 最大数	TSV	-	100	200	300	400	500
	COC	2,000	4,000	5,000	6,000	6,000	6,000
	Wire bond	50	90	150	210	270	330
	POP	160	200	240	260	300	340
チップ間バンド幅 (Gbps)	TSV	-	20	40	90	120	200
	COC	68	156	340	500	600	700
	Wire bond	11	13	15	17	21	21
	POP	11	13	15	17	21	21
チップ厚 最小厚 (μm)	TSV	-	50	30	20	15	13
	COC	130	100	70	50	35	35
	Wire bond	50	40	40	35	35	35
	POP (wire)	70	70	50	35	35	35
	POP (FC)	100	70	50	35	35	35
積層数	TSV	-	3	3	4	4	5
	COC	2	2	2	2	2	2
	Wire bond	8	10	12	12	14	14
	POP	2	2	3	3	3	4

図表 8-12 Low cost/Hand-held用途の SiP

Low-cost/Hand-held用途の2012年のSiPの事例を図表8-13示す。SiP基板上に搭載されたSoCはワイヤボン드로電氣的に接続されているが、SoC上には高速キャッシュメモリがCOC技術で搭載されている。大容量のバッファメモリはTSVで搭載される。バイパスコンデンサなどの受動部品が基板上に搭載される他、アナログデバイスや一部の受動部品は基板内に内蔵されている。

今後、高性能化・多機能化・小型化を達成するにはSiP技術が重要であり、その開発が先端パッケージ技術全体を今後も牽引していく。また、次世代のSiP・3次元実装技術への展開には、先端ウェーハ技術とSiPパッケージ技術との融合が必要であり、材料・プロセス・装置技術、及びパッケージ構造・電気・熱に関する協調設計などの各基盤要素技術が一体となって開発を進めることが重要である。今後も技術分野間での開発ロードマップの共有と同期した開発の推進により、新たな機能デバイスの創出が期待される。



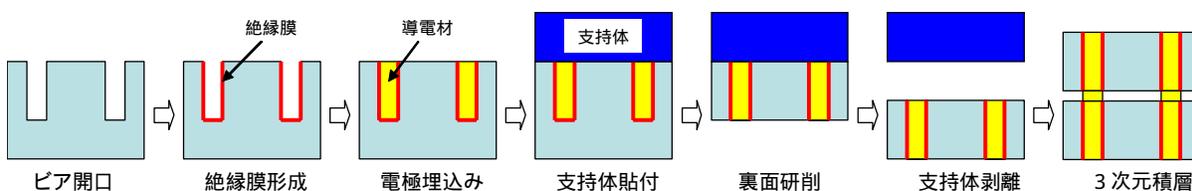
図表8-13 2012年におけるSiPの事例

8-5 TSV (Through Silicon Via) 技術

SiPの多層化を推進する技術として、TSV技術が検討されている。代表的なTSVのプロセスフローを図表8-14に示す。まず、Siウェーハに異方性ドライエッチングやレーザー加工法で深いビアを開口する。次に熱酸化法やCVD (Chemical Vapor Deposition) 法で開口したビアの表面に絶縁膜を形成し、めっき法やCVD法でビア内を導電材料で埋め込む。続いてSiやガラスで出来た支持体をウェーハ表面に貼り付け、バックグラインドによりウェーハ裏面を研削し、ビア電極を露出させる。最後に支持体を剥離し、TSVを形成したウェーハが完成する。

その後、ダイシング法でチップに分割し、複数のチップを積層して、はんだ等の導電材で電極を接続する。またはダイシングせず、ウェーハ状態で積層して接続する方法も検討されている。

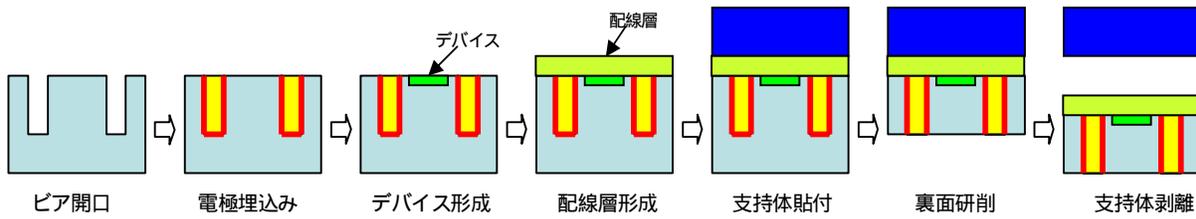
TSV技術は薄ウェーハ/チップを多数積層する技術として期待されているが、更に今後のデバイスの高速化を実現する技術としても期待されている。今後の高速化においてはチップ間を接続する配線の抵抗が問題になるが、TSV技術を用いることで配線抵抗を大幅に低減できるためである。



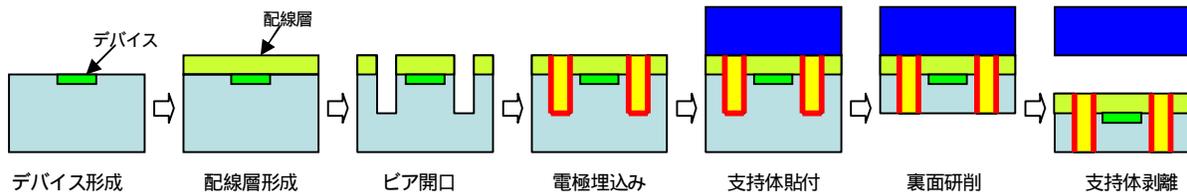
図表8-14 TSVプロセスフロー

TSV技術におけるビアの形成時期に関して、ウェーハにデバイスを形成する前にビアを形成する先ビア方式とデバイスや配線層を形成した後にビアを形成する後ビア方式がある。先ビア方式は微細化に有利であるが、ビア形成後にデバイスを形成するための熱処理工程を経る必要がある。図表8-15に先ビア方式のプロセスフローを示す。Siウェーハにビアを開口し、絶縁膜形成、ビア電極埋め込み後にデバイスおよび配線層を形成する。デバイス形成において1000 程度の熱処理工程を必要とし、またデバイスへの金属汚染を避けるため、ビア埋め込みの電極材料としてはポリシリコンが用いられる。また、図には明記していないが、ビア埋め込み電極と表面電極とは配線層を介して接続される。

図表8-16に後ビア方式のプロセスフローを示す。デバイスおよび配線層を形成後にビアを形成することから、絶縁膜形成に熱酸化は用いられない。CVD法などで絶縁膜を形成する。



図表8-15 先ピア方式のプロセスフロー



図表8-16 後ピア方式のプロセスフロー

現在検討されているTSV技術の応用例を図表8-17に示す。CMOSイメージセンサにおいては既に、TSV技術を用いることにより、リアルチップサイズのカメラモジュールが実用化されている。この場合、ピアピッチは約150 μm レベルと大きなピアでよい。この技術は、Siインターポーザにも応用出来る。メモリの大容量化を図る多層積層や、SiPでの多種チップ積層へのTSV技術の適用に際しては、ピアピッチが約50 μm レベルの加工技術が必要となる。また、ワイヤボンディング技術との競合となるため、ワイヤボンディング技術と同等のコストでTSVを形成する必要があり、実用化での大きな課題である。さらに、今後の高速化を考慮し、グローバル配線の代替技術としてTSV技術を応用する場合には、ピアピッチが5 μm 以下のピア形成技術が必要となる。

目的・用途		アプリケーション	代表的ピア形状		
			直径	ピッチ	深さ
パッケージ技術	WBの代替	CMOS イメージセンサ	75 μm	150 μm	100 μm
	3次元構造	積層メモリ DRAM 積層 (ex. DDR) FLASH 積層	25 μm	50 μm	50 μm
		Logic-SiP Logic-Memory Logic-MCU-Memory RF-SiP	25 μm	50 μm	100 μm
配線技術 (グローバル配線の代替)		MPU SoC	<2.5 μm	<5 μm	<1 μm

図表8-17 TSV技術のアプリケーション

8-6 ベアチップと WL-CSP

(1) ベアチップ実装

マザーボードやモジュール基板へ LSI チップを直接接続するベアチップ実装技術は、パッケージを用いないことから究極の高密度実装技術であり、MCP や小型・高密度化を主な目的として古くから実用化されてきた。更に近年においてはカメラ機能も取り込んだ携帯電話の高機能化などで代表される様に、複数の LSI を一つのパッケージ内に搭載した MCP やロジックデバイスとメモリーデバイスを混載した SiP が実用化されるにともない、積極的に他社からベアチップを購入してこれを MCP あるいは SiP としてパッケージングする事も広く行われる様になった。この様なベアチップ実装やベアチップの流通がさらに拡大していく為の条件として、パッケージ品と同等の性能・品質を保証する KGD (Known Good Die) を安価に入手できる事が挙げられるが、ベアチップやウェーハ状態での良否選別、またバーンインのコストが高い事から未だ一部の供給に留まっている。

一方、ウェーハプロセス内で接続端子の形成や表面保護の為に樹脂塗布などの処理を行い、ダイシングによって個片化することで Real Chip Size のパッケージを得るという WL-CSP の採用も急速に広がっている。ベアチップでは達成し難い KGD の問題や、端子配列の標準化の可能性等で WL-CSP の使い勝手の良さが認識され今後の発展が期待されている。近年の WLP 技術で色々な構造の WL-CSP が提案されている。また、フリップチップタイプのベアチップとの技術的オーバーラップがあって明確な区分けが難しい状況もある。

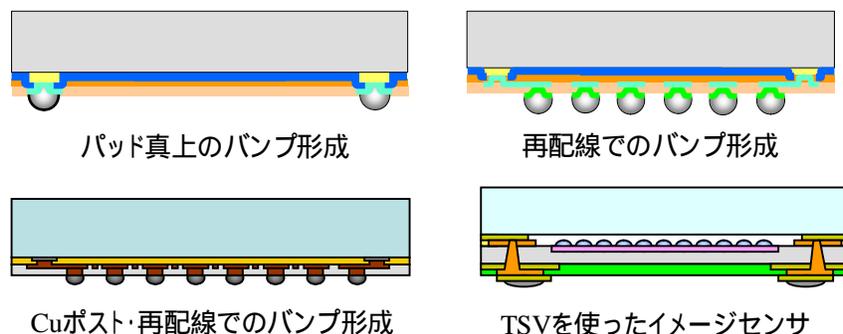
両者とも広いアプリケーションで使われており、夫々の優位性で採用されている。小型・高密度化ニーズが極めて強く、特に超小型・薄型化が強く求められている電子機器にはベアチップ実装が適用される。代表例として、時計用 LSI や携帯電話、DSC の LCD ドライバ IC の COG (Chip on Glass) 実装などであり、これらのチップは単一機能の IC として比較的小チップ、小ピンの領域、または多ピンで実装面積を縮小する領域として位置付けられる。また普及が急速に高まっている IC カードや RF-IC タグでの超薄型実装でもベアチップ実装が用いられていくとの結果となっている。

ベアチップ出荷に当たっては、何らかの KGD 保証が要求される。この KGD 化の方法として低コストのバーンイン技術やテスト技術の開発が期待されており、特にコストダウンの要求からウェーハバーンイン技術も実用化されている。しかし、ウェーハの大口径化にともなって一括バーンインは困難になっている。またメモリも多ピン化の傾向があり、バーンイン・プローブなどで解決すべき課題も多い。

デバイス特性は益々高速・高周波化されているが、ウェーハレベルでの実動作周波数測定は困難になっており、最近では KGD 化の大きな壁となっている。今後も、低コスト化に向けた KGD 保証技術の開発は続けられていく。

(2) WL-CSP (Wafer Level Chip Size Package)

ウェーハレベルパッケージング (WLP) 技術は、ウェーハ状態で LSI パッケージング工程を実施し、端子形成完了後、個片化することによりパッケージを形成する技術であり、そのプロセスで作られたパッケージを WL-CSP と呼ぶ。代表的な WL-CSP の断面構造例を図表 8-18 に示す。従来のウェーハプロセスでボンディングパッドまで形成し、そのパッド上にバンブを形成した構造、ボンディングパッドを形成した後、再配線層を形成し、エリアアレイ状にバンブを配置した構造、再配線層を形成した後、Cu ポストを形成し、基板実装後のバンブ接続部の信頼性向上を図った構造、TSV 技術を用いてウェーハ裏面に電極を形成した構造など、色々な構造・プロセスの WL-CSP が開発・量産化されている。



図表 8-18 WL-CSP 構造例と端子構造例

WL-CSP を標準外形パッケージと比較した場合の特長は、以下の通りである。

ウェーハ上で組立工程を一括処理するので、チップサイズが小さい程、コスト低減効果が発揮される。

LSI チップサイズと同一のパッケージサイズのため、小型・軽量・低背であり、機器の小型化を狙う携帯機器用途に有利である。

出力端子までの配線長は、WB タイプより短縮可能なため、高速信号伝送に有利となる

試作は、治工具取り揃えがマスク製作のみのため、試作も短リード・タイムが見込める。

加えて、ベアチップとの比較では、以下の点で優位であると言える。

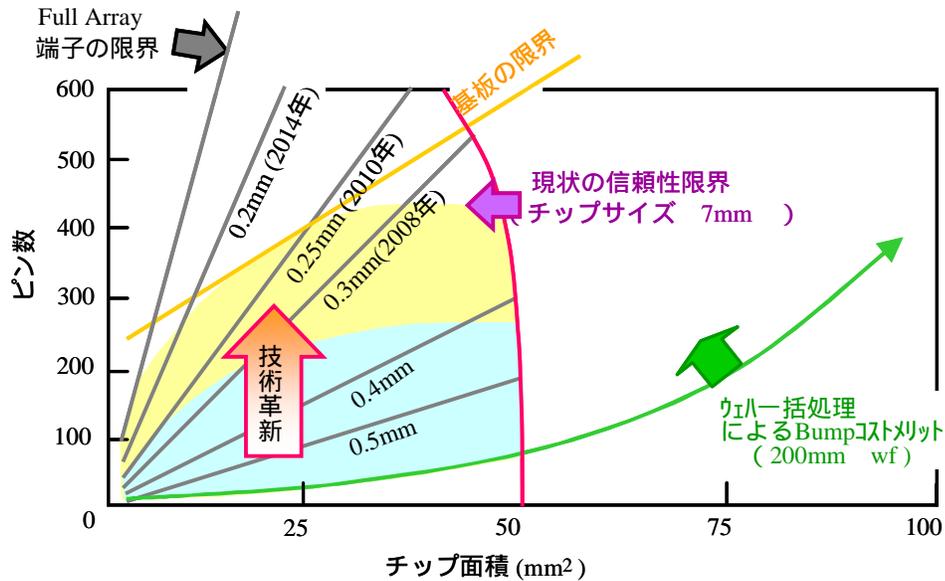
KGD 保証が可能である。

再配線により LSI のパッドをピッチ変換して端子ピッチを拡大できるため、実装基板の配線密度が緩和され、標準フットプリントも提供でき、実装基板ならびに実装工程のコスト低減ができる。

信頼性保証が来ているので、実装後のアンダーフィルは基本的には不良である(落下衝撃保証アンダーフィルは除く)。

WL-CSP の適用領域を図表 8-19 に示す。実装基板の関係から、現状、端子ピッチを 0.3mm 以下にすることはコスト的にメリットが無い。よって、端子ピッチ 0.3mm 以下にならざるを得ない多ピン領域は現状では適さない。但し、今後、実装基板技術の進展により、配線ピッチや Via サイズが縮小されると、0.3mm 以下の端子ピッチも実用化される(基板の限界)。一方、ウェーハ一括処理であるため、チップサイズが大きく、端子数が少ない領域は、高い WLP 加工コストとなり有効でない(ウェーハ一括処理による WLP 加工コストの限界)。また、実装後はんだ接合の信頼性を考えると、現状では 7mm×7mm 以下のチップサイズが望ましい(アンダーフィル無しの実装信頼性の限界)。

以上のことから、一般的にはチップ面積が 50mm² 以下で、ピン数が 250 ピン以下の領域で WL-CSP は量産されており、特に端子数の少ない電源用、RF のアナログ IC やマイコン、メモリに有効である。この領域で、48 ピンクラスのパッケージサイズを比較すると QFN に比べ 25%、FBGA に比べ 65%(両者ワイヤボンダタイプ)程度にサイズを縮小できる。現状は、圧倒的に電源レギュレータやコンバータなどのパワー / アナログデバイスで、パッケージサイズが 1.5mm で十数ピンの小型 WL-CSP が約 70% を占めている。5mm 程度の RF 系が約 8%、2mm 程度の MEMS や 4.5mm 程度のイメージセンサなどのセンサ系が約 7%、2mm ~ 3.5mm のメモリ系が約 4% で、残りの 11% をロジック IC やマイコン等のその他のデバイスが構成している。しかし、今後は、チップサイズやピン数が増加し、適用製品も拡大していくと予測される。



図表 8-19 WL-CSP の適用領域

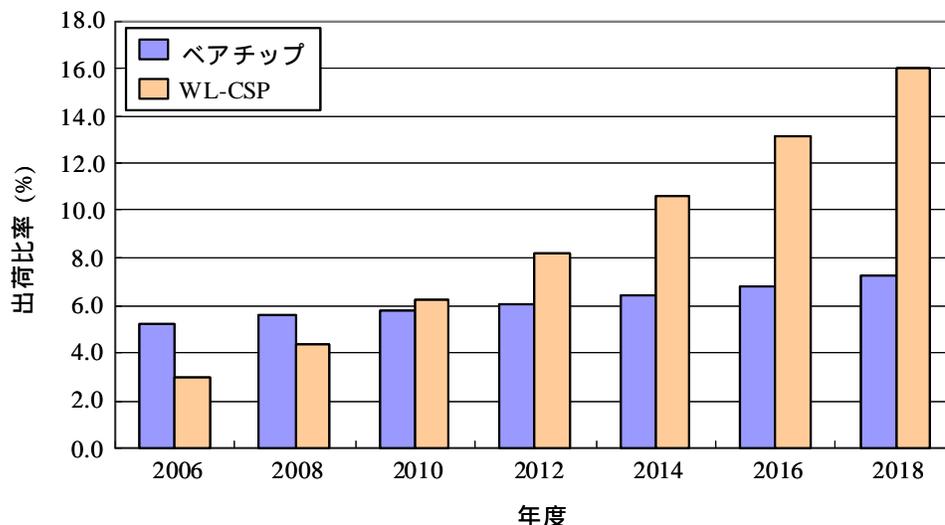
(3) ベアチップと WL-CSP の今後の展開

ベアチップ実装技術と WL-CSP 技術動向を検討する。当初は小型化・高密度実装技術の要求や、MCP、SiP といった高付加価値パッケージの要求からベアチップの流通は急速に高まっていくものと予測していた。しかしながら現在は WL-CSP の需要は急速に高まっていくものの、ベアチップは KGD の問題からも限られた用途にのみ適用されていくという予測になっている。

ベアチップの適用領域として腕時計用 LSI 実装を例に挙げているが、時計用 LSI 実装においては WL-CSP を基板に内蔵した技術が実用化されている。KGD の問題からも、デバイス内蔵基板技術ではベアチップ実装と比べて取り扱いが容易な WL-CSP が有利である。最近の信号処理の高速化では、ウエーハレベル、チップレベルの実動作周波数での測定保証の問題があることにも留意したい。

なお、ベアチップ実装の代表として最近急速に普及している IC カードや RF-IC タグでの適用を忘れる事はできない。各種の調査レポートによれば、2010 年度でのワールドワイドでの IC カードの需要は 8 億枚、RF-IC タグの需要は 22 億枚、2018 年度に至っては IC カードが 16 億枚、RF-IC タグは 50 億～100 億枚という膨大な市場が予測されている。一方、同じ 2018 年度での全半導体 LSI の需要は 3,000 億個と予測されており、ここからも急速に普及すると予測される IC カード、RF-IC タグの需要でもベアチップ実装への寄与は 3% 強であり、本予測結果を裏付けるものとなっている。

WL-CSP とベアチップの動向予測を基に半導体 LSI・パッケージの流通の中で WL-CSP 及びベアチップの出荷がどのくらいを占めているかについて検討した。図表 8-20 は LSI 全体における WL-CSP 及びベアチップの出荷比率の調査結果である。ベアチップ出荷比率は 2008 年度が約 5% 強となっている。また、それ以降も漸増していく様子が特徴的に示されており、ベアチップの適用は未だ限定された用途であるものの、次第に普及が広まっていくことを示している。一方で WL-CSP の出荷比率はより増加傾向が強く、2010 年での WL-CSP での出荷はベアチップ出荷比率を上回り、2014 年では LSI 全体の 10% を越え、2018 年で 16% 程度を占める事が予測される。RF 系デバイスやセンサ系デバイスにおいても WL-CSP が増加していく。



図表 8-20 半導体 LSI 全体におけるヘアチップと WL-CSP の出荷比率

8-7 まとめと今後の課題

2009 年 6 月に発行予定の JJTR2009 に合わせて、パッケージ技術動向の見直しを行った。パッケージ外形として、QFP/SOP は 0.3mm 端子ピッチの量産技術、テストソケット、実装技術に課題があり、現在の 0.4mm ピッチからの進展はない。今後は、QFN、BGA/FBGA が進展する。特に、デジタル家電の高密度化を実現するために、FBGA は狭ピッチ化、多ピン化、薄型化が進展していく。狭ピッチ化に対応したパッケージ基板や実装基板の開発が課題である。ウェーハプロセスの微細化やパッケージの小型化・薄型化・高密度化に対応して、バックグランド技術、ワイヤボンディング技術、フリップチップ技術、樹脂封止技術等の組立プロセス技術も進展していくが、装置メーカー、材料メーカー、組立メーカーが連携して開発を推進していく必要がある。

SiP 技術は More than Moore を実現する方法として、今後も高密度化・高性能化・多機能化が進展する。上述のプロセス技術の進展の他に、テスト技術や不良解析技術や放熱技術も課題である。多層化や高速化に対応した技術として、TSV 技術も実用化される。コストの低減が課題である。LCD モジュール・IC カード・RF-IC・SiP 等のデバイスとして、ヘアチップ出荷・実装が増加する。KGD の課題があり、WL-CSP の比率が増加すると予測する。WL-CSP のコスト低減が課題である。

今後は、Si デバイスや受動素子だけでなく、化合物半導体デバイスや MEMS や光学素子との SiP 混載も広く実用化されよう。MEMS や光学素子との混載 SiP においては、単なるセンサや光デバイスではなく、システムとしての機能を期待される。一方で、省資源・省エネルギーおよび地球環境との調和も重要な課題である。現在、環境対応として鉛フリー化・ハロゲンフリー化を推進しているが、さらに廃棄物ゼロを目指してのリユース・リサイクル比率の向上や、環境に優しい材料の開発が課題である。また、究極の省エネルギーシステムとして、ニューロン等の生体化学による回路システムの応用技術実現に向けて、企業・業界の壁を越えた取り組みを推進する必要がある。

参考文献

- 1) 2009 年度版 日本実装技術ロードマップ (2009 年 6 月発行予定、JEITA)