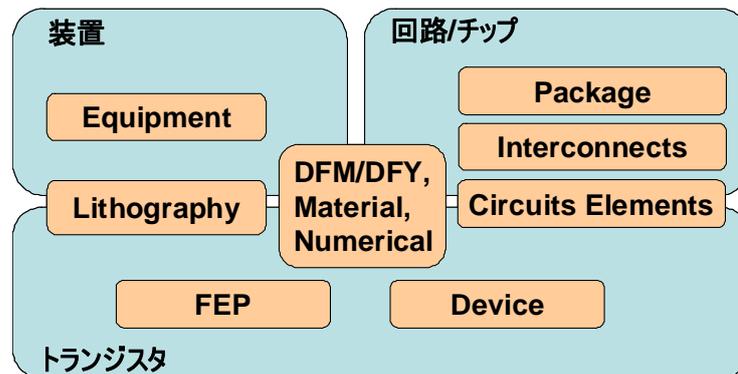


## 第 11 章 WG10 モデリング & シミュレーション

### 11-1 はじめに

M&S(Modeling & Simulation)のゴールは開発期間と開発コストを削減するために、テクノロジー開発をサポートすることである。M&S のロードマップで取り扱う範囲は、物理化学の基本方程式に基づいたモデリングとシミュレーションである。ロードマップの本文は、図表 11-1 に示す 10 個のサブチャプターから構成されている。トランジスタレベルから回路チップレベル、さらに装置まで幅広くカバーしている。



図表 11-1 M&S のスコープ

### 11-2 経済的効果に関するアンケート

本アンケートは ITRS の活動として TCAD(Technology CAD)ユーザを対象に実施した。経緯は次の通りである。2000 年頃、日本が TCAD の経済的効果に関する要求値を、ロードマップに記載することを主張した。これは TCAD の役割を明確化するためであるが、数値的根拠がなく却下された。そこで、2002 年に国内で独自にアンケートを実施し[1]、その結果を元に TCAD を使うことによって実現されるべき、開発コストの削減要求値をロードマップに記載した。その後、欧米を含めた 3 極でのアンケートの必要性が度々浮上し、今回に至った。本アンケートに対してデバイスメーカー 8 社にご協力を頂き、日本国内では 63 件の回答を得た。ITRS 全体では 141 件の回答を得ており、母数としては十分と考えている。

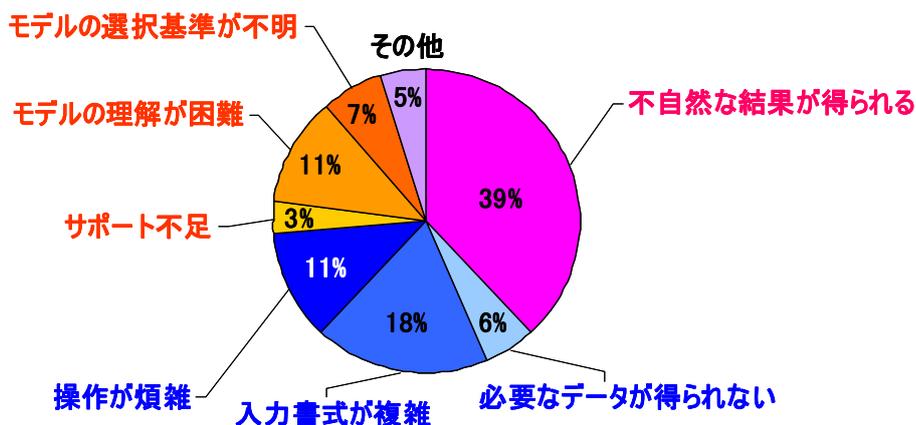
図表 11-2 は、TCAD をうまく活用できたときの成功事例を振り返り、そのときの開発コストの削減率と開発期間の短縮率を回答して頂き、その結果を平均化したものである。今回は 2008 年の実績値に加えて、4 年後の 2012 年に期待する効果を回答して頂いた。カッコ内は国内の平均値で、国内外でほぼ同じであることが分かった。比較のために前回の 2002 年の国内の実績値も示した。TCAD の経済的効果の実績値は 2002 年と 2008 年で変わりなく横ばいであった。これは、トランジスタの微細化などのテクノロジーの進歩に合わせて、M&S の技術も進歩したためと解釈している。一品種当たりの開発コストは増大しているため、コスト削減の絶対値は増えているはずである。一方で期待値は実績値よりも約 10 ポイントも高く、この期待に答えるためには新たな施策が必要になる。そのためのヒントを得るために、アンケートの他の質問項目について分析した。分析の範囲は国内の回答とした。

図表 11-3 は、M&S で何をすべきかを探るために、TCAD を使ったときの不満を最大で 3 つまで挙げて頂いた質問について、その回答数の割合を円グラフにしたものである。不自然な結果が得られるという不満が最も多く、M&S の技術者による精度向上が必要であることが、改めて認識させられた。操作が煩雑、入力書式が複雑、必要なデータが得られないと言う不満は、モデリングの範疇ではなく、ツールベンダーによる改良が必要である。モデルの選択基準が不明、モデルの理解が困難と言う不満は、TCAD ユーザに対する教育が不足しているためと思われる。TCAD の教育やベンダーへの要望は直ぐに取り組みたい施策である。

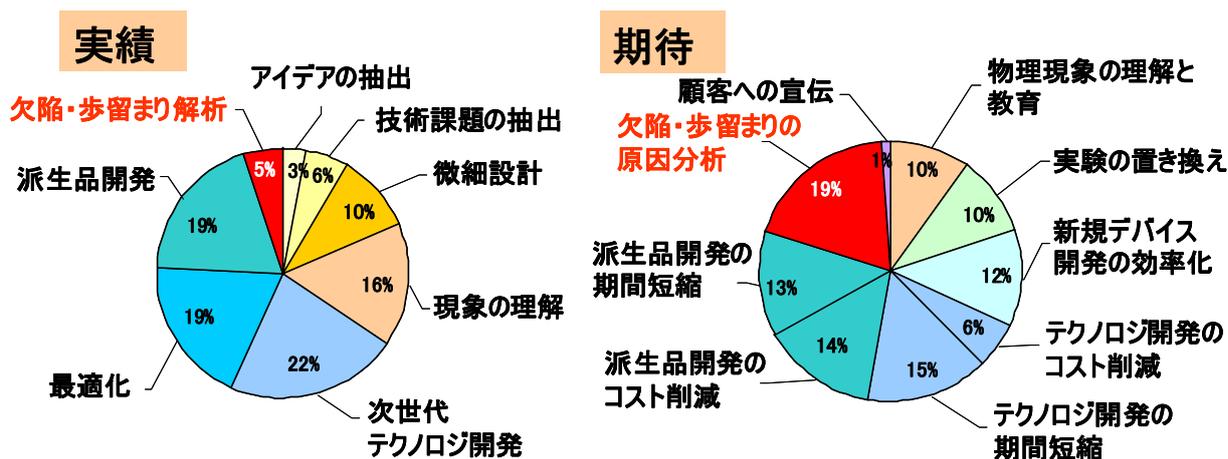
(\*) 回答者の成功事例の平均

	2002年(国内)	2008年(カッコは国内)	
	実績 <sup>(*)</sup> (@2002)	実績 <sup>(*)</sup> (@2008)	期待値(@2012)
開発コスト削減率	30%	27% (26%)	37% (40%)
開発期間短縮率	26%	30% (27%)	39% (42%)

図表 11-2 経済的効果の要求値



図表 11-3 経済的効果の要求値の実現に向けて (M&amp;S への不満)



図表 11-4 M&amp;S の注力分野 (実績と期待)

今後の M&S の注力分野を探るために、M&S の実績と期待の内容を分析した(図表 11-4)。TCAD が役立った場面を最大で 3 つまで挙げて頂いた質問に対して、回答数の割合を円グラフにした。アイデア・技術課題の抽出、微細設計、現象の理解、次世代テクノロジーの開発、最適化、派生品の開発、欠陥・歩留まり解析と、開発の初期段階から量産まで、TCAD は幅広く役立っていることがわかる。同様に、TCAD に期待する項目を最大で 3 つまで挙げて頂いた結果を集計した。実績と期待を比較すると、欠陥・歩留まり解析の割合が大きく違っていることが分かる。歩留まりに関係するものとして、バラツキ関連の M&S の技術開発が必要である。

最後に省エネに対する効果を把握するために、省エネに関するアンケート結果を集計した(図表 11-5)。TCAD をうまく活用できたときの成功事例を振り返り、そのときの実験ウェーハおよび実験回数の削減率、歩留まり向上率を回答して頂いたものを平均化した。M&S は開発および量産段階で省エネにある程度、寄与できていることがわかる。一方、省エネとして効果が大いなのは最終商品の低電力化であり、特に低電圧化の妨げとなっている SRAM のバラツキを制御するために、M&S を利用推進する必要がある。

(\*) 回答者の成功事例の平均

		国内実績 <sup>(*)</sup> (@2008)
開発	試作ウェーハの削減率	27%
	試作実験回数の削減率	28%
量産	歩留まり向上率	13%

図表 11-5 M&S の省エネルギーへの効果

### 11-3 ロードマップの修正内容

2008 年はテーブルの改定の年である。ここでは M&S 章の主な修正内容を紹介する。

M&S のロードマップのテーブルには経済的効果の要求値が示されている。TCAD をうまく活用したときの開発コスト削減の要求値は、2003 年の改定以降見直されてなく、一律 40%であった。今回の改定では、開発コストの削減と開発期間の短縮の二つの項目に分け、2008 年には実績値を、2012 年には期待値を入れて、その間を単純に線形で補間した(図表 11-6)。

	Year of Production	2007	2008	2009	2010	2011	2012	2013 ~
DELETED	<i>Technology development costs reduction potential if TCAD is appropriately used</i>	40%	40%	40%	40%	40%	40%	40%
ADD	Estimated technology development cost reduction from use of TCAD	27%	27%	30%	32%	35%	37%	n.a.
ADD	Estimated technology development time reduction from use of TCAD	30%	30%	32%	34%	37%	39%	n.a.

↑実績値
 ↑期待値

図表 11-6 経済的効果の要求値

スルービアや Thin stack die の設計をサポートするために、3次元の熱的ストレス・機械的ストレスのモデリングが、Difficult Challengeとして追加された(図表 11-7)。トランジスタなどの Active デバイスへの影響を見積もるためには、熱や応力分布を3次元で広範囲に計算する必要があり、数値解析技術の進歩が望まれる。

Heterogeneous Integration は欧州委員が注目している。アナログ、デジタル、RF、パッケージは、それぞれの分野でツールがあり、個別に最適化されてきた。これらのツールは入出力が独立しているため、データのやりとりができず、これらの分野をまたがって全体最適化をすることができない。ツールベンダーに入出力の書式の開示を求めたり、ツール間のデータ変換を推進するために、ロードマップのテーブルにツールの操作性に関する項目を追加し、その必要性を記載した(図表 11-8)。

	Difficult Challenges $\geq 22$ nm	Summary of Issues
ADD	Thermal-mechanical-electrical modeling for interconnects and packaging	<u>Thermal modeling for 3D ICs and assessment of modeling tools capable of supporting 3D designs.</u> <u>Thermo-mechanical modeling of Through Silicon Vias and thin stacked dies, and their impact on active device properties (stress, expansion, keepout regions, ...).</u>

図表 11-7 Thermal Modeling for 3D ICs

	Year of Production	2007	2008	2009	2010	2011 ~
IS	General requirements on tools					
ADD	<u>Tool interoperability</u>		<u>Documented file formats</u>	<u>Open documented file formats (syntax and semantics), exchangability of data between different tools</u>		

図表 11-8 Heterogeneous Integration

#### 11-4 M&S への要求事項

M&S の国内活動は、将来のモデリングのニーズを調査して、モデリングの研究およびシミュレータの開発の方向性を示し、国内デバイスメーカーの競争力強化に結びつけることをミッションとしている。今年度は M&S に対する国内独自の要求を把握するために、他の WG のロードマップを分析するとともに、ヒアリングを開始した。最終的には国内の M&S の研究・開発に対して提言をまとめ、必要に応じて ITRS にもフィードバックする。今年度は直近の対応が必要と思われる、リソ、FEP(Front End Process)、PIDS(Process Integration, Device, and Structure)に取り掛かった。

図表 11-9 はリソから M&S への要求事項である。光リソグラフィーの光学像計算では高精度化と高速化の両立のために近似手法の確立が必要である。露光現像計算ではレジスト端の3次元形状を考慮した物理化学的なモデリングが必要である。チップ全面のウィークスポットの計算のために、高精度で高速なシミュレーション技術が必要である。電子ビーム(EB)リソグラフィーでは描画像計算によりレジストの経時変化のインパクトを見積もることが重要である。EUVリソグラフィーでは光学像計算により各種リスクを見積もることが重要である。ナノプリント技術においては離形性・密着性などの物性予測が望まれている。

対象領域	要 望
光リソ	光学像計算(高精度化と高速化の両立)
	露光現像計算(3次元の物理化学的な取り扱い)
	ウィークスポット計算(大領域化と高速化の両立)
EB	描画像計算(レジストの経時変化のインパクト見積り)
EUV	光学像計算(各種リスクの見積り)
ナノプリント	離形性・密着性などの物性予測

図表 11-9 リソから M&amp;S への要求事項

対象デバイス	要 望	現状(課題)
CMOS 全般	バラツキ制御 (LER/LWRを考慮)	プロセス自体の改善困難
ノンクラシカル CMOS	ある程度の材料設計 (第一原理計算)	基本的な系に限定
	デバイスの最適化 (応力を考慮)	ストレスの理解不足
FeRAMなど	エンデュランスの予測	メカニズムの解明

図表 11-10 FEP から M&amp;S への要求事項

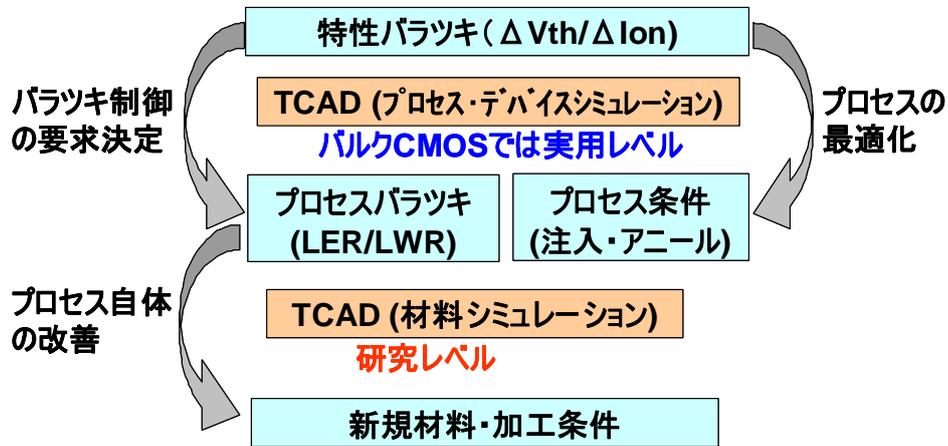
対象デバイス	要 望	課 題
CMOS全般	統計的なバラツキの理解	実デバイス特性の再現
	各種劣化現象の理解	実測データに基づくモデリング
ノンクラシカル CMOS	デバイス設計 (界面効果を考慮)	不純物拡散のモデリング
	回路設計 (コンパクトモデル)	実デバイスでの検証

図表 11-11 PIDS から M&amp;S への要求事項

図表 11-10 は FEP から M&S への要求事項である。CMOS 全般として、M&S によるバラツキ制御が求められている。ここでは、LER(Line Edge Roughness)や LWR(Line Width Roughness)などのプロセスバラツキの制御も期待されているが、プロセス自体の改善に M&S を適用するのは困難で、要求に対して大きなギャップがある。ノンクラシカル CMOS に対しては、第一原理計算により、ある程度の材料設計ができる環境構築が求められている。基本的な系に限られているが一部で材料設計が始められている。FinFET などの 3 次元的な構造について、応力を考慮したデバイスの最適化が求められているが、ストレスに関する理解が不足しており、計測技術も取り入れて、ストレスモデリングの加速が必要である。

図表 11-11 は PIDS から M&S への要求事項である。CMOS 全般の要求として、M&S による統計的なバラツキの理解が求められている。実測と M&S の不一致の原因を探ることが、バラツキの理解に繋がると考えて

いる。各種劣化現象の理解が求められているが、デバイス開発者と密に連携することがポイントである。ノンクラシカル CMOS では、デバイス設計が求められているが、界面の効果を考慮した不純物拡散のモデリングが課題となっている。ノンクラシカル CMOS の回路設計のために SPICE 用のコンパクトモデルの開発が求められているが、モデルの標準化が進められつつあり、実デバイスでの検証が待たれる。



図表 11-12 M&S によるバラツキ制御の現状 (ランダムバラツキ)

	標準化委員会(CMC)			完成度
	選定期間	提案件数	絞込み状況	
PD-SOI DD-SOI	'08年~09年	4	2	実デバイスで 要検証
MUG-FET	'09年~	複数機関からの 提案が予想される		基本特性は 検証済み

PD-SOI:Partially Depleted SOI, DD-SOI:Dynamic Depletion SOI, MUG-FET:Multiple Gate FET

図表 11-13 コンパクトモデルの現状

バラツキに関連するモデリングは要求が高いため状況を図表 11-12 に整理した。LER などのバラツキ幅を入力として、ポリ形状や不純物をモンテカルロで発生させ、プロセスデバイスシミュレータで繰り返し計算することにより、しきい値や電流などの特性バラツキを計算することができる。このシミュレーションを逆にたどることにより、要求される特性バラツキをクリアーするために、制御しなければならないプロセスバラツキ幅を決定することができる。プロセスバラツキ幅が分かっているときに、イオン注入条件などのプロセス条件を最適化することにより、特性バラツキを要求値に収めることができるかどうかを検討することも可能である。バルク CMOS に対しては、プロセスデバイスシミュレータを事前に Calibration する必要があるが、バラツキ制御の要求値の決定、プロセスの最適化は実用レベルになっている。一方で、現在の M&S では、LER などのプロセスバラツキ幅を予測することはできない。つまり、LER を制御する方法を提案することはできない。FEP からの要望である LER の制御のためには、レジスト材料などを取り扱う、材料シミュレーションが必要になる。

図表 11-13 にノンクラシカル CMOS の回路設計のときに必要な SPICE 用のコンパクトモデルの現状を把握するために、標準化委員会(CMC: Compact Model Council)によるモデルの選定状況をまとめた[2]。標準化委員会の選定基準は厳しく、モデルの完成度が要求される。SOI のモデルは、昨年からの選定作業が始ま

った。4つの機関から提案があり、現在は二つまで絞られている。SOIのモデルは実用レベルに達しており、実デバイスでの検証が待たれる。FinFETに代表されるマルチゲートのモデルについても、今年から標準化委員会による選定作業が開始される。マルチゲートのモデルは幾つか候補があがっている。

#### 11-5 まとめと今後の課題

今年度は TCAD の経済的効果に関するアンケートを実施した。開発コスト削減と開発期間短縮に対する要求値は、実績に比べて高く新たな施策が必要である。短期的にはサポートを含めた TCAD の教育や、ツールの改良をベンダーに要求する必要がある。中期的にはキャリブレーションを含めたモデリングの推進が必要である。長期的な視点で M&S の課題とシーズを調査しており、2009 年度も継続する予定である。バラツキ制御に関する期待は高く、今後注力すべき分野として、さらなる技術の進展が望まれる。

#### 参考文献

[1] 2002 年度 STRJ 報告書 pp.176-184

[2] <http://www.geia.org/Meeting-Minutes-and-Presentations-from-2007-to-Present>