

第 14 章 ERD

14-1 はじめに

MOSFET の微細化が急速に進み、CMOS の微細化の限界および性能向上の限界がささやかれる。従来の CMOS デバイスの性能を凌駕する全く新しい原理で動作するデバイス技術の重要性が高まっている。Emerging Research Devices (ERD) ワーキンググループでは、このような新しい原理に基づくロジックデバイス、メモリデバイスに加えて、従来のデジタル回路とは全く異なるアーキテクチャに基づく情報処理等に関する議論を行っている。

ITRS では 2001 年版より PIDS の章の中に ERD の節を設け、将来の新材料・新原理デバイス技術に対するガイドラインを示してきた。ERD の節は ITRS が改訂される度に重要性を増し、2005 年版の ERD は、ついに PIDS の章から独立し単独の章となった。また、2006 年版からは新材料を扱う Emerging Research Materials (ERM) の章が独立した。

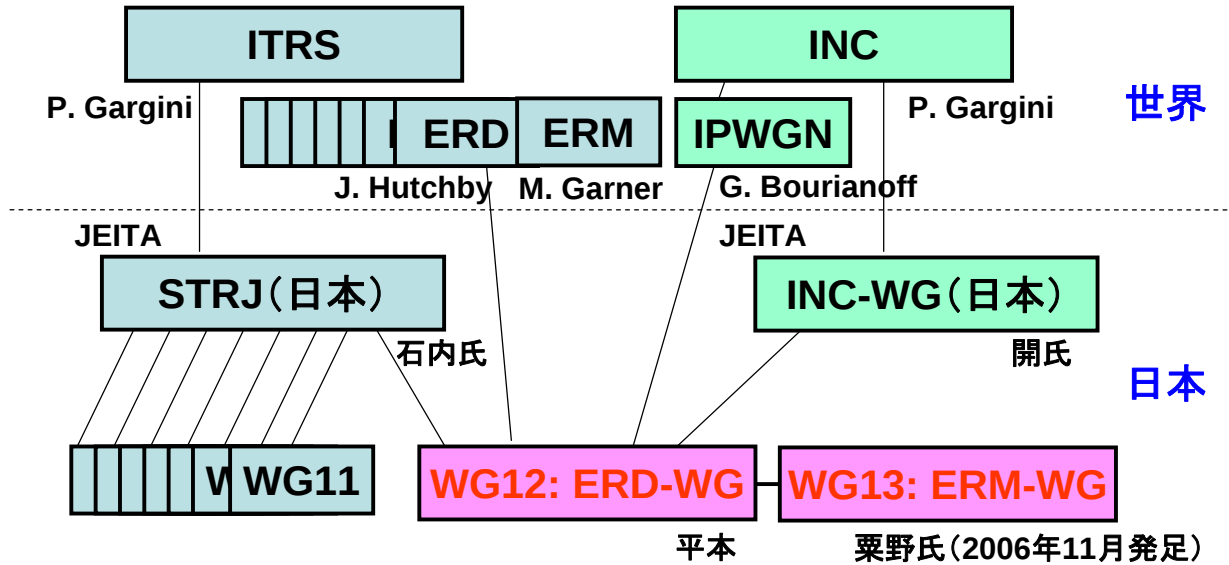
日本の STRJ では、2001 年ころから WG-6 の PIDS の中に ERD の担当者をおき、ITRS の ERD の章作成に関わってきたが、2006 年 2 月に PIDS から独立する形で ERD の新しい WG が発足した。STRJ(委員長:石内氏)への報告義務を有するとともに、ITRS の ERD-WG(リーダーは SRC の J. Hutchby 氏)とも綿密に連絡をとりながら活動を進めている。他の WG と大きく異なる点は、これまで VLSI とは縁の薄かった新規材料・新原理デバイス、新アーキテクチャ等を扱うことである。そのため、本 WG には企業委員に加えて大学や独立行政法人の特別委員が多い。また、2006 年 11 月には ERM WG も ERD から独立する形で発足した。

一方、本 WG は INC (International Nanotechnology Conference) 関連の業務も行っている。この国際会議は、ナノテクノロジー関連の国際的な協調や情報交換を支援することを目的とする国際会議で、2005 年 6 月に第 1 回が開催された(INC1)。現在、米国、EU、日本の 3 極が正式に参加している。2008 年 4 月には日本で第 4 回目の会議(INC4)が開催された。JEITA では、INC 関連の活動を行うため、INC-WG(委員長は東芝の開氏)を設置している。さらに、INC には、国際的なナノエレクトロニクス関連の研究活動を調査する IPWGN (International Planning Working Group for Nanoelectronics)が設置されており、3 極のナノテクノロジー研究の調査の他に、ナノエレクトロニクスの Research Needs の議論を行っている。本 WG-12 (ERD)では、JEITA の INC-WG に付属して技術的な議論を担当するとともに、IPWGN の日本側担当 WG も兼ねている。本 WG の位置づけを図表 14-1 に示す。本 WG は、STRJ、ITRS の ERD-WG、JEITA の INC-WG、INC の IPWGN の 4 つの委員会に付属していることになる。

ITRS の ERD 章では、2008 年版では章の update を行わず、2008 年度は 2009 年版に向けて新しいデバイス等の研究動向の調査を行った。本報告では、ロジック、メモリ、アーキテクチャに分けて 2008 年度の ERD-WG の活動を報告する。

Int. Tech. Roadmap for Semicond.

Int. Nanotechnology Conference



図表 14-1 本 WG-12 (ERD)の位置付け

14-2 ロジックデバイス

今年度は、いわゆる Beyond CMOS の絞り込みの議論を行うとともに、2009 年版に向けてロジックデバイスを分類についての検討を行った。

14-2-1 ERD Beyond CMOS Maturity Evaluation Workshop

ERD で扱うロジックデバイスは、もともと CMOS 性能を凌ぎ CMOS を置き換えるものとして検討されてきたものであり、一般に Beyond CMOS と呼ばれることが多い。Beyond CMOS の研究は世界各所で盛んに行われている。ERD の章ではこれまで、Beyond CMOS の優劣を議論するというより、将来の可能性を重視して広く Beyond CMOS を取りあげる方針をとり、章の執筆を行ってきた。ところが、Beyond CMOS の重要性が叫ばれ始めて久しい。現在までに有望な Beyond CMOS の候補は挙がってきていない。そこで、今年度は Beyond CMOS の絞り込みの議論を行うことになった。そのために、Beyond CMOS Maturity Evaluation Workshop を 2008 年 7 月 12-13 日に米国サンフランシスコにて開催し、委員の投票により、最も重要な Beyond CMOS を決定した。

事前の電話会議で、議論する候補は以下の 7 つに絞り込まれた。ワークショップでは、それぞれについて賛成派と反対派の講演が行うとともに、中立の第三者による各候補のまとめを行い、各デバイスについてさらに理解を深めた。7 つの候補と賛成派、反対派の講演者は下記のとおりであった。

- | | |
|--|--|
| 1. NEMS Switch Technology, | Akarvardar (Stanford) and Elata (Technion) |
| 2. Spin Torque Transfer Technology, | Allen (UCSB) and Yablonovitch (UC Berkeley) |
| 3. Carbon-based Nanoelectronics, | Kim (Columbia U.) and Javey |
| 4. Atomic Switch / Electrochemical Metal Switch, | Kuekes (HP) and Chen (AMD) |
| 5. Collective Spin Devices (including M-QCA), | Wang (UCLA) and Bandyopadhyay (VCU) |
| 6. Single Electron Transistors, | Fujiwara (NTT) and Likharev (Stony Brook U.) |
| 7. CMOL and FPNI, | Likharev (Stony Brook U.) and DeHon (U. Pa.) |

中立の Discussion Leader として選ばれたのは、NEMS Switch から順に Franzon (NCSU)、Bourianoff (Intel)、

Brillouet (LETI)、Haensch (IBM)、Shankar (Intel)、Hiramoto (Univ of Tokyo)、DeBenedictis (Sandia NL)の 7 名であった。

合わせて 3 回の投票を行い、最終的に選ばれた候補は、票数の順に下記のとおりであった。

Carbon-based Nanoelectronics

Collective Spin Devices

Spin Torque Transfer Technology

Atomic Switch / Electrochemical Metal Switch

上記のとおり「Carbon-based Nanoelectronics」が最も有望な Beyond CMOS デバイスとして選出された。ただし、カーボンナノチューブ(CNT)もグラフェンも FET として用いる場合は Beyond CMOS というより More Moore に属するとも考えられ、結局、電荷以外を状態変数とする新デバイスはまだまだ遠いという従来通りの結論になったといえる。また、それに続く候補として、Collective Spin、Spin Torque Transfer、Atomic Switch を挙げることになった。ERD では、カーボンベースナノエレクトロニクスのロードマップ作りに着手することとなった。

また、本報告書では詳細について述べないが、上記のカーボンベースナノエレクトロニクスを重要デバイスとして選出した結果を受けて、2008 年 9 月につくばにおいて ERD-WG の共同でグラフェンナノエレクトロニクスに関するワークショップも開催した。グラフェンの理論、グラフェン FET、2 層グラフェンによるバンドギャップ形成、量子デバイスへの応用、SiC 上へのグラフェン形成などの講演を行い、グラフェンについての理解を深めた。

14-2-2 ロジックデバイスの分類の議論

これまで CMOS 等の電子デバイスは主に電荷の移動により情報処理を行ってきた。ところが、CMOS を超えるデバイスでは、電荷だけでなくスピン状態、分子状態、強相関電子状態、位相状態等を積極的に用いることが重要であるとされている。CMOS との互換性も必要ではあるが、ITRS ERD の 2005 年版では、章全体が「CMOS の延長」の議論よりも「Beyond CMOS」を強く指向していた。

しかし、2007 年版では、ロードマップに記載されているような今後の CMOS の性能を越すことが可能なデバイス技術は、結局のところ CMOS 以外には存在しないといった認識に達した。引き続き CMOS を超える「Beyond CMOS」の議論を重要であるが、次の新しい考え方を加えることとなった。それは、代替情報処理デバイス (Alternative Information Processing Devices)という考え方である。これらのデバイスは汎用計算を行うのではなく、特定の用途に限って性能を発揮する。従来の CMOS プラットホーム上に集積されて新機能を追加する。そこで 2007 年版では、ロジック候補の表を 2 つに分け、(1) 汎用ブール関数の新ロジックデバイスの表と、(2) 特殊用途への応用に関する代替情報処理デバイスの表を作成した。なお、(1)の汎用ロジックデバイスは、大まかに CMOS Extension というべき FET と全く新しい原理に基づくいわゆる Beyond CMOS デバイスが混在していた。

本年度は、上記のような経緯をふまえ、2009 年版におけるロジックの分類に関する議論を行った。米国側は当初、デジタル論理回路とアナログ回路という観点で分類することを主張した。それに対し、日本側は、分類は動作原理に基づいて行うべきであり、(1)の汎用ロジックの表を 2 つに分けて、CMOS Extension と Pure Beyond CMOS に分類する(すなわち 3 つの表とする)ことを主張した。その分類の様子を図表 14-2 に示す。この分類は、基本的には日本の ERD-WG が以前に提案した Extended CMOS の考え方に基づいている。Extended CMOS の図を図表 14-3 に示す。3 つの分類は、それぞれ、(1) CMOS Extension、(2) CMOS Supplement、(3) CMOS Replacement に相当する。

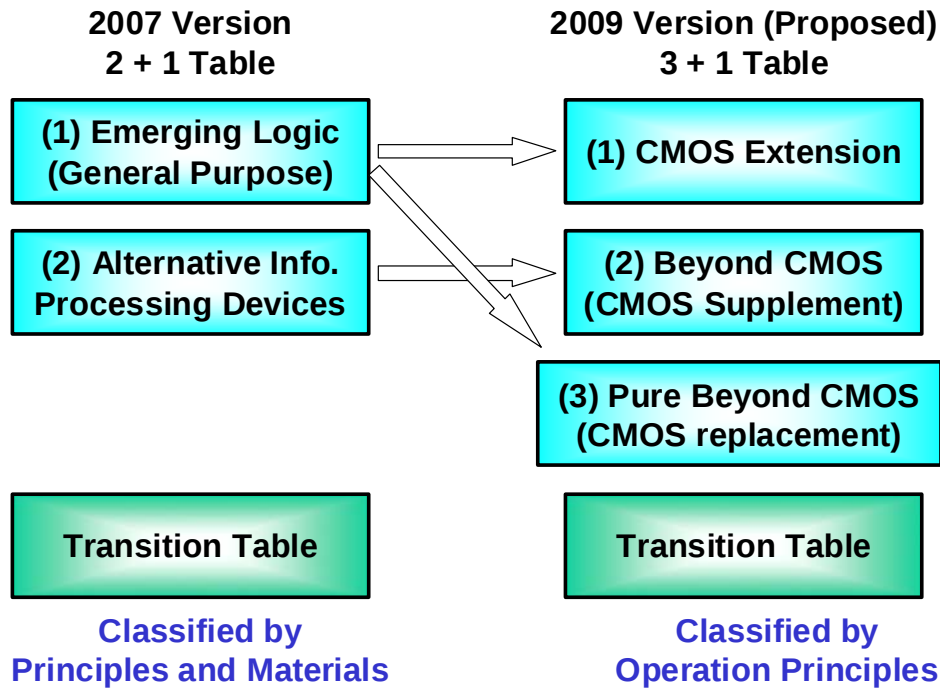
その後、電話会議等で議論が重ねられ、新しい分類法が提案された。その分類を下記に示す。

Table 1: “MOSFET: Extending the Channel of MOSFETs to the End of the Roadmap”

Table 2: “Non-Conventional FET, Charge-based Extended CMOS Devices”

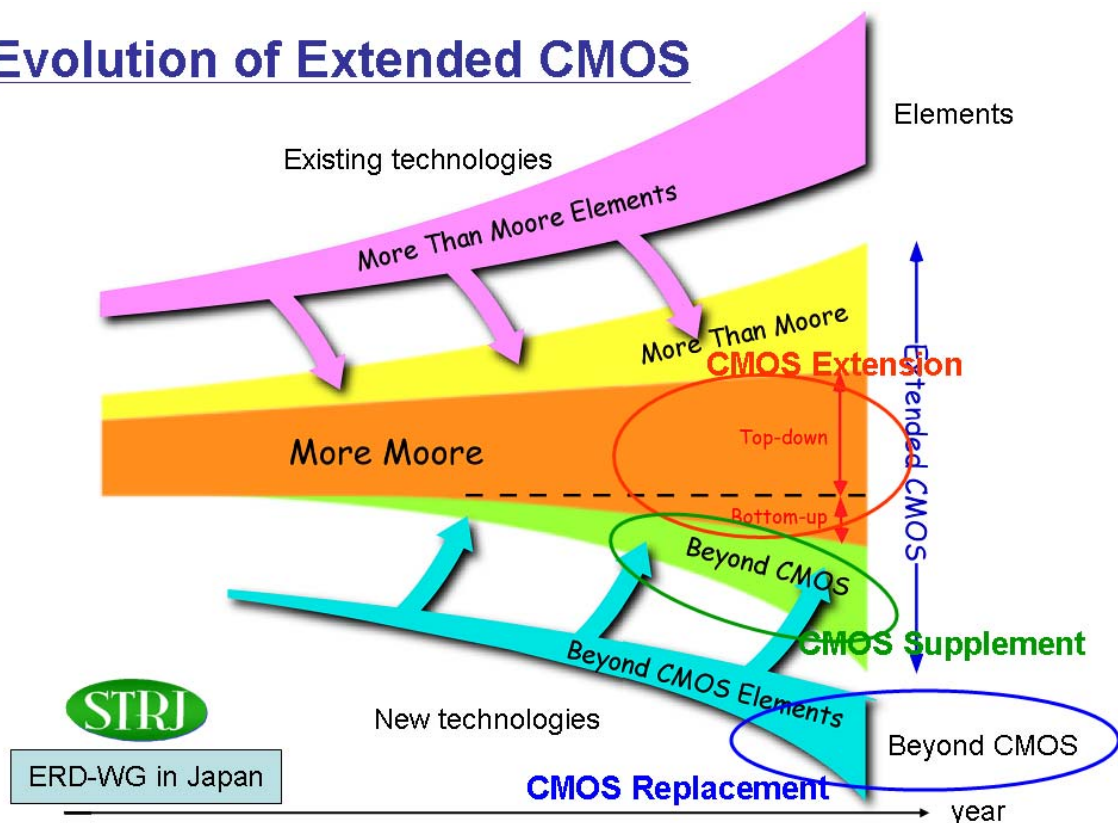
Table 3: “Non-FET, Non Charge-based ‘Beyond CMOS’ Devices”

この分類は、2007 年版までの分類と大きく異なっているが、状態変数が電荷であるかどうかをポイントとしており、動作原理に基づく点では日本の主張にも近い。2009 年版では、この分類でロジック表が作成されることになった。



図表 14-2 日本側が主張した 2009 年版におけるロジックデバイスの分類

Evolution of Extended CMOS



図表 14-3 Extended CMOS の考え方とロジックの 3 分類との関係

14-3 メモリ

今年度は、ITRS2009 に掲載する ERD メモリ技術の議論を行うとともに、多様な ERD メモリ候補の中から今後、重点的に研究リソースを配分すべき技術の選定議論に着手した。前者は、2009 年 3 月 17-18 日にブリュッセルで開催された ITRS ヨーロッパ大会 ERD WG の会合にて、記載方針の大筋が固まった。後者は、議論が始まったところであり、今後、一年ほどかけて技術の評価、絞込みを行っていく予定である。

以下、上記議論に際して行った ERD メモリ技術のレビュー、ブリュッセル会議での議論を踏まえたこれまでの議論の総括と ITRS2009 ERD チャプターにおけるメモリ記述内容の見通し、及び、ERD メモリ技術の評価・選定作業の状況について記す。

14-3-1 ERD メモリ技術のレビューと議論の動向

ITRS2009 に掲載する ERD メモリの議論にあたり、各種 ERD メモリ技術の内容と研究の現状、課題を調査した。その過程において、いくつかの提案事項も上げられた。参考資料は、ITRS2007/ERD、IEDM2008、EDL などの学術誌、ITRS/ERD WG 資料などである。また、ITRS/ERD における昨今の不揮発性メモリ(NVM : non-volatile memory)議論の動向を併記する。

(1) 対象 NVM

- ・ITRS/ERD チャプターで取り上げるのは、企業が量産化に着手していない pre-competitive な技術とする。
- ・これが大前提であるが、STT(spin transfer torque)-RAM や Nano-PCM(phase change RAM)は、その後のブリュッセルでの会議にて ERD として取り上げることとなった。日本の WG12 では PIDS 扱いが妥当との意見であった。
- ・NVM は大別して容量ベース型と抵抗ベース型に分類される。前者は、MOS ゲート容量の変化により FET の V_{th} の値を変化させるタイプで、ゲート酸化膜に強誘電体材料を用いる FeFET-RAM に代表される。後者は、様々な抵抗変化型メモリで、現状ではこちらが研究の主流である。

(2) 具体的なメモリリスト

下記の候補を挙げた。

- ・FeFET-RAM ...ゲート絶縁膜の誘電分極による FET の V_{th} 変調
- ・Nano-electromechanical Memory ...電気機械式スイッチ
- ・Fuse/Anti-fuse Memory ...ジュール熱による導電性パスの形成と分解
- ・Ionic Memory ...イオン移動による導電性パスの形成と分解
- ・Atomic Switch /Electrochemical Metal Memory ...酸化還元による導電性パスの形成と分解
- ・Molecular Memory ...分子構造変化／金属拡散
- ・Mott Transition Memory ...金属／絶縁体 相転移
- ・Ferroelectric Barrier Effects Memory ...誘電分極によるバリア高さ変調

* 動作原理に基づく分類で、一部、オーバーラップする項目もある。

(3) 分類方法

さまざまな分類方法が議論された。

- ・動作原理に基づく分類 ...上記リストにおける分類方法である
- ・材料に基づく分類 ...ある特別な材料による場合に相当する。たとえばカーボンベース(グラフェン、CNT)など。
- ・オペレーション方法に基づく分類 ...Unipolar/Bipolar(電圧印加の極性)
- ・アプリに基づく分類 ...NAND 代替、混載用途など

(4) 新しい潮流

下記のような新しい潮流が議論された。

- ・メモリ／ロジック融合デバイス：新規 FET の提案の多くは、不揮発性メモリの機能を有する。今後、メモリとロジックデバイスを分ける意味がなくなってくるかもしれない。Fe-FET はそのものであり、また、Steep subthreshold (SS 値 $\ll$ 60meV)を狙う新規 FET である Feedback FET、状態変数にスピンを用いる Spin-FET や種々の Collective Spin devices、2 層グラフェンを使ったエキシトン利用デバイスなども提案されている。
- ・複合メモリ：2 種類のメモリを構造的に合体したもので、Unified memory などと称することもある。例えば、MONOS+DRAM などである。しかし、これらは More than Moore 的メモリであり、ERD の対象外である。

14-3-2 ITRS2009 の ERD メモリ記載に向けての議論

これまでの議論をブリュッセル会議の内容を基に総括するとともに、ITRS2009 ERD チャプターにおけるメモリ記述内容の見通しを記す。同会議には、日本の WG12 から秋永氏／産総研と内田氏／東工大が出席した。

- ・チャプターにおける基本記述項目は、ITRS2007 に準ずる。記述分量(ページ数)も同じとする。ただし、メモリのアーキテクチャについての記述は、ERA のチャプターに移すことになった。
- ・対象メモリは pre-competitive な技術のものとするが、いくつかのメモリについては PIDS との狭間にあり、懸案事項となっていた。上記会議で次のように決定した。NanoWire-PCM は、5 つのグループが研究しているため ERD に残す。STT-RAM もいまだ開発途上とのことで ERD に残す。Fe-FET はまだ研究レベルであり ERD に残す。
- ・STT-RAM については、2008 年 9 月 22-23 日につくばで開催された ITRS/ERD のワークショップでも取り上げられた。STT-RAM は、実用化に向けての検討が進んでいる。磁化垂直型が有利だが、さらなる材料検討が必要で、まずは、面内磁化型(積層反強磁性膜)で製品化したい模様である。Gbit 級チップの設計仕様が固まりつつある。実験レベルでは、書込み電流 $<200\mu\text{A}$ 、電圧 0.5 V、速度 10 ns、書き換え回数 $>E12$ 回、熱揺らぎ耐性 >50 などの特性が得られている。東芝とサムソンが主導している。
- ・メモリと一口に言っても、対象とするアプリによって要求特性が大きく異なる。演算用メモリとストレージメモリを同じ視点で議論するのは適当でない。一方、同一メモリ技術が用途の異なる複数のアプリに使われることもあり、今後の NVM 技術の分類の際に議論が必要であると思われる。
- ・ERM WG にて、メモリ用マテリアルの評価を行う。材料の視点からのメモリ技術評価も必要である。ERD、ERM の 2 つのチャプターで記載に多少の重なりが起きることも予想されるが、記述内容が立体的になり、むしろ望ましいと思われる。

14-3-3 ERD メモリ技術の評価・選定

ITRS_ERD WG では、ITRS2009 記述内容検討と並行して、どのメモリ研究開発にワールドワイドで研究リソースを振り向けるべきかの評価作業(順位付け)が始まっている。以前、ロジックデバイスについて同様の作業を行い、4 つの技術を選定した。

日本側 WG12 としても ERD メモリ技術の評価に協力することとする。ただし、一方的な情報提供は控え、中立性を維持しつつ、ERD メモリ技術の将来性を示すことをその目的として協力することとする。今後、1 年ほどかけて ERD メモリ技術の評価選定作業を行っていく。メモリ技術の範囲と分類、評価対象のリストアップ、評価指標、評価方法等について、議論が始まっている。WG12 でもこの件につき、09 年度も引き続き、議論を行っていく。

14-4 アーキテクチャ

アーキテクチャ関連では、2008 年 7 月に新探求アーキテクチャワークショップ(ITRS ERA ワークショップ)が米国サンタクルーズにて開催され、2020 年までに目標とする仮想現実システム(後述)を実現させるために必

要なアーキテクチャについて議論がなされた。ITRS ソウル大会(2008 年 12 月)およびブリュッセル大会(2009 年 3 月)では、ITRS 2009 年版の ERA セクション案が紹介された。以下に、それらの活動と決定事項をまとめる。

14-4-1 第 31 回 ITRS (国際ロードマップ)会議(新探求アーキテクチャワークショップ:2008 年 7 月)

(1) 会議概要

本ワークショップでは、「Virtual Immersion Architectures(VIA)」の実現に必要な要素に関する議論が行われた。VIA とは、自宅にいながらにして、仕事場や旅行先にいるのと同じような仮想現実(virtual reality)環境をつくりだすためのアーキテクチャのことをいう。仮想現実とは、コンピュータ上に構築された現実を模した「世界」である。単なる「想像された現実」ではなく、「これまで現実と呼ばれてきたものとは異なるが事実上の現実」である。本ワークショップでは、2020 年までに VIA がエンターテインメントの枠を超えて重要になると仮定し、その具現化に関する議論(後述)を行った。仮想現実の世界では、ある目的を達成するために、本人ではなくアバター(avatar: 仮想世界におけるユーザーの化身)同士が対話を行うと考えられる。また、エンドユーザに現実の触感を感じさせるような「物理現象のシミュレーション」によって可能となる学習/ビジネス環境も考えられる。それらを可能にするためのアーキテクチャを VIA と定義し、その要素技術を持つ専門家を集めて現状把握を行うことが、本フォーラムの主目的であった。

(2) 議題/トピックス

1. 知的コミュニケーションシステムにおけるシャノンの法則とムーアの法則のトレードオフ
2. 3次元メモリ構造を用いたマルチコアプロセッサのメモリアクセス障害の克服
3. HD ビデオの未来を見る
4. 通信システムに基づくナノスケール ERA のための回路設計手法(雑音許容型)
5. スwitchング/インターコネクトファブリックの未来
6. 計算機モデルと(人の考える)コンセプトモデルのギャップを埋めるコンピューティング
7. ナノ機能デバイス/知的システムのための脳型アーキテクチャ
8. カスタムセンサユニット(eBlock)を用いた演算システム
9. 3D ビデオ会議システムへの挑戦
10. マルチコア通信プラットフォームの現状
11. マルチコア ERA におけるアクセラレータ/コンピューティングの役割
12. コンピュータアーキテクチャの発展における集積度の効果
13. 同一プロセッサアレイを用いた特種用途向け情報処理ユニット(ハード/コンパイラを含む)
14. ヘテロ・マルチコアアーキテクチャのパフォーマンス
15. ERA の再定義/認識
16. 古典的演算アーキテクチャの挑戦と限界
17. コンピュータアーキテクチャの物理(計算論に立ち戻る)
18. 計算機システム:生産性-エネルギー-エントロピーのトレードオフ解析
19. 計算科学の観点から見た脳の効率性
20. 仮想世界を創る(これまでの歴史と現状)
21. シミュレーションと可視化のためのソフトウェアアーキテクチャ
22. ハードウェアとソフトウェアの協調設計
23. グラフィックプロセッサの設計問題

以上の議論を通して、「Virtual Immersion Architecture」に必要な要素を以下の五つに分類した: シ

ステムレイテンシの最小化(上記一覧の 1~5)、モーフィックアーキテクチャ(6~9)、VIA のための計算プラットフォーム(10~14)、計算論/チューリングとハイゼンベルグの親交(15~19)。VIA をサポートするソフトウェア環境(20~23)。本ワークショップは、学会形式で VIA をサポートする上記一覧の内容を紹介・議論するものであった。そのため、具体的な合意項目やアクションアイテムはなく、VIA をサポートする技術の現状把握に留まった。

14-4-2 ITRS2009 の ERA セクション記載に向けての議論

上記 1 の ERA ワークショップ、ERD ロジックワークショップ(2008 年 9 月、つくば)、ITRS ソウル大会(2008 年 12 月)およびブリュッセル大会(2009 年 3 月)の ERD/ERA ミーティングでの議論をもとに、ITRS2009 ERA セクションは大きく変更(追記/更新)される予定である(2009 年 7 月中旬までにドラフトを用意)。主な変更内容は、

- (1) メモリアーキテクチャに関するテーブルを追加(ERD グループの助言による)
- (2) 情報処理の熱力学的限界に関する記述を追加(ERA ワークショップの議題リストの 18-19)
- (3) ERD のためのアーキテクチャベンチマークに関する記述を追加(後述の NRI が寄与)
- (4) モーフィックアーキテクチャの更新(VIA ワークショップおよび最新の論文調査)
- (5) 同一(homogeneous)および異種混合(heterogeneous)マルチコアをテーブルから削除(これらは MPU、GPU デザインのメインストリームになったため)
- (6) CMOL アーキテクチャの精査(2008 年 6 月の ERD ミーティングにおいて、CMOL の実現可能性について深刻な問題が明らかになったため)。メモリの大容量化に必須である三次元技術の一つとして CMOL は有望であるとの意見(韓国)もあり、今後も議論が行われる。

QCA についても精査が必要との意見が出た。More than Moore アーキテクチャに関しては、新しいチャプターが作られる予定であるが、特殊分野のアプリケーションの列挙になる可能性がある。

なお、米 Nanoelectronics Research Initiative(NRI: 米ノートルダム MIND Center がコーディネート)が 2009 年版の ERA セクションに大きく寄与する予定となっている。特に、ERD により得られるアーキテクチャ上の利点に関する記述が追加される(2007 年版では本項目は議論がまとまらず、曖昧な記述にとどまっている)。具体的には、演算アクセラレータ(暗号処理、離散コサイン変換等)に関する ERD アーキテクチャに関する記述が追加される予定である。

14-5 まとめと今後の課題

平成 20 年度の WG-12(ERD)の活動内容を紹介した。ITRS の ERD の章は 2005 年版で従来のノンクラシカル CMOS 中心の考え方から、CMOS を凌駕する Beyond CMOS の考えに大きく梶を切った。ところが、議論を重ねるうち、CMOS を凌駕する情報処理デバイスは簡単に実現しないことがますます明らかとなり、2007 年版では、CMOS 技術と新デバイスの融合の考え方が支配的となった。これはもともと日本が提唱していた考え方であり、2009 年版では、この考えがさらに鮮明になる予定である。図表 14-3 の Extended CMOS の図は 2009 年版に掲載される方向で調整が進んでいる。