

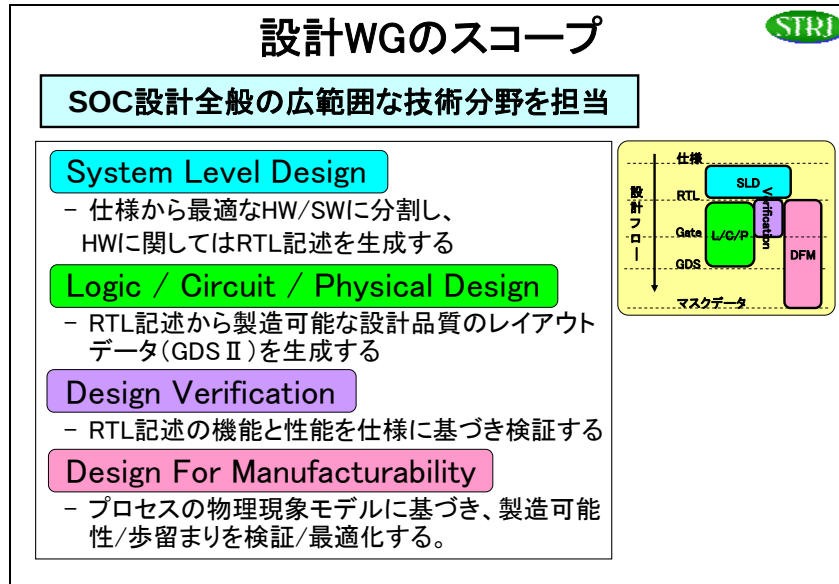
第 2 章 WG1 設計

2-1 はじめに

2-1-1 設計 WG のスコープ

設計とは、SOC の仕様から、製造可能なマスクデータを作成するまでの作業を言います。

ここに示されるように System Level Design、Logic/Circuit/Physical Design、Verification、DFM(Design for Manufacturability)の4つの枠組みで構成され、WG1 ではこれら全てを担当している。



図表 2-1 設計 WG のスコープ

2-1-2 設計 WG の活動内容

WG1 は発足以来、設計技術のロードマップ活動を行ってきました。

2008 年度から、設計タスクフォースが合流することになり、より深い議論ができるような体制になりました。

その効果もあり従来設計タスクフォースで活動してきた低電力関連の成果とWG1の設計技術をコラボさせ、SOC の低消費電力設計技術の課題と解決策のロードマップを作成するという成果がでています。

	国際活動 (ITRSへの主な貢献)	国内活動	
		設計WG	旧設計TF
2005年度	System Drivers章 Consumer Portable SOCを提案 Design章 課題項目の確認と修正案提示	SOC設計技術ロードマップの見直し ・SLD,L/C/P,Verification,DFMの4分野で重要な技術課題の明示と解決策の提案	低電力SOCのロードマップ ・DFMの検討とばらつきのSOC性能への影響を評価
2006年度	System Drivers章 Consumer Stationary SOCを提案 Design章 SLDとVerificationの課題の項目値の確認と修正案提示	設計遅れ要因変化の分析と提言 ・設計遅れ要因変化(3年間)の分析と課題解決策提言 DFMのSOC設計への影響考察 ・SOC設計へのばらつきの影響の考察	低電力SOCのロードマップ ・配線分布/抵抗の予測とSOC性能への影響を評価
2007年度	System Drivers章 Consumer Portable & Stationary SOCの数値の見直し Design章 LCPとDFMの課題の確認と修正案	SOC設計技術ロードマップの詳細化/定量化 ・論理検証と物理設計の2分野で「設計生産性向上」の観点でロードマップを詳細化/定量化	配線性能とSOC性能の関係 ・ITRSの配線性能から見たムーアの法則の限界
2008年度	System Drivers章 Consumer Portable & Stationary SOCの数値の見直し Design章 ソフトウェア関係のSLDテーブルへの追加	SOCの低消費電力設計技術の課題と解決策 ・消費電力トレンドを示すロードマップの再構築 モデル(モチーフ)の見直し 消費電力計算式の見直し(パラメータ追加を含む) ・設計生産性に対する低消費電力設計技術の解決策ロードマップの作成	

図表 2-2 設計 WG の活動内容

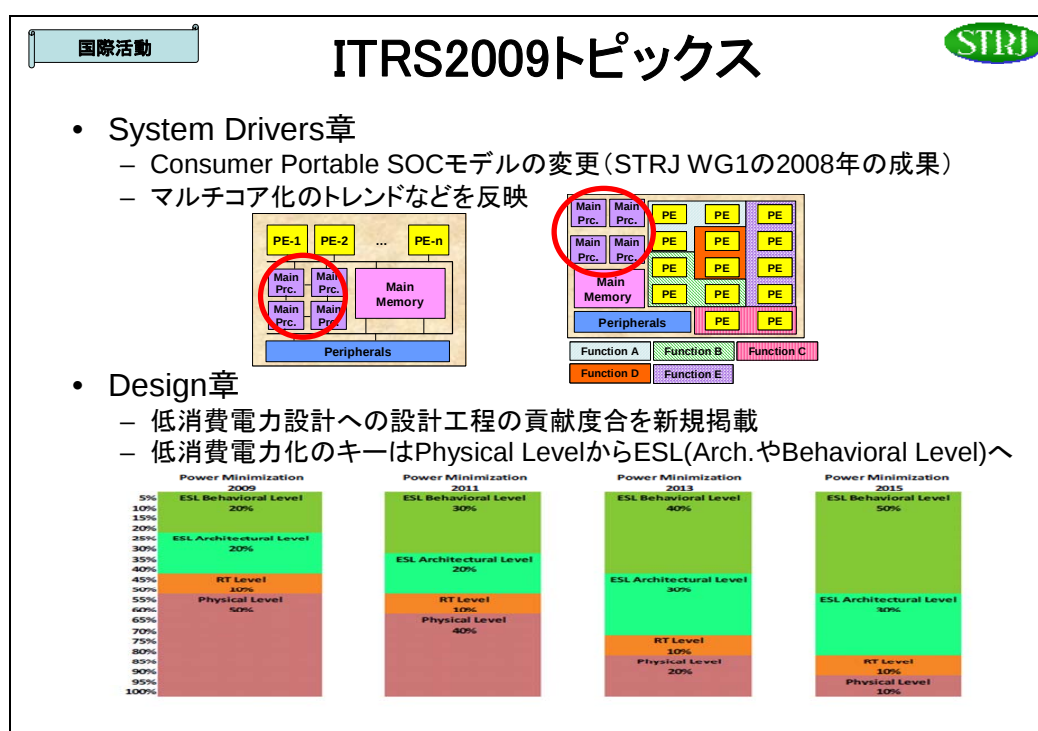
2-3 国際活動

ITRS2009は主な改定内容は、System Drivers 章での「Consumer Portable SOC モデルの変更」とDesign 章での「低消費電力への設計工程の貢献度合のトレンドの新規掲載」です。

SystemDrivers 章では、STRJ WG1 の 2008 年度の活動成果である ConsumerPortableSOC モデルの変更を ITRS2009 に反映を行いました。具体的には、マルチコア化のトレンドなどを反映したモデルへの変更が実施されました。

Design 章では、低消費電力設計への設計工程の貢献度合のトレンドを示す図を新規掲載しました。

低消費電力化のためには、年を追ひ、微細化・大規模化が進むにつれ、アーキテクチャやソフトウェアを含めたビヘイビアレベルといった設計の初期段階における低消費電力化への検討が、益々、重要になってくることを示しています。

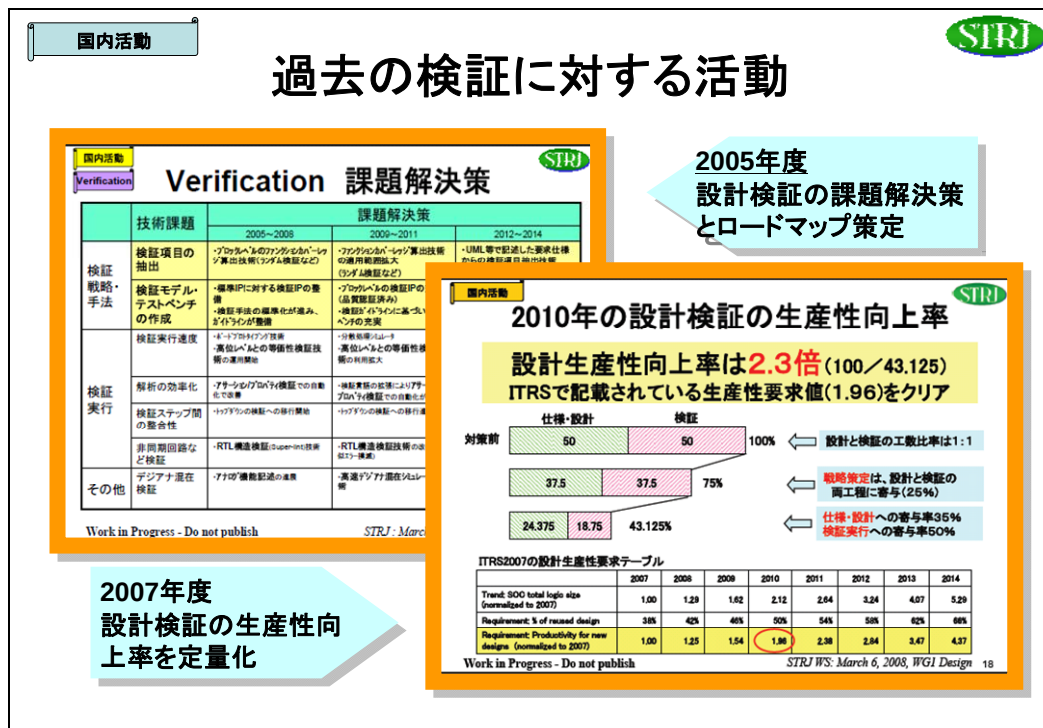


図表 2-3 国際活動:ITRS2009トピックス

2-4 国内活動

設計技術ロードマップ検討の一環として、SOC 大規模化に対する検証の課題抽出と検討を実施した。

WG1 では過去にも何度か検証に対して検討を実施している。2005 年度は『SOC 設計技術ロードマップの見直し』のテーマで、設計検証の課題と解決策を検討し、LongRange におけるロードマップの作成を実施。2007 年度は『SOC 設計技術ロードマップの詳細化/定量化』のテーマで、ShortRange で要求される設計検証の生産性向上率を検討し、それを定量化してきた。

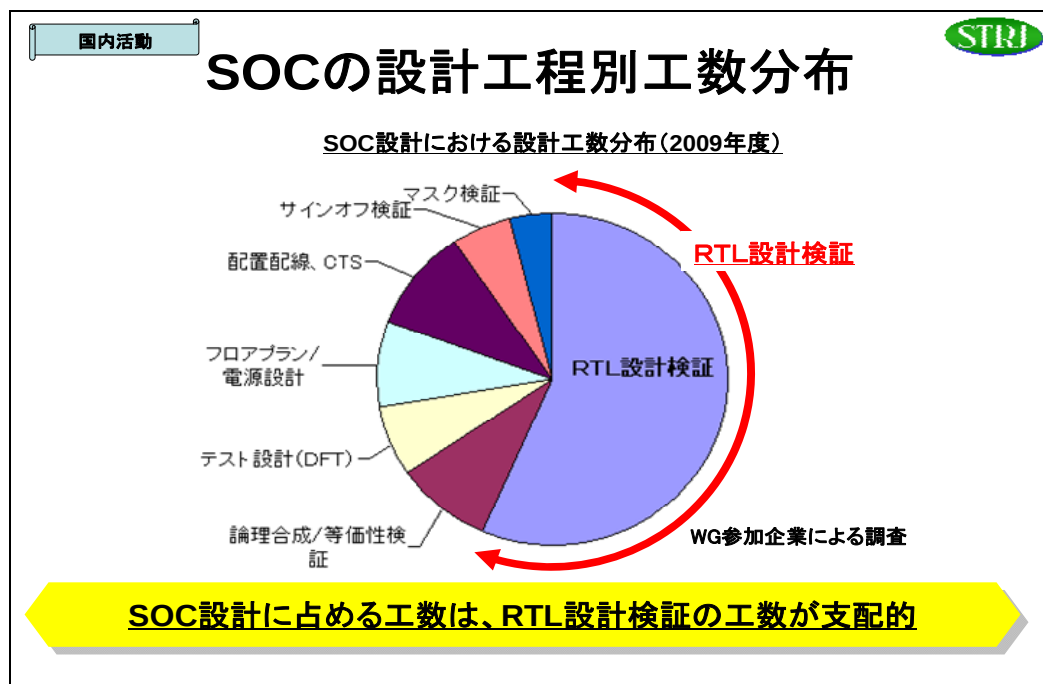


図表 2-4 過去の検証に対する活動

しかしながら、今年度の工程別工数分布を見てみると、プロセスが進化し大規模になった今日、ここ数年分布は変わっておらず、従来検討してきた結果が想定されたほど実現されていない、大規模化に想定した対策が追いついていない、または、新たな課題が出てきているのではないかと想定される。

まず、現在の SOC 設計における設計工数について、WG1 参加企業にアンケート調査を行いました。

この結果を見て判るとおり、2009 年度の調査において、RTL 設計、検証に対する工数が支配的であるという結果となり、SOC 設計において、工数のボトルネックになっているのが RTL 設計検証であり、これらの生産性をあげることが大きな生産性向上の効果が期待できると考え、今年度の活動として”検証”に着眼することにしました。



図表 2-5 国内活動:SOC 設計工程別工数分布

今回は、現状分析を主題に、「SOC の検証に関する課題分析と提言」をテーマに活動を実施した。

具体的な方法は、まず WG1 参加の半導体企業 7 社向けに、検証工程における問題点、課題についてのヒアリングを実施し、結果、計 79 件の課題が集まった。これらの課題を WG1 内の識者によって分析し、検証に対する提言を行った。

2-5 検証対象による分類

今回、新たな試みとして検証工程を更に細分化し、細分化した検証工程毎に問題点を分類することで、どの検証工程に重きをおき対策すべきが見えてこないかを分析を行った。具体的には検証対象を機能ブロック、ブロック間、システムすべてを検証対象とする 1 チップに分けて課題の分類を行った。

2-5-1 ブロック検証

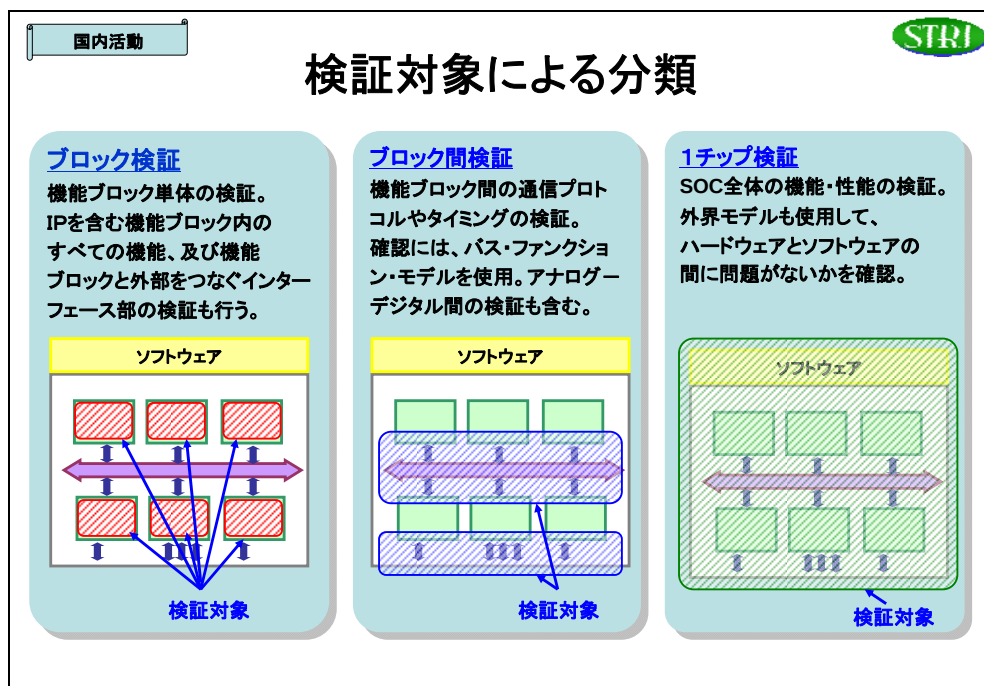
RTL 設計では通常機能単位に設計を行います。具体的には RTL の HDL ソース記述で実現します。しかしこれらは頭で考えて記載していくこととなりますが、本当に予定したとおりに動くかはわかりません。ブロック検証では、論理シミュレーター等を使い、仕様にあった動作を実現できるかを実証します。

2-5-2 ブロック間検証

ブロック間のデータ転送には、通常共有のバスラインを用いたオン・チップ・バスプロトコルと呼ばれるデータ転送の手順に従った通信が一般的です。ブロック間検証では、各ブロックのインターフェース部の設計が、バスプロトコルに従って動作するかどうかを検証します。また、SOC に搭載されたアナログ部とのインターフェースについても検証します。

2-5-3 1チップ検証

SOC 全体の機能・性能の検証を行います。外界モデルやソフトウェアも使用して、ハードウェアとソフトウェアの間に問題がないかを確認します。1チップ検証では、通常のシミュレータでは性能的にすべてを検証することができないため、ハードウェアエミュレータを使用したり、FPGA で試作品を作成し実機に近い状態で検証することが一般的です。

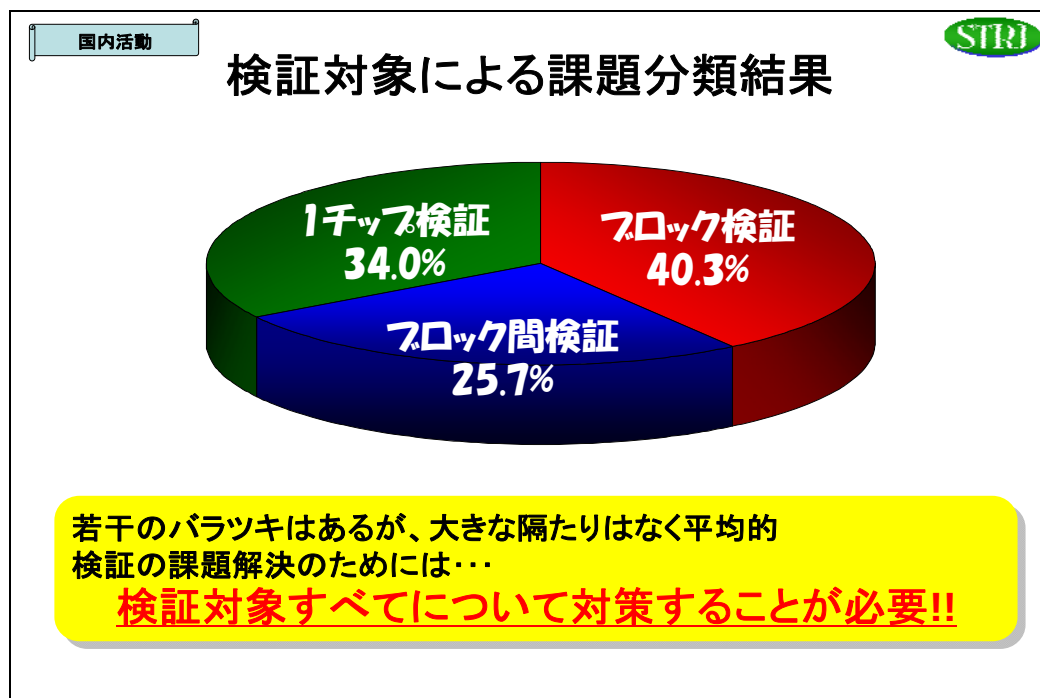


図表 2-6 検証対象による分類

2-6 検証対象による課題分類結果

検証対象による課題の分類を行った結果、下図に示すとおりブロック検証に起因する課題は 40.3%、ブロック間検証に起因する課題は 25.7%、1チップ検証に起因する課題は 34.0%という結果になった。多少のバラツキはあるものの、凡そ平均的な結果となった。この結果が意味することは、検証課題については検証対象毎に特筆すべき課題があるというわけではなく、すべての検証対象において解決すべき課題がまんべんなく存在しているということをあらわしている。つまり、検証工程における課題解決はある特定の検証対象または検証工程を集中的に対処するのではなく、検証対象すべてにおいて解決しなければならないということになる。

この結果を踏まえ、本年度は検証対象すべてにおいて、いま最も重要な課題とその解決方についてまとめることにした。



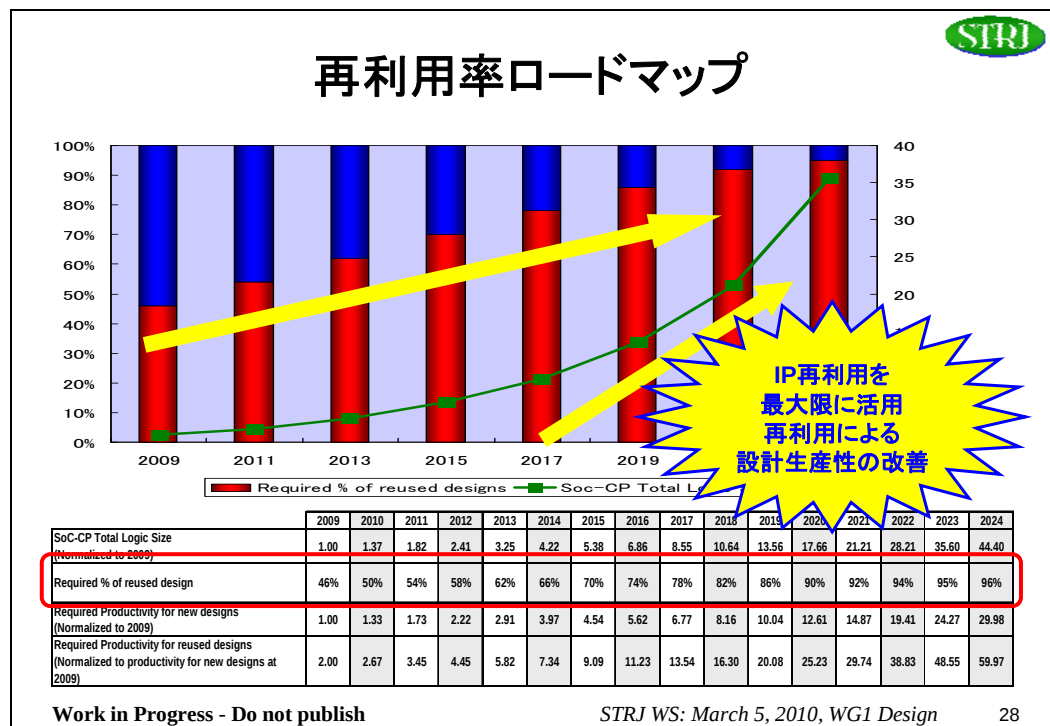
図表 2-7 検証対象による課題分類結果

今回収集した課題を更に分析してみると、いくつか特筆すべき点がある。2006 年度に実施した設計ボトルネック調査の結果と照らし合わせると、2006 年度と比べ増加傾向にある課題と減少傾向の課題の特徴は下記のような傾向がある。

2-6-1 増加傾向にある課題

1) IP・再利用に関連する課題

今回もっとも関心を引いたのが IP・再利用に関する課題の多さである。IP 関連の課題は、特にブロック検証、ブロック間検証に多く見られた。SOC が大規模になり、新規設計よりも外部から調達する IP、または再利用可能なモジュールを利用することにより設計の生産性を向上させてきていると思われる。ITRS でも SOC における再利用率について 2010 年で 50%、2024 年には 90%を超える再利用率を示しており、大規模化するにつれ本問題が顕著化してきたものと思われる。今回アンケートを実施した殆どの半導体企業から IP に関する課題を取り上げているのも特徴的である。



図表 2-8 再利用ロードマップ

2) MixedSignal に関連する課題

MixedSignal に関連する課題は、ブロック間検証と 1 チップ検証に集中していた。ほとんどはデジタルとアナログの接続検証であり、未だ本検証については手法自体が確立されておらず、設計生産性の大きな阻害要因となっている。本件も今回アンケートを実施した殆どの半導体企業から課題として取り上げられており、今後対策していくべき重要な課題である。

3) 検証環境、EDA メソドロジにおける課題

検証環境、EDA、メソドロジの課題は、ブロック検証、ブロック間検証、1 チップ検証にまんべんなく発現している。メソドロジは準備されてきたが、使用するにはスキルが必要など、検証環境の作成に時間がかかること、また自動化による要求が殆どである。SOC の大規模化に伴い、いままでは限られた時間内での人の経験によるところが大きかった検証についても、メソドロジの充実と自動化によるスキルに依存しない検証環境が望まれている。

2-6-2 減少傾向にある課題

1) マネージメントに関連する課題

SOC が大規模になるほど検証戦略が重要になり、マネージメントの役割が重要になると思われていた。現実、2006 年度の時々は群を抜いてマネージメントに関する課題が多く寄せられていた。今回、2006 年度に比べ減少傾向になってきた理由は、決してマネージメントの問題がなくなってきたわけではなく、メソドロジの充実や、EDA の発達に期待しているところが多くなっていることが原因と思われる。

2) 人材育成に関連する課題

人材育成においても同じことが言える。検証業務には高いスキルが必要であるが、それをメソドロジ、EDA の発展に期待しているところから人材育成についても減少傾向に見えてきたものと思われる。

3) 検証項目に関連する課題

検証項目の抽出については、ある程度のルール化が進んできているものと思われる。ただし、大規模化になるにつれ検証項目は増大になり、検証工数は大きく膨らむことに課題意識が集中している。ただし、やはりこれらも EDA ツールの発展に期待し項目抽出をある程度自動化にしたいというところに矛先が変わってきているものと思われる。

2-7 検証の課題と提言

WG1 参加企業よりヒアリングした課題を分析し、ブロック検証、ブロック間検証、1 チップ検証それぞれにおいて、要件定義を行い、そのなかで重要な課題を抽出し、それらについての対策について纏める。

2-7-1 ブロック検証の課題と提言

1) ブロック検証の要件定義

- ① 設計者による、ソフトウェアシミュレーションベースの機能検証を主とする。
- ② 網羅性向上のためにアサーション/ランダム検証やカバレッジを利用。
- ③ IP(再利用ブロック)は、仕様が容易に理解できることで検証効率の向上が可能。

2) ブロック検証の主な課題と対策

- ① 検証技術の利用のスキルが不足している。アサーションなど検証の品質をあげる技術としてはほぼ立ち上がっているが、それらを使いこなすためには相応のスキルが必要であり、誰でもできるような環境ではない。

対策として考えられるのは、設計者間で記述スタイル、合成、検証手法や検証技術の共通化を行うことで相互間のコミュニケーションを向上させることが考えられる。また検証IPの充実も大きな解決策である、検証IPが標準で準備されることにより、その作成工数の削減が期待できます。

- ② 検証環境の再利用を進めたいが、再利用を意識した構築が難しい。SOCを設計するために不可欠な要素であるIPなどの再利用に関して、その普及が進んでいないことが原因の一つである。外部から調達したIPの評価・検証については、第3者が実施していることもあり、容易に行うことは難しい。

対策としては、再利用を意識した検証環境の部品化と共通化が重要である。

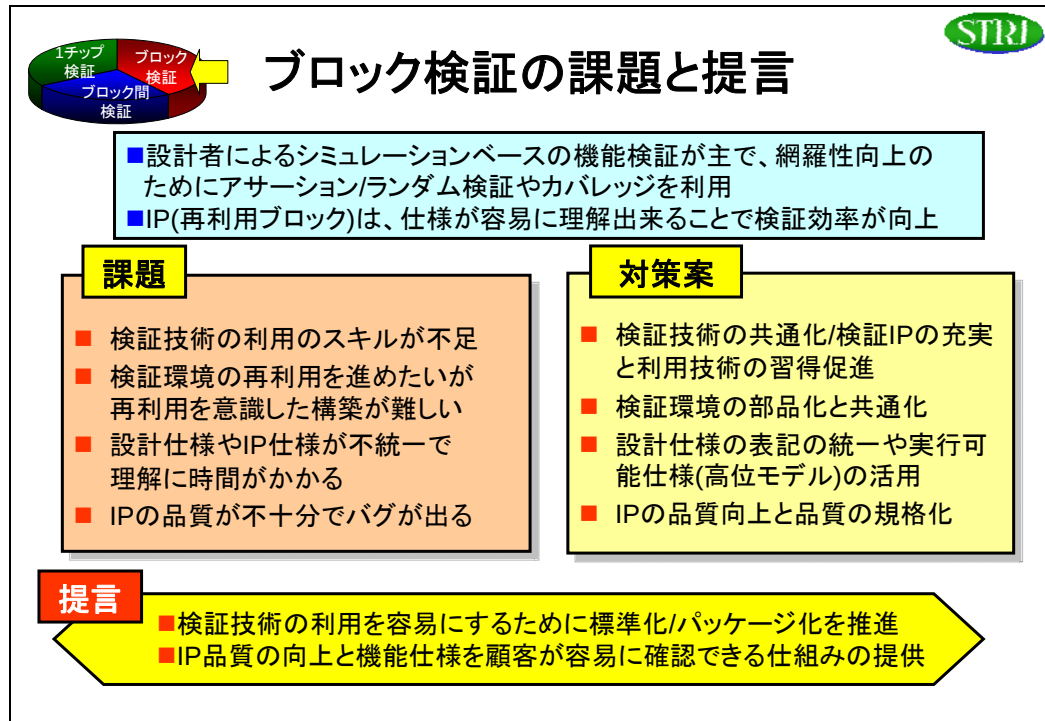
- ③ 設計仕様やIP仕様が不統一で理解に時間がかかる。 IPを外部から買ってきて、自社のIPと組み合わせようとしても簡単につながることは殆どない。IP Core どうしを適切に組み合わせるということは、いまだに職人的なスキルが必要である。このようなスキル上の障害を克服するために、仕様の標準化、インタフェースの統一化が図られているが、それが十分ではないのが現状である。また、仕様の統一という意味では、現在の仕様書は自然言語で記載されているが、自然言語の場合、曖昧な表現になりがちであり、読み手によって理解が異なることがある。これを解決する手段として、実行可能仕様(高位モデル)の適用することによる標準化が必要である。

- ④ IPの品質が不十分。IPや再利用ブロックをSOCに搭載するだけで正常に動作するということは殆どない。再利用ブロックでも搭載されるSOCにより、条件が異なることで正常に動作しないケースもある。IP・再利用ブロックを使うまでに、評価・検証に多大に時間を掛けているのが実情であり品質の向上が望まれる。外部調達IP については、品質に対する規格がないことにより、その殆どが大手IPベンダーのものであり、いままでの経験や信頼が重要視されている。

3) ブロック検証における提言

ブロック検証では、検証技術の利用推進と、今後ますます IP の利用は増えるであろうことから、IP 利用の品質を重要課題とし、下記の 2 点を提言とする。

- ① 検証技術の利用を容易にするために標準化/パッケージ化を推進
- ② IP 品質の向上と機能仕様を顧客が容易に確認できる仕組みの提供



図表 2-9 ブロック検証の課題と提言

2-7-2 ブロック間検証の課題と提言

1) ブロック間検証の要件定義

- ① 検証エンジニアによる検証環境の構築を行い、ブロック間をつなぐバスなどの検証 IP を駆使して、プロトコル検証、相互通信検証を実施。
- ② アナログ-デジタルの接続検証は、アナログ主体の検証に依存。

2) ブロック間検証の主な課題と対策

- ① チップ/ブロック(IP)の仕様が不明確で検証シナリオを作るのが難しい。ブロック間検証で検証シナリオを作るためには、検証項目の洗い出しが必要になる。検証項目を洗い出すためには、ブロック間インターフェースの仕様書が必要である。ブロック間インターフェースの仕様書を作成するには、相手側ブロックの仕様を理解しなければならないが、仕様書の書き方や抽象度が各IP、ブロック毎に異なることが多く、それらを理解するために相応のスキルが必要であり、また、多大な時間を費やしている。

対策としては、プラットフォーム化で接続関係の検証を効率化が考えられる。

- ② 搭載ブロック数の増加により接続が複雑になり、検証漏れのリスクが増大。昨今の SOC では、1チップに搭載されるIPの種類が増加の一途であり、それに合わせてインターフェース仕様も増加している。すべてのインターフェース仕様を理解するのは難しく、検証項目を抽出する際に検証項目の漏れが発生するリスクが多くなります。

対策としては、検証環境の部品化と共通化が考えられる。現在、主なバスインターフェースとして AHB,AXI などが標準化されているが、これに準じないインターフェースについても

共通バスモデルの公開等の標準化を進め、検証環境の共通化を実現することで生産性の向上が望まれる。

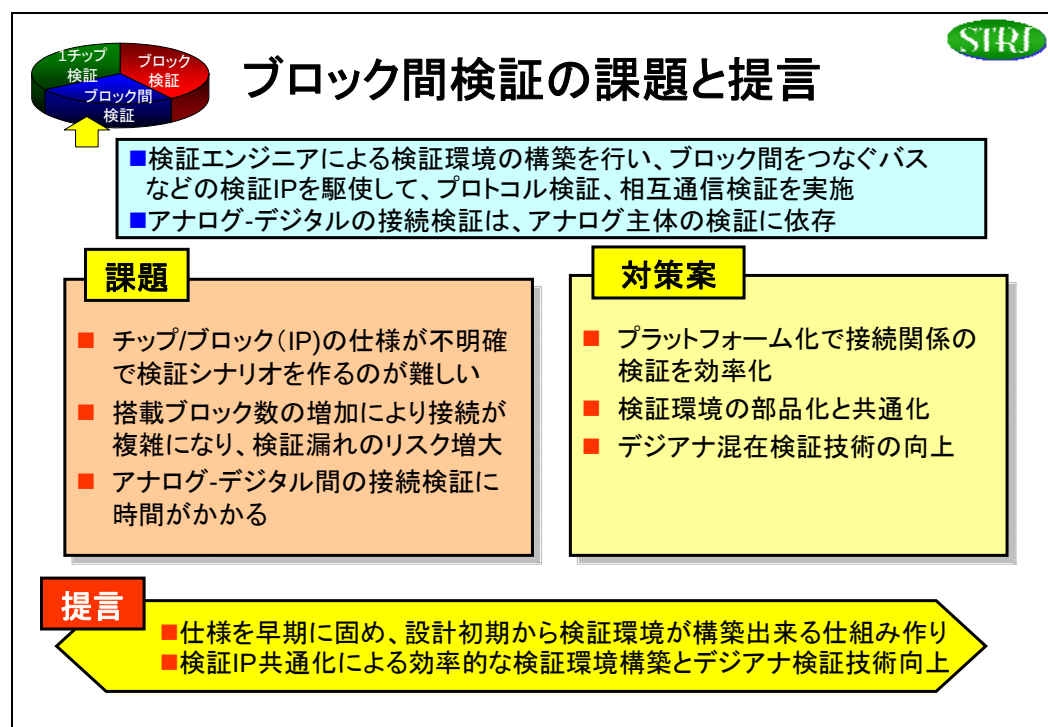
- ③ アナログ-デジタル間の接続検証に時間がかかる。 現在、アナログ-デジタルの接続検証は、人手による検証が一般的となっています。また、アナログではトランジスタレベルでのシミュレーションによる検証を実施しているため、デジタルとの精度差も問題となっている。また、クロストークなどシグナルインテグリティに関しても十分に検証できる環境が整っていないのが現状である。

対策としては、デジアナ混在検証技術の向上 を期待する。具体的には、シミュレータがアナログやデジタル・コンポーネントのクロストークなどのシグナルインテグリティについても検証できる技術、デジアナ混在シミュレータの高速化、早期システム検証を可能にする動作モデリング言語の普及、それを活用できる検証プラットフォームの登場が期待される。

3) ブロック間検証における提言

ブロック間検証では、検証仕様の明確化と、デジアナ混在技術の発展を重要課題とし、下記の2点を提言とする。

- ① 仕様を早期に固め、設計初期から検証環境が構築できる仕組み作り
- ② 検証 IP 共通化による効率的な検証環境構築とデジアナ検証技術向上



図表 2-10 ブロック間検証の課題と提言

2-7-3 1チップ検証の課題と提言

1) ブロック間検証の要件定義

- ① 検証エンジニアが主体でチップ検証環境を構築し、システムエンジニアがユースケースに基づくテストシナリオを用意。
- ② ブロック設計の進捗に合わせて機能検証を実行。

2) ブロック間検証の主な課題と対策

- ① チップ検証環境を構築するための外界モデルの不足。

対策としては、外界モデルや検証 IP など環境構築用モデルの充実が考えられる。

- ② ユースケースが不十分で検証漏れが出る。 ユースケースについては、仕様書から抽出を行っているため、仕様書の品質によって、検証項目が検証者のスキルによるところが大きく、検証漏れのリスクがある。

対策としては、実行可能な仕様(高位モデル)と 機能カバレッジで漏れを確認が考えられる。実行可能なモデルにすることで、標準化が実現でき、検証者によるスキル依存が軽減されることが期待できる。また、機能カバレッジによる解析やガイドラインを策定することにより、検証漏れを未然に防ぐ効果を期待する。

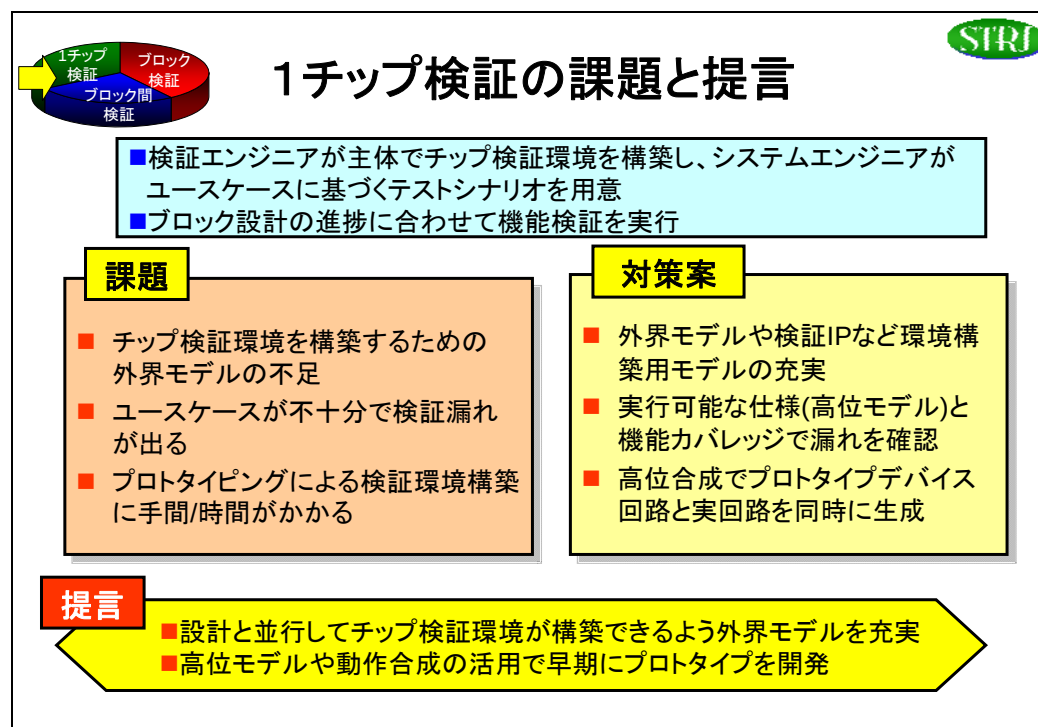
- ③ プロトタイピングによる検証環境構築に手間/時間がかかる。

対策としては、高位合成でプロトタイプデバイス回路と実回路を同時に生成することで、プロトタイプ検証と、実チップ設計を並行して開発することが可能となるため、チップ開発における TAT(Turn Around Time)の短縮が期待できる。

3) ブロック間検証における提言

ブロック間検証では、検証仕様の明確化と、デジアナ混在技術の発展を重要課題とし、下記の 2 点を提言とする。

- ① 設計と並行してチップ検証環境が構築できるよう外界モデルを充実
- ② 高位モデルや動作合成の活用で早期にプロトタイプを開発



図表 2-11 1チップ検証の課題と提言

2-8 まとめと今後の課題

1) 国際活動

System Drivers 章では、2008 年度の WG1 の成果である、Consumer Portable SOC モデルの変更が反映された。

Design 章では、低消費電力への設計工程の貢献度合いのトレンドが新規作成された。

2) 国内活動

今年度は、「検証課題の深耕」をテーマに、SOC 大規模化に向けての検証工程における課題の抽出、対策、および提言にとりくんだ。いままで中長期のロードマップとして検討してきたが、大きな変革が見えてこなかったことから、短期的な課題解決に取り組んだ。分析を検証対象に振り分け、それぞれの課題と対策を導き出すことで、IP、標準化、検証環境、メソドロジーなど合わせて解決していかないと検証工程の生産向上は難しいことがわかった。今回、それぞれの検証対象について、提言までをまとめることにより、目標とした成果は達成できたと考えている。

3) 今後について

WG1 では検証に対する活動を 2005 年度、2007 年度、そして今年度と続けてきた。今後は、それらの成果を ITRS の Design 章における Design Verification にフィードバックしていくことを考えている。