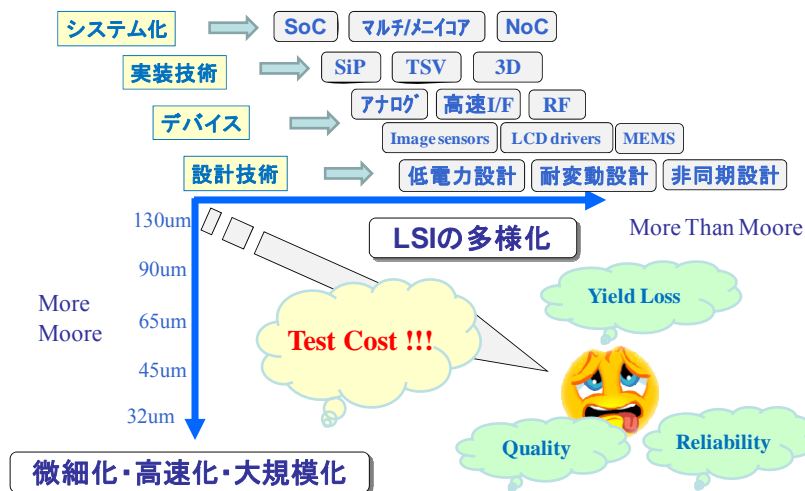


## 第3章 WG2 テスト

### 3-1 はじめに

テスト WG(WG2)は、テスト技術に関する将来を見通した課題の抽出と、あるべき方向への情報発信を目的に活動を推進している。このため、STRJ 会員会社、コンソーシアム・大学等のメンバの他、SEAJ 技術部会の半導体装置ロードマップ専門委員会から関係メンバの参加を得て、DFT 技術、ATE および周辺装置技術について幅広い観点から調査活動を続けてきた。特に以下を念頭に置いている。

- (1) EDA ベンダにニーズを示し、ツールとして反映されることで設計技術向上、生産性向上を目指す。
- (2) ATE 関連ベンダにニーズを示し、装置等に反映されることでテスト技術向上、生産性向上を目指す。
- (3) 大学等の研究者に企業の課題を明示し、あるべき方向に研究を加速する。



図表 3-1 LSI の多様化・高機能化へ対応する DFT/ATE 技術

図表 3-1 は、DFT および ATE 技術の位置づけを示す。従来の More Moore に示される微細化・高速化・大規模化への対応は当然として、近年は More Than Moore に象徴される LSI の多様化・高機能化への対応が強く求められている。具体的には、SoC 等に代表されるシステム化、TSV 等に代表される実装技術、各種の多様化するデバイス、あるいは低電力設計やプロセス変動へ対応する設計技術に関わるテーマに取り組んでいる。2009 年度の ITRS 発行にあたっては、多数の要求テーブルに関して見直しや海外の ITWG メンバとの議論を行い改訂に至った。図表 3-2 は 2009 年度の活動内容の一覧である、詳細は後述の各節に示す。

区分	活動テーマ	2009 報告書	ITRS 2009	
国内活動	SoC	・SoC多様化・高機能化に対応するDFT要求の検討	レ	
	SiP	・積層メモリに対するテストコスト削減の提案	レ	
	コスト	・アダプティブテストによるコスト低減の可能性 ・プローブカードコストと同測数の検討	レ	
国際活動	SoC	・データ量圧縮技術およびテスト時間削減のためのポテンシャルソリューションを新規に提示	レ	TST 5,6,7,8
	DFT	・【設計章】と【テスト章】の記載の整合化 US側で現状ベースに小変更、整合化はITRS2011へ		DES N8
	ATE	・小改訂(同測テスト, RF, バーンイン)	レ	TST 2,8,9
	周辺	・STRJオーナーの4つのテーブルについて見直し(プローバ, ハンドラ, プローブカード, ソケット)	レ	TST 11,12,14,15

図表 3-2 2009 年度活動内容と成果

### 3-2 国際活動

本年度は ITRS2009 の完成に向けて ITRS 米国会議と台湾会議に参加し(ITRS 欧州会議は TEST ITWG が未開催)、その更新内容を議論した。ITWG 会議以外にも、月 1 回のペースで開催された電話会議で更新内容の詳細について議論した。ATE および周辺装置については、ATE 関係の 4 つの要求テーブルでオーナーとなって最新技術や ITWG メンバとの議論を反映し見直した。STRJ が中心になって提案した ITRS の要求テーブルは、これまでも多くの学会の国際会議論文や EDA ベンダのパンフレット等に引用されていることが確認されており、研究者や EDA ベンダ等への研究開発の指針となって技術進歩を促していることが伺える。

#### 3-2-1 ITRS/ ORTC への貢献 (ATE 関連)

STRJ 内で議論を重ね ITWG へ ATE 関連テーブルについて改訂の提案を行った。特に TST11 Prober、TST12 Handler、TST14 Probe Card、TST15 Socket の各テーブルは STRJ がオーナーとなり積極的な提案を行った。要点を以下に示す。

##### ・TST2 Parallelism

2009 年時点の数字を現状の同時測定テスト数に合わせるように全面見直しを提案した。これまで、モデルとなっているデバイス分類の定義が曖昧であったため解釈に差があったが、分類毎に I/O(ピン)数を定義し、同時測定テスト数の更新を行った。

##### ・TST9 Burn-In(BI)

Wafer Level BI 時の消費電力は装置仕様に合わせ kW/Wafer の単位に変更し、2009 年は 5kW/Wafer とした。今回は部分的な更新であったが、2010 年に議論を継続することになった。

##### ・TST11 Prober

近年の改訂が遅れていたため、現在の仕様に合わせるべく大幅な変更、追加を提案した。位置精度についてはプローバのメカニカルな精度とアライメント精度を合わせた数字を表記することとした。また、プローバで対応可能なテスト時の消費電力を現状の装置仕様に合わせ 1000W/die に変更した。

##### ・TST12 Handler

デバイス分類を消費電力で行い、ハイパワーデバイスを 50W 以上、10-50W の 2 つに分割、0.5-10W、0.5W 以下と合わせ 4 カテゴリへ変更した。50W 以上と 10-50W では将来的に同時測定テスト数などが変わってくることに対応した。

##### ・TST14 Probe Card

最も狭ピッチ化が進んでおりプローバへの要求が最も厳しい LCD 向けプローブカードカテゴリを追加した。米国会議にてパッドピッチ、パッドサイズ等について議論し、2009 年でパッドピッチは 25um、パッドサイズは短辺を 16um とした。

##### ・TST15 Socket

QFP/QFN パッケージ対応ソケットとして Contact Blade + Rubber タイプを追加した。また、BGA Spring Probe で、ピッチとインダクタンスをパラメータとする高周波特性表(シミュレーション値)を追加し、特性への影響関連性を示した。

#### 3-2-2 ITRS/ ORTC への貢献 (DFT 関連)

ITRS2009 について、以下の 2 つの項目を中心に見直した。

##### (1) DFT 節

・DFT 技術は【テスト章】だけではなく【設計章】にも関連する記載が含まれており、2 つの章に跨る記載の整合と統一を図るため、STRJ から昨年度提言した以下の方針に基づき、ITWG と議論を進めた。

【設計章】：テストに関係する設計トレンドと意図、および DFT 技術への要求と具体例を提示する。

【テスト章】：ポテンシャルソリューションを、DFT 技術と ATE 技術の両面から提示する。

今年度は、設計章 DFT 節の大幅改訂を完了したが、テスト章の DFT 節は現状ベースの小変更にとどまった。2 つの DFT 節の見直しは、引き続き ITRS2011 へ持ち越される模様である。


(2) SoC テーブル


•テストデータ量圧縮技術およびテスト時間削減のためのポテンシャルソリューションを新規に提示した。テストデータ量圧縮技術として、圧縮率 67,000 倍までのポテンシャルソリューションと必要時期を提示した。これは EDA ベンダから示された技術的な案を参考に、4つの技術可能性を整理したものである。テスト時間削減のポテンシャルソリューションとしては、同時測定テスト数の増加とコア階層での同時並列テストを提示した(図表 3-3、図表 3-4)。


これらのポテンシャルソリューションを通して、微細化、大規模化に対応するには、テストデータ圧縮率の向上、およびテスト時間削減のための技術的なブレークスルーが必要な点を提言した。また、これらの解決策は、EDA ベンダに対しての要求ともなっている。


First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
Required compression	80	200	300	500	750	1300	2000	3300	4800	7300	12000	20000	35000	67000	83000	104000
1-dim: Test-cube compression (100X)																
2-dim: Spatial compression(500X)																
3-dim: Time correlations compression(1000X)																
Multi-dim: compression(5000X)																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required 

Development Underway 


Qualification / Pre-Production 


Continuous Improvement 


図表 3-3 テストデータ量圧縮技術のポテンシャルソリューション


First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
Required Test time reduction	1x	2x	2x	2x	2.5x	2.5x	2.5x	3.2x	3.2x	3.2x	4.2x	4.2x	4.2x	5.6x	5.6x	5.6x
Multi-site Test																
Core-Parallel Test																
Test Vector Reduction (include compression)																
Test per clock																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required 

Development Underway 

Qualification / Pre-Production 

Continuous Improvement 

図表 3-4 テスト時間削減のポテンシャルソリューション

### 3-3 国内活動(DFT)

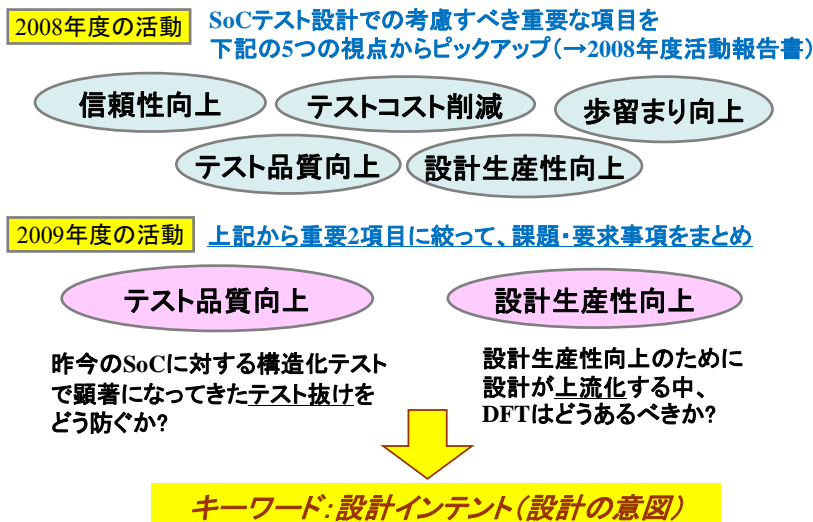
#### 3-3-1 概要

2009年度の活動は、2008年度の報告書中で「図表3-13 SoC複雑化への対応として考慮すべき項目」にて述べた今後の課題の中から、優先度の高い項目をテーマに選んだ。具体的には

- a) 実使用状態に近いテストの実現
- b) 設計生産性向上

について議論と更なる深掘りを実施した(図表 3-5)。

#### SoC多様化・高機能化に対応するDFT技術



図表 3-5 2009 年度 DFT 独自活動のスクーブ

#### 3-3-2 実使用状態に近いテストの実現

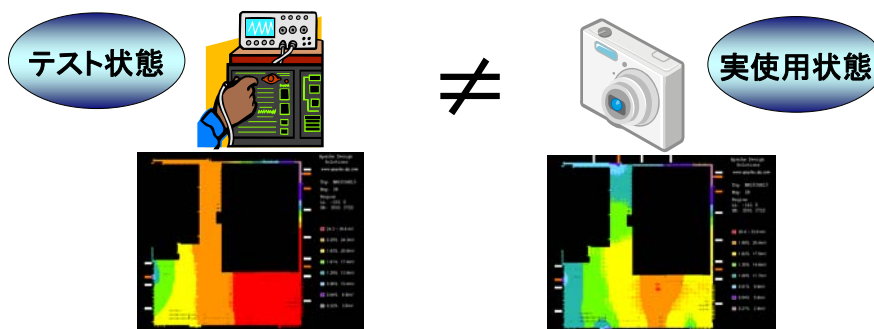
図表 3-6 は、テスト時の状態と実使用状態での違いが生じている一つの例を示す。テスト状態では、短時間に効率よく SoC 中の回路を活性化させようとするために、一般的に実使用状態よりも回路の活性化率が大きい。これにより大きな電流や電圧降下が発生することがある。その結果、信号遅延の増加が発生すれば誤テストによる歩留低下を生じ、クロックに遅延増加が生じればテスト抜けが生じて不良が流出することになる。これらは要約すると、現在のテストが設計の意図(設計インテント)を十分に反映できていないことから生じている課題である。このように、テスト時と実使用状態の違いにより生じる課題の中から、以下の3点について考察する。

- 1) 非同期回路に対するテスト
- 2) 高精度な実速度テスト
- 3) パワー制御テスト

## テスト品質向上～テスト時と実使用状態の違い～

### SoCテストの品質課題（例）

従来のテストはテスト時の消費電力を考慮していない



テスト時の過剰消費電力による

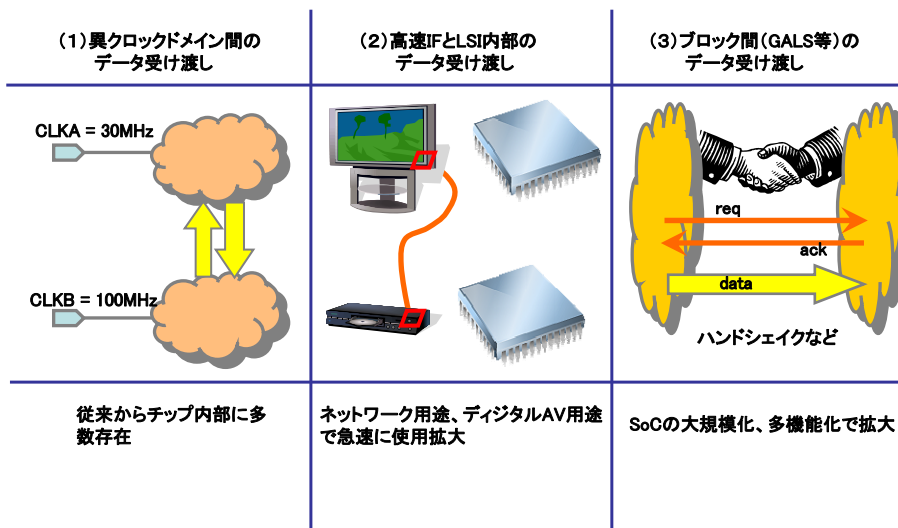
- ・信号遅延→歩留まり低下
- ・クロック遅延→テスト抜け(不良流出)

図表 3-6 テスト時と実使用状態の違い

### 3-3-2-1 非同期回路に対するテスト

現在主流となっているスキャンテストベースの構造化テストは、同期設計を前提としており、縮退故障モデルだけでなく、LSI の微細化高速化に対応した遅延故障モデル等の故障モデルによるテスト生成とテストが可能となってきている。一方で、非同期設計については、縮退故障モデルのみでしかテスト生成やテストができていなかった。これでは、非同期設計の回路(故障対象)の動作を保証し切れていない。SoC の大規模化・高機能化が進む中、ブロック間の受け渡しに非同期回路が用いられることが増加している。また、低消費電力化のためにも非同期設計が注目されている(図表 3-7)。

このような中、非同期回路に対するテスト手法の必要性が注目されてきた。



図表 3-7 非同期回路の例

近年マルチコア化や低消費電力化を主目的として導入が進んでいる GALS(Globally Asynchronous Locally Synchronous)等で用いられる非同期回路が同期回路と大きく異なる点は、クロック同期でない信号転送を含むこと、ハザードやレース等の信号の遅延の相対関係の考慮が必要になるため、既存のテスト生成や故障シミュレーションが困難であること、回路にフィードバックが多く、テスト容易化のためのスキャン FF を挿入すると面積



オーバーヘッドが大きくなることなどが挙げられる。

すなわち、これらの問題は、非同期回路に対するテストを、従来の同期式のスキャン方式に頼っていると、面積オーバーヘッドおよび回路に対する遅延オーバーヘッドが大きく、また遅延制約の扱いが出来ないことである。非同期回路に対応したテストアルゴリズム、面積や設計にインパクトを与えない方式など、今後の研究や EDA ツールの開発が望まれる。

### 3-3-2-2 高精度な実速度テスト

テスト品質向上を考えた場合、最近のディープサブミクロンデバイスの不良として顕著になってきている遅延故障への対処が重要である。このような故障に対しても EDA ツールの進歩により、実速度スキャンテスト方式が導入され、それなりの効果を上げてきている。最近では微小遅延を狙ったテスト生成も開発され導入が進みつつある。ただ、その反面、3-3-2 節で挙げたテスト時の過剰な消費電力の問題等も指摘されている。

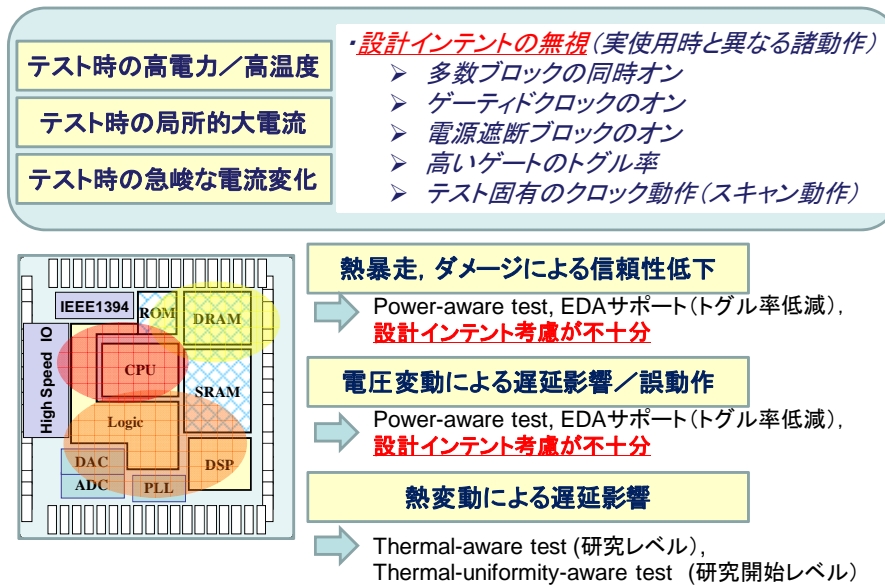
近年、多様化されつつある低電力設計方式の SoC に対応したテストでは更なる考慮が必要である。テスト時の消費電力を適正にし、正しく高精度な実速度スキャンテストを行うには、ATPG ツールが CPF/UPF(Common Power File / Universal Power File: チップの電力設計情報を記述するデファクトのファイル形式)といったローパワーに向けた電源記述を理解し、正しく動作時状態と同じ電源設定、クロックメイン分割を意識したテストパターン生成が必要である。この場合、テスト条件の細分化により、更なるテスト時間の長大化が生じる可能性もある。その際には、新たに品質とテスト時間(コスト)のトレードオフが発生してくる。

高精度な実速度テスト実現のためには EDA ツールの更なる進歩が期待される。

### 3-3-2-3 パワー制御テスト

パワーや発熱に関わるテスト時の問題が顕在化してきており、その対応が急がれる。パワーや発熱の問題は複数の物理的原因に分けられ、その対策もそれぞれ異なるべきであるが、必ずしも正しく理解されておらず、また EDA ツールの機能も全てには対応していないように思われる。図表 3-8 にその概要を示す。テストの課題はここに挙げたように大きく 3 つに分かれる。①テスト時の高電力/高温:実使用時と異なる高エネルギー発生によりデバイスに対するダメージや熱暴走等を引き起こす。また原因として、テスト時の冷却環境が実使用時ほど整っていない場合もありうる。②テスト時の局所的大電流:いわゆる IR ドロップ効果により電圧が局所的に低下する、その結果、本来実動作では起こり得ない遅延増加により、良品チップが遅延テストで不良品として判定される等の不都合を生じる。③テスト時の急峻な電流変化:LSI ピンや電源線のインダクタンスに作用して逆起電力を発生し、信号線の電圧低下等を引き起こす。

これらの課題は、テスト時に設計インテントを十分反映せずに、実使用状態と異なる諸動作を行うことから本質的に生じると考えられる。よく、テスト時のゲートのトグル率が実使用の数倍あるのが大きな原因のように言われるが、テスト時の平均電力はスキャンシフト速度を十分緩くすることで低減されることが多く、それだけでは①-③の問題を十分説明することは出来ない。図表に例示したような多くの設計インテントを正しく把握し、テスト時に考慮することが不可欠である。現状の EDA ツールの多くは、テスト時のトグル率を低減する何らかの機能を有している。しかし、②や③で述べたような電圧変動に対してはまだ研究開発段階である。また熱変動による遅延影響も、それが実動作と大きく異なる場合は、実速度テストの精度の観点から問題となる。これに対しては課題が認識され、研究が始まったばかりであり今後の進展が期待される。

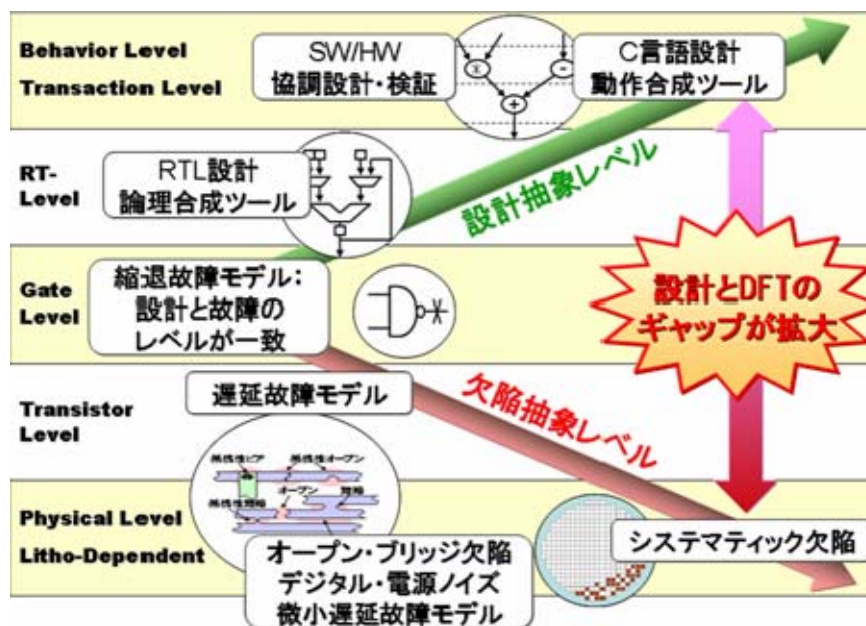


図表 3-8 パワー・温度に関するテストの課題

### 3-3-3 設計生産性向上

SoC 複雑化への対応に関するもうひとつの重要課題として設計生産性の向上がある。テスト設計の生産性を向上させるための技術課題としては、検証/デバッグの容易化、上流設計でのテスト考慮、IP に対するテストの再利用などが挙げられるが、システムレベル設計、動作合成等の設計の上流へのシフトを考慮して、上流でのテスト考慮について検討を行った。

図表 3-9 に示すように設計技術は RT レベルから動作レベル/トランザクション・レベルへとますます抽象レベルの向上が図られているのに対して、テスト技術が対象とする欠陥は、論理レベルから物理レベルへとますます詳細な考慮が必要となっている。このため、設計とテストの抽象レベルのギャップを如何に埋めるかがテスト設計の生産性向上のための課題となる。また、これと同時にこのギャップの拡大に伴って、設計インテントがテストに反映しにくくなることにより、過剰テスト(網羅的なテストにより実動作上としては問題のない欠陥までスクリーニングしてしまう)や、テスト品質低下(テスト時の過剰な電力消費等による誤テスト)などの問題も発生しており、これらの問題への対応も考慮する必要がある。



図表 3-9 設計とテストのギャップの拡大

そこで、上流での設計者の意図を活用した効率的かつ適切なテスト容易化およびテスト生成技術として、以下の技術が必要となる。

- ・設計技術の上流へのシフトに対応した上流でのテスト容易化技術
  - ・テスト設計が設計生産性のボトルネックとならないようにする
- ・上流での設計者の意図を活用した効率的かつ適切なテスト生成技術
  - ・テストコスト/テスト品質の適正なトレードオフを可能とすることにより、例えば下記のように、用途に応じて実施レベルを調整可能とする
    - ・ミッションクリティカルな用途では網羅的なテストを実現
    - ・低価格指向の用途では使用状態に絞ったテストを実現
  - ・テスト時のみの特異な状況をできるだけ回避することにより過剰テストを抑制する

以下では、これらの技術の例として、動作合成でのテスト容易性考慮、及び、設計インテント考慮のテストの実現について示す。

### 3-3-3-1 動作合成時のテスト容易性考慮

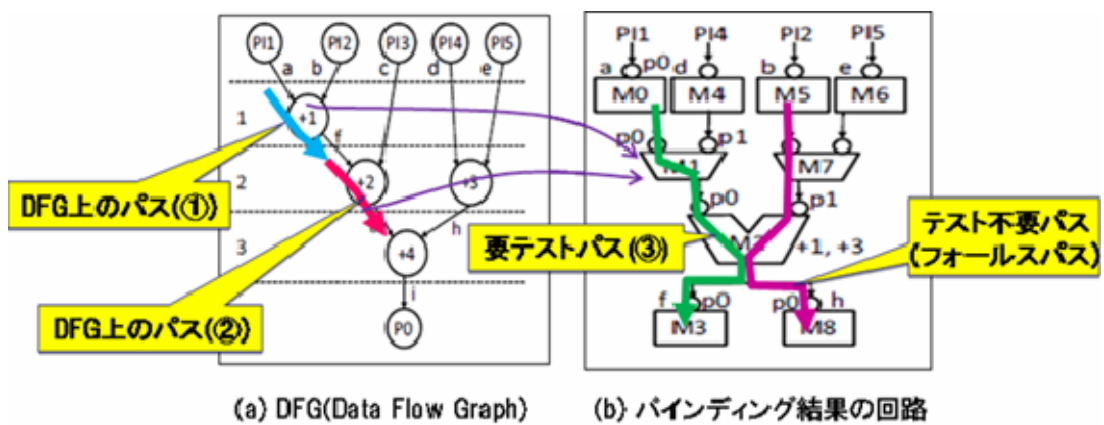
動作合成時のテスト容易性考慮に関しては以下のような取り組みが見られる。

- ・テストの必要な部分を限定することによりテストコスト削減とテスト品質向上を実現する手法
- ・テスト・インベストメントを節約することによりテストコストを削減する手法

前者に関しては、図表 3-10 に示すように、動作合成における演算器及びレジスタのバインディング時に、データフローグラフ上に存在する複数のパス(図表 3-10 (a)の①, ②)を実現回路上で同一のパス(図表 3-10 (b)の③)に割り当てることにより、テストの必要なパス(要テストパス)を少なくするとともにテスト不要パス(フォールスパス)と要テストパスを切り分ける手法が提案されている。これにより、要テストパス数の削減によるテストコストの削減およびフォールスパスをテストしないことによる過剰テストの抑止を図ることができる。

一方、後者に関しては、数多くの小規模メモリコアを持つ SoC において、これらのメモリコアを少数のメモリブロックに集約するメモリセルの割り当て機能が必要とされている(ITRS2009 テスト章参照)。これは、メモリブロック数を削減することによりメモリ BIST のためのエリア・インベストメントを削減しようとするものであるが、システム動作におけるメモリ・アクセスの並列性も考慮しなければならない。

いずれも単なる設計生産性向上だけでなくコスト削減、品質向上にも効果があり、今後このような手法を如何に実用化するかが重要である。



出典: M. Inoue (NAIST), et al. (WRTL'09)

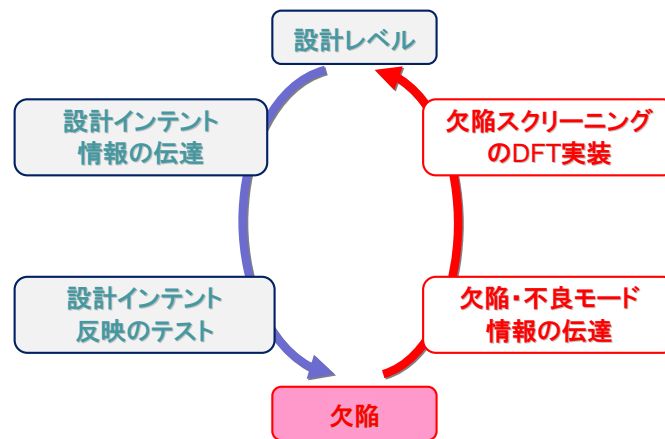
図表 3-10 テストコストを削減する動作合成手法の例



### 3-3-3-2 設計インテント利用のテストの実現

上記に見るような設計インテント情報は、SoC設計の各段階で生じるものであり、その詳細度も設計段階により異なってくる。設計効率の面からは、設計インテントの取り込みはなるべく上位の、早期設計段階で行われるべきであるのは原則である。しかし一方、タイミングパス情報のように、設計がある程度詳細化された段階でなければ得られない情報も存在する。不完全あるいは不正確な情報を用いたテスト設計は、最終的に要求されるテスト品質を達成するのに、障害となる可能性がある。このためには、必要な情報を得る段階を、情報の種類ごとに定める必要がある。あるいは、上位の設計段階で取り込まれた設計インテント情報を、後により詳細な情報をもとに補正するような手法の開発も、必要となるかもしれない。

設計インテント情報を用いたテストは当然、半導体プロセス技術の進展や設計の複雑度の増加などにより新たに現れる、物理的な欠陥のスクリーニングや診断・救済を志向するものでなければならない。このため生産の場からは、欠陥や不良モードに関する情報を逆に設計側へ伝達し、それらに対応したテスト設計技術の搭載が行われるよう、促す必要がある(図表 3-10)。テストコストやテスト品質の他に、チップコスト(チップサイズ含む)や設計 TAT の最適点を探りながら、このようなテストと設計のループを確立することは、非常に困難な課題であるが、成し遂げなければならない目標である。



図表 3-11 設計と欠陥のレベルの差異を埋めるフロー

### 3-3-4 DFT まとめ(EDA ツールへの要望)

DFT の課題として、回路構造に着目した DFT 状態と実使用状態との相違によるテスト品質の問題及び、更なる設計生産性の向上について、「設計インテント」の視点で議論してきた。テストコストと品質の最適化を前提条件として、これらの問題や課題を解決していくためには設計手法の改善が必要である。そのためには、一般的な DFT ツールの上流に位置する論路設計ツールを含めた設計環境で利用する EDA の改善が必要である。必要となる主な改善項目については、図表 3-12 にまとめた。ATPG については一部の機能について実用化がはじまっているが、その他の機能については、今後の課題である。

また、ATE を含めたテスト電源環境などの EDA ツールのみで解決できないテーマでは、ATE ベンダを含めた検討による解決が必要となる可能性がある。これらを踏まえてテスト WG が活動していくことも重要となる。

EDA	現状	要求機能
DFT	<u>低電力設計未対応</u> 1.電源遮断・電圧可変設計, ゲーテッドクロック設計 ・テスト時にシステムと異なる動作 (全部ON等)によるオーバキル	1.システム動作の電源モードの テスト実現 2.ATEを含めたテスト電源環 境の考慮
ATPG	<u>電力・熱・ノイズ制御未対応</u> 1.テスト時の高い信号動作率 ・高温、ノイズ発生でオーバキル	1.低電力のパターン生成 *リリース開始だが制御性、人出 作業等の問題 2.低ノイズのパターン生成 3.温度・ノイズ制御パターン生成
論理合 成	<u>テスト容易性未考慮</u> 1.面積・速度注力の動作/論理合成 ・テスト性欠如による下流工程での 手戻り/設計遅延	1.テスト性考慮の合成/DFT 2.テスト必要/不要パス情報を ATPGへ伝達 3.DFT回路量考慮の合成

図表 3-12 EDA ツールへの要望

### 3-4 国内活動(ATE)

ATE 分野における国内活動は、継続テーマとして取り組んでいる SiP(System in Package)に対するテスト課題について構成部品の品質、多段化する積層メモリに対するテスト手法、多用される TSV(Through Silicon Via シリコン貫通ビア)へのテストの提案を行った。テストコストについては、低価格化が進むテスト装置に対し、コストインパクトが大きくなってきた治具コストと最適同測数に関する分析を行った。また、昨年度より議論を始めたアダプティブテストについて、ITRS で整理された課題をベースとして具体的なモデルケースにおいてそのメリットを考察した。以下に詳細を記す。

#### 3-4-1 SiP テスト

SiP のテストについては、以前より WG2 においてもさまざまな切り口で課題分析を行い、その解決方法について提案を行った。SiP を考える上で、そのビジネス・モデルが重要となるが、実装 WG(WG7)の提案する 2010 年モデルのような複雑な SiP では、それを構成するすべての半導体チップを一社で開発、製造している会社はなく、垂直統合型半導体メーカ(IDM: Integrated Device Manufacture)のビジネス・モデルでの製造が困難になりつつある。その意味では、現在の SiP は水平分業化半導体ビジネス・モデルになっている。図表 3-13 はビジネス・モデルの一例ではあるが、SiP のオーナーは半導体メーカばかりとは限らず、ファウンドリメーカや SiP 組立メーカとなることもあり、システムを開発するメーカでも、セットメーカでも有り得る。その際、重要になるのは、SiP に使われる部品のテスト品質の指標化である。複雑化、高機能化する SiP においてはひとつの部品の不良により、多くの良品部品の捨てることになる。さらにこれら多くの部品を実装するための接続手法として TSV が多く使用されているが、TSV の不良も無視できない。2009 年度はこれらの切り口からテストでの課題と対応案について整理を行った。

##### 3-4-1-1 チップのテスト品質指標化

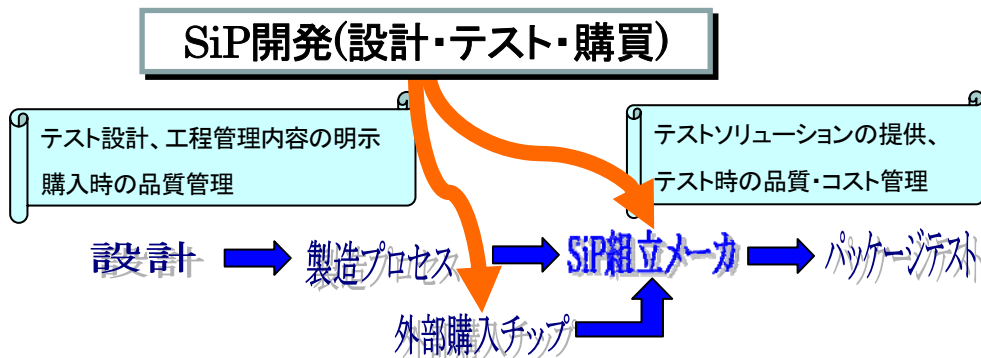
SiP の場合は複数の半導体メーカから供給される半導体チップを積層して実装、製品化するため、SiP の品質保証には各半導体チップの信頼性確保が必要である。しかし、LSI の大規模/高機能化により、それらのテスト手法は、ファンクション・テストから DFT を使ったスキャンテストや BIST テスト等が多く使われるようになったため、チップ購入者から見ると、それらのテスト品質が判り難くなっている。また、半導体プロセスの微細化から、

半導体プロセスを考慮したテストも注意しなければならず、SiP のオーナーは SiP の品質保証が困難になってきた。更に、テストコスト削減の観点からはアダプティブテストが提案されており、半導体プロセス・ロットごとにテスト内容が変わる可能性も示唆されている。

従来、テスト手法やその内容および救済方法／結果は、その半導体メーカーのノウハウとして公開されていないが、今後の SiP に使用されるチップは、ユーザの品質を確保する手段として提供される事が必要だと考える。

その内容としては、テスト設計、工程管理内容を明示することであり、半導体製造の工程毎の情報が購入チップ／購入半導体ウェーハの各々に必要である。SiP の設計段階においては、テスト戦略を立案するためにこれらのテスト手法、内容の把握が重要であり、製造段階において外部購入チップやテスト委託といった水平分業の形で実施される SiP のテストでは、両者の品質とコスト管理ができる仕組み作りと、それを可能にするテストソリューションの提供が必要である。

テスト情報の開示例としてテスト品質の指標イメージを図表 3-14 に示す。半導体チップを構成する機能ブロックに適用されるテスト手法／検出率／電気的テスト条件や、各テスト工程におけるテスト条件(温度、時間)を明示している。このように内製・購入チップのテストの品質レベル定量化は、SiP のテスト設計として更に重要な要因となるであろう。



図表3-13 SiPビジネス・モデル例

製品機能 :	ロジック規模 :	Gates	メモリ規模 :	bits	アナログ機
テスト手法	テスト対象	テスト手法		検出率	テスト周波数
	ロジック部	スキャンテスト&BIST		縮退99%, 遅延	50MHz
	メモリ部	BIST		March-C	50MHz
	アナログ部	DA/ADループバックテスト		機能100%	150MHz
	HS I/O部	ループバックテスト&プロトコルテ			
ウェーハテスト工程	IO部	IEEE1149.1			
	テスト条件	内製/購入に関わらず SiP上搭載チップの品質を数値化!			
	詳細工程	1:高温	2:低温	3:WLBI	
	テスト温度	1:120°C	2: -20°C	4:25	
	WLBI・ストレス条	1.5V、2hr			

図表 3-14 テスト品質の指標化イメージ

### 3-4-1-2 積層途中工程でのテスト実施

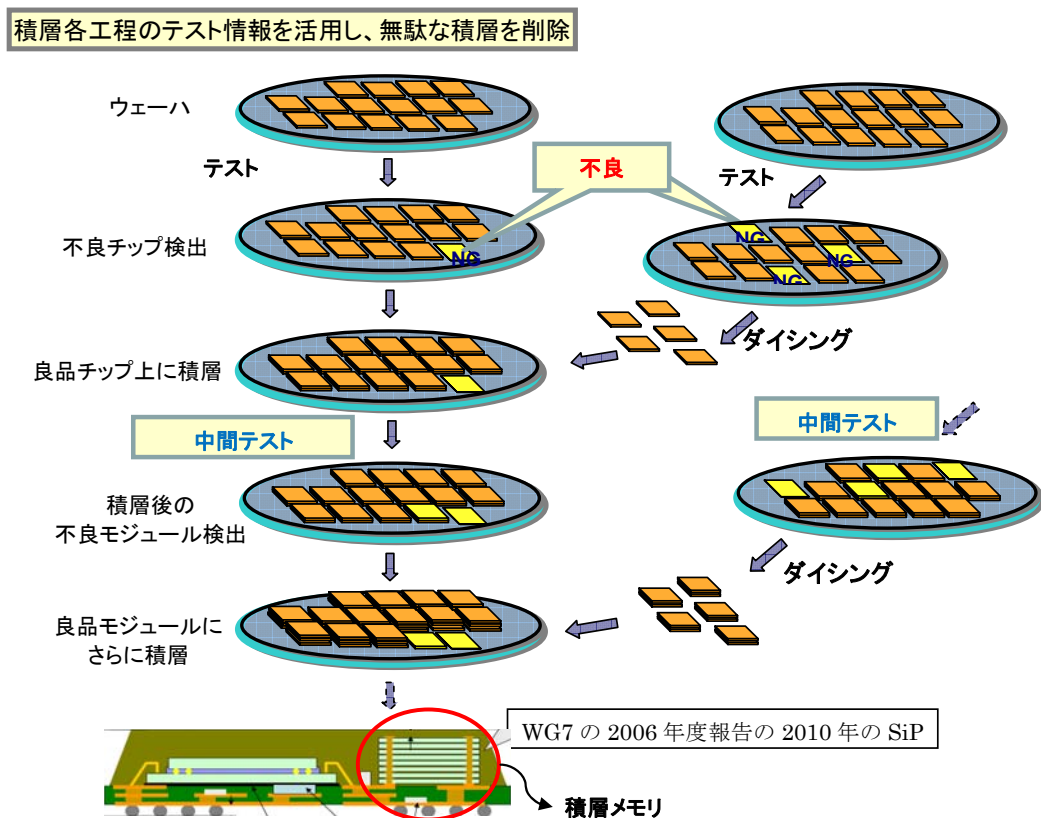
TSV の積層途中工程での中間テストについては、TSV の製造の習熟度、積層数、TSV ピッチを考慮した上

で、要求コストとのトレードオフで実施の必要可否を判断する必要がある。高性能を要求されたメモリモジュールでは、全て積層した段階で複雑なテストを行うより、積層段階で中間テストを適用したほうが、コスト面では有利である。今回、WG7 の 2006 年度報告の 2010 年 SiP 像を参考にメモリモジュールの積層段階でのテスト手法と、SiP 完成品でのテスト内容を検討した。

・メモリモジュールのテスト

図表 3-15 に積層メモリの製造とその工程途中での中間テストのイメージを示す。ウェーハはそれぞれメモリテストが完了した状態で、それを積層する際、積層される最下層のウェーハはダイシングせず、良品チップの上に別のウェーハから得られた良品チップを積層する。なお最下層のウェーハはインターポーザでも構わない。最下層の良品チップ上に全て良品チップが搭載されると中間テストが可能となるが、最下層はウェーハ状態であるため、既存のプロバ装置でテストが可能である。次に別のウェーハから得られた良品チップ、若しくは積層チップを、さらに最下層の良品となった積層チップ上に搭載することにより、次の中間テストが可能となる。このような手法をとることで安定且つ容易なコンタクトが可能であり、積層メモリの製造スループットを落とさずにテストが可能となる。プロービングについては、コンタクトする箇所は次段に繋がる TSV 端子でテストされることが最も望ましいが、数ミクロンピッチの TSV に直接プロービングすることは現実的には困難であり、また TSV 端子の ESD に対する保護も大きな課題である。

プロービングのためには、テスト用パッドを設置してテストを行うが、ウェーハの薄化と積層による熱影響、TSVの抵抗によるPI/SI劣化、これらの要因による特性劣化が懸念されるが、これらの不良モードを検出可能となるDFT回路の検討も必要となる。



図表 3-15 積層メモリの中間テストのイメージ

・パッケージ後のテスト(テストエンジンへの要求機能)

パッケージ後のテストについては、購入メモリのテスト関連情報が入手しにくい、テスト仕様を上回るデバイ

スピード要求、SiP 内部にアクセスするための端子が限定される等の問題がある。2008 年度は、これらの問題の解決案として、メモリ BIST に代表されるテスト用 IP の搭載の検討、またそのテスト I/F の標準化を提言してきた。2008 年度活動報告書においては SiP でのテストを総合的に制御する IP 「テストエンジン」の導入を提案したが、本年度はパッケージ後のテスト要求項目をテストエンジンの要求機能として図表 3-16 に整理した。

SiP の実動作時をエミュレートしたシステムテストモードは、SiP が正しく動作するかどうかのテストであり最も基本的なテストとなる。次に SiP 内のチップ間データレートは高速になることがあり、TSV 含めた内部配線の実速度データ送受信テストはパッケージ後の重要な確認項目となる。さらに単体チップを個別に独立してテストができる機能を用いて各チップの故障検出、歩留り管理も必要である。メモリの積層数が多い SiP ではパッケージ後の歩留りを落とすことが多大なロスにつながるため、アセンブリ後でもリペア機能が必要になるケースもある。SiP 内メモリモジュールの不良セル特定、リペアを行うために、テストエンジンによる BISR(Built-In Self-Repair : 組み込み型自己救済機能)制御等が必要となる可能性もある。また、解析用途として不良セルの位置情報を取り出せる機能も望まれる。SiP に使用するチップには、各チップの製造工程や SiP の組み立て(アセンブリ)工程の履歴情報を記録する機能があれば、工程不具合、市場不具合発生時のロットトレースが可能となり、これらの機能もテストエンジンに必要な機能としてリストアップした。

まとめとして、上述のテスト指標化、中間テスト、テストエンジンと提案してきたが、SiP のテスト戦略は、SiP 設計の初期段階より策定を開始することが今まで以上に重要なことになってくるであろう。

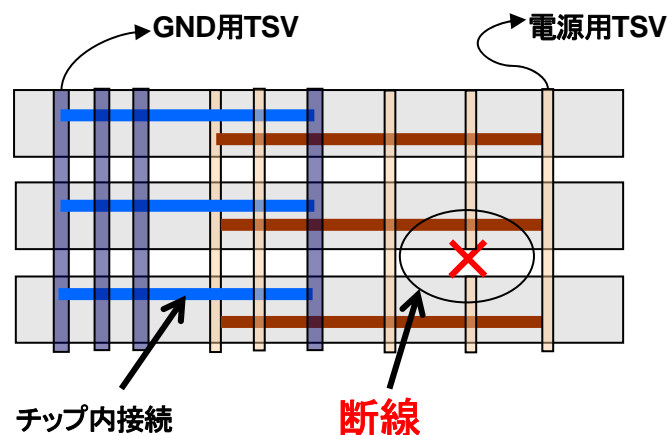
テスト要求機能	動作	得られる結果
各種テストモード設定可	外部から簡易に制御可	
自己診断モード	エンジン自体のセルフテスト	エンジンのPass/Fail結果
システムテストモード	CoCとメモリの接続テスト 実動作とほぼ同等に動かす	Pass/Fail結果
マージンテストモード	システムテストでCoCとメモリの IOデータタイミングをずらせる	動作マージン
単体テストモード	CoCまたはメモリの単体テスト。 CoCはIP毎に、メモリはチップ毎 にテスト結果取得	単体のPass/Fail結果
メモリ故障特定モード	メモリ単体テストでさらに詳細の 不良情報を取り出す	メモリ不良ブロックまたは アドレス
リペア・調整モード	パッケージ後に抵抗調整した測定 できる、メモリリペア可否判断で きる	リペア可否、トリミング結果
トレースモード	各チップから製造ロット、ウェー ハNo.の情報などを取り出せる	CoC、メモリの製造トレース 情報

図表 3-16 パッケージ後のテスト要求(テストエンジンへの要求機能)



### 3-4-1-3 TSV の新しいテスト手法

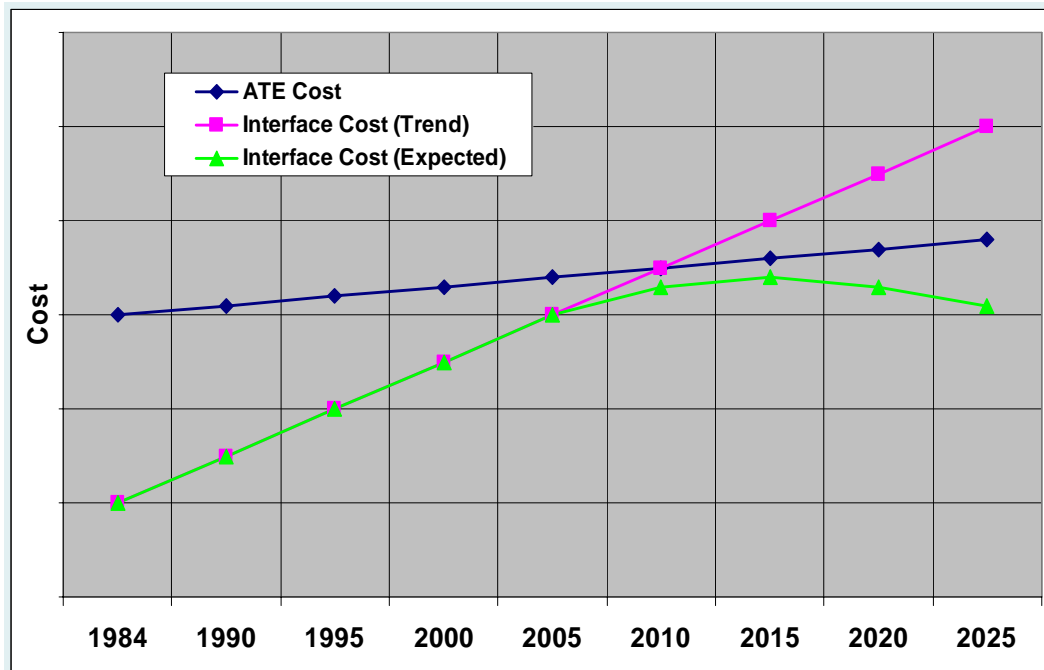
積層メモリ化の新たな技術として注目されているTSVによる積層方法が期待されている点は、高密度実装による小型化(薄化)と高速化である。ただし前述した通りTSVの製造段階での特性の劣化性は、電源マージン、スピードマージンテスト等の特性テストで検出可能な様に、今後もDFT技術を柱とした手法で検討されるべきである。一方、図表3-17に示す通り、電源、GND等は多数のTSVがチップ内部で接続されており、すべての接続がダメな場合を除き、DC的なテストではTSVの断線不良があるか否か判断つかない。また電源電圧や動作スピードのマージンテストを行ってもチップに実力があれば(動作マージンがあれば)それに埋もれてしまうため確実なリジェクト手段とはならない場合もある。TSVの特性評価や品質保証を行うためには、電気的手段以外の新たなテスト方法が求められる可能性は否定できない。それらの手段としては、これまでのX線、CTスキャナの透視検査技術の検討によるもの、またテラヘルツ波による半導体の透過性を利用し、その反射波、透過波の解析によりTSVの接合部のテストを行う手法も今後の展開が期待される。



図表 3-17 電氣的接続テストで見つからない不良

### 3-4-2 テストコスト分析

近年、テストへの多様な要求が増えており、それに伴ってテストコストは増加傾向にある。今年度(2009 年度)に実施された ITRS のテストコストに関する調査結果によれば、現状のテストコストの主要因は、①ATE コスト、②治工具コスト、③テストプログラム開発コスト、④テスト時間とテスト検出率となっている。また、図 3-18 に示すように、治工具コストが ATE コストを上回るような傾向にあり、テストコストに占める治工具コストの割合が年々高くなっている。



図表 3-18 ATE コストと治具等のインタフェースコストの予想推移

一方、同調査結果において、テストコストの低減・抑制方法は、①同時測定テスト(テストピン削減含む)、②構造化テストやスキャンテスト、③パターン圧縮/BIST/DFT、④歩留まり習熟、⑤コンカレントテストとなっている。テストコスト低減・抑制のためのさまざまな技術や手法が次々と考案され、実際に適用されているが、現状は、同測テストが最も効果的であるとされる。ところが、同測テスト数を増やすと、一般的に治工具コストは増える。テストコストを減らすつもりで、同測テスト数を増やしても、治工具コストがそれ以上に増えてしまう可能性がある。

そこで、今回、治工具コストの中でも、比較的高コストとされるプローブカードと同時測定テスト数のトレードオフ、そして、同測テスト数に悪影響を与える要因について深堀を行った。

#### 3-4-2-2 ATE コストとプローブカードコスト

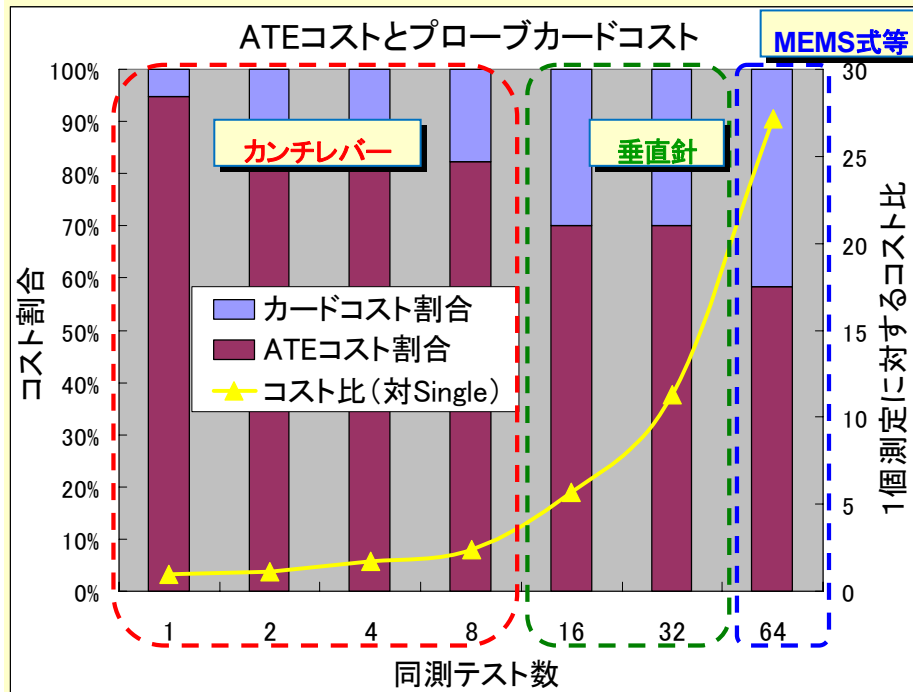
まず、同時測定テスト数とプローブカードのコストを試算するため、想定するデバイスや条件を下記のように仮定した。

- ・想定デバイス:マイコン
- ・ピン数 :端子数=100、信号数=64、電源/GND=36
- ・チップサイズ:5mm 角
- ・パッドピッチ :100um
- ・その他条件 : 上記マイコンのフルピンテストを実行することを前提とする。  
: ATE 価格は Sig=64 ピン毎、電源はデバイス必要数分に増加し、比例換算。

5 年償却。

：プローバコストは一定(同時測定テスト数に依存しない)。

：カードは、カンチレバーの価格を基準とし、垂直針(3 倍)と新方式(5 倍)で重み付け。  
年 1 枚計算で 5 年分。



図表 3-19 同測テスト数から見た ATE コストとプローブカードコストの割合

試算の結果、同時測定テスト数の増加に伴って、ATE コストとプローブカードコストの絶対額は当然のことながら増加するが、ここでは ATE コストとプローブカードコストの割合と、1 個測定時と同時測定テスト時のトータルコストを比較した。図 3-19 に示すように、カンチレバーカードを使用できる 8 個同測では、プローブカードコストの占める割合が 15%程度と小さく、また、1 個測定時の 3 倍程度のコストとなる。垂直針カードの 32 同時測定では、プローブカードコスト割合は 30%、トータルコストは 1 個測定時の 12 倍程度のコストがかかる。それ以上の同時測定テスト数は、MEMS 式などの先端技術を使用したプローブカードが必要となり、64 個の同時測定では、プローブカードコスト割合は 40%を超え、トータルコストは 1 個測定時の 27 倍以上と跳ね上がる。つまり、同時測定テスト数増加時のプローブカードコスト比率の増加を相殺するだけの、同時測定テスト時のスループット向上が必要となる。

### 3-4-2-3 同時測定効率とスループット

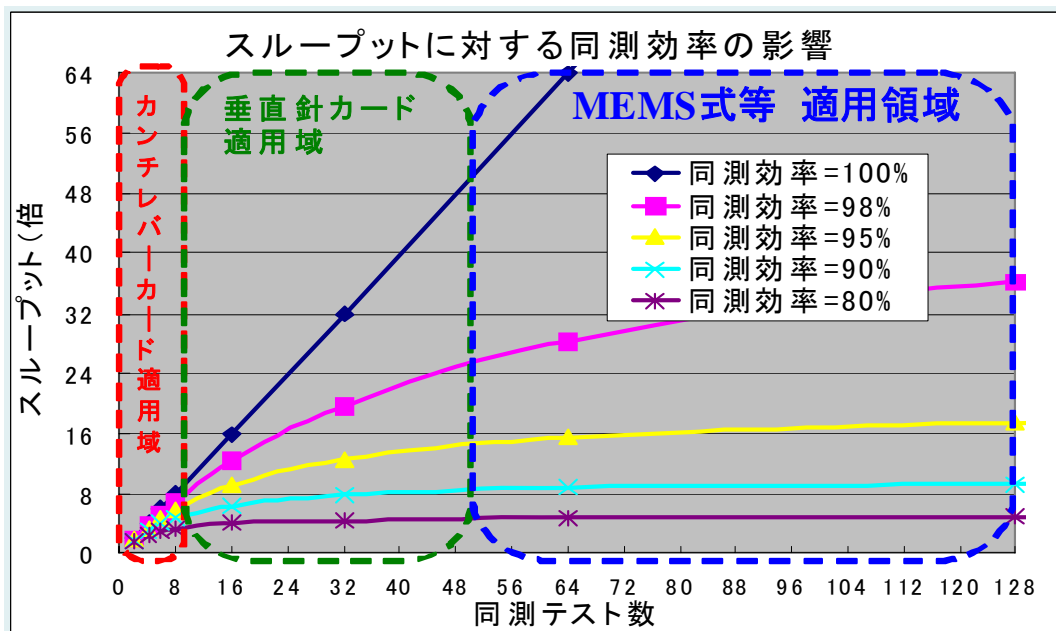
N 個を同時測定テストした場合、理想的にはスループットは N 倍となるが、何らかのオーバーヘッドや制限があるため、実際には N 倍とはならない。このオーバーヘッドや制限には、同時測定テスト時の効率(以下、同時測定効率と記す)、ATE のリソースやアーキテクチャー、プローバのインデックス数(ウエハあたりのプロービング数)、ハンドラのインデックスタイムなどがある。今回は、同時測定テストへの影響度が大きい同時測定効率について深堀を行った。

同時測定効率(M)は、一般的に次式で表される。

$$M = 1 - \frac{(T_N - T_1)}{(N - 1)T_1}$$

ここで、Nは同時測定テスト数(N>1)、T<sub>1</sub> は 1 個測定時のテスト時間、T<sub>N</sub>はN個を同時測定テストした時のテスト時間である。

図3-20に示すように、カンチレバーカードで対応できる同時測定テスト数(8個)では、同時測定効率の実質的な影響は少ないが、垂直針カードやMEMS式カードなどでカバーされる同時測定テスト数の場合は、数%の違いが大幅にスループットを低下させる。例えば、64個の同時測定テストの場合、同時測定効率=90%ではスループットは理想値の64倍から8倍へと大きく低下し、同時測定効率=98%でも、理想の64倍から28倍程度に低下する。このように、同時測定効率は同時測定テストの有効性を左右する極めて重要なパラメータであり、限りなく100%に近づける必要がある。逆に言うと、同時測定効率を100%に近づけることが難しい場合(例えば、アナログやRFなどの同時測定など)には、同時測定テスト数は低めに抑えるべきである。



図表 3-20 同測テスト数とスループットの関係

#### 3-4-2-4 まとめ

コストダウンを目指した同時測定テスト数の増加は、ATE コストとプローブカードコストと同時測定効率をパラメータとして十分なシミュレーションを行い、最適な同時測定テスト数を選定する必要がある。また、スループット向上には、同時測定効率の向上(同時測定テストが可能なテスト項目の増加など)のためのテスト仕様改善、プログラミング技術向上、テストの有効活用を考慮する必要がある。

今回は、マイコンにおける特定の条件での試算となったが、来年度以降、他の製品での試算や、より現実的な条件やパラメータを加味した検討を進めていく。

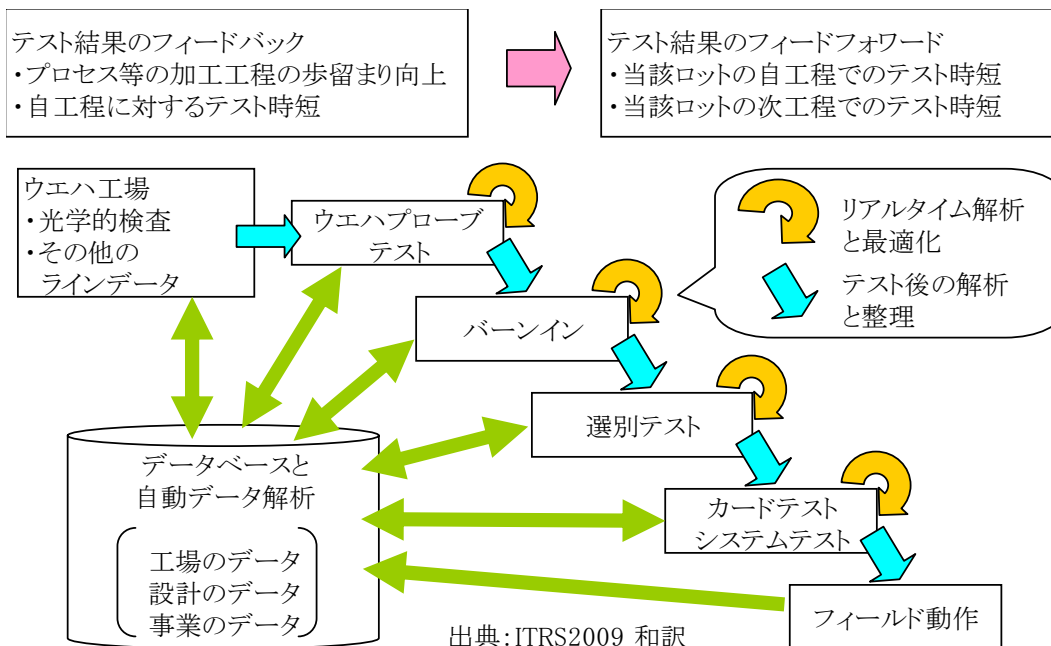
### 3-4-3 アダプティブテスト

#### 3-4-3-1 背景

LSI はますます高集積で複雑化しており、品質を確保するためのテスト項目数は増加し、これに比例してテストコストも増大している。従来からの取り組みとして、テスト装置(ATE)による解決策、すなわち、同時測定数の増加、装置の低価格化、廉価な外付け回路(BOST: Built-Out Self-Test)でテストする等の手法が用いられている。また、チップ設計による解決策としては、BIST やスキャンテストを中心とした DFT があり、テスト時の使用ピン数を減らしたり、テスト時間そのものを短縮したりしている。しかし、それでもまだテストコスト低減に追いつかないため、第三のコスト低減手法としてテスト仕様を最適化する、すなわち「必要なテストを必要なだけ行う」という「アダプティブテスト」の検討が ITWG で始まっており、ITRS2009 から新たに 4 頁の節が追加され、STRJ でもその可能性の検討を始めた。

#### 3-4-3-2 アダプティブテストの定義と期待すること

ITRS2009 では、アダプティブテストは、製造テストデータと統計的なデータ解析に基づき、テスト条件、テストフロー、テスト内容、テストリミットを変えるテスト手法と説明されている。図表 3-21 はその概念図であり、テスト結果のフィードバックとしては、そのテスト工程以前の工程の歩留まり改善や、そのテスト工程のテスト時間短縮を図ることが示されている。また、テスト結果のフィードフォワードとしては、当該ロットの前半のテスト結果から後半のテスト仕様を最適化することや、そのテスト工程以降の工程のテスト仕様を最適化することが挙げられる。

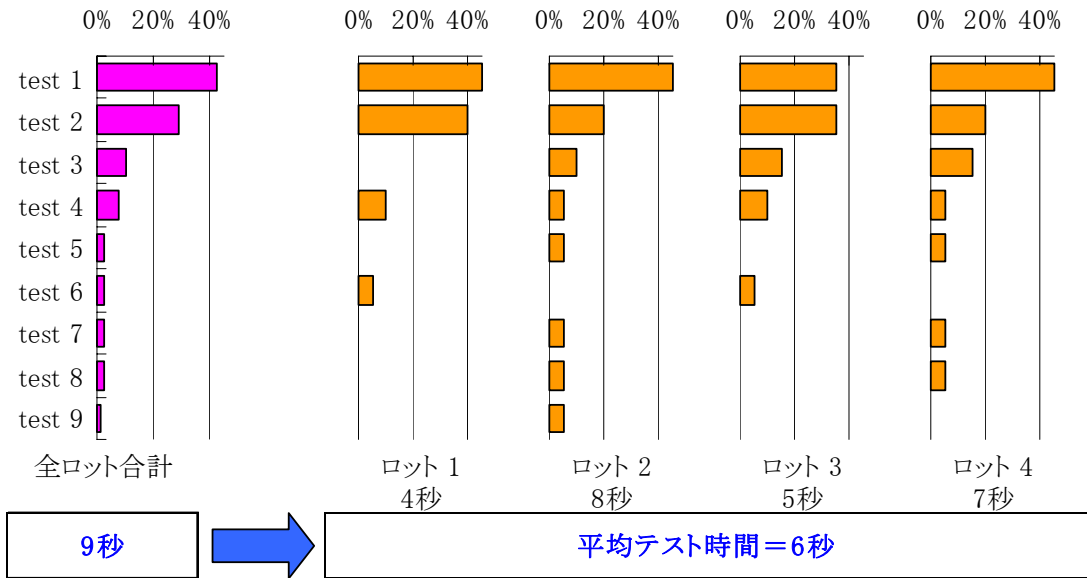


図表 3-21 アダプティブテストの概念図

ここに挙げられた中で、最大のコスト低減効果があるのは、データのフィードフォワードによるテスト仕様の最適化であり、STRJ ではこの可能性を数値化するところから取り組んだ。図表 3-22 は、縦軸が 9 個のテスト項目を示し、横軸が不良の発生する割合を示す。4 ロット全体で見ると全てのテスト項目で不良が発生するが、個々のロットで見ると、ロット 1 では 4 項目、2 では 8 項目、3 では 5 項目、4 では 7 項目で不良が発生している。図では 1 テスト項目 1 秒としてモデル化しており、全テスト実施なら 9 項目 9 秒かかるところが、6 項目 6 秒でテストできる。以上は、テスト実施後の結果を振り返って、もし事前に判れば、の仮定の話である。この仮定の話



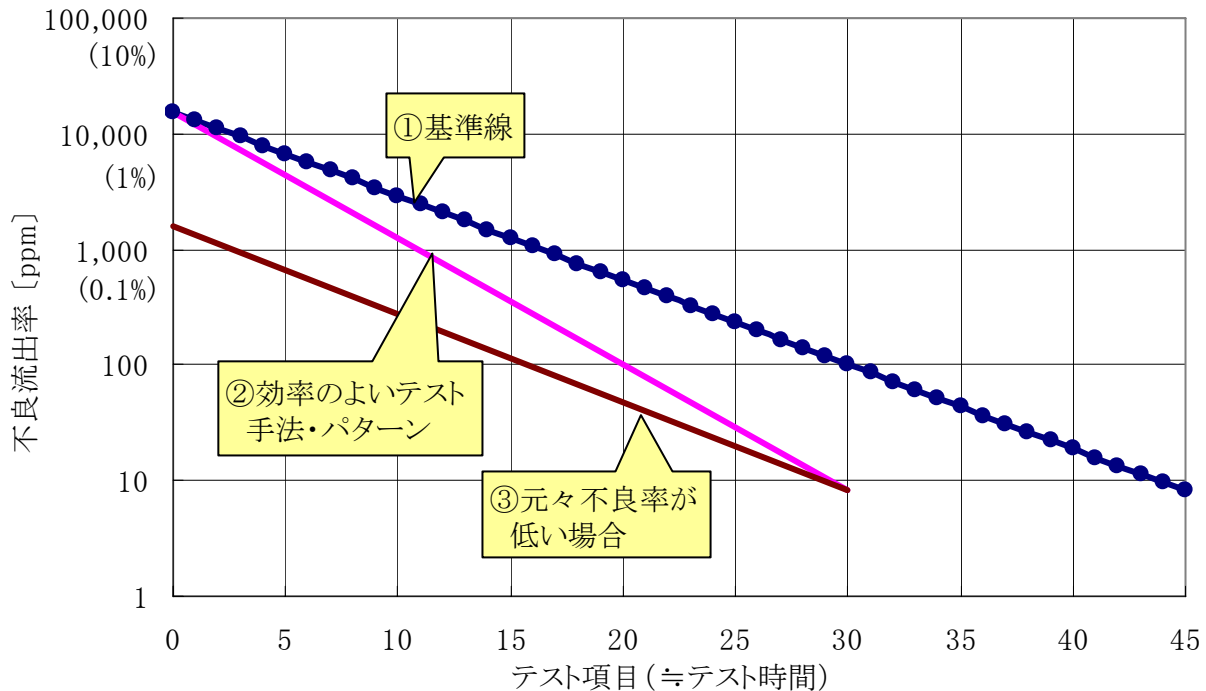
現実にするのがアダプティブテストへの挑戦である。



図表 3-22 アダプティブテストによるテスト時間短縮例

### 3-4-3-3 テスト項目と不良検出率の関係からの考察

前節で述べたことを数式化してグラフにすると、図表 3-23 になる。縦軸が不良流出率(=テスト工程で取り除けなかった不良率)、横軸がテスト項目(=テスト時間に比例)である。



図表 3-23 テスト項目と不良流出率の関係

この例では、テスト実施前は不良流出率を 1%とし、最後のテストで 10ppm の不良を検出している。テストが進むと、1%から 10ppm に不良流出率が下がり、図では指数関数的に下るとしている。ここは色々なカーブが考えられるが、いずれにしる始点と終点を結ぶカーブになる。最後のテスト項目の不良検出率が 10ppm ということは、10 万個にひとつの不良であり、ロットサイズが 1 万個であれば、10 ロットのうち 1 ロットでしか不良が発生し

ないことである。すなわち、9 ロットでは不良が発生しないが、テストは実施することになる。もし、ロット単位でテスト前にどのテスト項目で不良が発生するかが判れば、そのテスト項目だけをテストすればいいことになる。さらに図の説明をすれば、②の線は、①の基準線(現状)よりも効率の良い手法やテストパターンでテストして、より少ないテスト項目で不良流出率を 10ppm に下げている。アダプティブテストで、不良が発生するテストだけに絞るのも同様に②の線となる。本来は③の線にあるように、元々の不良率が低ければ、最初から少ないテスト項目で 10ppm は達成できる。

アダプティブテストの成否は、フィードフォワードでテスト仕様を最適化できるかにかかっている。不良には原因があり、その原因がランダムな現象に基づくのであれば、フィードフォワードは難しいかもしれない。次のサイコロの目を当てるのに、それ以前の目の記録をとっても意味がないのと同じである。しかし、原因と現象(=テスト結果)に相関がある不良もあるはずであり、その場合には、データ収集→アルゴリズム開発→テスト仕様最適化が可能になると考える。

#### 3-4-3-4 今後の課題

アダプティブテストはテスト仕様に踏み込んだ取り組みであり、フィードフォワードでテスト仕様を最適化できるかは不明であるが、ある程度の最適化は可能と考えられる。以下の今後の課題に対し、実例のデータを基に更なる深堀を行い、効果の検証を進めていく。

##### ① 費用対効果の検証

インフラ投資と不良流出のリスクに対するコスト低減効果を試算し現実性を評価する。

##### ② フィードフォワードのアルゴリズム開発

各社のノウハウの分野ではあるが、一般論としてのアルゴリズムを検討する。

##### ③ ノウハウの共有

テスト仕様そのものは公開できないため、考え方を共有する方策の検討をする。

#### 3-4 まとめ

2009 年度は ITRS2009 改訂の年にあたり、DFT、ATE、および周辺装置関連の要求テーブルの見直しを行った。とくに ATE 関係は数多くのテーブルオーナーとなり STRJ 主体で改訂を行った。また DFT については、テストパターン圧縮とテスト時間低減に関するポテンシャルソリューションを提示出来たのが、これまでと大きく異なる進展であった。

国内活動は、DFT、ATE のサブワーキンググループに分かれ重要な課題の調査検討を行った。DFT はスキャンテストに対して様々な考慮項目が求められている現状を、「設計インテント」の考慮欠如と捉えた。従来行われてきた単なる構造化テストではもはや不十分で、多様な「設計インテント」をテストの中にどう取り込んでいくかが課題である。ATE は SiP、同時測定テスト、およびアダプティブテストの課題を調査検討した。TSV に代表される実装技術の進歩は、3 次元デバイスを可能にしたが、極狭ピッチの TSV のプロービングが困難となり、様々な方法が議論されている。同時測定テストは、テストコスト低減の強力な方法であるが、必ずしも全てのテスト項目が並列化できるわけではない。また同時に多数のピンをプローブするためのプローバの技術的問題やコストの問題が挙がっている。アダプティブテストもテストコスト低減の有力な方法として、近年着目されている。オンザフライにテスト仕様やテストフローを変更するという大胆なアプローチは、文化的な問題も含み、定着には時間がかかりそうではあるが、WG2 としては活発に検討していきたい。