第 5 章 WG4 配線

5-1 はじめに

WG4(配線 WG)の活動概要

WG4 においては、ITRS における「More Moore」と「More than Moore」に応じて、「配線における微細化の深耕」と「Beyond Cu/low-k の展望」という標題を掲げての活動を行ってきた。この両者に基づく活動姿勢は基本的に継続されており、2009 年度においては、ITRS interconnect 章の改訂に関する国際的な活動に加えて、STRJ 独自の活動として

- 「EM(Electro-migration) crisis」(最大電流密度だけでは表せない配線信頼性の危機)を受けた EMR(EM Resistance)ブースタープロセス(EM 耐性を向上させる技術)の検討
- ロジックデバイス向けコンタクト抵抗についてのスペック提示に基づく、W(Tungsten)プラグの適用限界と代替技術の検討
- 高密度 TSV(Through Silicon Via)の想定されるアプリケーションの抽出と要求仕様の明確化に向けた、アプリケーションマップの作成検討

を重点として活動を行った。

ITRS改訂に関する国際的な活動について、本年度は日本側への負荷が極端に増大し、例年以上に繁忙を極める状況となった。Interconnect章の抜本的な構成変更に伴い当初予定された分担に加えて、Interconnect章全体の取りまとめにおける支障と混乱への対応に際して、日本側が中心的な役割を担うことで収拾を図る必要が生じ、特にSTRJの国際担当委員の多大な貢献によって国際的な連携・整合がなされる形となった(この遅れのためにSTRJ, ITRS関係者だけでなく、ITRSの改訂版を待望されていた皆様にもご迷惑をおかけした)。章構成の変更に合わせて設定された分担において、従来と同様の表や記載内容に関する提案・修正・確認等のほか、これまでnative speakerが担ってきた英文作成についても「Dielectric」「Planarization」の2項目を担当するなどの増分に加えて、さらに上述の取りまとめ上の問題からメタル関連(Barrier, Conductor, Nucleation)等についても日本側で分担することになった。章構成の変更もさることながら、2007 年度版までに散見された不整合や認識の旧弊化を問題視して、特に「Dielectric」の記載やメタル関係の候補技術などに関して根本的な見直しを行い、内容を一新した。また、ITRS 2009 改訂における特筆すべき内容として、これまでも日本が検討の中心となってきた最大電流密度(J_{max})に関連する危険域の設定がある。複数コア化による動作周波数低減によって当面の危険が回避されたかのように見えた電流密度について、世代の進行による困難性が間近に迫っていることを警告するものであり、上に挙げた独自活動の重点項目の一つであるEM耐性を向上する技術の検討結果のITRSへの反映と合わせて、ロードマップを参照する関係者への重要なメッセージとなった。

こうした国際活動と並行して、上述の3項目を重点としての検討をSTRJ独自活動として行ってきた。前述のように、EM 耐性向上技術については既に ITRS への反映がなされている部分である。昨年来、関係 WG との協議を行ってきたコンタクト抵抗に関しても検討が進行し、来年度以降の ITRS へ反映していく見込みである。高密度 TSV については、昨年度途中から ASET よりの委員参加を得て検討を重ねてきたが、まだ途上であり、来年度に引き続き深度を深めていく方針である。

本報告では、ITRS 2009 の改訂に関するトピックスとして、変更された章構成の概要、エアギャップを含む low-k化のトレンド、およびJ_{max}に関する配線幅依存性の導入について述べた後、上記の重点 3 項目に関するSTRJ独自活動の内容について報告する。

【活動概要】

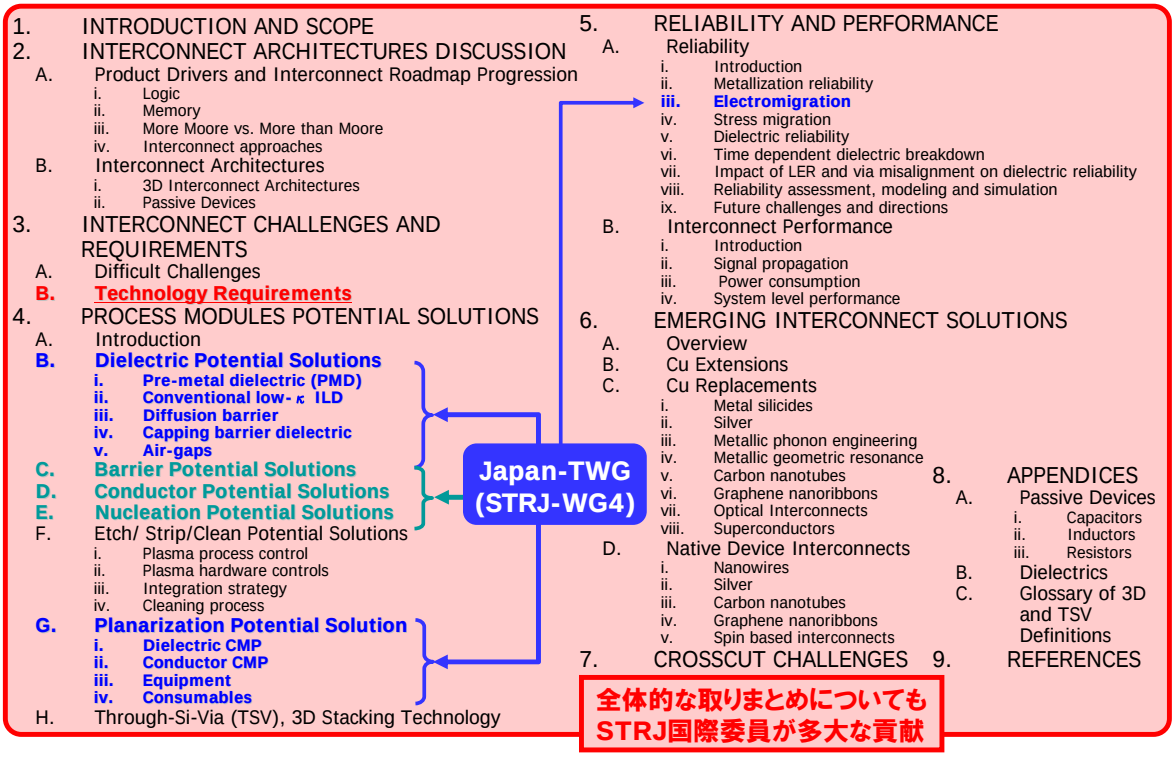
・ 国際会議 (4 回); ブリュッセル(3 月)、札幌(5 月)、サンフランシスコ(7 月)、新竹(12 月)

・ 国内会議 (8 回); WG4 会議(4/24、6/23、8/7、10/8、11/4、12/25、1/27、2/10)

5-2　ITRS2009 改訂について

5-2-1　章構成の変更

ITRS2009 において、Interconnect 章の構成は、ITRS2007 までと比べて抜本的な変更が行われた。図表 5-1 に、ITRS2009 における章構成を示す。ITRS2007 までにおいては、各 section 間で重複する記述が多数見られたうえ、内容の整合性が十分でないといった問題に加えて、知りたい内容がどの部分に記載されているのかがわかりにくいという難点があった。ITRS2009 の Interconnect 章では、この変更に関して IRC の許可を得て，配線構成に関する全体的な内容に続いて、最も参照される技術的な要求などを記載した後、プロセスモジュールに関する内容をまとめて記載し、その後に信頼性・パフォーマンス、Emerging な解決策という順で構成される。

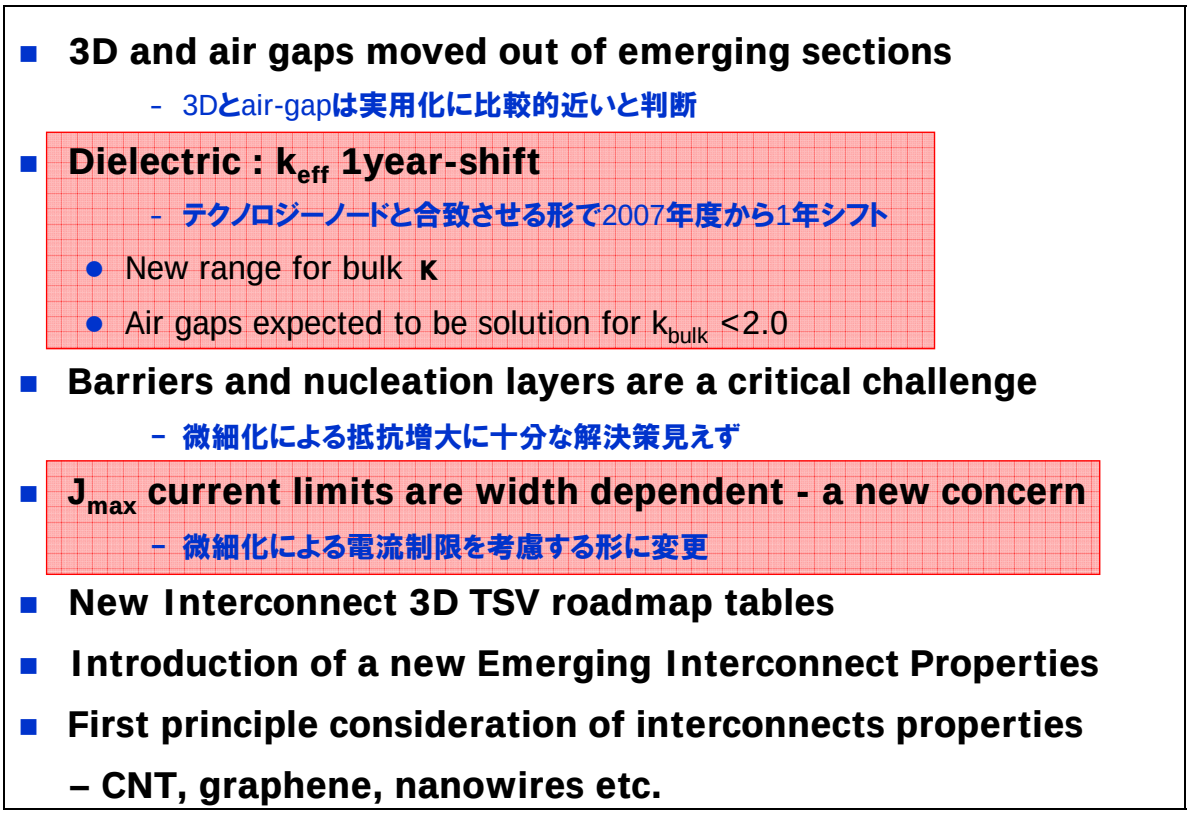


図表 5-1　ITRS2009 Interconnect 章の構成

英語での記述となる本文の作成については、従来は欧米での文章作成となっていたが、ITRS2009 では Dielectric および Planarization の 2 項目について日本側が作成担当となった。これは，この分野での日本のスキルの高さを示すものである。また、当初分担ではなかった Barrier、Conductor、Nucleation についても記載内容の作成を担当した。その他の項目についても、分野毎に各委員で分担して、内容の検討・確認を行った。さらに、全体的な取りまとめについても日本側の国際委員が中心となって分担・内容の整合などを行う形となり、特に使用・引用される頻度の高い表の内容等を含めて、各国の WG や事務局との連絡等の活動を行った。

5-2-2 ITRS2009 改定内容に関するトピックス

次に、章構成を除いた、ITRS2009 の Interconnect 章の内容の改訂に関する主なトピックスについて述べる。図表 5-2 中で日本側での活動が大きく反映された内容(赤枠)については別途詳細を後述するが、特に Emerging に関する記載が大きく変更となった。図表 5-1 の項目と合わせて参照されたい。



図表 5-2 ITRS2009 Interconnect 章の主な改訂内容

3 次元(3D)配線およびエアギャップ構造は、これまで Emerging の項に記載されていたが、実用化に比較的近い状態にあるとして、Interconnect Architectures (図表 5-1 中の 2-B)および Process Modules Potential Solutions (図表 5-1 中、4-B-v および 4-H)での記載に変更した。これと平行して、Emerging Interconnect Solutions(図表 5-1 中の 6)には、Carbon Nanotube のほか、Graphene や Nanowire 等の記載が追加されている。

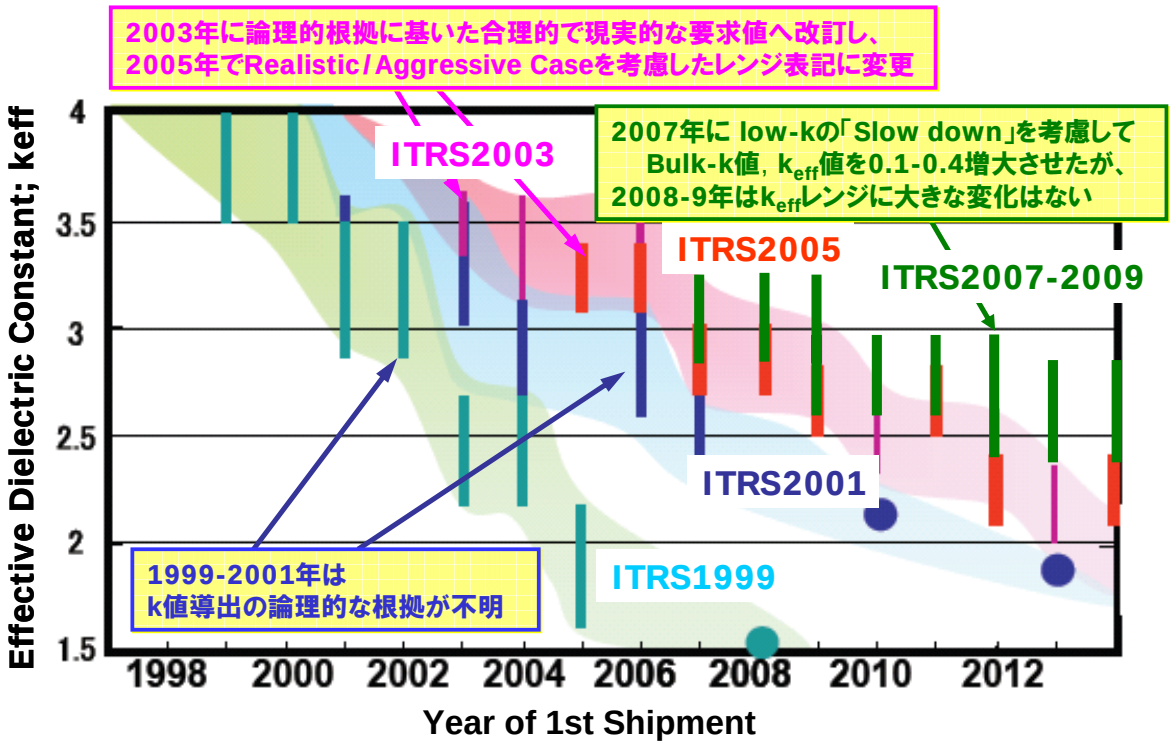
配線に関して、最もクリティカルな問題とされているのは、バリアメタルと、Cu 核形成に用いられるシード層と呼ばれる部分であり、要求される配線の微細化に伴う薄膜化が困難であり、配線抵抗と Cu 埋設性の両面での影響が懸念される。

日本側がの関与が大きかった、絶縁膜、および最大電流(J_{max})の改訂については、下記 5-2-2①～③に詳細を述べる。

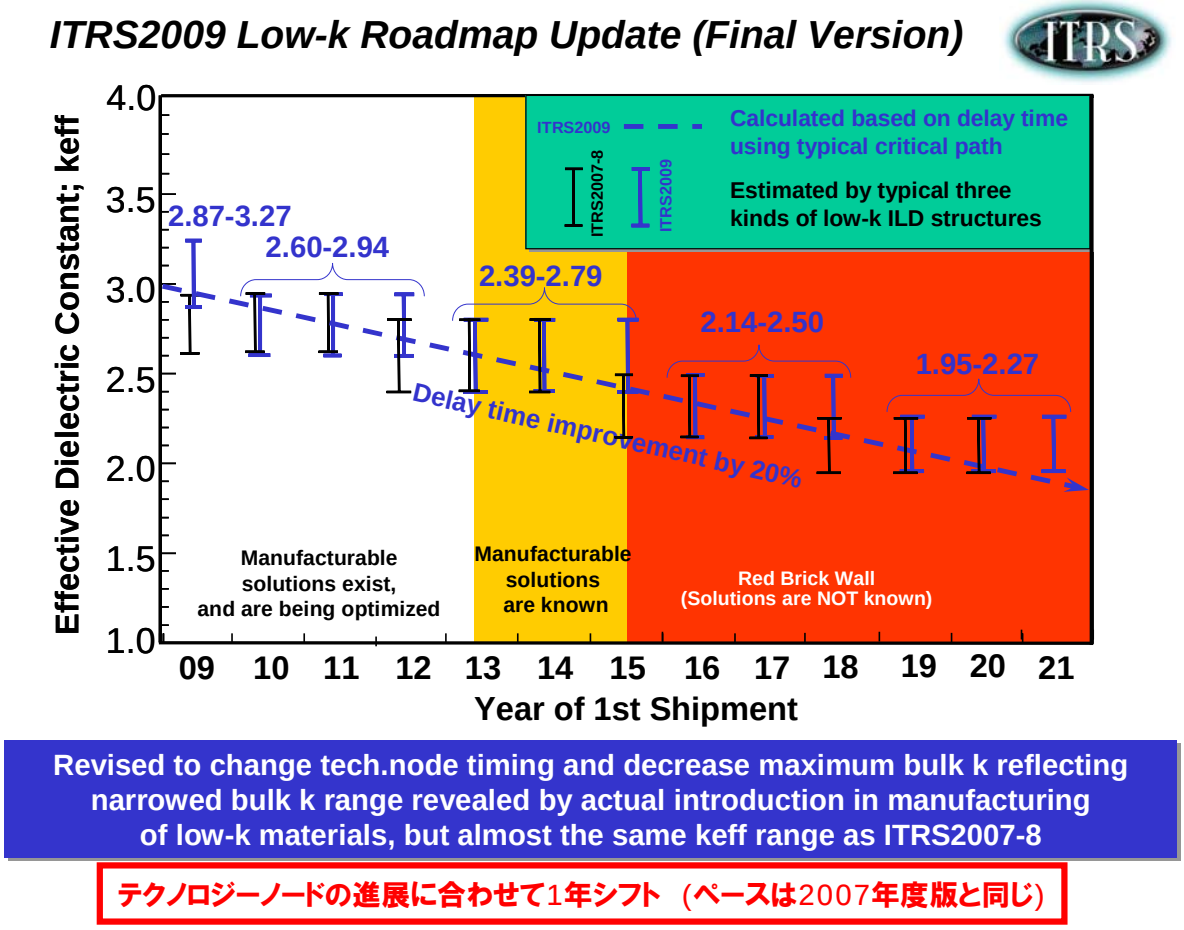
① 絶縁膜の low-k ロードマップ

絶縁膜に関しては、材料自体の誘電率(k_{bulk})の範囲が少し変更されたほか、実効的な誘電率(k_{eff})を商業的なテクノロジーノードと合致させる形で 1 年シフトさせる、という日本側の提案がそのまま採用された。図表 5-3 にITRSにおけるlow-kロードマップの変遷を、図表 5-4 にITRS2009 のlow-kロードマップを示す。

ITRSのlow-kロードマップにおいては、当初極めてアグレッシブなk値の低減が記載されていたが、2003 年から日本側での検討によって、論理的根拠に基づいた現実的な値への変更が行われ、ITRS 2005 からは Realistic case/Aggressive caseを考慮したレンジ表記とした。ITRS 2007 では「low-k化のslow-down」を考慮した値の見直しにより、k_{bulk}およびk_{eff}の値を 0.1～0.4 増大させたが、2008 および 2009 年度に関しては大きな変動はない。ITRS 2009 においては、商業的なテクノロジーノードに合致させる形で、ITRS 2007 から 1 年のシフトを行ったが、k_{eff}に関する年率 20%の低減というベースは保持されている。この 1 年分のシフトについては、近年のLSI製造開発においては、世代の途中での性能向上等のための抜本的な材料変更が行われることは少なく、新規材料の導入は主に商業的な世代の境界において為される傾向を反映したものである。



図表 5-3　ITRS における low-k ロードマップの変遷



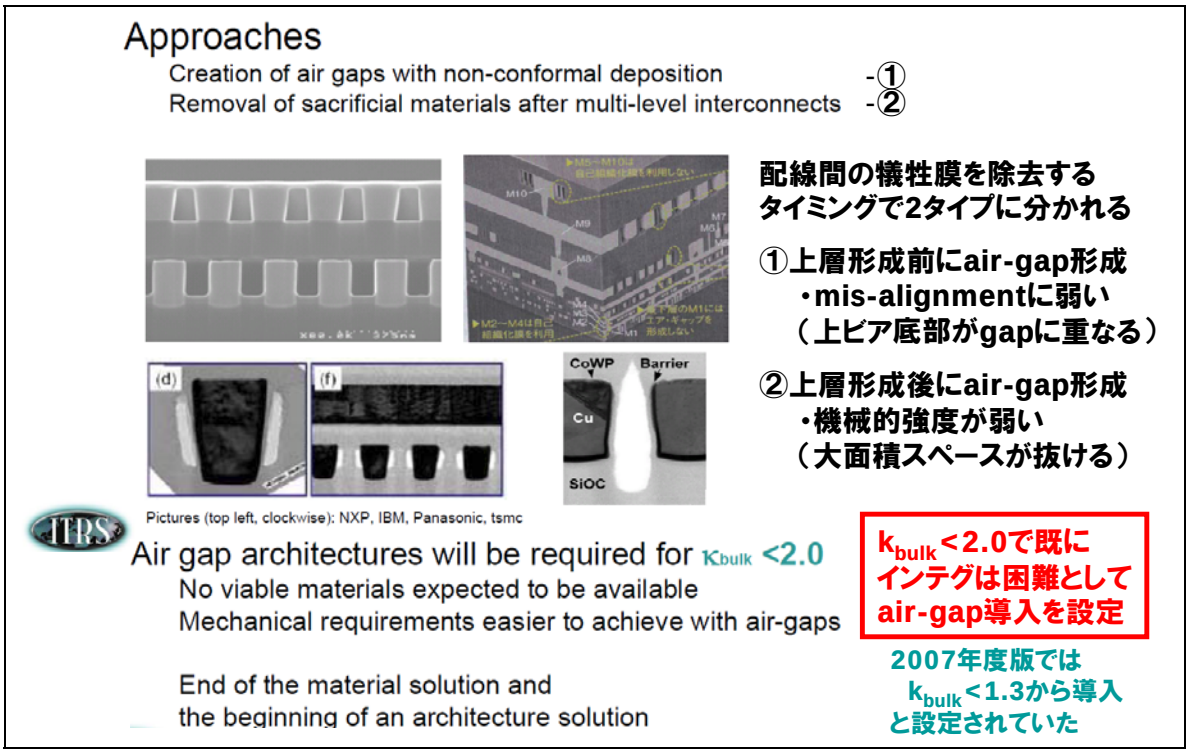
Revised to change tech.node timing and decrease maximum bulk k reflecting narrowed bulk k range revealed by actual introduction in manufacturing of low-k materials, but almost the same keff range as ITRS2007-8

テクノロジーノードの進展に合わせて1年シフト（ペースは2007年度版と同じ）

図表 5-4　ITRS2009 low-k ロードマップ

② エアギャップ導入の早期化

low-k材料の導入が進むにつれて、実装を含めた機械的強度の確保の困難性が浮き彫りになり、研究レベルを除けば、極端な低誘電率膜の採用・実用化は難しいという見方が広がっている。この傾向をロードマップに反映する形で、ITRS 2009 では k_{bulk}<2.0 となる時点でエアギャップが導入されるという記載となっている。ITRS 2007 では、 k_{bulk}<1.3 になるまでは従来と同様の形でインテグレーションが進行するとされていたのに対して、エアギャップ構造の導入が大幅に早期化されるという見通しである。



図表 5-5 ITRS2009 エアギャップ導入の早期化

Cu 配線の配線間に空隙を作ることによって配線間容量を低減するエアギャップ構造の製造方法については多くの提案がなされているが、エアギャップとなる空隙を作りこむ際に配線間の犠牲膜を除去するタイミングによって

(a) 上層配線層の形成前にエアギャップを形成する方法

(b) 上層配線層の形成後にエアギャップを形成する方法

に大別される。

(a)について、最もよく知られているのは、通常のダマシンプロセス［配線間絶縁膜の成膜→配線溝の形成→バリアメタル・Cu の埋設→メタル CMP による余剰導体の除去］という手順である配線層を形成した後、配線間の絶縁膜を除去してから、被覆性の低い絶縁膜成膜を行うことによって、配線間隔の狭い部分に空洞を生じさせるものである。配線間隔の広い部分は、被覆性によらず絶縁膜が成膜されるため、配線層全体の機械的強度が極端に低下しないという利点があるが、配線層間容量が低減しないほかに、露光パターン形成時の位置ズレによって上部のビアがメタルから外れてギャップに重なるとメタル埋設が出来ずに接続不良を生ずるという問題がある。この問題を解決するために、ビア周囲のみギャップを作らない方法なども提案されているが、工程増加によるコストアップ等が新たに課題となる。

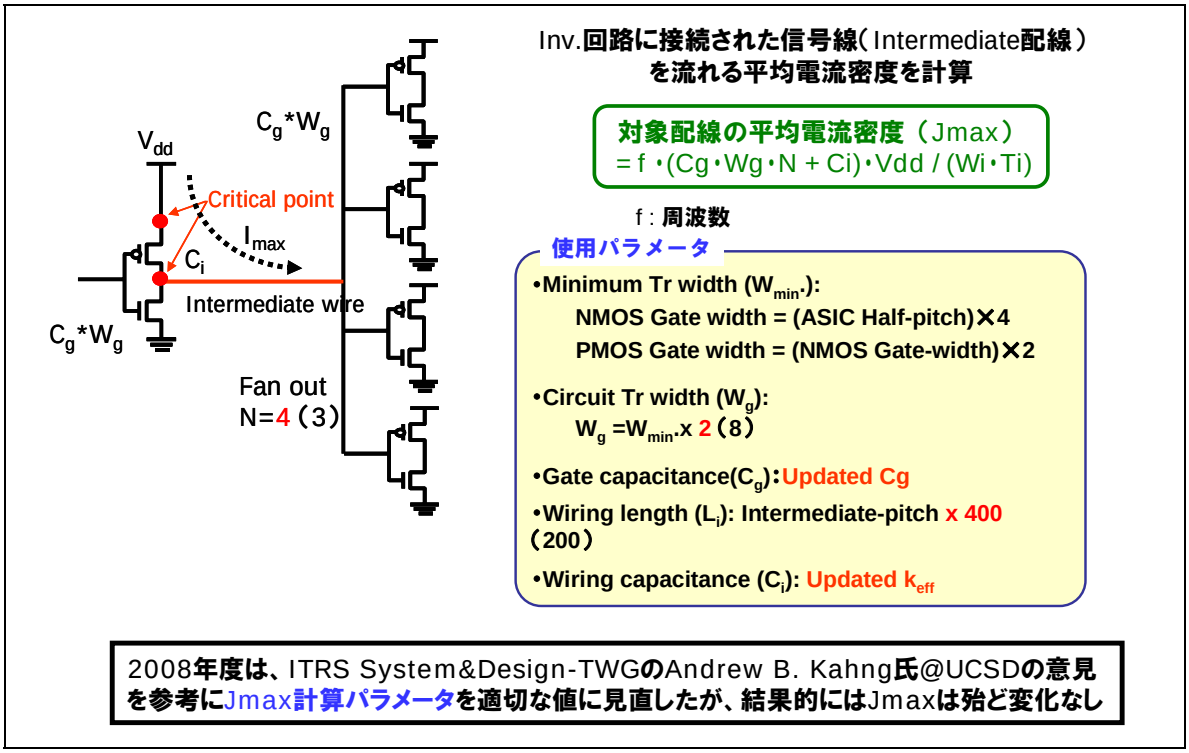
(b)については、上層配線層の形成を行った後に、当該配線層の絶縁膜に達する穴などを加工し、フッ酸等によって配線間の絶縁膜を除去することによって空隙を作る方法である。前述の(a)とは対照的に、上下配線

層間の接続が確保された後に空隙が形成されるため、位置ズレによる接続不良が生じにくいという利点があるが、配線間隔の広い部分でも支えのない状態で空隙が形成されるために機械的強度が弱くなりやすい難点がある。大面積間隔部に空隙を生じないようにするには、別の露光・加工工程などを必要とするため、コストアップが問題となる。

総じて、エアギャップ構造の導入に向けては、多くの手法が提案されているが、位置ズレ、機械的強度に加えて製造コストに対するインパクトを抑える方向での実用化が検討されていくと思われる。

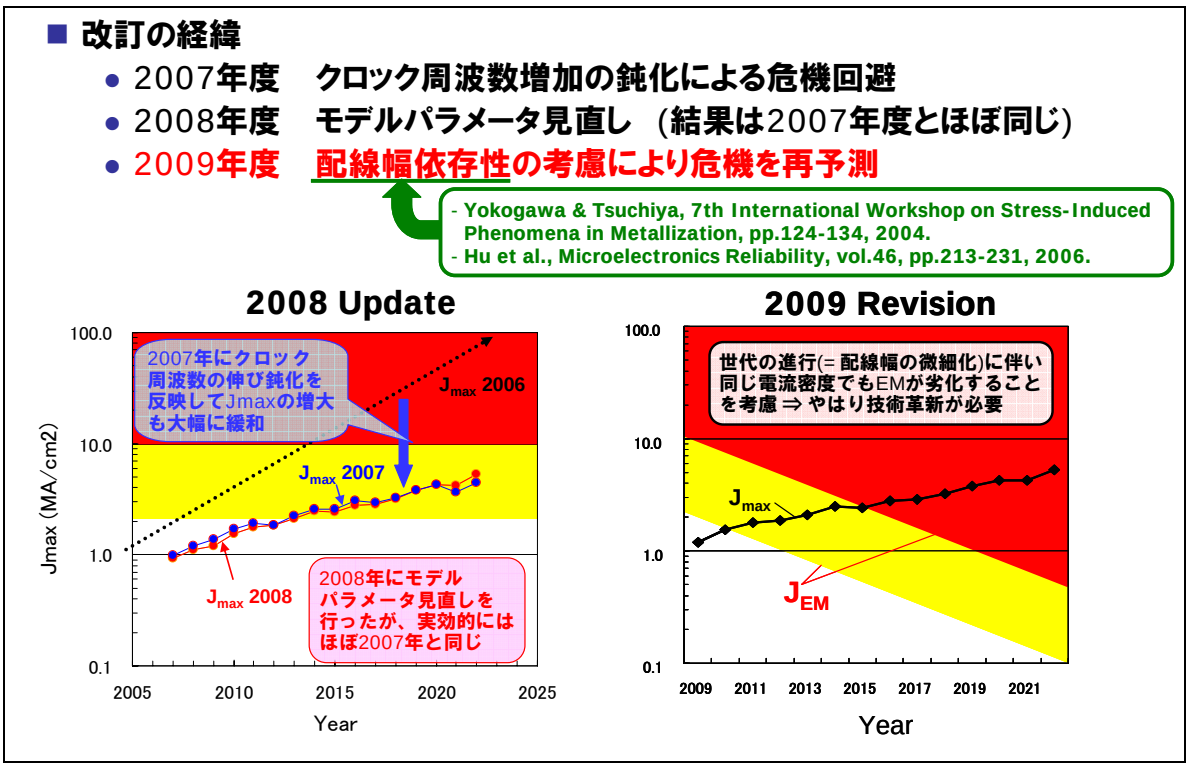
③ J_{max} (最大電流密度)の改訂

J_{max}に関してITRS 2007 では、チップの消費電力の増加を軽減するため、マルチコアなどの設計方針の転換が進んだことを背景として、ITRS 2007 Table 4 に示されたon-chip local clock周波数(以下、周波数)の伸びが緩和され、その結果、J_{max}の増加も緩和される結果となった。2008 年度に、ITRS System & Design-TWGのAndrew B. Kahng氏 (University of California, San Diego)の意見を参考に、計算パラメータの見直しを行ったが(図表 5-6)、結果的にITRS 2007 に比べてほとんど変化はないものとなっている。



図表 5-6 最大電流密度(J_{max})のモデル

ITRS2007, 2008 の改訂で大幅に緩和されたことで、J_{max}が配線に関して技術的に大きな課題とはならなくなったかのように見受けられるが、実際には今後の配線微細化における最大の課題の一つと考える必要がある。後述するように、Cu配線の微細化に伴って粒界や界面の影響が増大するため、同じ電流密度でも微細な配線のほうがエレクトロマイグレーション(Electromigration:EM)に対する耐性は低くなる。すなわち、仮にJ_{max}が増加しないとした場合でも、時期の推移によって、世代が進行、微細化が進展することで、問題が発生しやすくなる。日本側から提案されたこの内容を盛り込む形で、ITRS 2009 では、世代の進展に従って技術的な革新が必要となることを明示することになった(図表 5-7)。なお，これらについてはITRS System & Design-TWGとも引き続き議論していく予定である。



図表 5-7　最大電流密度(J_{max})の改訂

5-3　STRJ WG4 の独自活動について

本章冒頭に述べたように、2009 年度においては、

- EMR ブースタープロセス(EM 耐性を向上する技術)の検討
- コンタクト部における W プラグの適用限界の見極め
- 高密度 Through Silicon Via のアプリケーションマップ検討

を重点項目として設定し、活動を行ってきた。下記に、これらの各項目についての検討について述べる。

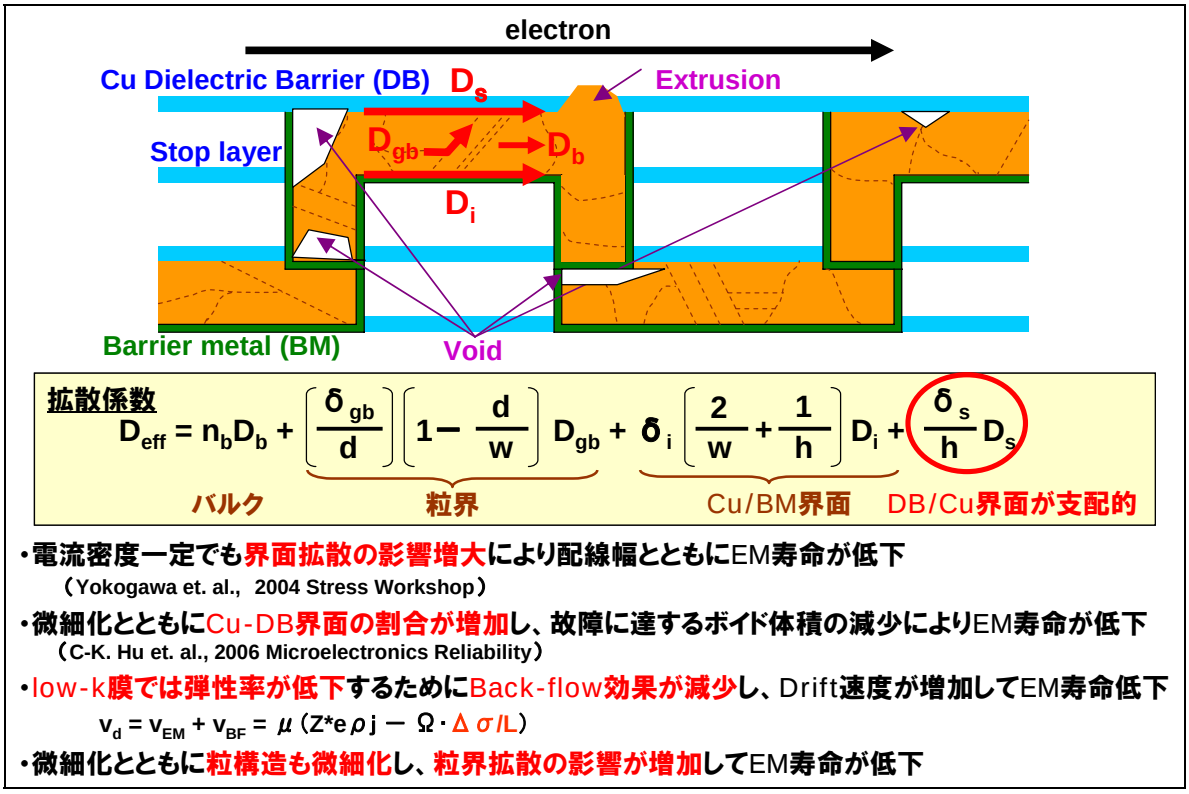
5-3-1　EMR ブースタープロセス(EM 耐性を向上する技術)の検討

前述(5-2-2③)のように、最大電流密度だけでは表わせない配線信頼性の危機(EM crisis)が、微細化の進展によって生ずるという認識のもとで、EM 耐性を向上させる技術に関する検討を行った。

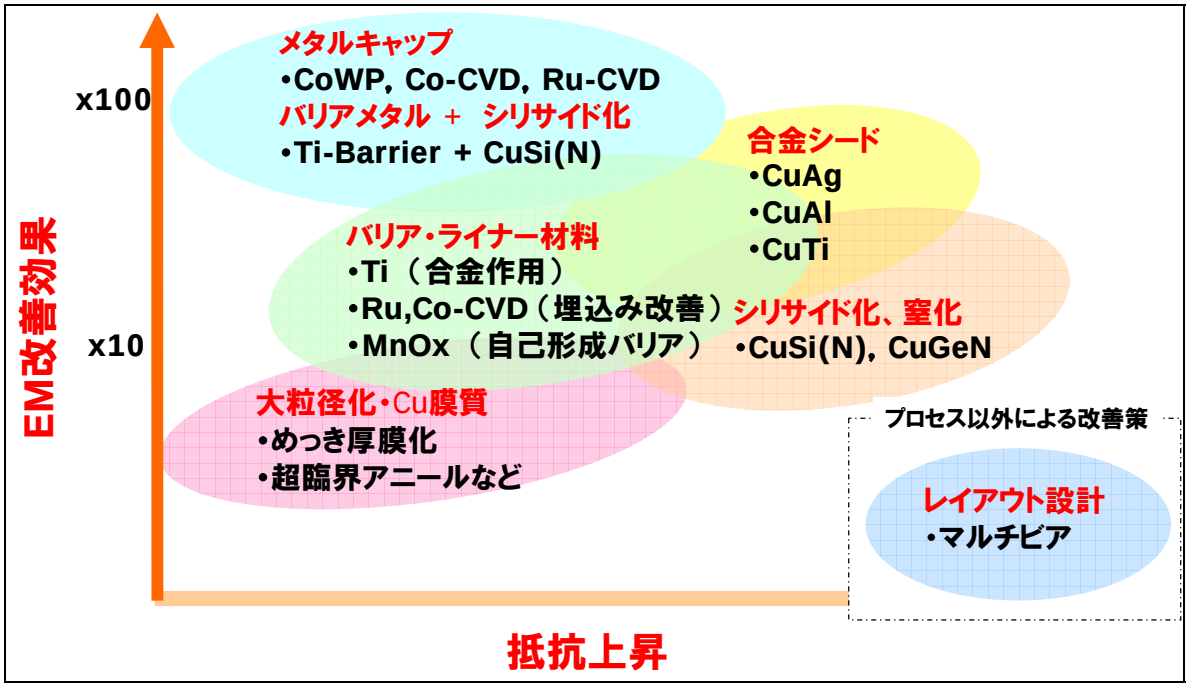
図表 5-8 に示されるように、Cu 配線における EM は微細化によって生じやすくなる。Cu の EM は主導体の変形・移動であり、移動によって生ずる空隙(ボイド:void)によって断線・接続不良が発生し、回路動作が行われなくなる。

微細化による影響として代表的なものは Cu の粒径の縮小であるが、同時に周囲のバリアメタル・バリア絶縁膜の影響も増大する。これらは、ITRS においても既に記載され広く知られているように抵抗率の増大をもたらすが、相対的に Cu バルクとしての性質の寄与が減じられ、粒界や界面の影響が大きくなることによって EM が助長される。また、導体部のみならず、絶縁膜についても、low-k 化による弾性率低下が EM を促進する方向に働く。したがって、Cu 配線の微細化に際しては、配線間隔の縮小等による絶縁性(Time-Dependent Dielectric Breakdown :TDDB)の低下と合わせて、EM が信頼性の観点で極めて重要になると考えられる。

EM に対する耐性を向上させ、微細化に際して信頼性を確保するための技術候補についてのマップを図表 5-9 に示す。



図表 5-8　微細化(32nm 世代以降)による EM 寿命の低下要因

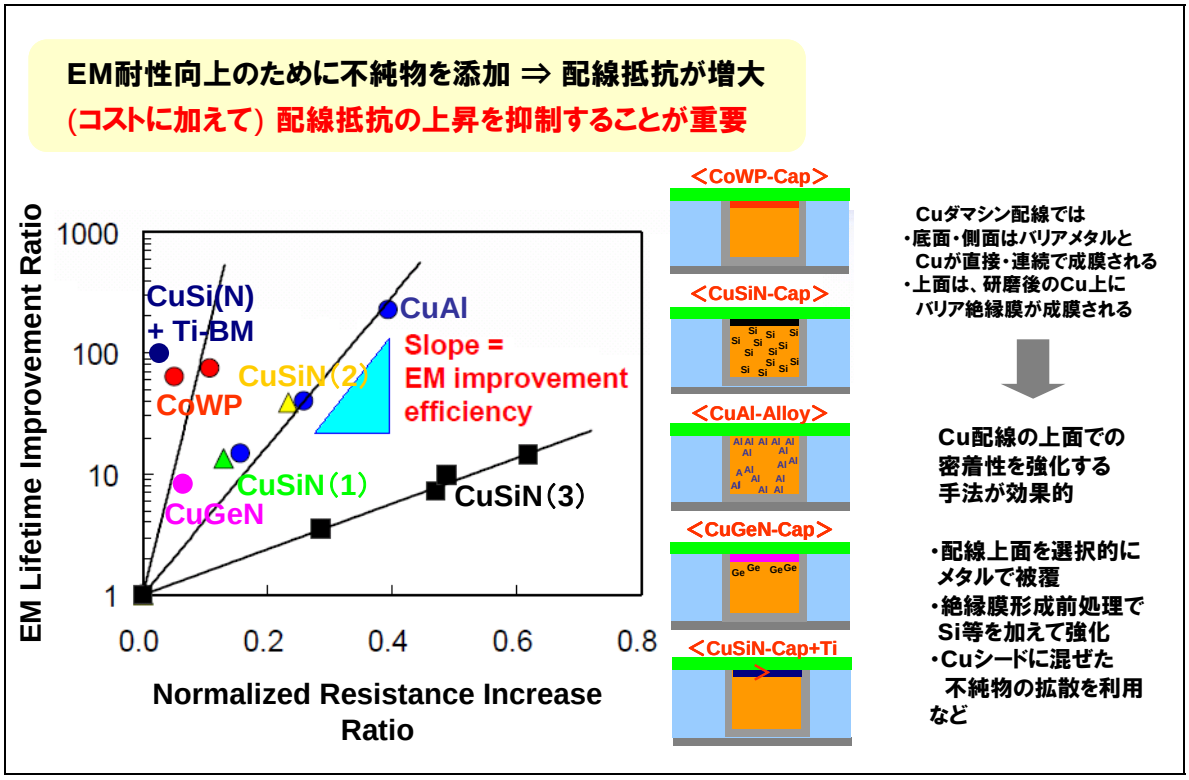


図表 5-9　EMR ブースター技術マップ(EM 改善と抵抗上昇のトレードオフ)

図表 5-9 は、定性的・イメージ的なものであり、図中幾つかのカテゴリーが存在するが、各々の技術は必ずしも単一のカテゴリーにのみ区分けされるものではない。例えば Cu の膜質ついては Cu めっき厚膜化などによる大粒径化などの候補はあるものの、合金シードなども実質的に膜質に影響を与える。プロセスとして期待さ

れるのは、図の左上方向、すなわち抵抗上昇が小さく、かつ EM 改善効果の高いものであるが、合わせてコストと生産ラインへの導入の容易さも重要な要素となる。

EM 改善効果の比較的高いプロセスは、ほぼ共通して、Cu 配線の上面となるバリア絶縁膜/Cu 界面を強化する作用を持つ。ダマシンプロセスによる Cu 配線形成では、配線溝の底面と側面をバリアメタルで覆う工程から連続して Cu が成膜され、CMP による余剰メタル除去の後に、Cu を含む配線層上部全面にバリア絶縁膜が形成される。メタル同士の接合である底面・側面の Cu/バリアメタル界面に比べて、配線上面の Cu 絶縁膜界面は密着性が弱く、EM の経路となりやすい。したがって、この部分を強化することが EM 抑制に効果的である。



図表 5-10　EM 耐性改善効率の EMR ブースター技術比較

バリア絶縁膜/Cu 界面の密着性強化については、Cu 上面のみに選択的にメタルで蓋をする(メタルキャップ)、バリア絶縁膜の成膜の前処理として Si や Ge の雰囲気にさらして CuSiN というような化合物層を形成する、Cu 核形成に用いるシード層などに不純物を添加する、もしくはこれらを組み合わせるといった方法が提案されている。

CoWP に代表されるメタルキャップは、直接的に Cu 上面をメタルで保護するために EM 改善効果が高いが、成膜における選択性が課題となりやすい。Cu 上面の被覆性が完璧な場合には、バリア絶縁膜を取り去ることによって成膜コストと抜本的な容量低減を図ることができるが、被覆性が不十分な場合にはやはりバリア絶縁膜による被覆を要する。なによりも、Cu 上部以外の絶縁膜上面におけるメタル成分の堆積は、微細化によって保障が難しくなる TDDB をさらに悪化させる。Cu 上部からの横方向への局所的な張り出しについても同様に TDDB を悪化させる懸念があるため、マージンを持った適性条件での使用が必要とされる。

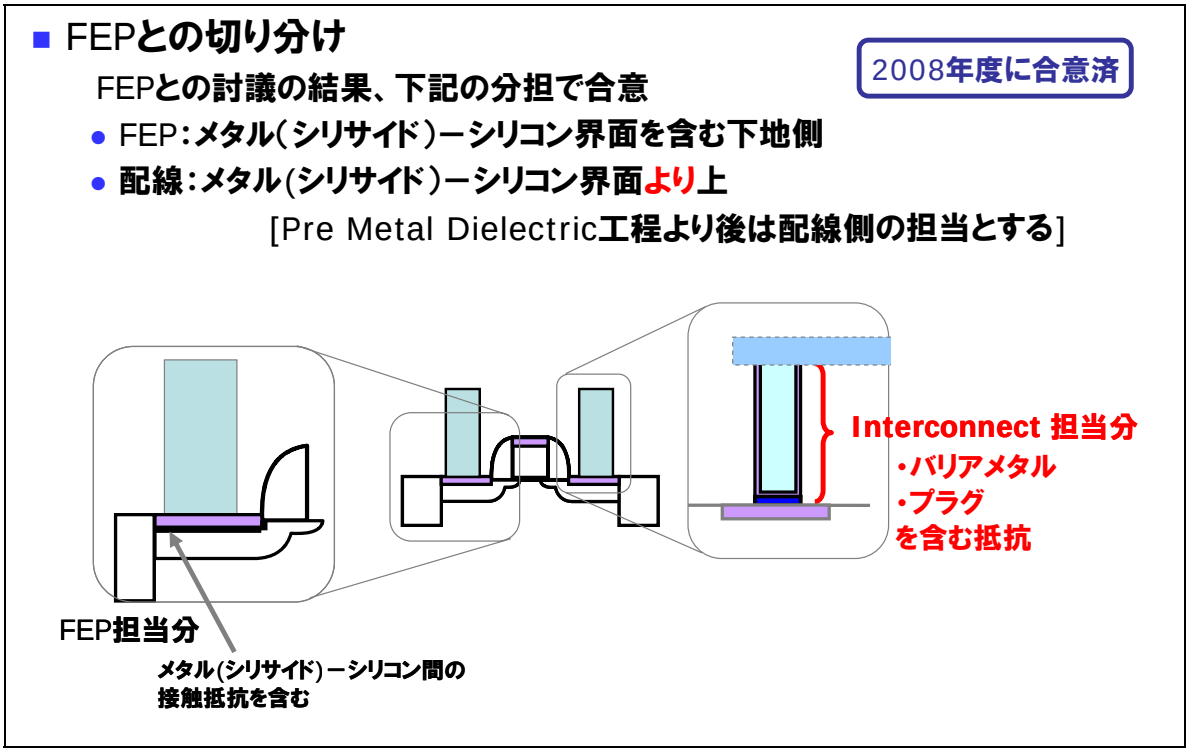
バリア絶縁膜の前処理としてシリサイド化や窒化を行う手法も、選択的に Cu 上面の密着性を強化する手法であるが、Si は Cu 中に拡散して抵抗を増大させるため、密着性強化と抵抗増大の抑制の両立が重要である。Cu への不純物拡散を抑制するように低温での処理などを用いるほか、Si の代わりに Ge を用いることで抵抗増大を抑制する方法などが検討されている。

Cu めっきの前に一般に PVD (Physical Vapor Deposition)によって成膜される核形成層もしくはシード層に Al や Ti などの不純物を添加・使用して Cu 配線中を拡散させる手法は、配線上部のバリアメタル/Cu 界面の密着性のみならず Cu 粒界におけるマイグレーションも抑制する効果を持つ。また、既存の PVD 設備をそのまま用いればよいことから、製造ラインへの導入も比較的容易である。しかしながら、Cu 配線中の不純物の存在は、直接的に配線抵抗を増大させるため、トレードオフとなる EM 耐性改善と抵抗上昇抑制の兼ね合いを考慮しなくてはならない(図表 5-10)。

総じて、EM 耐性の向上についての技術を導入していくに当っては、生産ラインへの導入・稼動を含めたコストに加えて、抵抗上昇を抑制することが重要である。

5-3-2 コンタクト部における W プラグの適用限界見極め

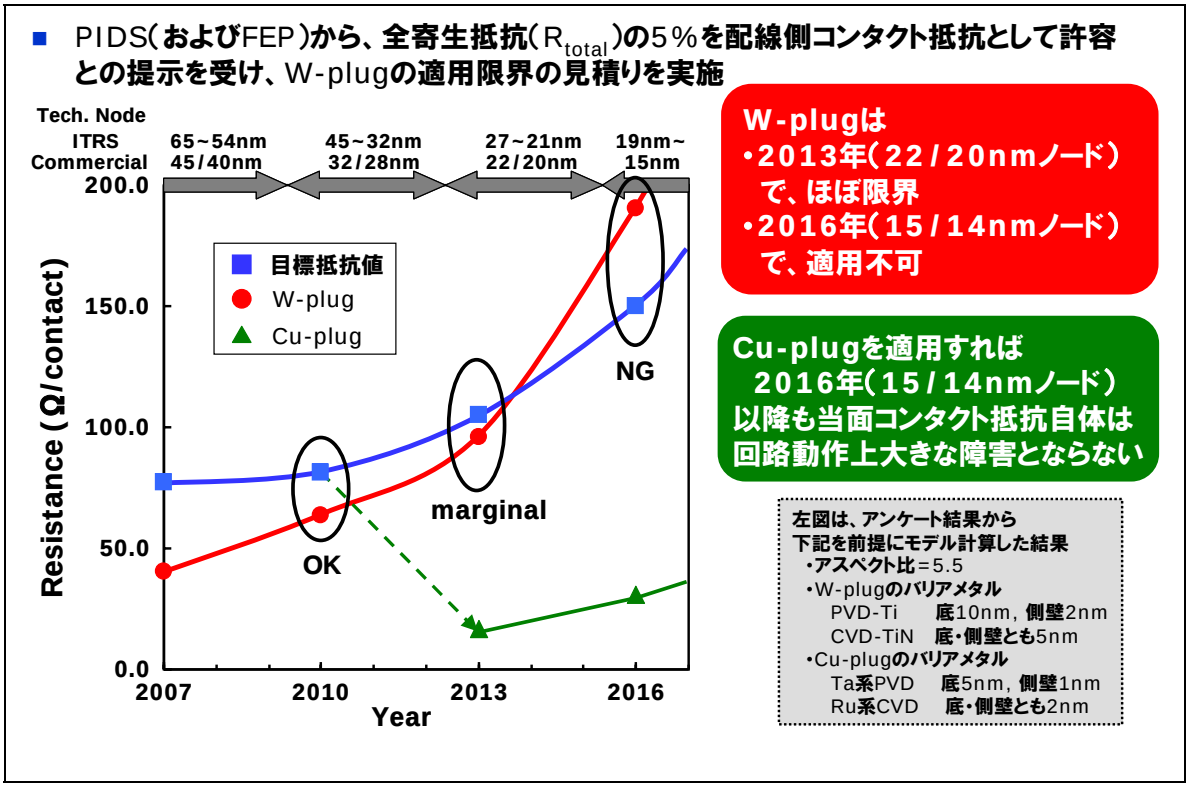
2008 年度の FEP との協議において、コンタクト部の分担の明確化を行い、FEP と配線はそれぞれ、メタル(シリサイド)/シリコン界面を境界とする下部と上部を分担することで合意がなされた(図表 5-11)。プロセスフロー的な観点からは、Pre-Metal Dielectric(PMD)以降の工程、抵抗に寄与する部分としてはバリアメタル以降が配線側の分担となる。



図表 5-11 コンタクト抵抗に関する分担の明確化(2008 年度)

上述の分担に基づいて、今年度PIDSおよびFEPから、全寄生抵抗(R_{total})の 5%までを配線側のコンタクトとして許容可能であるとの提示を受け、回路動作上に抵抗が問題になる時期を見積もることでWプラグの適用限界についての検討を行った。

デバイスメーカーに対するアンケート結果に基づいて、各世代のコンタクトにおける径・アスペクト比、バリアメタル種・導電体材料の抵抗率や厚さを考慮して、簡易的なシミュレーションによりコンタクト抵抗を見積もった。



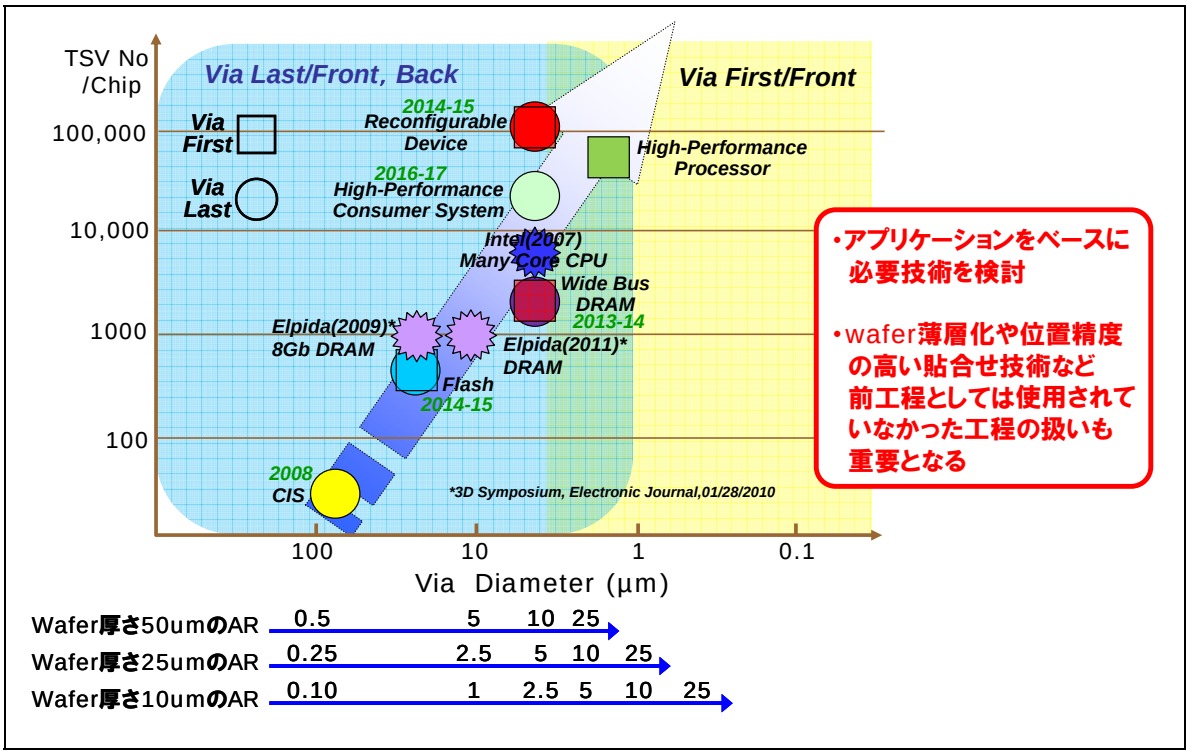
図表 5-12 コンタクト部における W プラグの適用限界の見積り

図表 5-12 のグラフ中、青四角で表されるのが、目標抵抗値として目安となるPIDSから提示されたR_{total}の 5%であり、赤丸で示されるものがWプラグを用いた場合のコンタクト抵抗である。商業的なlogicのテクノロジーノードとしての 32~28nm(ITRSで定義されるハーフピッチ 45~32nm)である 2010 年の段階では、Wプラグでの抵抗値は目標抵抗値より十分低い値となっている。しかし、商業的な 22~20nmノード(ITRSでのハーフピッチ 27~21nm)では、両者の差分は小さく、微細化に伴うばらつきを考慮するとWプラグでの抵抗値は目標抵抗値を下回っているとはいえない状態となる。他の既存プロセスと同様にWプラグについても、設計を含めた延命策が講じられる可能性は高く、この世代で代替プロセスの採用が必須となるかは明確ではない。さらに次の世代となる 2016 年においては、Wプラグでの抵抗値は目標値を大きく上回り、回路動作上の障害となることが見込まれる。

代表的な代替プロセスとして、Cu プラグについても同様の見積りを行った結果が、緑三角で示されるものである。プラグ材料を Cu とし、合わせてバリアメタル材料も変更する前提の見積りは、少なくとも 2016 年までの段階では目標抵抗値に比べて数分の1程度であり、Cu プラグを適用することによって、回路動作上コンタクト抵抗が障害とはならないと考えられる。

5-3-3 高密度 Through Silicon Via のアプリケーションマップの作成

昨年度から、More than Moore 領域とされる 3 次元配線や、特に高密度 Through Silicon Via に関して、ASET からの委員を加えて、議論を継続している。TSV については実装でも言及が為されており、配線側としての取り扱いはプロセスを含めて配線技術としての延長上にある、高密度なものが対象となる。TSV に関するロードマップとしては、Metal 1 に代表されるような、More Moore として扱われる単純な微細化の進行ではなく、アプリケーション毎に必要な技術が並行して開発・適用されていくと考えられるため、対象となるアプリケーションを抽出し、それに対応する技術を考察するという方針で検討を行ってきた。



図表 5-13 高密度 TSV のアプリケーションマップ (ビア径 vs. ビア密度)

図表 5-13 は、横軸にビア径、縦軸にビア密度とした場合の、高密度 TSV アプリケーションマップの例である。高密度 TSV の製造方法としては、幾つかの切り分け方が存在するが、ここではウエハプロセスにおける配線層の形成を境界として、TSV 加工を先に行う Via First(図中の四角)と、後に行う Via Last(図中の丸)、および TSV 加工をシリコン基板の表面側から行う Front、裏面側から行う Back、といった形で大別している。ビア径の縮小に応じてビア密度も増大する概ねの傾向も見られるが、アプリケーションに対する依存性の高さから、必ずしも両者は一対一で比例するものではない。

図の下部に示される青矢印は、シリコン基板の厚さに応じた TSV のアスペクト比を示したもので、実際的なビア加工を制限する要素である。事実上アスペクト比が 25 を超えるような TSV の加工・導体の埋め込みは非常に困難であることから、ビア径の縮小に対しては基板の薄層化が極めて重要な必要技術となる。

また、ビア径の縮小に伴って、位置合せにも高い精度が要求される。複数の基板を張り合わせるに当って、位置ズレを抑制するための技術が必要となる。

図表 5-13 で軸として用いたビア径・ビア密度の他に、定量的な軸となる項目としては前述の基板厚さ、アスペクト比がある。ビア径・基板厚さ・アスペクト比は互いに関連した変数であり、このうち実質的に独立な 2 項目とビア密度と合せた 3 軸をベースとした立体的な空間でのアプリケーションと必要技術の検討を継続し、ITRS への提案を行っていく予定である。

5-4 まとめ

以上述べてきたように、WG4(配線 WG)の 2009 年度の活動として、

ITRS2009 改訂における

- Low-k 化のトレンドの再考を含む Dielectric 項の抜本的変更と本文作成
- Planarization 項の見直しと本文作成
- メタル関連項の、特に候補技術に関する抜本的な見直しを含む改訂内容の検討

- Interconnect 章全体の取りまとめの代行

などを行った。

一方、STRJ 独自に方針を定めた国内活動として

- EMR ブースタープロセス(EM 耐性を向上する技術)の検討
- コンタクト部における W プラグの適用限界の見極め
- 高密度 TSV のアプリケーションマップ検討

を重点として活動を実施した。

2010 年度は、今年度の成果をベースとして

- 3 次元積層化/TSV のための要素技術マップ作成
- ロジックデバイス向けコンタクトプラグ技術に関する ITRS への反映
- ITRS 2011 の More than Moore に向けた新規デバイスカテゴリーへの対応準備
- について、重点的に取り組んでいく。

【参考文献】

[1] S. Yokogawa et al., IEEE Trans. Electron Devices, Vol. 55 (2008) pp.350-357.

[2] C.K. Hu et al, Microelectronics Reliability 46 (2006) pp.213-231.