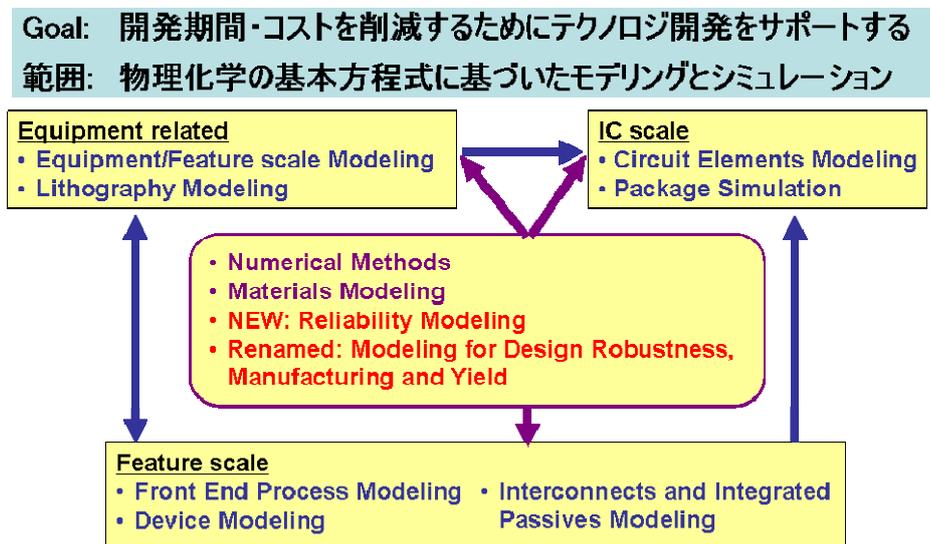


第 11 章 WG10 モデリング & シミュレーション

11-1 はじめに

M&S(Modeling&Simulation)のゴールは開発期間とコストを削減するために、テクノロジー開発をサポートすることである。ITRS ロードマップにおける M&S 章の取り扱う範囲は、物理化学の基本方程式に基づいたモデリングとシミュレーションであり、ロードマップの本文では 11 個のサブチャプターから構成されている(図表 11-1)。(1)装置モデリングー装置の構造とレシピに基づくウェーハ表面の反応を階層的に取り扱うモデリング;(2)リソグラフィモデリングーリソグラフィ装置、フォトレジストによるマスク形状転写のモデリング;(3)フロントエンド・プロセスー配線工程以前のリソグラフィを除く製造工程に関する物理現象;(4)デバイスモデリングー能動素子の動作を物理的に表現する階層的モデリング;(5)インターコネクと受動素子モデリングー配線構造を取り込んだ機械的、電磁氣的、熱的な応答のモデリング;(6)回路素子モデリングー能動素子、受動素子、寄生素子、新デバイス構造のコンパクトモデル;(7)パッケージ・シミュレーションーパッケージングに関する電氣的、機械的、熱的なモデリング;(8)材料モデリングー材料に関する物理値や電気特性を予測するためのシミュレーション・ツール;(9)信頼性モデリング:プロセス、デバイス、回路レベルの信頼性のモデリング(2009 年版から新設);(10)ロバスト設計、製造と歩留まりのためのモデリング(2009 年版からタイトル変更):製造工程上のばらつきによる回路性能への影響、歩留まりの予測に使用するモデルやソフトウェアの開発;(11)数値計算アルゴリズムーメッシュ形成、表面形状変化、偏微分方程式の並列解法、最適化計算などを含むアルゴリズム。(8)項から(11)項に関しては、M&S のいずれの技術分野とも関連性があり波及効果が大きく重要である。

ここでは、2009 年版の M&S 章で改版した内容から、特に LSI 製品化のための開発支援ツールに関連の深いものに関して、国内活動と合わせて紹介する。



図表 11-1 モデリング & シミュレーションの Scope

11-2 開発期間とコスト削減

M&S 章の Table には TCAD(Technology CAD)による開発コストの削減率と開発期間の短縮率が示されている。この項目は、TCAD の役割を明確化するために、日本が経済的効果に関する要求値の記載を主張し

たものである。しかし、当初は数値的根拠がなく却下されていた。そこで、2002 年に国内で独自にアンケート調査を実施し、その結果を元に TCAD を使うことによって実現されるべき、開発コストの削減要求値について ITRS で議論し Table に記載した。2008 年には、欧米を含めた 3 極でアンケート調査を再度実施し、Table の数値を見直した。本アンケート調査では TCAD 開発者を回答者から除外して、TCAD 利用者の視点で調査を実施した。国内では 63 件、ITRS 全体では 141 件の回答を得ており、母数としては十分である。

アンケート調査では、TCAD をうまく活用できたときの成功事例を振り返り、そのときの開発コストの削減率と開発期間の短縮率を回答して頂いた。これらの短縮率として、2008 年の実績値に加えて、4 年後の 2012 年の期待値も回答して頂いた。全回答者の平均値を元に、2008 年と 2012 年の要求値を設定したのが図表 11-2 である。なお、これらの要求値は TCAD を使ったときの平均値ではなく、削減が成功したときのベストケースである。2009 年から 2011 年の要求値は単純な補間で設定した。

Year of Production	2008	2009	2010	2011	2012	2013	2014
Estimated technology development cost reduction from use of TCAD (average across best-practice cases reported by Industry) [2]	27%	30%	32%	35%	37%	n.a.	n.a.
Estimated technology development time reduction from use of TCAD (average across best-practice cases reported by Industry) [2]	30%	32%	34%	37%	39%	n.a.	n.a.

↑ **実績値**
↑ **要求値**

[2] This line does not give a quantitative assessment of the Industrial requirement but gives the average of estimates obtained from companies on cost reductions in **best practice cases** through use of TCAD in development

図表 11-2 TCAD 利用による開発コスト・開発期間の削減要求値

前回と今回のアンケート調査の結果を図表 11-3 に示した。カッコ内は国内の平均値で、国内外ではほぼ同じであることが分かった。実績値は 2002 年と 2008 年で変わりなく横ばいであった。これは、トランジスタの微細化などのテクノロジーの進歩に合わせて、M&S の技術も進歩したためと解釈している。また、一品種当たりの開発コストは増大しているため、コスト削減の絶対値は増えているはずである。一方で期待値は実績値よりも約 10 ポイントも高く、この期待に答えるためには新たな施策が必要になる。

アンケート調査結果から読み取れる施策は、短期的にはサポートを含めた TCAD の教育や、ツールの改良をベンダーに要求する必要がある。中期的にはキャリブレーションを含めたモデリングの推進が必要である。長期的な視点に関しては継続議論が必要である。また、ばらつき制御に関する期待は高く、今後注力すべき分野として、さらなる技術の進展が望まれる。

(*) 回答者の成功事例の平均

	2002年(国内)	2008年(カッコは国内)	
	実績 ^(*) (@2002)	実績 ^(*) (@2008)	要求値 (@2012)
開発コスト削減率	30%	27% (26%)	37% (40%)
開発期間短縮率	26%	30% (27%)	39% (42%)

図表 11-3 アンケート結果の比較

11-3 Design for Manufacturability

11-3-1 ばらつきへの対応

トランジスタの微細化が進みデカナノメータ領域になってきたことにより、リソグラフィの焦点ぼけや、ミリ秒アニールでの温度プロファイル、不純物原子数の減少による統計的なゆらぎなどによる特性変動量が大きくなり、これらは益々重要な問題となってきている。このようなばらつきには、製造段階だけでなく、設計段階で対処する必要がある。ITRS の設計の章でも「製造性重視設計(Design for Manufacturability)」は挑戦すべき課題の一つとして強調されている。

ばらつきはランダムばらつきとシステムティックばらつきに分類できる。典型的なランダムばらつき機構はランダムな不純物のゆらぎや、LER(Line Edge Roughness)、ゲート絶縁膜厚、粒界によって誘起されるポリシリコンや金属のゲート電極中の電荷のゆらぎなどである。典型的なシステムティックばらつき機構は、リソグラフィの近接効果、ストレスの近接効果、ウェルの近接効果、エッチング時のマイクロローディング効果、過渡増速拡散(TED: Transient Enhanced Diffusion)の近接効果、フラッシュアニールやレーザーアニールにおける熱吸収のパターン依存性、プロセス経過時間、チップを横切るステッパーのレンズの不完全性などである。

このようなシステムティックばらつきやランダムばらつきに対処するために設計マージンを大きくすると、回路の動作速度の低下に陥る。システムティックばらつきはモデリングに基づく最適化手法により低減することができる。特に、規則的なレイアウトやダミーを配置することにより、近接効果補正の精度を高めることができる。また、システムティックばらつきをコンパクトモデルで記述できれば、設計マージンを大きくすることなく設計による補正が可能であるため、回路性能に及ぼす影響を最小限に抑えられる(具体例は 11-3-3 を参照)。一方、ロジック回路のランダムばらつきに対して、多段論理回路の緩和効果を SSTA(Static Statistical Timing Analysis)ツールで正確に見積もることで、設計マージンを必要最小限に設定することが可能となる。また、原子レベルの TCAD モデルによる解析を通して、ばらつきの根本原因を探る取組みも必要である。

11-3-2 M&S の課題

設計段階でばらつきに対処するには、M&S のサポートが欠かせない。そのためには下記の課題を解決する必要がある。

第一に、十分普遍性があり予測性のある物理モデルが TCAD ツールに実装されている必要がある。その主目的は定量的な予測ではなく、ばらつきの影響を調べることである。このため、モデルのキャリブレーションはある程度できていれば良い。基本的な要求は、モデルが傾向を正確に予測できることであり、特性ばらつきの大きさだけでなく変動の方向も予測できる必要がある。

第二に、プロセス/デバイス/回路シミュレーションの統合レベルは大幅に改善する必要がある。例えば、リソグラフィによるパターンニング、ドーピングプロセスを含むエッチング、デポジション、CMP(Cheical Mechanical Polishing)の 3 次元形状・プロセスシミュレーションと、3 次元デバイスシミュレーションの統合は、市販シミュレータツールではまだ実用化されていない。シミュレータ間のメッシュの違いなどによって発生する数値誤差は、最終的なトランジスタのばらつきの計算結果に有意な影響を与えないように抑える必要がある。特に、平坦でない構造で時間的に形状が変化する場合に対する順応メッシュ生成がネックになっている。また、ツール間でベンダーが異なる場合には、データの書式が公開されていないために、相互に接続できない場合がある。そこで、2008 年のロードマップの Table に書式の公開を促す項目を追加した(図表 11-4)。

第三に、最も困難な技術課題は、ナノメータスケールの微視的なプロセス/デバイスシミュレーションと、数十平方ミリメータの領域に数百万から数十億個のトランジスタが搭載される LSI 設計との間の橋渡しである。

3次元シミュレーションはトランジスタを記述するためには約 10 万メッシュ点が必要になる。これをチップレベルに拡張すると、メモリサイズや CPU 時間の両面から非現実的である。よって、階層的シミュレーション技術において適切な方策とアルゴリズムの開発が必要になる。即ち、ナノスケールプロセス/デバイスシミュレーションは小さなクリティカルエリアだけで実行し、次に、それからのばらつきを含む SPICE レベルのコンパクトモデルや動作モデルの適切なデータを抽出し、設計に継承するという階層的なシミュレーションが必要である。

Year of Production	2009	2010	2011
Tool interoperability	Documented file formats [8]	Open documented file formats (syntax and semantics), exchangeability of data between different tools [8]	

[8] Open and documented file formats are needed to enable the user to combine tools from different sources

図表 11-4 TCAD ベンダーへの要求

11-3-3 設計による対処の例

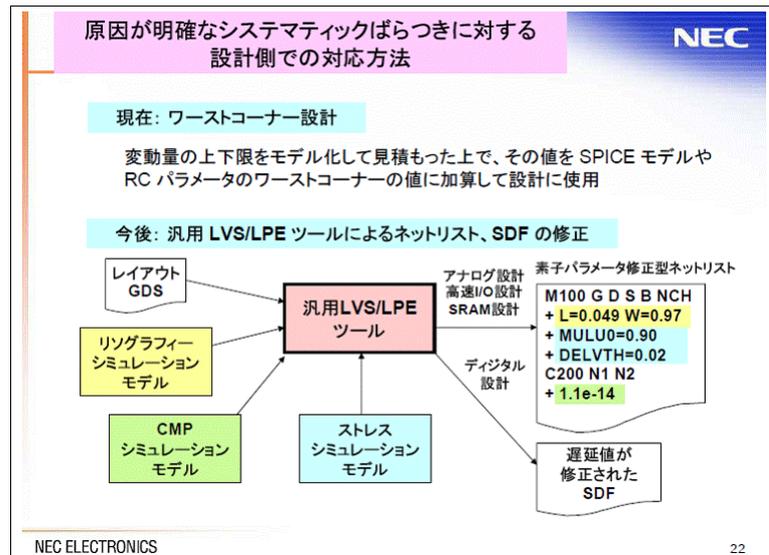
STRJ ロードマップ委員会専門部会の活動の一環として、ばらつきへの取組みに関してヒアリングを行った。ここでは、その内容を紹介する。

図表 11-5 は、原因が明確なシステムティックばらつきに対して、設計側で対処する方法が示されている。従来は、ランダムばらつきとシステムティックばらつきを含めた、電気特性の変動量の上下限を見積り、その値を SPICE モデルや RC パラメータのワーストコーナーの値に加算して、回路設計を行っていた。ここでは、汎用 LVS/LPE ツールとリソグラフィ・CMP・ストレスシミュレーションをリンクすることで、レイアウトデータ(GDS)から個々のトランジスタのシステムティックな変動量を算出し、そのトランジスタの特性パラメータを補正し、システムティックな変動を取り込んだ SPICE ネットリストを出力する。

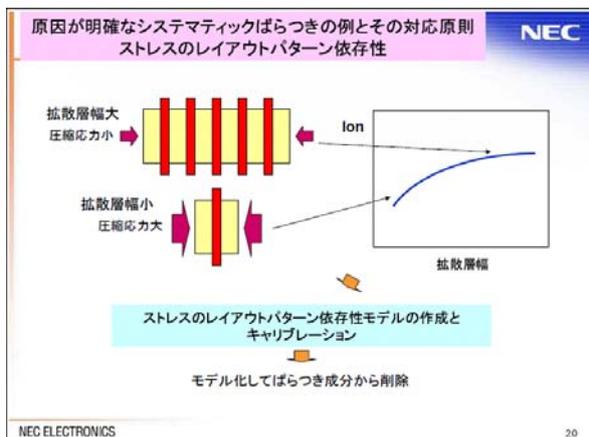
図表 11-6 は、上記のストレスシミュレーションの概念図を示したものである。トランジスタの拡散層幅が異なるレイアウトでは、素子分離領域のストレスの影響が変化してオン電流が変動する。この関係を図表 11-5 のシステムに取り込むことにより、ストレスによる特性変動を考慮した設計が可能となる。

図表 11-7 は配線レイアウトと CMP 形状の関係を示した例である。配線幅が太くなると、CMP の削れ量が増加して配線の高さが減少する。配線密度が高くなると同様に配線の高さが減少する。断面形状の変化に伴う配線抵抗・容量の変動量をネットリストに与えることにより、配線形状の変動量を考慮した設計が可能となる。

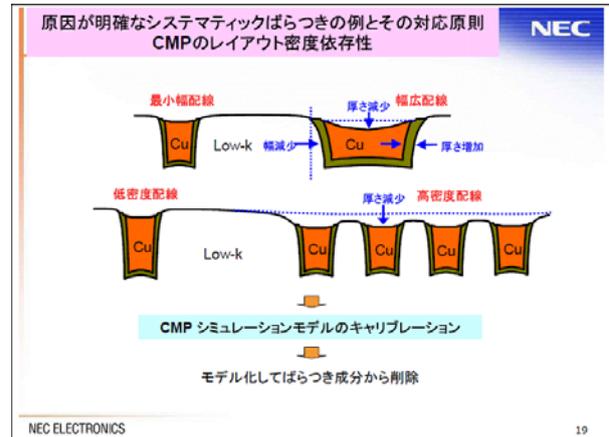
このように、レイアウトに応じた特性の変動量がモデル化できれば、余分なマージンを取る必要がなくなり、より性能が高い回路設計が可能となる。



図表 11-5 ステマティックばらつきに対する対応例



図表 11-6 ストレスのレイアウトパターン依存性



図表 11-7 CMP のレイアウト密度依存性

11-4 信頼性モデリング

11-4-1 M&S の課題

半導体産業にとって信頼性の問題が益々重要になっているため、信頼性モデルを備えた CAD ツールによって、より良いデバイス性能を実現するだけでなく、信頼性に対するより高いマージンを確保することへの要求が高まってきている。このような背景により、2009 年版の M&S 章では信頼性モデリングに関する節を新設し、モデリングに対する要求を詳細に取り纏めた。ここでは、その内容を抜粋する。

近年、高温バイアス負荷によるデバイス劣化である BTI(Bias Temperature Instability)の根本的な原因に関して活発な論争が繰り広げられている。この原因が酸化膜や界面に生成される電荷に因るものであることについては多くの研究者の意見は一致しているが、モデルの詳細については異なる場合が多い。任意のバイアス状態での劣化を記述する適切なモデルが無いために、現実的な回路動作時のトランジスタ劣化を予測することは極めて困難な問題である。モデル開発における主な阻害要因は、実験的な検証が困難な点と回復過程でのバイアス依存性が強いことである。従って、モデルの妥当性の検証を進めるためには、測定技術

の開発やその理解を深めることが不可欠である。新たな高誘電体ゲート絶縁膜の導入や多くの材料が現在検討されており、BTI が予測可能となるモデルが直ぐにでも必要な状況である。

酸化膜や界面に生成する電荷によって説明されるもう一つの劣化機構はホットキャリア注入(HCI: Hot Carrier Injection)である。BTI が基本的には1次元の現象であり、トランジスタの電氣的な振る舞いが比較的単純であるのに対し、HCI のモデリングはチャンネル中にホットキャリアが発生するため極めて複雑である。ホットキャリアは汎用的なドリフト拡散の表式では適切に記述できず、ボルツマン方程式から得られるより高精度な解が要求される。これにより計算時間が膨大になってしまい、これを解決するための適切な数値計算方法の開発が至急の問題である。多くの経験的なモデルが報告されているが、HCI に関する完全な理解や予測可能なモデルはいまだに得られていない。

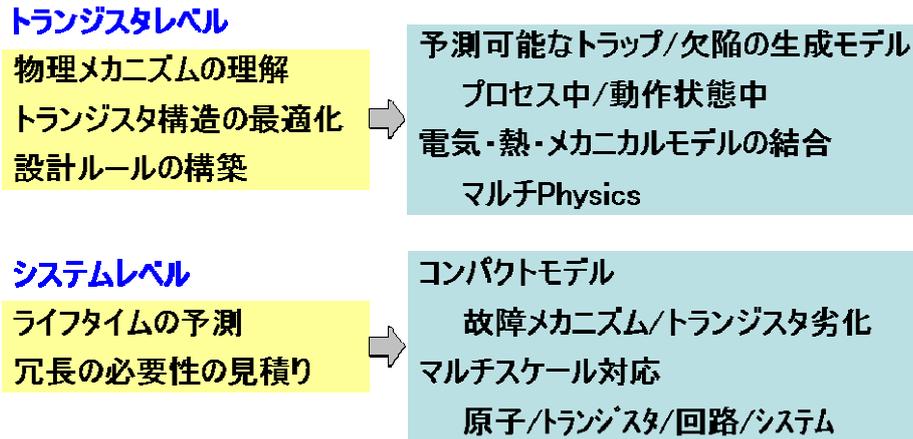
不揮発メモリにおける重要な信頼性の問題は、電荷の保持特性や耐久性に由来する。これらは、通常の浮遊ゲートデバイスでは層間絶縁膜における欠陥準位への電荷のトラップ/デ・トラップに関連する。また、回路レベルのデバイスの信頼性(特に、多値の適用の場合)では、書込み/消去アルゴリズムを最適化するためにアレイ間の干渉による誤動作をモデル化する必要がある。エラー修正コードのモジュール開発のためにはビット不良率を精度良く見積もる必要がある。相変化型のメモリでは、動作時に局所的に高い電流密度が発生し温度勾配も急峻になるため、これらの厳しいストレスが掛けられた状態でのアレイ間の干渉やリセット時のデータ保持や耐久性を調べるために、正確な電氣的・熱学的なモデリングが必須となる。DRAM におけるもう一つの信頼性モデリングの問題は、セルトランジスタのデータ保持時間の劣化である。これは、例えば熱工程やバーンインテストまたは歪などの熱電氣的あるいは機械的なストレスにより生成する欠陥を考慮する必要がある。

外部の物体からデバイスに送られる静電気は、熱的に誘起されるハード障害(例えば、ゲート絶縁膜や接合の破壊、内部配線の溶融など)を引き起こす。ESD(Electrostatic Discharge)のモデリングでは、発熱とその伝播、シリコンの融点までの温度領域におけるキャリア移動度とインパクトイオン化、基板効果(寄生素子、ノイズ結合)、絶縁破壊(ゲート酸化膜や低誘電体)などに注力する必要がある。3次元の熱電氣的な回路やデバイスシミュレーション、物理的かつ予測可能なモデル、物理モデルの妥当性検証、システムレベルのシミュレーションなど、まだまだ開発すべき重要な問題が残されている。

放射線は、デバイス内部(例えば、パッケージ物質、シリコンやドーブされた元素の放射性同位体など)または外部(例えば、宇宙線や外部の放射線源)で生成される。これらの放射線は蓄積効果をもたらし、デバイス特性の時間に依存した劣化(接合リーク、しきい電圧変動)を引き起こす。さらに、SEU(Single Event Upset)と呼ばれるハード障害(ゲート酸化膜破壊、ラッチアップ)およびソフトエラー(例えば、メモリ素子のデータ消失など)を引き起こす。加速試験の結果からシステムレベルのソフトエラー率を外挿できるモデルやシミュレータは、今のところ無い。

代表的な信頼性の問題について触れてきたが、M&S はトランジスタレベルおよびシステムレベルの検討に期待されており、そのためには以下の要求に取り組んでいく必要がある(図表 11-8)。

- ・トラップ/欠陥生成(プロセス中と動作状態中の両者)の予測可能なモデル
- ・トラップ/汚染原子の配置に関する統計的な取り扱い
- ・デバイスシミュレーションにおいて時間的な構造変化の取扱い
- ・特性劣化を表現するコンパクトモデル
- ・電氣的/熱的/機械的モデリングの高精度な結合(マルチ Physics)
- ・各階層(システム/ボード/チップ/回路/デバイス/原子レベル)の結合(マルチスケール)

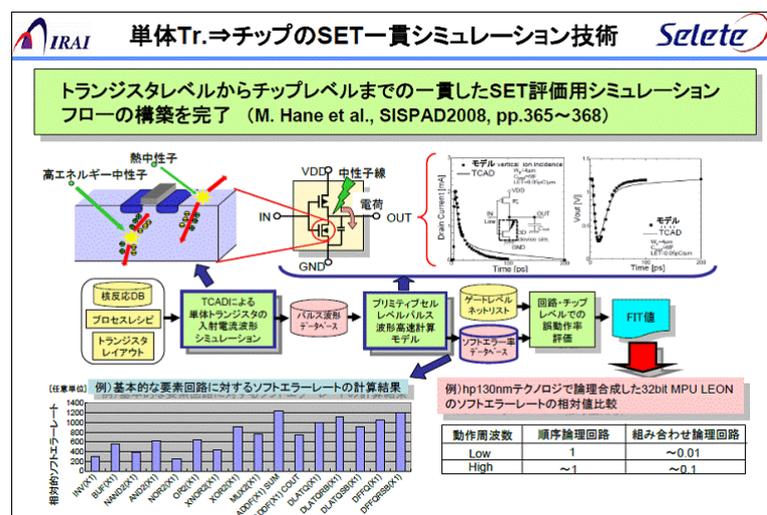


図表 11-8 信頼性における TCAD への要求と課題

11-4-2 信頼性モデリングの例

STRJ ロードマップ委員会専門部会の活動の一環として、信頼性モデリングの取組みに関してヒアリングを行った。ここでは、マルチスケールの対応例として、NEDO プロジェクトの成果を紹介する。

図表 11-9 は、ソフトウェアシミュレーション技術の概要を示したものである。中性子がシリコンの原子核に衝突するとシリコンの原子核が壊れ、その飛跡上に電子正孔が発生する。この電子または正孔が電極に集められると、回路に電流が流れて端子電圧が変動する。端子電圧の変動がラッチに到達すると情報が反転して誤動作へと繋がる。つまり、原子レベルの反応が原因となってシステムの不良が起きる。ここでは、システムの不良率を定量的に予測するために、各階層で現象をモデル化し、データベースを構築している。このシミュレーション技術により、回路ブロック毎の不良率の見積りが初めて可能となり、ソフトウェア耐性の優れた回路設計が行えるようになってきている。



図表 11-9 ソフトエラーシミュレーション技術(本開発は NEDO プロジェクトの成果である)

11-5 まとめ

ITRS の M&S 章の改版のポイントとして、開発コスト・開発期間の削減要求値、ばらつきへの対応方法、信頼性モデリングを挙げた。開発コスト・開発期間の削減要求はアンケート調査によるもので、M&S に大きな期

待がかかっている。この期待に答えるには更なる M&S 技術の進展が必要となる。システマティックばらつきに対しては、特性変動量を考慮した設計が可能であり、国内デバイスメーカーが取り組んでいる実例を示した。信頼性モデルでは、マルチ Physics やマルチスケールの対応が新たに必要となっており、国内コンソーシアムの活動成果を示した。

M&S 技術の供給者は、主に、大学や研究機関の研究開発者である。TCAD ソフトベンダーの技術者はこうした活動を担う上で重要な役割を果たし、多くの場合に研究開発成果を商用シミュレーション・ツールにカスタム化することで M&S 技術の研究開発者と半導体企業における技術者とのインターフェイスとなっている。半導体企業の技術者は主に、半導体素子や回路の開発やその最適化、シミュレーション機能の適用、応用に焦点を向け努力している。今後の M&S 技術の進展のためには、大学や研究機関と産業界とが連携した活動が益々重要となる。