第 14 章 WG12 ERD

14-1 はじめに

MOSFET は性能向上および集積度向上のため過去 30 年以上にわたって指数関数的に微細化され、情報機器の急速な進歩をもたらしてきた。しかし、この指数関数的な微細化が永久に続くことはない。CMOS の微細化限界および性能向上限界は各所でささやかれる。そこで、従来の CMOS に代わって CMOS の性能を凌駕する全く新しい原理で動作するデバイス技術の研究が始まっている。Emerging Research Devices (ERD) ワーキンググループでは、このような新しい原理に基づくロジックデバイス、メモリデバイスに加えて、従来のディジタル回路とは全く異なるアーキテクチャに基づく情報処理等に関する議論を行っている。

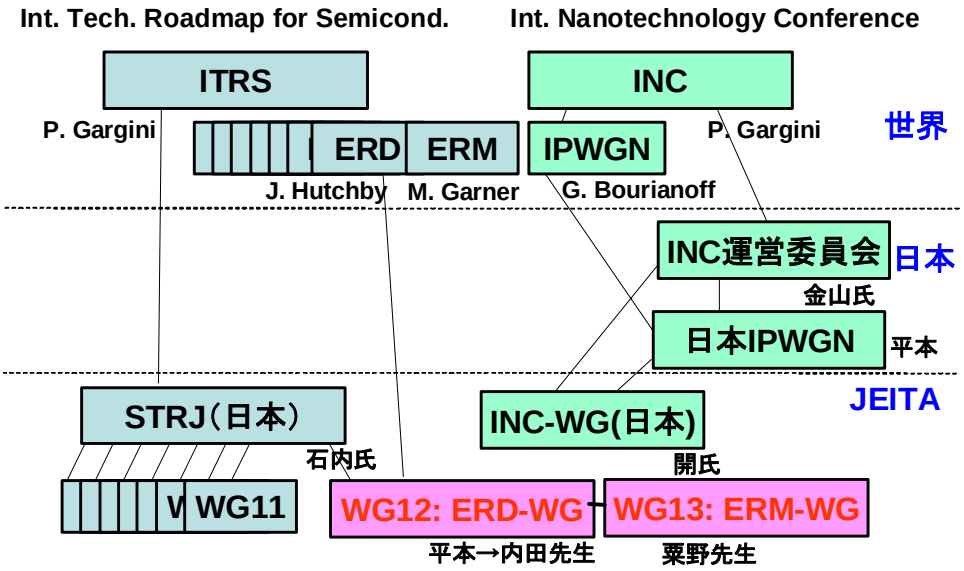
ITRS では 2001 年版より PIDS の章の中に ERD の節が設けられた。将来の新材料・新原理デバイス技術の候補を挙げ、そのメリット、デメリット、研究状況を概説することにより、新材料・新原理デバイスに対するガイドラインを示してきた。ERD の節は ITRS が改訂される度に重要性を増し、2005 年版の ERD は、ついに PIDS の章から独立し単独の章となった。また、2006 年版からは新材料を扱う Emerging Research Materials (ERM) の章が独立した。

日本の STRJ では、2001 年ころから WG-6 の PIDS の中に ERD の担当者をおき、ITRS の ERD の章作成に関わってきた。そして、2006 年 2 月に PIDS から独立する形で ERD の新しい WG が発足した。STRJ(委員長:石内氏)への報告義務を有するとともに、ITRS の ERD-WG(リーダーは SRC の J. Hutchby 氏)とも綿密に連絡をとりながら活動を進めている。他の WG と大きく異なる点は、これまで VLSI とは縁の薄かった新規材料・新原理デバイス、新アーキテクチャ等を扱うことである。そのため、本 WG には企業委員に加えて大学や独立行政法人の特別委員が多い。また、2006 年 11 月には ERM WG (WG13)も ERD から独立する形で発足した。

一方、本 WG は INC (International Nanotechnology Conference) 関連の業務も行ってきた。この国際会議は、ナノテクノロジー関連の国際的な協調や情報交換を支援することを目的とする国際会議で、2005 年 6 月に第 1 回が開催された(INC1)。現在、米国、EU、日本の 3 極が正式に参加している。2008 年 4 月には日本で第 4 回目の会議(INC4)が開催された。JEITA では、INC 関連の活動を行うため、INC-WG(委員長は東芝の開氏)を設置している。さらに、INC には、国際的なナノエレクトロニクス関連の研究活動を調査する IPWGN (International Planning Working Group for Nanoelectronics)が設置されており、3 極のナノテクノロジー研究の調査の他に、ナノエレクトロニクスの Research Needs の議論を行っている。本 WG-12 (ERD)では、JEITA の INC-WG に付属して技術的な議論を担当するとともに、IPWGN の日本側担当 WG も兼ねてきた。しかし、2010 年に日本の IPWGN が INC の運営委員会の下に発足することになり、2010 年からは ERD-WG は INC とは独立して活動を行うことになった。本 WG の位置づけを図表 14-1 に示す。これまで本 WG は、STRJ、ITRS の ERD-WG、JEITA の INC-WG、INC の IPWGN の 4 つの委員会に付属していたが、今後は INC から切り離されて STRJ、ITRS の ERD-WG に付属することになる。

なお、2010 年 4 月からは主査が平本(東京大学)から内田健准教授(東京工業大学)に交代する予定である。

ITRS の ERD 章では、2009 年版をリリースした。本報告では、ロジック、メモリ、アーキテクチャに分けて ERD 章の 2009 年版の概要と 2009 年度の ERD-WG の活動を報告する。



図表 14-1　本 WG-12 (ERD)の位置付け。

14-2　ロジックデバイス

14-2-1　2009 年版 ERD 章ロジックデバイス節の概要

ERD のロジックデバイス節では、もともと CMOS に代わる新原理デバイスを議論していた。いわゆる Beyond CMOS である。2005 年版では Beyond CMOS への期待の高まりから、ロジックデバイスの節では電荷以外を状態変数とするさまざまな新原理デバイスが取りあげられた。しかし、その後の議論で、「CMOS の性能を越すことが可能なデバイス技術は、結局のところ CMOS 以外には存在しない」といった認識に達し、2007 年版では CMOS 置き換えを狙うより CMOS を補完する新デバイスの議論が行われるようになった。2009 年版でもこの流れは変わらず、さまざまな方法で CMOS の延長させる技術と CMOS を補完するデバイスが議論されている。

以上の考え方に基づき、2009 年版ではロジックデバイスの候補を下記の 3 つに分類し、3 つのロジックデバイスの表を作成した(2007 年版では 2 分類であった)。

第一の表　MOSFET:チャネル材料の拡張
第二の表　電荷ベースの Beyond CMOS デバイス:従来型でない FET とその他の電荷デバイス
第三の表　その他の情報処理デバイス

これらの表を図表 14-2 から図表 14-4 に示す。第一の表ではシリコンに代わるさまざまな MOSFET のチャネル材料が挙げられている。これまでカーボンナノチューブやグラフェンなどは Beyond CMOS に分類されることもあったが、2009 年版では MOSFET の延長技術と位置付けられた。一方、第二の表では、最近多くの研究発表がなされつつある急峻なサブスレッショルド特性を持つトランジスタが大きく取りあげられた。これらのデバイスはトンネル電流を用いるなど原理が FET とは異なるため、電荷ベースの Beyond CMOS と位置付けられた。さらに、スピントランジスタも、スピンを用いてチャネル抵抗を変化させるものの情報の担い手は電荷であるので電荷ベースの Beyond CMOS と位置付けられている。

電荷を状態変数としない Beyond CMOS は第三の表に纏められている。候補として表に掲載されたデバイスは、Collective spin デバイス、Moving Domain wall デバイス、原子スイッチ、分子デバイス、Pseudospintronc デバイス、ナノマグネティックデバイスである。これらのデバイスは原理が根本的に MOSFET とは異なるが、これ

らのデバイスのみで情報処理を行うことは難しいと考えられており、CMOS との融合が模索されている。

すなわち、いずれの表も、日本が以前から提案している Extended CMOS の考え方(CMOS プラットフォームに Beyond CMOS や More Than Moore などのさまざまな機能が融合されるという考え方)にのっとっていると言える。Extended CMOS の考え方の詳細については、2006 年版、2007 年度あるいは 2008 年度報告を参照されたい。

Device		*FET [A]*						
Typical example devices		Si CMOS	CNT FET	Graphene Nanoribbon FET	Nanowire	III-V FETs	Ge FETs	Unconventional geometries FinFET Tri-gate FET GAA FET Local SOI
Cell Size (spatial pitch) [B]	Projected	100 nm [C]	100 nm [D]	100 nm	30 nm	15 nm	15nm	100 nm [C]
	Demonstrated	590 nm	~1.5 μm [E]	1.5 μ [J]	~1 μ [K]	40nm [R]	26nm [U]	300 nm [Y]
Density (device/cm^2)	Projected	1.00E+10	4.50E+09	4.50E+09	1.00E+11	1.00E+11	1.00E+11	1E10 [C]
	Demonstrated	2.80E+08	4.00E+07	4.00E+07	1.00E+08	1.5E10 [S]	3E10 [V]	4.7E9[Z]
Switch Speed	Projected	12 THz	6.3 THz [F]	Not known	6.5 THz [L]	Not known	Not known	12 THz [C]
	Demonstrated	1.5 THz	4GHz [G]	26 GHz[I]	250 GHz [M]	2THz [T]	290GHz [W]	> 200 GHz[A1]
Circuit Speed	Projected	61 GHz	61 GHz [D]	61 GHz [J]	100 GHz [N]	Not known	Not known	61GHz [C]
	Demonstrated	5.6 GHz	220 Hz [H]	22 kHz[J]	11.7 MHz [O]	Not known	Not known	8 GHz[A2]
Switching Energy, J	Projected	3.00E-18	3.00E-18	3.00E-18	4E-20 [P]	Not known	Not known	3.00E-18
	Demonstrated	1.00E-16	1E-11 [H]	Not known	6.0 E-16 [Q]	Not known	4.0E-15 [X]	Not known
Binary Throughput, GBit/ns/cm^2	Projected	238	238	61	1.00E-04	Not known	Not known	238
	Demonstrated	1.6	1.00E-08	Not known	1.20E-04	Not known	Not known	Not known
Operational Temperature		RT	RT	RT	RT	RT	RT	RT
Materials System		Si	CNT, Graphene		Si, Ge, III-V, II-VI, In_2O_3, ZnO, TiO_2, SiC	InGaAs, InAs, InSb	InGaAs, InAs, InSb	Ge
Research Activity [A3]			240	84	313	167	41	230

図表 14-2　第一の表　MOSFET:チャネル材料の拡張。

Device		Si CMOS	Steep Subthreshold Slope Devices			Spin Transistor	Single Electron Transistor	NEMS
			Tunnel FET	I-MOS	Negative Cg FET			
Typical example devices			All Si tunnel FET Strained Ge or III-V		Ferroelectric FET [H], [I]	Spin FET [K] Spin MOSFET		
Cell Size (spatial pitch) [B]	Projected	100 nm	20 nm [A]	100 nm	100 nm [same as CMOS]	100 nm for spin MOSFET [L]	40 nm [O]	100 nm [X]
	Demonstrated	590 nm	Demonstrated: 70 nm, 100nm [B,C]	2000 nm	Not known	~1μm (channel length) for Spin FET[M]	~200 nm [P,Q]	900 nm
Density (device/cm^2)	Projected	1.00E+10	Not known: channel length scalable down to 20nm [D]	1.00E+10	1E10[same as CMOS] [I]	~1E10 for spin MOSFET [L]	6.00E+10	1.00E+10
	Demonstrated	2.80E+08	~1E10	2.50E+07	Not known	Not known	~2E9	1 /cm**2 W2
Switch Speed	Projected	12 THz	Not known	Identical to CMOSFET- with Ge, SiGe [E],[F],[G]	Not known - Limited by the ferroelectric response time,	~10 THz or less for spin MOSFET [N]]	10 THz [R]	1 GHz [Y]
	Demonstrated	1.5 THz	Si/Ge/InAs tunneling source: [illegible]	Not known	Not known	30GHz for Spin FET[M]	2 THz [S]	0.18 GHz [Z]
Circuit Speed	Projected	61 GHz	Not known	Identical to CMOSFET- with Ge, SiGe [E],[F],[G]	Not know - Limited by the ferroelectric response time,	~10GHz or less for spin MOSFET [M]	2 GHz [O]	1 GHz
	Demonstrated	5.6 GHz	Not known: will depend on the source material used	Not known	Not known	Not known	1 MHz [T]	.18 GHz
Switching Energy, J	Projected	3.00E-18	Not known	Identical to CMOSFET- with Ge, SiGe [E],[F],[G]	Not known	1E-17-1E-18 for spin MOSFET [M]]	1×10^{-18} [O] [$>1.5\times10^{-17}$] [U]	5E -17 J [A1,A2]
	Demonstrated	1.00E-16	Si/Ge/InAs tunneling source: 90/90/3000E-18 J/um at VDD=0.5V, L=20nm [A]	Not known	Not known	Not known	8×10^{-17} [V] [$>1.3\times10^{-14}$] [W]	
Binary Throughput, GBit/ns/cm^2	Projected	238	Not known	Not known	Not known	~200	10	10
Research Activity [A4]			55	23	2	83	67	47

図表 14-3　第二の表　電荷ベースの Beyond CMOS デバイス:従来型でない FET とその他の電荷デバイス。

	Collective spin devices	*Moving Domain wall*	*Atomic switch*	*Molecular*	*Pseudospintronc*	*Nano magnetic*
State Variable	Spin	Polarization, magnetization	metal cations / atoms	Molecular configuration	Charge distribution symmetry in two layers	Magneric polarization patterns
Response Function	Sinusoidal, various	Non linear	Non-linear	Nonlinear, NDR	Gate controlled NDR	Non linear
Class—Example	Spin Wave Mach Zender	Ferromagnetic wire devices	Programable logic	Combinatorial logic circuits	Bilayer Pseudospin Field Effent Transistor	MQCA majority gate
Architecture	Morphic	Morphic	Morphic, cross bar	Morphic	Morphic	Morphic
Application	Signal Processing	Low power, reconfigurable logic	Non volitale logic	Combinatorial logic circuits	General purpose logic	General purpose logic
Comments			Low resistance, low power		Extremely low power	Low power, high density
Status	Demonstrated	Simulated	Demonstrated	Simulated	Simulated, theory	Demonstrated
Material Issues	High propagation loss, slow propagation velocity	High permeability material required			Low defect bilayer graphene, contacts	

図表 14-4　第三の表　その他の情報処理デバイス。

14-2-2　STRJ ERD-WG の活動概要

今年は 2 年に 1 度の ERD チャプター改訂の年であり、日本の STRG ERD-WG(WG-12)も前半は ITRS 2009 年版の内容のブラッシュアップを行った。一方、後半は ITRS 2011 年版に向けてのロジック技術に関するヒアリングと議論が主な活動内容となった。

ITRS2009 年版の内容策定に関しては、サンフランシスコ大会(7 月)や電話会議等で積極的に議論を展開し、CMOS 技術と新デバイスの融合による Beyond CMOS 技術が今後有望であるという考え方を広めたこと、各素子技術を機能ベースで体系的に分類するのがよいという主張を概ね Table に取り入れてもらったこと等が主な貢献であった。

ITRS 2011 年版に向けては、いよいよ微細化主導のロードマップの終焉が間近に迫る中、More than Moore や Beyond CMOS 技術が More Moore 技術と融合して新しいアプリケーションが創出されてゆく「Extended CMOS」という流れが次第に見えてきており、技術選定のためにヒアリングを開始した。これも日本側が古くから主張してきた考え方であり、1 年をかけてレビューと絞込みを行ってゆく。

そのほかの特記事項としては、Proc. IEEE にて Beyond CMOS 技術に関する特集号が組まれることとなり、関連する多くの日本研究者が寄稿したことや、2009 年版の議論の内容が日経マイクロデバイスに取り上げられたこと等が挙げられる。いずれも、ERDE-WG のアクティビティとその重要性が社会に認知されて来ていることを示す出来事といえる。

以下、ITRS 2009 年版 ERD 章のロジック技術における日本側の貢献内容、および日本における ERD ロジック技術の評価・選定作業の状況について記す。

14-2-2-1　ITRS2009 において日本側が執筆したロジック技術に関する主な議論

(1) 原子スイッチ

イオン伝導体材料として Cu2S を使用した 3 端子原子スイッチをはじめ、金属酸化物系で原子スイッチが可能になってきたこと、Ta2O5 を使って十数個の金属イオンの移動でオンオフする不揮発性 3 端子原子スイッチが可能となることなどがトピック. ロジックの観点からは3端子は魅力的であること、3端子をやっているグループはまだ少ないが、世界的な動向も注意すべきであることなどが議論された。

(2) 単電子素子

基本的に昨年から大きく変更する必要はないが、今までの単電子素子に対する誤解をこの際解きたいとの

議論がなされた。単電子素子はFET回路であり安定に動作すること、単電子トランジスタでCMOS的な回路が構成可能であることが強調したい点。よく、背景電荷に敏感であることから動作が不安定なのではといわれたり、ロバストさが疑問視されたりするが、ナノワイヤFETなど、微小なFETは全て背景電荷に敏感で大差なく、面電荷の影響等もクーロンブロッケード振動周期分のVthシフトとなり、必ずしもデバイス故障にはつながらない。

(3) Surrounding Gate MOSFET

ERDとPIDSの間で継続的に調整必要との認識。PIDSが書かなければERDに入れても良いが、日本側としては通常のテクノロジーがERDに戻ってきた印象を受ける。米国がこれをERDに入れたいと思っている理由は、低コンタクト抵抗素子の一つの位置づけではないかと推測された。(結果的には Unconventional Geometries for FET devicesという形でERDに取り入れられた。)

(4) III-V チャネル素子

高移動度、高速度、歪み、Γ-valley、Low-valley、CNT技術、表面終端技術などを中心に記述することとなった。オーミックコンタクトが作りやすいこととバンドギャップが適当にとれることから現在のところInGaAsが最も注目されている。ただし、バンドギャップが小さいものでも量子閉じ込めで大きくできるという報告や、シリコンの場合よりも高いストレス依存性があるという報告もあるため、材料選定に関してすら、まだまだ研究の余地がある。

(5) その他

Extended CMOSの考え方が脚光を浴びてきているので、詳しく記載するように要望した。また、2007年版で日本側が提案し好評であった、過去との比較チャートを 2009 年版でも作成することが決定した。そのほか、Spin-MOSの言葉の定義に混乱(間違い)があることなども議論された。

14-2-2-2 ITRS2011 に向けてのロジック技術レビュー

(1) ERDのアプリケーションについて

具体的なERDを一つ選び、それを用いて何が可能となるか議論した。一つの有力な応用としては、スイッチ＋不揮発メモリによって実現するPLD (Programmable Logic Device)が挙げられた。これが実現すればFPGAとFLASHの統合が可能となり、コンパクトな機器の実現に結びつく。その他にもセルラーオートマトンや衝突計算ロジック、アナログ応用、ReRAMをシナプスに用いたNeuro-computerなどがあり、実用化には課題も多いものの、特定用途については有用な技術となりうるとの印象。これらいわゆる「Extended CMOS」はこれからのERDにおける一つの柱と考えられるため、今後も積極的に議論を行ってゆく。

(2) スピン物理の基礎について

スピンホール効果・スピンカレントの基礎およびその応用可能性についてレビューを行い、スピンホール効果に関わる電流は本質的に非散逸であり、電子は分裂させれば散乱や乱れによる影響を受けなくなることをご教授いただいた。これは、電子の組み換え技術による新しい現象の設計ができることを意味しており、例えば低消費電力デバイス応用が期待できることなどがわかった。今後、これまでの固体物理の概念がスピンエレクトロニクスにどんどん入ってくることを期待させる講演であり、今後も継続的に議論を行うこととなった。

(3) グラフェン FET

グラフェンは高い移動度と電流密度耐性をもち、FETやポストCMOSデバイスなどへの応用が期待されている。今回特に、基板上へのグラフェン合成、バンドギャップ形成、グラフェン上への酸化膜形成技術等についてレビューを行い、CVD によるグラフェン合成においては触媒が最重要ファクターの一つであること、バンドギ

ャップ形成に関しては、ナノリボンと呼ばれるグラフェンを数 nm 幅程度に狭窄化にした構造において実験で100meV 近くギャップが開くと報告されたこと(2 層グラフェンへの電場印加によってもギャップが開く)、酸化膜形成については移動度の観点からまだまだ研究開発が必要なことなどが議論された。グラフェン FET についてはまだまだ研究項目も多いが、ERD Logic における最重要アイテムの一つであることは間違いない。

(4) カーボンナノチューブのエレクトロニクス応用について

カーボンナノチューブの応用の範囲としては、トランジスタ応用、フレキシブルトランジスタをはじめ、電子線源や Beyond CMOS 的な新機能デバイス、化学修飾可能な大きな表面積を活かしたバイオセンサなども考えられている。ERD Logic としてトランジスタ応用を考えた場合、バリスティック性というメリットが最大の魅力だが、実用化には接触抵抗低減、半金分離、高密度配列などの技術開発が必要である。特に、プロセス再現性が悪い(レジストプロセスが使えない)点に関しては今後の改善が必須である。しかし、そこが解決されれば、量子コンピューティングや単電子エレクトロニクス、テラヘルツ検出、分子スケールナノデバイスなどの多くの応用も期待できる。

(5) Ferroelectric gate FET の 0.5V 動作 SRAM 応用

SRAM における必要供給電圧はスケーリング効果が小さく、現在 1 V 程度。これは、ばらつき増加が主な原因で、static noise margin の減少によるもの。SRAM を構成する FET をすべて FeFET で置き換えれば、強誘電体の材質、膜厚を調整することで、±0.5V で十分な分極率変化を起こすことができる。分極を飽和させることはできないが、マイナーループにおける分極変化を使うことは可能である。これにより、インバータの論理閾値を変えることでメガネカーブの 2 つのウインドウを意図的に非対称にでき、Static noise margin を確保できる。シミュレーションでは書き込みマージン電圧は十分確保でき(0.4 V 程度)、SRAM の active power をトータルで 30%以上低減できる可能性がある。実用化すれば極めて有望な技術となる。

(6) 低 S-factor デバイスの現状について

低 S-factor 達成へのアプローチとしては Negative capacitance を利用した Ferroelectric FET、T-FET、Feedback-FET などがあるが、2008 年以降、UCB の T-FET を筆頭に、大学からの T-FET、Feedbck-FET に関する報告が急増している。T-FET のトピックとしては、SOI 構造、埋め込み Ge ソース、ソース端でのバンドエンジニアリングなどがあり、課題である Ion 向上を図っている。PiN の左右非対称構造が特長で、通常 MOS 構造だと off 時のリークが増加してしまうため、如何に構造を使い込むかが問題である。また、Ge をゲート端にオーバーラップさせる必要があるが、ゲートリーク増大の可能性があって注意が必要。T-FET の信頼性は良く分かっていない。他にも、Suspended-Gate-FET などの MEMS 型もある。いずれにしても Ion 向上と LSI へのインテグレーションが課題である。

14-3 メモリ

2009 年度は、ITRS2009 年版 ERD チャプターの策定・記載に参画・協力するとともに、ITRS2011 版の作成に向けた新規探索系メモリ技術のヒアリングと討議を行った。また、2010 年度に行う ERD メモリ技術アセスメントに向けた議論を行った。

14-3-1 2009 年版 ERD 章メモリ節の概要

ITRS2009 で掲載予定の新規探索系不揮発性メモリ(NVM: non-volatile memory)は 8 種類ある。ゲート容量変化型が 1 つ(強誘電体 FET メモリ)、他はすべて抵抗変化型である。2009 年版では、Engineered Tunnel

Barrier Memory(トンネル障壁エンジニアリングメモリ)が抜けて、STT-RAM(スピン RAM)とナノワイヤ PCM (phase change RAM)が新たに追加。他は ITRS2007 に掲載したメモリ技術とほぼ同じだが、名称や記述内容には補充・修正がある。

(1) 強誘電体 FET メモリ: 強誘電体キャパシタが FET のゲート積層構造中に組み込まれた 1T メモリデバイス。強誘電体の分極は直接、チャネル中の電荷に作用し、FET の出力特性の明確な変化を起こす。チャネル界面には、低密度の界面準位を保証するために高品質の絶縁膜が必要となる。このため、優れた電気特性を有する FeFET を作製することは現状では非常に困難である。FeFET デバイスのスケーリングは、MOSFET のそれに準ずると思われるが、現実的には 22 nm 世代程度が限界であろう。これ以上縮小すると、絶縁膜厚が薄くなり過ぎて、抗電界の膜厚依存性から考えて強誘電的性質を維持するのが困難になるからである。

(2) ナノ電気機械式メモリ(NEMM): 双安定な極小の電気機械式スイッチに基づいたメモリ。機械的なデジタル信号は、電気回路の開閉を引き起こす固体の極小要素の変位によって表される。CNT のクロスバー(横木)メモリが代表的で、これを交互に交差させて、メモリアレイを形成する。各交点がメモリ素子部となり、メモリの状態は接合部(交差点)の抵抗値として読み出される。宙吊りの梁を使う NEMM の課題は、そのスケーラビリティである。最近の研究によれば、梁の長さが 50 nm 以下になると、低電圧(~1 V)動作は困難になるという。宙吊り梁のメモリ以外に、様々な新しい NEMM のコンセプトが提案されている。Fe のナノ粒子を電気信号で制御して中空のナノチューブ経路(チャネル)内を往復運動(シャトル)させるナノ電気機械式のデバイスでは、チャネル内における Fe ナノ粒子の位置によって、チャネルの抵抗が変化する。また、厚さ 5-10 nm の薄い非連続なグラファイトのシートにおける双安定な電流-電圧挙動が報告されており、この効果に対し、ナノ電気機械的な動作原理が提案されている。

(3) スピントランスファートルクメモリ(STTRAM): MRAM の発展形であるが、書き込み原理が異なる。メモリセルは、セル選択用の半導体デバイスと磁気トンネル接合(MTJ)から成る。MTJ は、2 つの強磁性層が MgO ベースのトンネル障壁層で分離された構造を取り、MgO 膜の厚みは 1 nm 程度。MTJ の状態スイッチングは、スピン分極した伝導電子を MTJ を通して流すことで行われる。スピン分極電流における伝導電子のスピン角運動量が磁化自由層の磁性を担う電子に転送され、生じるトルクにより磁化自由層の磁化スイッチングが起きる(スピン注入磁化反転)。読み出し操作は、MRAM のそれと同じである。書き込みにスピン分極電子を使うことで、書き込みエネルギーとセルサイズの双方を大幅に低減でき、今後、セルサイズと書き込み電流をともにスケーリングしていけることが期待される。課題は、適当な熱的安定性を維持しつつ書き込み電流・電圧(エネルギー)を低減すること。垂直磁気異方性を有する磁性膜の使用がこれに対する有望な解。信頼性のある高速動作のためには、読み出し／書き込み電圧間マージン及び書き込み／絶縁破壊電圧間マージンを確保することが必要。

(4) ナノサーマル(局所熱反応)メモリ: このメモリの素子は、ナノスケールの金属-絶縁体-金属(MIM)構造から成る。この素子における典型的な抵抗スイッチング現象は、熱的な効果に基づいており、それ故、ユニポーラー的なスイッチング挙動を示す。2 通りの熱反応過程が起こり得る。一つは、電圧誘起による局所的な絶縁破壊であり、導電性のパス(フィラメント)が形成される。リセット過程において、この導電性フィラメントは、局所的に生成される 1012 W/cm3 台の高い電力密度により再び熱分解される。絶縁体候補の一つは NiO。Pt/NiO/Pt 薄膜のセルが CMOS 技術の中に無理なく組み込まれて、不揮発性メモリ動作が実証されている。フィラメント制御のための電流コンプライアンスが重要。もう一つのタイプは、ナノワイヤー構造の相変化(PCM)セルである。従来 PCM と比べると、スイッチング電流、従って書き込みエネルギーが著しく低減できる。課題は、ナノワイヤ

一のクロスバーメモリセルの作製。

(5) ナノイオニック(イオン移動)メモリ: メモリ動作は、イオン(陽イオンあるいは陰イオン)移動による MIM 構造の抵抗変化に基づく。イオン移動は、電極材料か絶縁材料、あるいは双方における酸化還元プロセスと結びついている。絶縁材はイオン伝導性を示すことが求められ、酸化物、高次のカルコゲナイド(ガラスを含む)、半導体の他、高分子を含む有機化合物が挙げられる。一つの動作方法は、陽イオンの輸送と陰極での還元により金属フィラメントを成長させるというもの。主として Ag と Cu ベースのシステムにて試作セルの動作に成功している。フィラメントが形成され対向電極がつながると低抵抗状態となり、一方、電極に印加する電圧の極性を反転すると酸化反応によりフィラメントが分解し高抵抗状態に戻る。他の動作方法として、陰イオン(たとえば酸素イオン)輸送と酸化還元反応によるものがある。これらは、絶縁材料自体に電気伝導性を誘起するが、双安定スイッチングを起こすためには、事前に何らかの発現プロセスが必要となる場合がある。スイッチング速度は、イオン輸送距離によって制限され、10 nm 以下であればスイッチング時間は 2-3 ns にできる。各種現象のメカニズムは、その詳細の大部分がいまだ不明であり、各種特性の正確な予想はまだ困難である。ナノイオニックメモリのスイッチングを支配する物理的機構の理解を進めることが重要。

(6) 電子効果メモリ(Electronic Effects Memory): 電子効果メモリは、MIM 構造にて動作する 3 つの異なるメカニズムを含む:(i) 電荷注入と捕獲、(ii) モット転移、(iii) 強誘電体分極効果。
(i) 電荷の注入と捕獲は、抵抗変化の原因になる。電荷は高電界にてトンネリングによって注入され、ついで(半)絶縁体あるいは半導体における欠陥に捕獲される。この過程は界面の障壁構造を変化させ、従ってデバイスの抵抗値も変化させる。材料の重要問題は、繰り返しに対する脆弱性―スイッチの繰り返しにおける欠陥形成―である。欠陥の形成は寿命を制限するとともに、欠陥密度分布の統計的不確実さのために寸法縮小も制限することが懸念される。また、電荷捕獲型メモリには、100 nm 以下のスケーラビリティに対する根本的な懸念がある。
(ii) モット転移メモリでは、電荷の注入は強相関電子から弱相関電子への転移を誘起し、その結果、絶縁体／金属転移が起きる。課題の一つは、各種パラメータ(電荷密度、歪み、結晶の乱れ、局所的な組成など)の微小変化に対する相関電子の応答感度である。材料及び界面の物理的及び化学的構造の精密な制御が重要となる。2 つの電子状態間転移には電界誘起転移が使われるが、熱的な作用(金属／絶縁状態間の熱的相転移)も存在すると考えられる。金属／絶縁体相転移温度は、たとえば VO2 モット転移メモリでは約 68℃と低く、このような転移を防ぐための熱的な環境制御が難しい。強誘電体酸化物の界面における擬 2 次元電子ガスの形成に基づく新たな金属／絶縁体転移デバイスも提案されている。分極を制御することで、界面は高い伝導性あるいは絶縁性を示す。
(iii) 強誘電体分極は、極薄膜のトンネル特性、あるいは、隣接する半導体層におけるショットキー型空間電荷層を変調することができ、これにより強誘電性の抵抗スイッチングが生じる。実験的には、強誘電体トンネルデバイスの実現は、極薄(~nm)の高品質強誘電体障壁層が必要となるために大変難しい。最近、強度に歪まされた薄い(厚み下限 1 nm)BaTiO3 膜にて強靭な強誘電性が得られており、導電性チップを有する AFM を用いたトンネル電流測定により、分極状態の抵抗読み出しが実証されている。

(7) 有機高分子膜メモリ(Macromolecular Memory): 金属成分を含む有機膜を電極で挟んだ構造。電圧印加で、高／低抵抗スイッチを示す。高分子(有機)膜中の金属成分が抵抗変化を起こす。高分子材料はそのための母体(active organic insulator layer)。スケーリングは重要でなく、製造コストを低減できることが魅力。メモリ動作原理は、まだ、明らかでない。離散した金属ナノ結晶における電荷の捕獲による抵抗変化、あるいは、イオン移動のメカニズムで説明される場合もある。

(8) 分子メモリ(Molecular Memory): 分子で構成したメモリセルを電極間に配置した構造。電圧印加による分子の構造変化などで抵抗変化。このコンセプトによれば非常なスケーリングが期待され、原理的には、情報の 1 bit を分子一つ分の空間内に保存できる。分子スイッチングを伴う現象に対する我々の理解はいまだ不十分であり、分子メモリは、長期的な研究が必要になると見られている。

14-3-2 STRJ ERD-WG の活動概要

ITRS2011 版の作成に向け、新規探索系メモリ技術のヒアリングと討議を行った:

(1) 第 42 回 WG12(ERD)委員会／2009.11.25 東大・竹内 健先生

「Ferroelectric gate FET」に関する講演。FLASH メモリ応用と不揮発性 SRAM 応用について。強誘電体 FET メモリは ITRS2009 にも掲載。

(2) 第 45 回 WG12(ERD)委員会／2010. 2.25 日立中研・高浦則克様

「メモリシステム及び Storage Class Memory」について。Storage-class memory : The next storage system technology” IBM Journal 2007、Future Directions of Non-Volatile Memory in Compute Applications” IEDM2009 by A. Fazio、 Intel の 2 つの文献をベースに討議。

(3) 第 46 回 WG12(ERD)委員会／2010. 3.31 東北大・作井先生

「NAND フラッシュメモリの SSD 応用」を中心としたメモリアプリケーション」に関する講演。新規探索系 NVM 研究に対する方向性を議論した。メモリシステムにおける Latency の隙間を埋める不揮発性キャッシュ、すなわち不揮発性 DRAM が目指す一つの形となる。

14-3-3 新規探索系メモリ技術評価に向けた議論

2010 年に ITRS / Emerging Research Devices WG にて、上記 ER-NVM のアセスメント(研究の重要性・将来性を総合した順位付け)を行う。Pros と Cons に分かれて debate し、ERD-WG の委員による投票で順位をつける。最初の Workshop が 2010 年 4 月にイタリアで開催される。登壇者のリストには日本の研究者(WG12 委員を含む)も登録されている。WG12 委員会からは委員 2 名が出席する予定である。14-3-2 項に述べたヒアリング及び討議も、今回の投票にあたっての事前準備にあたる。アセスメント結果は、世界の NVM 研究開発に少なからぬ影響を与えると思われる。

14-4 アーキテクチャ

ITRS 2009 年版の ERA (Emerging Research Architecture)の節では、これまでに引き続き、新概念アーキテクチャにおける ERD の利用機会の模索および評価が行われた。2008 年夏に開催された ERA ワークショップで報告された要素技術の中から、今後特に重要になると思われる評価方式および技術をブラッシュアップした。本年度はメモリデバイスのためのアーキテクチャが ERA セクションに統合され、ERD メモリの利用機会の模索も併せて行われた。2009 年度の主な評価内容は以下のとおりである:

1. 新概念アーキテクチャのベンチマーク方法
2. メモリアーキテクチャとそのパフォーマンス評価
3. 推論マシンにおける ERD の利用可能性
4. 情報処理アーキテクチャのパフォーマンス上限

以下、上記 1ー4 の内容を個別に述べる。

(1) 新概念アーキテクチャのベンチマーク方法

ポストCMOSデバイス---ERDを用いたアーキテクチャでは、情報を表現する状態変数が電荷以外となることが考えられ、そのアーキテクチャは現行CMOSのそれとは根本的に異なるものになる可能性がある。当然ながら、その回路やアーキテクチャはCMOSと比較して計算を効率的に行うものでなければならない(そうでなければERDを用いる意味がない)。デバイスサイズが量子的限界に近づくにつれ、CMOSアーキテクチャとERDアーキテクチャの差(例えば、速度 vs 消費電力)が顕著になると考えられる。

☆競合状態にある論理デバイスに対するアーキテクチャサイドからの要望

回路設計者／アーキテクチャ開発者にとって、論理スイッチの特性は極めて重要である。主に、以下のような機能を持つ論理スイッチ／デバイスが望まれている:

a) 多機能論理回路(無限の組み合わせの論理関数を容易に作れる基本素子)
b) 高アイソレーション(論理素子の出力は入力に影響を与えない)
c) 高ゲイン(高ファンアウト)
d) 論理完全性(デバイスは任意の論理関数を実現できる)
e) 自己再生機能(ゲートレベルで信号が再生される)
f) 低コスト製造性(ロバストな動作、 プロセスばらつきを許容するもの)
g) 高信頼性(エージング、 摩耗、 放射線等に対する耐性)
h) 高パフォーマンス
i) Span of Control(遅延時間／面積／通信速度に依存するスイッチの遅延特性の評価)

☆アーキテクチャの評価方法

デバイス／インターコネクト技術が情報処理アーキテクチャに与える影響を評価するために、幾つかのアプローチが取られている。以下は、複数の企業で用いられている評価方式の一例である:

a) 通信能力(通信距離、1 単位遅延時間で到達できるホスト/die 面積、 およびスイッチの数、 など)
b) ロジック部のパフォーマンス(32bit 加算器など基本ロジック回路の遅延時間、 消費電力、 面積、 スイッチ数、 など)
c) ベンチマーク(CMOS との適合性、 クロック分配とその局所性、 必要とされるメモリとその適合性、 スケーラビリティ、 Reconfigurability、 など)
d) 論理関数演算の速度向上(新しいスイッチの導入により速度が向上するロジック関数、 CMOS により速度が向上するロジック関数、 CPU の機能として実現される論理関数、 向上指数などについて、MIPS (mega instruction per second)、 IPC (instructions per cycle)、 Ops/Joule (1 ジュール当たりのオペレーション数)を評価)

☆CMOS を置き換える ERD スイッチに関する所見

近年のポスト CMOS スイッチに関する研究で、下記のような共通の所見が得られている:

1) 現在のほぼ全てのアーキテクチャはノイマンコンピュータを構成するためにブール代数を用いている。この分野では、CMOS を ERD で置き換えることは難しい。
2) ERD の動作が明らかになるにつれ、それらを有効利用するアーキテクチャも現れはじめる。
3) 低電圧動作における消費電力と速度のトレードオフ問題は、post CMOS(ERD)でも同様にある。
4) ブール代数に基づく情報処理でも、新しいスイッチを用いる価値はある(特に、ファンアウトの改善)
5) オンチップのスイッチ数は今後も増加する。新スイッチのためのロジック回路ライブラリと、論理再構成技術が重要になる。
6) CMOS プロセス技術と同程度のプロセス精度が新スイッチでも重要となる
7) 新しいスイッチを使うアーキテクチャは、情報(トークン)を伝えるメカニズムを含むものではならない。

☆評価結果

SRC/NRI のサポートにより、新概念スイッチのロジック応用に関する解析が行われている(詳細は 2010 年の Proceedings of IEEE に掲載予定)。例として、まず様々な ERD スイッチを使った「ファンアウト 1 の NAND 回路」について、消費電力-遅延-面積評価を行った。その結果、i) 消費電力 vs 面積評価では ERD は CMOS よりも優れている(15 nm CMOS と比較すると、ERD 論理回路の消費電力は 0.004ー0.29 倍程度、 面積は 0.23ー0.62 倍となる)こと、 および ii) 遅延評価では ERD は CMOS よりも劣る(ERD の遅延は CMOS の 11ー24 倍程度の大きいものとなる)ことが明らかになった。

☆未来のロジックアーキテクチャにおけるアクセラレータの見通し

CMOS がハイパフォーマンス計算の分野で生き残ることは間違いない。新しいロジック／メモリデバイスは、CMOS のコアプロセッサを補助する特殊用途向けプロセッサ(アクセラレータ)として使われる。現存するアクセラレータは、暗号化／復号化、 圧縮/展開、 浮動小数点演算、 DSP 等である。

(2) メモリアーキテクチャ

2009 年度はメモリアーキテクチャが ERA セクションに含まれることとなった。メモリアーキテクチャにおける現在の共通の疑問点は、i) 現存の回路システムの問題を解決するために ERD メモリがどのような機会を与えるか、 ii) ERD メモリは万能メモリとなりえるか、 iii) ERD メモリは単なる SRAM、 DRAM、 flash の代替となるものなのか、 である。以下ではそれらの疑問を反映したメモリアーキテクチャについての議論をまとめる。

☆メモリシステムにおける挑戦

メモリシステムにおける一般的な課題事項は、低消費電力化、広帯域、低レイテンシ、ユニバーサル性(持続性、 高速動作、 小面積、 低消費電力のすべて)、低コスト化などである。特に、スケーリング則に乗せられる技術がコスト面からも重要であり、ERD メモリの場合は CMOS よりもスケーリング則に乗りにくくなるものと思われる。

論理回路／SRAM におけるソフトエラー(宇宙線等による予測できないビット反転)は次世代技術を用いても減らすことができない。この問題はデバイスレベルで解決されるべき問題である。高信頼性が要求されるようなシステムでは、故障耐性を持たせるために、メモリデータをディスクに一時保存するなどの手順を踏まねばならない(check point 方式)。一時保存のディスクは SSD が望ましいが、既存の flash ベースの SSD は書き込み回数の制限により利用できない。

ERD メモリの究極のゴールは、SRAM の利点(高速、 書き込み回数の制限なし)、 DRAM の利点(小面積、ローコスト)、 および flash の利点(不揮発性)を併せ持つユニバーサルデバイスを供給することである。ロジック回路に埋め込んで使うことができれば、論理回路の可能性は大きく広がる。

☆ERD メモリの利用機会

現在、最も開発の優先順位の高いメモリは、消費電力が最適化された広帯域メモリである。現在のメモリシステムにおいても、メモリアクセスあたりの平均電力を最小化する理論の構築とモデル開発が必要とされている。消費電力が最適化されたメモリの構造は、レイテンシ優先のメモリ構造とは大きく異なる。ERD メモリを用いれば、アーキテクチャ／回路の工夫により、メモリアクセスあたりの電力を低減できる可能性がある。

ロジック回路における ERD メモリ応用は最も興味深い。ここで特に「新探求的」なメモリデバイスは、不揮発特性を持つものであろう。これによって、ロジックデバイスがプログラマブルな要素として利用できれば、ERD メモリの利用機会は膨大なものとなる(「メモリ内部にプロセッサを置く」／「メモリ内部にロジック回路を置く」ことが

可能となる)。たとえば、参照テーブルやプログラマブルなスイッチボックスが小面積／低消費電力で構成できるようになる。特定用途向けのプロセッサの"用途"の範囲は広がり、FPGA のモジュール接続のライン制限も大幅に緩和されるだろう。また、不揮発メモリを埋め込むことで、check point 動作(ソフトエラー対策のためメモリのデータをディクスに書き込む)がデバイスレベルで行えるようになるだろう(パフォーマンス低下や消費電力増加の原因となるディスクへの書き込みが不要になる)。これらのアプリケーションでは、データを長期保存する必要はない(10 年スパンのリテンションは必要ない)。近年は、クロスバー構造により可変ロジックに関する研究が進んでいる(ナノクロスバーや CMOS、 4F2 メモリセルなどが、後述の推論マシンにおけるアナログメモリとして有望である)。

(3) 推論計算

「推論計算」は我々生物が日常的に行っている計算である。過去の経験をもとに、次はどのように行動すべきか我々は日常的に判断を行っている。このように、過去の事例／経験をもとに物事を推論できる「推論マシン」の開発は極めて重要である。現在は、ベイズ推定アルゴリズムをもとに多様な推論マシンがソフトウェア実装されているが、これを ERD により小面積／低消費電力で実装できれば、そのインパクトは測りしれない。

☆推論アーキテクチャ

ベイズ推定アルゴリズムには多くのバリエーションがある(コミュニケーション理論、パターン認識、コンピュータビジョン、ロボット工学及び音声認識などの多くの分野が含まれる)。主要なアルゴリズムは以下の三つである:

a) 分析による推論(変数除去とダイナミックプログラミング。大規模な並列化には向かない)
b) ランダムサンプリングによる推論(モンテカルロベース。並列化が容易)
c) 分散表現を用いた推論

ベイズネットワークが行う計算をマルチコア CPU にマップすることは比較的容易であるが、ネットワーク規模が大きくなると過去の記憶が効率的に蓄積されなくなる。したがって、データ構造の組織化、記憶域管理およびキャッシュの利用が重要な考慮すべき点になる。

ベイズネットワークはしばしばフィードフォワードのニューラルネットワークで表現される。推論ユニット同士をアナログ抵抗で実現する方法でネットワークを構成すれば、ナノクロスバーや CMOS などをアナログメモリとして用いることで、直接的なハードウェアを構成可能である。

(4) 情報処理アーキテクチャのパフォーマンス上限

過去 30 年、情報処理のパフォーマンスはスケーリング則の恩恵を強く受けてきた。CMOS のスケーリングが限界に達したとき、情報処理のパフォーマンスはどのようにして向上すればよいのだろうか。我々は、デバイス物理と Boltzmann-Heisenberg の量子的限界／それらのデバイスにより実装された論理回路のデバイスのパラメータの関係を模索している。デバイス／回路にそのような制限をかけた最小チューリングマシンは既に提供されている(Turing-Heisenberg Rapprochement)。

最近では、デバイスの統計モデルを用いたボトムアップアプローチを用いて、アーキテクチャを制限するデバイスのパフォーマンスを見積もる研究が行われている。このアプローチの要素は、i) 最小の回路／デバイスレイアウト面積の見積り、 ii) 自由エネルギーの見積り、 iii) エネルギー保存則の強制適用、 である。まず、情報処理アーキテクチャは、計算可能なシステムを構成する異なる要素を統合したものである、という前提条件を置く。システムのレイアウトが決まった後、熱力学を用いてデバイスの集合を動作させるのに必要なエネルギーを(事前に決定されたある方法で)予測する。本物の演算アーキテクチャは実際にはもっと複雑ではあるが、このアプローチは異なるアーキテクチャの比較を行うための基礎を提供するだろう。情報処理の要素を「エンジ

ン」と見なすと、多くの面でカルノーサイクル(理想エンジン)との共通点が見い出せる:i) このエンジンの効率により、任意の(現実の)エンジンの効率の上限が決まる、 ii) この効率は熱力学的平衡により決まる。このような「計算／演算の効率上限」を決定することは容易ではないが、ERA ではこのアプローチが情報処理のパフォーマンス上限を決める重要な第一歩であると認識している。

14-5 まとめと今後の課題

平成 21 年度の ERD-WG (WG-12)の活動内容を紹介した。CMOS を凌駕する情報処理デバイスは簡単に実現しないことがますます明らかとなり、その結果 2007 年版では、CMOS 技術と新デバイスの融合の考え方が支配的となり、2009 年版ではさらにその考えが強まった。これはもともと日本が提唱していた Extended CMOS の考え方と同じである。2011 年版へ向けての議論が始まっており、さまざまな新ロジックデバイス、メモリデバイス等が現れつつあるが、基本的にこの Extended CMOS の考え方は変わらないと思われ、日本としてもこの考え方の普及に努めていきたい。