

第 15 章 WG13 ERM

15-1 はじめに

本年度は「Emerging Research Materials (ERM) 章にとって最初の改訂の年に当る。国内ワーキンググループ(以下、WG)は、ほぼ毎月1回の割合で委員会を開催し、改訂作業の他、国内独自調査活動として「エネルギー応用のための ERM」に関する外部講師によるヒアリング調査を実施した。この他、改訂作業のための国際 WG の e-Workshop なども多数回企画され、それぞれ担当する委員が参加した。本報告では、2009 年度版の改訂内容を中心に報告する。

まず ERM-WG のミッションから振りかえると、ITRS の各 WG では「困難な技術課題」を抱えており、それらを解決するために材料面でのブレークスルーが期待されている課題が少なくない。そこで ERM-WG では、「困難な技術課題」解決の可能性を有する新材料技術をいくつか調査し、それぞれの現在のポテンシャルと残された課題、時間的要請を明らかにする。すなわち、いつまでにどのような性能の材料が必要とされていて、新技術としてどのような研究が成されているか、それらが実用化されるには、あとどのような研究がいつまでに必要かを調査する。それらの結果は、半導体メーカーの他、大学や各種研究機関、材料メーカーや装置メーカーで技術開発に携わる人々を含め広くメッセージとして発信される。スコープは、トランジスタや配線、実装、プロセス、信頼性、モデリング、計測など広範囲に渡る。そのため扱う材料も多岐に渡る。特に最近では Si-CMOS トランジスタの性能限界がいよいよ見えてきたため、CMOS 性能を究極まで引き出すための代替チャネル材料(Alternate channel materials)や、CMOS を超える beyond CMOS と呼ばれる新しい概念のデバイス Emerging Research Device(ERD)用材料について、ERD-WG と連携した活動を行っている。このように広いスコープに対応して広い材料範囲の調査を行う。スコープに含まれる材料として、図 15-1 にあるように、低次元材料(これは 2 次元、1 次元、0 次元の電子状態を用いる材料で CMOS のチャネル置換えや配線の Cu 置換えに使われる。例えばカーボンナノチューブやグラフェンなどのナノカーボン材料が含まれる)、巨大分子、自己組織化材料(これらは主にプロセスコストを大幅に低減するための材料としてリソグラフィや実装などに用いられる)、複合金属酸化物、スピン材料(これらは主に Beyond CMOS デバイスの材料として検討されている)などがある。ERM2009 年度版に関わった人数は 100 名に上る。図 15-2 には、それらの人々のリストを示す。ボード文字で書かれているのは、コアメンバーである。国際版の取りまとめは、インテルの M. Garner 氏と SRC の Dan Herr 氏が発足当時から変わらず務めてきた。国内委員会のメンバーも現在 19 名にまで増えた。この委員会は、ナノエレクトロニクス全般に対応できる国内有数の専門家集団に成長してきたと言える。

Emerging Research Materialsのミッション

各ワーキンググループの抱える「困難な技術課題」を解決する可能性のあるERMについて、その技術的・時間的要請を明らかにすること

Emerging Research Materialsのスコープ

- 低次元材料(Low Dimensional Materials:ナノ微粒子、ナノワイヤ、CNT、グラフェン他)
- 巨大分子(Macromolecules)
- 制御された自己組織化材料(Directed self-assembly)
- 複合金属酸化物(Complex Metal Oxides)
- スピン材料(Spin Materials)
- 界面 & ヘテロ界面
- その他

図 15-1 Emerging Research Materials のミッションとスコープ

Emerging Research Materialsの国際メンバー



<u>Hiro Akinaga</u>	AIST	Kohei Ito	Keio Univ.	Tsung-Tsan Su	ITRI
<u>Nobuo Aoi</u>	Matsushita	Ajeay Jacob	Intel	Naoyuki Sugiyama	Toray
<u>Koyu Asai</u>	Renesas	James Jewett	Intel	<u>Raja Swaminathan</u>	Intel
<u>Yuji Awano</u>	Fujitsu	<u>Ted Kamins</u>	HP	<u>Yoshihiro Todokoro</u>	NAIST
Rama Ayothi	JSR	<u>Takashi Kariya</u>	Ibiden	<u>Yasuhide Tomioka</u>	AIST
<u>Daniel-Camille Bensahel</u>	STM	Sean King	Intel	Peter Trefonas	Rohm Haas
Bill Bottoms	Nanonexus	Atsuhiko Kinoshita	Toshiba	Toyohiro Chikyow	NIMS
George Bourianoff	Intel	Yi-Sha Ku	ITRI	Ming-Jinn Tsai	ITRI
<u>Alex Bratkovski</u>	HP	Wei-Chung Lo	ITRI	<u>Ken Uchida</u>	TI Tech
Bernard Capraro	Intel	Louis Lome	IDA Cons.	<u>Yasuo Wada</u>	Toyo U
<u>John Carruthers</u>	Port. State Univ.	Allan MacDonald	Texas A&M	Vijay Wakharkar	Intel
David Chang	SPIL	<u>Francois Martin</u>	LETI	<u>Kang Wang</u>	UCLA
An Chen	AMD	Fumihiro Matsukura	Tohoku U.	Rainer Waser	Aachen Univ.
Zhihong Chen	IBM	<u>Yoshiyuki Miyamoto</u>	NEC	Jeff Welser	IBM/NRI
Byung Jin Cho	KAIST	<u>Paul Nealey</u>	U. Wisc.	C.P. Wong	GA Tech. Univ.
U-In Chung	Samsung	<u>Fumiya Nihey</u>	NEC	H.S. Philip Wong	Stanford University
Luigi Colombo	TI	Dmitri Nikonov	Intel	Hiroshi Yamaguchi	NTT
Hongjie Dai	Stanford Univ.	Yaw Obeng	NIST	Toru Yamaguchi	NTT
Jean Dijon	LETI	Chris Ober	Cornell Univ.	Chin-Tien Yang	ITRI
Catherine Dubourdieu	L. Mat. Genie Phys.	Jeff Peterson	Intel	Yuegang Zhang	LBNL
Satoshi Fujimura	TOK	Ramamoorthy Ramesh	U.C. Berkeley	Victor Zhirmov	SRC
<u>Michael Garner</u>	Intel	Paolo Rapposelli	Intel	Chuck Szmanda	Dow
Emmanuel Giannelis	Cornell Univ.	<u>Nachiket Ravavikar</u>	Intel		
Michael Goldstein	Intel	<u>Curt Richter</u>	NIST		
<u>Dan Herr</u>	SRC	Dave Roberts	Nantero		
Bill Hinsberg	IBM	Jae Sung Roh	Hynix		
Jim Hutchby	SRC	Tadashi Sakai	Toshiba		
Saori Ishizu	AIST	<u>Mitsuru Sato</u>	TOK		
		Sadasivan Shankar	Intel		
		Shintaro Sato	Fujitsu		
		Hideyuki Sasaki	NanoAnalysis Corp		
		Atsushi Shiota	JSRMicro		
		Kaushal Singh	AMAT		

広いスコープに対応するため、現在までに約100名

ボールドはコアメンバー

取りまとめ役

国内委員

Work in Progress: Not for Distribution

STRJ WS: March 5, 2010, WG13 ERM

5

図 15-2 ERM2009 年度版に関わった人々

15-2 2009 年版での主要な変更

2009 年版での改訂の最も大きな点として図 15-7 に示す 4 つの点が挙げられる。まず、スコープに薄膜を入れたことである。薄膜とは言え、原子層レベルで制御された薄膜であり、これはチャレンジングなテーマといえる。2 番目としては、07 年版が材料別の章構成であったものを、09 年版では応用別に変更した点である。これは見た目にはかなり大きな変化になっている。応用別にすることで、同一の応用を競う複数の材料候補の間で比較ができる。また応用毎に「困難な技術的課題」をテーブルにまとめている。このテーブルは応用チャレンジテーブルと呼ぶ。3 番目は応用面で特に CMOS extension のためのチャネル代替材料について、クリティカルアセスメントを実施した点である。クリティカルアセスメントとは、いわゆる各技術の成績表のようなもので、複数の項目で評価点を付け比較する。その結果、実用化にかなり近づいたと判断されたものは、PIDS や FEP などに移していく。4 番目は ERM のロードマップとしては初めて、時間軸の入ったものを作成したことである。これは応用機会テーブルを呼んでいる。これらの点を中心に以下に説明していく。

- ① スコープに『薄膜』を追加
- ② 材料別の章構成から、応用別の章構成に変更。
各応用毎に複数の材料候補を比較。チャレンジングな課題をテーブルに（「応用チャレンジテーブル」）
- ③ CMOS extension のためのチャネル材料について、クリティカルアセスメントを実施
- ④ ERM の導入期待時期について、初めて時間軸が入ったテーブルを作成（「応用機会テーブル」）

図 15-3 ERM2009 年度版の特徴

材 料	ERD※メモリ	ERDロジック	リソグラフィ	フロントエンドプロセス	配線	アッセンブル & パッケージ
薄膜		CMOSチャネル置換: Ge, III-V, グラフェン トンネルFET: Ge & III-V IMOS: Ge or III-V スピンFET: III-V, Ge BISFET: グラフェンC			極薄バリアのための 遷移金属とナイトライド	
低次元材料	NEMSメモリ 巨大分子メモリ (ナノ微粒子) ナノサーマル (カルコゲナイドナノワイヤ)	CMOSチャネル置換: Ge, III-Vナノワイヤ, CNTs, グラフェン IMOS: Si, Ge or III-V ナノワイヤ SET: CNTs or ナノワイヤ NEMSスイッチ: CNTs, ナノワイヤ ナノ磁性MQCA	EUV無機-有機ハイブリッド リソグラフィ (ナノ微粒子)		ナノチューブ 金属ナノワイヤ グラフェン, グラファイト構造	電気的応用 熱応用 機械的応用
新規巨大分子	分子メモリ 新規巨大分子メモリ	分子デバイス 負性ゲート容量FET: 強誘電体酸化膜	Non-CARレジスト ネガレジスト 多重露光レジスト 1回露光2回現像 無機-有機ハイブリッド レジスト	新規洗浄 選択エッチング 選択デポジション	自己組織化材料バリア 低誘電率ILD	ポリマーの電気的、熱的 機械的性能制御
自己組織化材料			リソグラフィ内パターン形成 超高精度寸法制御	選択エッチング 選択デポジション 決定論的ドーピング	選択エッチング 選択デポジション 自己組織化膜バリア	高性能キャパシタ
スピン材料	STT MRAM 強磁性薄膜	スピンFET スピンMOSFET スピン波デバイス ドメイン壁移動 ナノ磁性MQCA			スピン輸送 ローカル配線	
複合金属酸化物 & 遷移金属参加物	1トランジスタ強誘 電体FET STT MRAM トンネル&磁性 電荷トラップ モット遷移メモリ 強誘電体分極 ナノサーマル酸化膜	スピン材料 新規相変化 バッチ化-エッチング絶縁膜 負性ゲート容量FET: 強誘電体酸化膜	EUV無機-有機 ハイブリッドレジスト			高性能キャパシタ
接合とヘテロ界面	電気的、スピン伝導 の電極と接合界面	電気的、スピン伝導 の電極と接合界面			電極と接合界面	電気的、熱的接合

図 15-4 各 LSI 技術における ERM の可能性

図 15-4 はスコープに挙げられた ERM 材料が LSI の各技術とどのように関係しているかを示したマップである。このマップは 2007 年の初版から載せられている。多くの WG が ERM によるブレークスルーに期待を寄せていることが分かる。スコープに新たに盛り込まれた薄膜には、ERD ロジックデバイス用の CMOS チャネル代替材料としての Ge, III-V やグラフェン、Cu 配線用の極薄バリア層などが含まれる。材料別の章構成から応用別への変更は、具体的には図 15-5 のように行われた。右が 2009 年版である。応用のカテゴリには、Emerging Research Device, リソグラフィ、フロントエンドプロセス、PIDS、配線、実装パッケージ、ESH、計測、モデリングとシミュレーションがある。国内委員会では、材料毎の専門家が集まっているので、2009 年版では一人が複数章に携わるということも生じた。材料研究者に対する便宜という点では、今後、材料毎のマップなども加えて行くべきであろう。

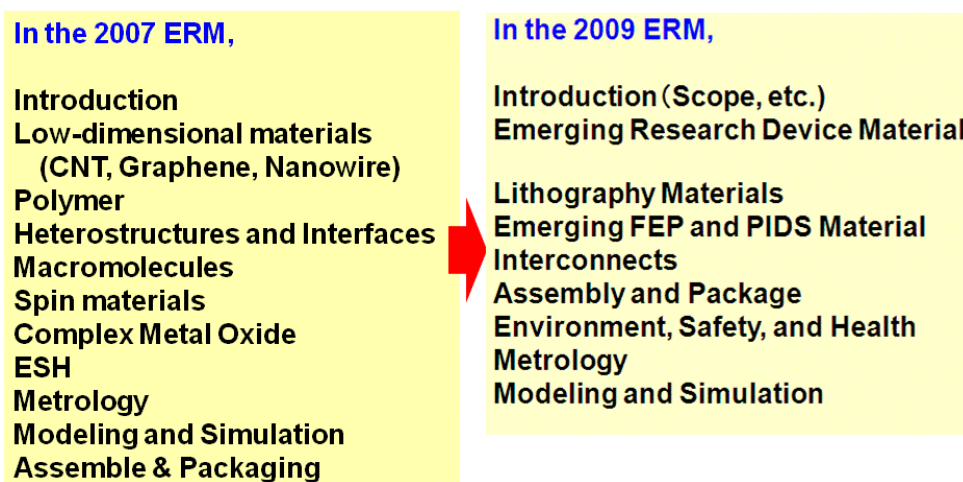


図 15-5 2007 年版から 2009 年版への章構成の変更

15-3 各種応用のための ERM

(15-3-1) Extending CMOS のための代替チャネル材料

ERD における検討でも CMOS がロジックデバイスとして、現在のアーキテクチャでは最も優れた特性を持つと考えられており、CMOS 技術を究極まで伸ばすということから Extending CMOS のための代替チャネル材料の検討は重要である。材料候補としては、薄膜の Ge、III-V 化合物半導体、その究極であるグラフェン、1次元材料としてのナノワイヤやカーボンナノチューブなどがある(図 15-6)。今回、これらについて、材料の観点から

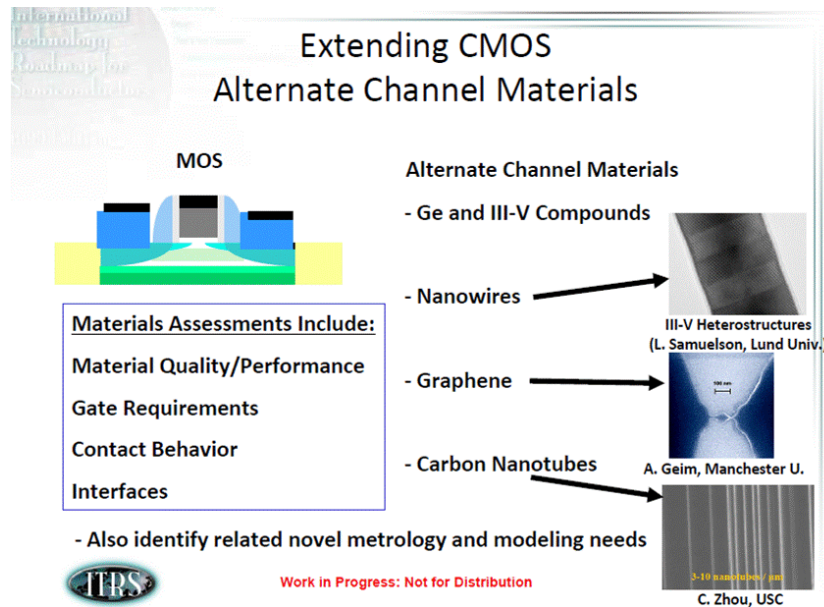


図 15-6 Extending CMOS のための代替チャネル材料例

≤ 14 >14 -18 OPA >18									
8つの評価基準、研究ターゲット	正孔移動度 >5000cm ² /Vs and/or 電子移動度 >5000cm ² /Vs	フェルミレベルピン グのない界面、 10%膜厚、Dit <1E12/(eVcm ²)	Si基板上の 低欠陥密度 での材料成長	コンタクト抵抗 <1E-8Ωcm ²)	特性制御 10%(1s)	n型p型チャネル ドーピング、S/D ドーピング、例え ば10%(1S)	CMOS互換 触媒、ハーフピッチ の10%、縦と横	形成機構の 理解と低欠陥 材料の形成戦略	集積技術平均 (除く、移動度)
Ge (pチャネル) (2013-18)	3 	1.8 	1.5 	2 	2 	1.8 	1.8 	1.8 	1.8
III-V 材料 (2019+)	3 	1.8 	1.1 	1.6 	2 	1.6 	1.6 	1.7 	1.6
ナノワイヤ (IV族、III-V) (2019+)	2.6 	1.8 	1.6 	1.3 	1.8 	1.8 	1.6 	1.7 	1.7
カーボン ナノチューブ (2019+)	3 	1.8 	1.3 	1.4 	1.3 	1.3 	1.4 	1.3 	1.4
グラフェン (2019+)	2.9 	1.7 	1.2 	1.4 	1.4 	1.4 	1.4 	1 	1.4

図 15-7 CMOS チャネルの代替材料についてのクリティカルアセスメント

のクリティカルアセスメントを実施した。評価結果を図 15-7 に示す。評価基準としては、材料の品質、物性、ゲートプロセス、オーミック電極、界面問題などを採用した。通常のクリティカルアセスメントと同じように評価項目毎にスコアを出し、最後に積算を行った。総点についての解釈は、白の 1.8 点以上が現在の材料よりも明らかに有利であるもの、緑の 1.4 点以上~1.8 点未満は現在の材料と同等か僅かに有利、1.4 点未満は現在の材料と比べ明らかに不利かもしくは unknown というものである。結果は、Ge, III-V, 半導体ナノワイヤが緑、そしてナノチューブ、グラフェンが白のグループになった。カーボンナノチューブとグラフェンは、いくつも技術的課題において可能性のある解が見当たらないことになり、移動度の魅力はあるものの、まだまだ unknown という結果になった。今後多くの研究が必要であることが分かる。たとえ Ge や III-V 化合物、ナノワイヤが有望視されているとしても、それぞれに重大な課題への取り組みが必要とされている。チャレンジングな課題、ターゲット目標、現在の到達点をまとめたが、図 15-8 はその一部である。表にも書かれているように Ge や III-V 化合物材料で最も懸念されている課題は、シリコン上に欠陥なく材料成長できるかどうかという点であり、材料集積化にとって基本的な課題といえる。ナノワイヤに対しては、低抵抗コンタクトの形成がポイントであり、今後さらなる集中と研究が必要とされるという結果となった。

なお、このクリティカルアセスメントは、ERM, ERD, FEP, PIDS の各 WG からの 8 人の ITRS の投票に基づいており、今後の改訂では、さらに更新していかなければならない。

早期導入可能性のある材料	潜在能力のある材料指数	キーチャレンジ	ターゲット目標	現状到達点
III-V 半導体	高電子移動度 (InGaAs, InSb), 歪 III-V による高正孔移動度	・Si 上の選択エポキシと低欠陥密度の達成 ・フェルミレベルピンングを起こさない high-k 膜との集積化 ・高電子移動度 & 高正孔移動度 ・低コンタクト抵抗 ・プロセス中および実装パッケージ中の歪制御	・欠陥なし、ワイド欠陥なし、相分離なし ・Dit < 1E12/(eVcm) ・正孔移動度 > 3000cm²/Vs ・擬バリスティック速度 > ・コンタクト抵抗率 < 1E-8Ωcm² ・実装パッケージ後の移動度低下なし	・欠陥は減っているが他の欠陥種に注意 ・GdO/III-V 表面パッシベーションと中間層によって界面制御達成 ・電子移動度 > 10,000cm²/Vsec. ・十分なゲート制御が標準的 III-V コンタクト金属で達成 ・歪効果について測定中
Ge	十分な正孔移動度 (~3000cm ² /Vs)	・フェルミレベルピンングを起こさない high-k 膜との集積化 ・デバイスにおける高正孔/電子移動度 ・低コンタクト抵抗	・Dit < 1E12/(eVcm) ・電子移動度 > 10000cm²/Vs ・正孔移動度 > 3000cm²/Vs ・擬バリスティック速度 > ・コンタクト抵抗率 < 1E-8Ωcm²	・フェルミレベルピンングの原因はまだ未解決 ・金属/SiD コンタクトは要研究
III-V と Ge の同時集積	高電子・正孔移動度	・Ge のドーパントの活性化に III-V プロセスより高温が必要 ・Ge と III-V 化合物への低抵抗コンタクト形成 ・絶縁膜中に埋め込まれた時、伝導性が劣化しないこと ・低コンタクト抵抗	・Ge の注入活性化 400°C 達成 ・新ショットキー/SiD コンタクトと低温プロセス探索 ・ナノスケールチャネルでの新しい散乱効果理解 ・コンタクト抵抗率 < 1E-8Ωcm²	・He との Coインプラによって活性化ドープインエネギー減 ・プロセス整合するショットキー/SiD コンタクト金属は要研究 ・フォトンと界面散乱検討は始まったばかり
グラフェン	高電子移動度	・Si と整合する膜上での制御された方位と厚さを持つグラフェン (CVD) のデポ能力 ・集積回路で高いオンオフ比を得るための制御されたバンドギャップが形成可能 ・Si と整合する基板上的高い電子と正孔移動度の実現 ・high-k 膜のデポ方法 ・n と p 型ドーピング ・低抵抗コンタクト形成	・薄膜性能と CMOS 互換性をもったグラフェン成膜法の開発 ・2 層グラフェン用新ダブルゲート構造と単層の縦方向制御 ・電子移動度 > 20000cm²/Vs ・正孔移動度 > 10000cm²/Vs ・Dit < 1E12/(eVcm) ・電子/正孔 puddling とアンパイヤラ特性におけるコドーピング・エッジ依存ドーピング効果 ・コンタクト抵抗率 < 1E-8Ωcm²	・適当な集積プロセスが未提案 ・バンドギャップ制御法は発見段階 ・移動度 > 8000cm²/Vs ・今まで適用された Al₂O₃ は Al 薄膜の酸化のみ ・NDーピングは達成、PDーピングは未報告 ・適当なテストパターンでのコンタクト抵抗未測定

図 15-8 CMOS チャンネル代替材料に関する課題と現状

(15-3-2) Beyond CMOS ロジックデバイス用材料

Beyond CMOS には、電荷を状態変数とする今の CMOS と同じ仲間のものと、状態変数自身をスピンなど別のものに置換えるノンチャージベースとに分けることができる。チャージベースのものとしては、各デバイスの特徴とデバイス実現に向けた研究課題について議論した。具体的には、トンネル FET 用、インパクトイオン化 MOS (IMOS) 用、スピントランジスタ用、単一電子トランジスタ用、NEMS スイッチ用、分子デバイス用、負性ゲート容量 FET 用材料について記述した。またノン FET でノンチャージベースデバイスの材料としては、スピン材料と分子材料について述べている。ここで特筆すべきは、チャージベースの記述が 1 頁であるのに対して、ノンチャージベースに 6.5 頁も割かれている点である。さらにこの中でもスピン材料に 5 頁が割かれている。このことはノンチャージベースへの関心が高さを意味しているが、同時に米国では NRI をはじめとする多くの機関でこの種の研究が実施されていることと無関係ではないと考えられる。

ここではチャージベースのものとして 2 つ、トンネル FET とスピントランジスタについて紹介する。トンネル FET は、バンド間トンネル現象で動作するデバイスであり、このトンネル現象は $n/p+$ のドープ領域あるいはヘテロ接合で生じさせる。ドープ接合のデバイスは、Si もしくは Ge からなるが、接合が極めて急峻である必要があり、ドーピング制御が重要である。一方ヘテロ接合のデバイスでは、バンドオフセットが極めて急峻である必要があり、トンネル障壁は低いことが求められる。そのため材料の選択が重要である。スピントランジスタには、“スピン FET” と “スピン MOSFET” がある。どちらも磁性体のソース/ドレインと半導体チャネル、MOS ゲートという構造を持つ。スピン FET のチャネルにはスピナー軌道結合の強い材料が必要であり、ガリウム砒素や多の III-V 化合物が検討されている。一方、スピン MOSFET のチャネルにはスピナー軌道結合の弱い材料が必要である。どちらもスピンは強磁性ソースから注入され、チャネルを伝導してドレインから出て行く。スピン FET の場合、ソース電極とドレイン電極はスピンの方向が揃っており、ゲート電極がスピナー軌道相互作用を通じてスピンと結合し、スピンの歳差角度を変化させる。ドレイン電極のスピン方向と揃っている場合のみ、電子が受け入れられるため電流変調が起きる。スピン MOSFET の場合、ドレインの磁化は固定されていて、ソースの磁化が変調される。そのためゲートの変調が無くても電流は変調される。これらのデバイスでは、スピン注入が重要であり、ショットキー障壁もしくはトンネル障壁を介して行われる。

一方、ノンチャージデバイスには、集団スピン素子、磁壁移動素子、アトム・スイッチ、分子素子などが挙げられている。その中でスピン材料については、図 15-9 の右図に示すように、希薄磁性半導体、スピン注入/検出のための材料、スピン・トンネル障壁、半導体とナノ構造、スピン波スピントロニクス材料、磁気セルラ・オートマタ・ロジックに対する材料などについて議論している。

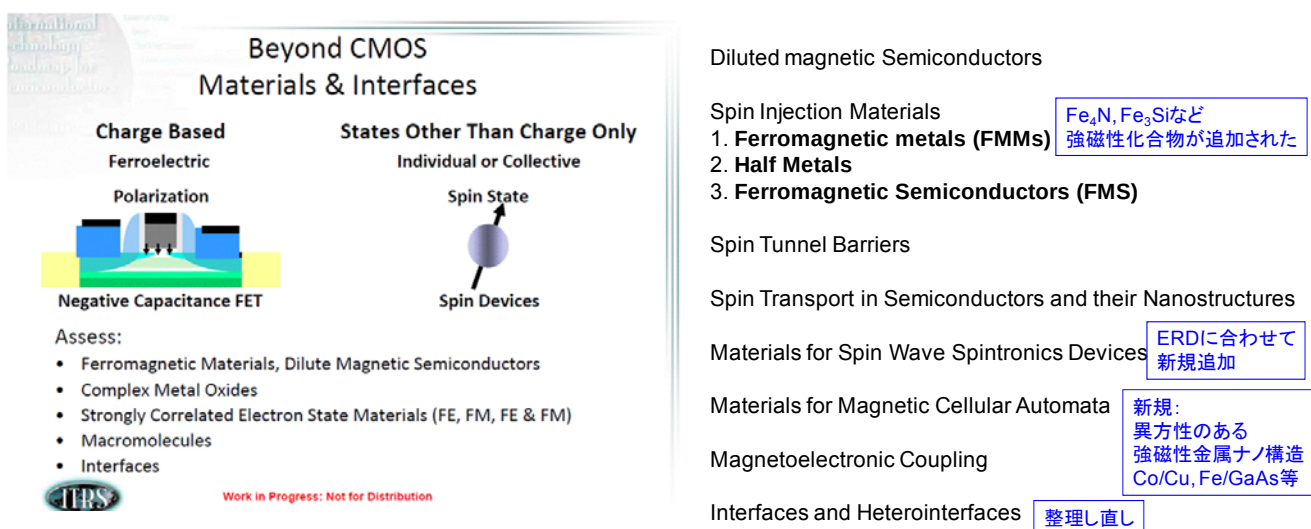


図 15-9 Beyond CMOS デバイス材料(左)と特にノンチャージデバイスのためのスピン材料(右)

(15-3-3) Emerging メモリデバイス用材料

2008 年に IRC (ITRS の上位委員会)からの要請で Beyond CMOS ロジックデバイスの中で今後リソースを投入すべき技術を推薦した(その結果は昨年の報告書に詳細に記述されている)。その結果を受け 2009 年版では、ロジックデバイス用材料に多くの紙面が割かれている。一方、IRC からの次の要請として Emerging メモリデバイスでも同様の作業が 2010 年に行われる。従って次の改訂版では Emerging メモリ用材料の記述が増えることが予想される(推薦作業は 2010 年 4 月に行われた)。

Emerging メモリの候補は、ERD における新探求メモリの分類に従って記載され、FEFET, Nanoelectromechanical Memory, Spin Torque Transfer MRAM, Macromolecular Memories, Molecular Memories, Electronic Effects Memory, Nanothermal Memory Materials (Nanowire PCRAM と ReRAM), Nanoionic Memory (Atom switch)が扱われた。これらの困難な課題は Table ERM 6 にまとめられている。Emerging メモリと ERM との関係を図 15.10 に示す。ただし、Memristor など、酸素欠陥の電界制御を動作原理にする新デバイスが活発に研究され始めているが、それらに対応する TiO_2 などの材料と機能についてまだ言及されていない。

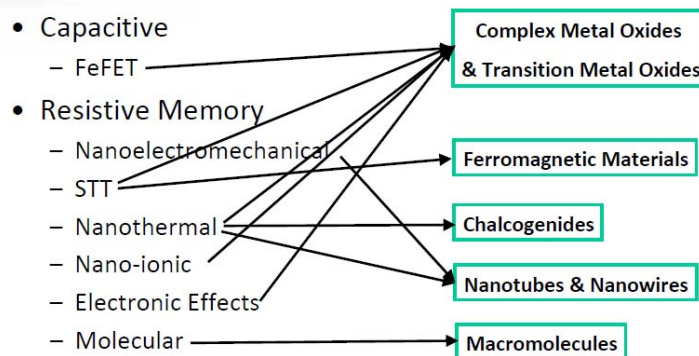


図 15-10 Emerging メモリのための ERM

(15-3-4) リソグラフィのための ERM

リソグラフィの ERM については、新規レジスト用材料と自己組織化を利用した新規パターンニング法が挙げられている。今回の改訂では、150 nm 以下の薄膜の材料特性変化や、液浸 (ArF) レジスト関連の二重露光レジスト、EUV レジストとしての化学増幅系ポジ型以外のレジストについての記述を増やした。一方、液浸リソグラフィ用高屈折媒体の記述については削除した。

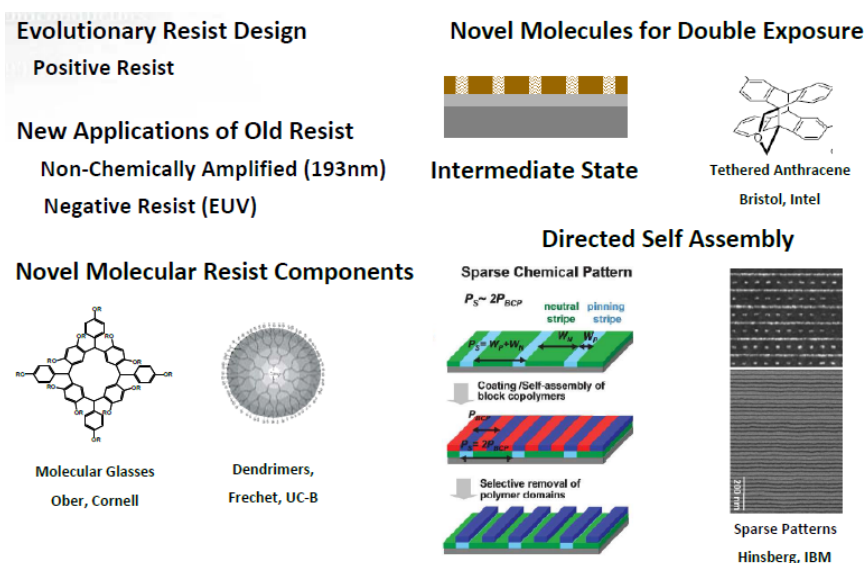


図 15-11 リソグラフィのための ERM

(15-3-5) フロントエンドプロセス、プロセスインテグレーション、デバイスおよび構造のための ERM

将来のフロントエンドプロセスやプロセスインテグレーション、デバイスおよび構造の材料やプロセスに対する重要な技術課題は、デバイス性能の変動を抑えた、より小さな寸法へ CMOS を拡張すること (Extending CMOS) である。このためには、ドーパントを今まで以上に正確にデバイスの活性領域に配置すること、有用なナノ材料を制御された自己組織化法によって形成すること、そして自己整合構造が形成可能な選択成長やエッチング、それにクリーニンなどが求められる。ここでは FEP や PIDS に ERM を適用するための要件や重要課題をまとめている。特に 2 つのトピックスとして、決定論的ドーピング技術と自己組織化技術について述べている。「決定論的」というのは、ある状態が決まれば、そこから発生する次の状態が一義的に決まるような現象を意味する。すなわち、ここでは最初の状態を決めればその後に特別な制御がなくても、ある構造・組成が一つに決まるようなプロセスやドーピングを意味する。現時点での取り組みとして、単一イオン注入法、単分子膜と表面化学を用いた自己形成法、STM での位置制御法などがある。ただし、STM のような 1nm 以下の正確さを持ったドーピング方法は精度としては十分でも、並列動作させるには膨大なデータ処理が必要であり、単一イオン注入法は、スループットの課題がある。

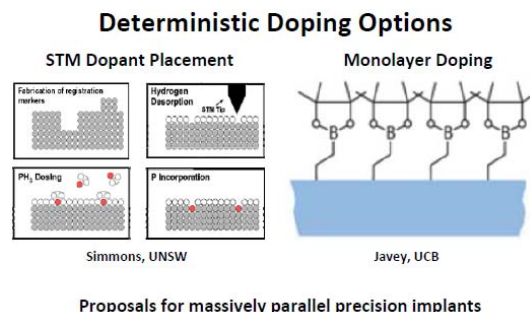


図 15-12 決定論的ドーピング技術の例

選択エッチングや洗浄/表面前処理に制御された自己組織化技術を適用する試みも重要であり、その記述も今回増やしている。機能性分子あるいは自己形成法によって、プロセスの選択性や歩留まりが改善できるかもしれない。同様に、(デバイスの)形状寸法が小さくなるに伴い、クリーニングプロセスには、所望の構造を壊すことなくパーティクルを除去するために、より高い選択性が必要になる。クリーニングや表面前処理技術には、レーザ、静電気学、機能性分子、デンドリマー (dendrimers)、分子ガラスなどが含まれている。原子レベルでのコンタクトの理解とエンジニアリングも、分子レベルのデバイスに対して重要であり、分子と電極間の軌道オーバーラップの最適化などが求められる。構造と金属-分子相互作用の理解や、低ポテンシャルバリアのコンタクトを安定に再現性良く実現する新しい分子電極材料設計法や合成法の研究が求められる。

(15-3-6) 配線のための ERM

今回の改訂では、章構成変更に伴い、Novel Interconnect、Low-k ILD、Cu 配線延命材料の節に分かれた。新たに追加した部分は、Novel Interconnect では CNT に加えてグラフェン配線を追加した。グラフェンは 1 層、2 層だと FET のチャネル代替材料として取り上げられているが、多数層になると金属的伝導となるため、配線としての応用可能性がある。カーボンナノチューブと同じくエレクトロマイグレーションに強く、バリスティック伝導が生じる。またナノチューブと違い、従来のリソグラフィ技術が使え、複雑な配線レイアウトを考えると魅力がある。low-k ILD では、AirGap 材料についての節を加えた。Cu 配線延命では、低抵抗化を狙った極薄バリア層や低容量化を狙った銅のメタルキャップ技術について追加している。図 15-13 には、その中で日本の WG が主に執筆しているカーボンナノチューブの Via 配線 (縦配線) に関する表の改訂版を示す。

Application	Requirements	Carbon Nanotubes (Single Walled) Challenges	Carbon Nanotubes (Single Walled) Status	Carbon Nanotubes (Multiwalled) Challenges	Carbon Nanotubes (Multiwalled) Status
Vias	High density in small vias	1E14 metallic tubes/cm ² , inter-tube distance: 0.68 nm; tube diameter < 1.1 nm. Need to develop new catalytic systems.	No data available on the density	Need of 5-10E12 tubes/cm ² , tube diameter < 5-3 nm	Ability to grow in-situ and integrate 1E12 vertically aligned tubes/cm ² in 150 nm vias with repeatable yield[A]
	Defect-free metal contacts	Need reliable and reproducible ohmic contacts. Contacting SWCNTs with diameter < 1.5 nm needs to be improved.	Pd to date is the best metal to contact nanotubes.[B]	Need to produce direct metallic contacts to all the shells to minimize risks of resistance, local heating, and electromigration.	Pd to date is the best metal to contact nanotubes.[B]
	Effective Resistivity	Need to increase metallic content. Need to understand how defects, structure and dielectric interface affect nanotube resistance.	No Data Available.	Must achieve a high density of MWNTs and a low contact resistance between CNTs and metal contacts.	Resistances down to 0.6 Ohm in 2 μm diameter vias filled with MWNTs have been reported; lowest documented resistance for an array of MWNTs in a 2.8 μm (60 nm high) via is 0.05 Ohm.[C]
	Control of chirality	Need a process and catalyst to grow dense arrays of metallic SWCNTs with diameter < 1.1 nm. Need to achieve accurate control of chirality distribution.	Only purification in liquid to date. [D]	Not an Issue: All MWCNTs behavior is metallic.	Not Applicable, all MWCNTs are metallic
	Thermal behavior	Needs experiments to determine thermal conductivity of CNT vias. Reduce thermal interface resistance.	No Data Available. Intrinsic CNT thermal resistance is low. Thermal interface resistance may limit performance	Need to increase density of MWNTs. Need to decrease thermal resistance between CNTs and contacts	No Data Available Intrinsic CNT thermal resistance is low. Thermal interface resistance may limit performance

図 15-13 配線章の構成変更と追加部分

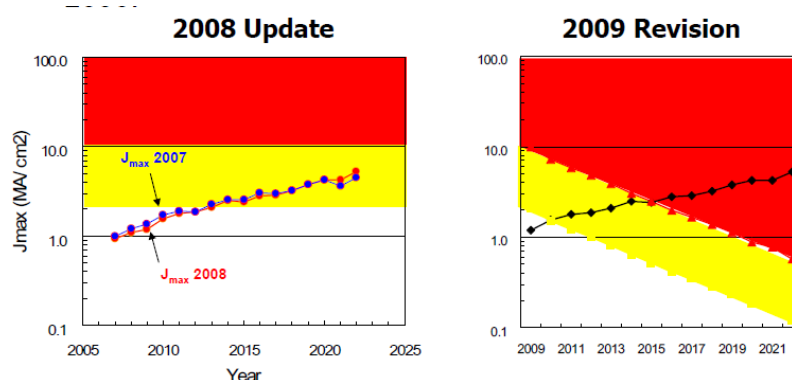


図 15-14 配線章での電流密度耐性の変更部分

日本の MIRAI-Selete プロジェクトに類似した”VIACARBON プロジェクト”が欧州で始まっており、そこでは単層 CNT をターゲットにしていることから(MIRAI は多層 CNT)、この表では単層と多層を併記することにした。多層 CNT の高密度化は1E12/cm²に達したが、ターゲットに比べるとまだ数倍必要である。一方、2009 年度版の配線章において、電流密度耐性に関する予測が大幅に見直された(図 15-14)。電流密度耐性は 2007 年版で一度 CPU コアクロック周波数の伸びの鈍化を反映し大幅に緩和された。そのため既存の Cu の材料限界とされる 1E7A/cm²には到達せず、当分は既存材料でやりくりできると予測されていた。しかし 2009 年版では、クロック周波数が緩和されても、配線幅が縮小していくに従って、同じ電流密度でも電流密度耐性が劣化することを考慮し、再び電流密度耐性の危機が近づいているとの予測に変わった(図 15-14)。その結果 LSI 中の配線は 2015 年以降の微細化が進むにつれて解が見いだせない状況となり、新しい配線材料・技術の開発が改めて望まれている。また同じく微細化とともにフラッシュメモリのセル構造の 3 次元化が重要なトレンドとして予測されている。3 次元化に伴い極めて深く微細な貫通孔への埋め込み配線など、新たなニーズも加わっている。

(15-3-7) アッセンブルとパッケージのための ERM

実装関係では、各所に新材料ブレークスルーが必要とされており、その要求をまとめると、割れ強度、熱膨張係数、弾性、密着、耐湿性などの要求を満たす新材料が必要である。こうした候補としてナノ微粒子や巨大分子、ナノチューブの導入が検討されている。特に実装関係のニーズは近い将来に期待されている。将来の実装とパッケージ技術は、電氣的あるいは熱的要求を満たすものでなければならず、さらにプロセス中も製品とってからライフを通して、ずっと信頼性が確保されなければならない。

ここでは、“システム・オン・パッケージ”や高性能フリップ・チップ・パッケージ実装をサポートするための低温材料と階層的アセンブリ、もっと将来のパッケージを見据えた低次元材料とに分けて書かれている。前者では、ナノ微粒子系半田、導電性接着剤、将来のパッケージングのためのポリマー材料、パッケージポリマー特性について示されている。ポリマーコンポジットに求められる条件は図 15-15 に六角形で描かれている。将来のための低次元材料では、ナノチューブ実装配線、パッケージ熱マネージメントのためのナノチューブパッケージ熱マネージメントのための先進熱電ナノ材料、高性能キャパシタなどが示されている。今後 CNT のチップアタッチの記述が増えていくものと予想される。

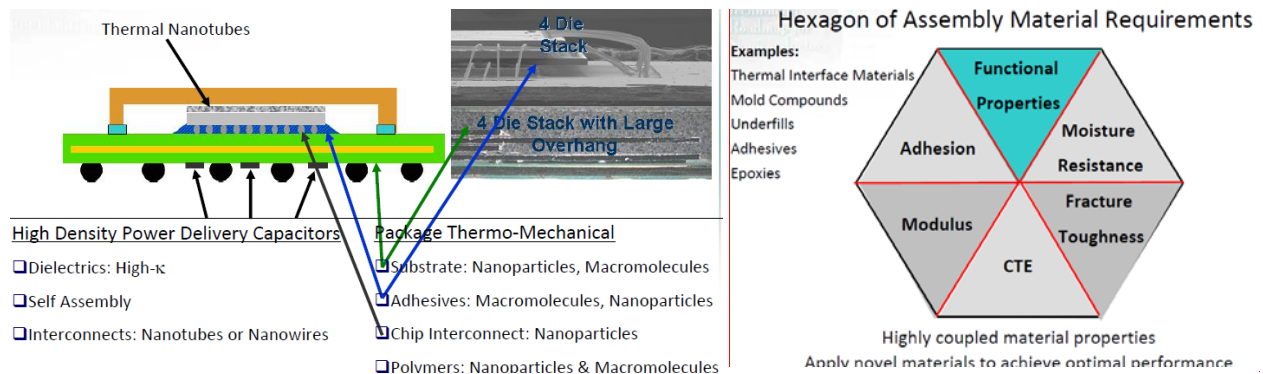


図 15-15 アッセンブル・パッケージのための ERM

(15-3-8) ERM と環境・安全・健康

図 15-16 は、ERM 章で初めての時間軸の入った表で、いつ頃、ERM の導入が期待されているかを示したものであり、「応用可能性テーブル」あるいは「ESH テーブル」とも呼んでいる。色分けが、導入期待時期の違いを示し、黒は元々ニーズが無い部分である。酸化物ナノ微粒子などはすでにプロセスに導入されているので白抜きになっている。黄色は 3 年から 5 年先に導入が期待されるもので、パッケージなどはこれに該当し、

応用	Ge, III-V化合物	CNT*	ナノワイヤ	グラフェン	酸化物ナノ微粒子	金属ナノ微粒子	新規巨大分子	自己組織化材料	複合金属酸化物	スピニ材料
プロセス										
リソグラフィ										
メモリデバイス										MRAM
ロジックデバイス										
配線										
パッケージ										

LEGEND

最短投入時期(年) 導入済 3-5 yrs 5-10 yrs 10-15 yrs 15+ yrs ロードマップなし

図 15-16 ERM の導入期待時期のテーブル

近い将来の導入が期待されている。ナノチューブもパッケージ、配線、そしてデバイスという順で導入が期待されている。スピンについてはすでに MRAM などの応用に一部入っているが、Beyond CMOS のロジックデバイスとしては 15 年程度先と目されているとした。

(15-3-8) ERM のための計測技術

ERM のための計測には、原子・ナノメータースケールでの 3 次元構造や組成と物性についての評価技術が必要である。さらに、埋め込まれた材料、界面や欠陥における局所的なナノスケール構造を評価するための非破壊的な手法と、複合的なナノスケールの特性を同時測定できる基盤技術(プラットフォーム)も必要とされている。2009 年版では、分子デバイスのための計測、機能性分子材料のための計測のニーズ、ウルトラスケールデバイスのための計測のニーズ、新規探索材料のための環境、安全と健康のための計測の 4 項目が新たに追加された。分子デバイスのための計測では、分子間や分子界面の輸送現象を解明するための手法として、IETS、Backside FTIT、STM、Kelvin AFM などが記載された。さらに、分子とのコンタクト状態や電気特性の評価のための非破壊・その場測定法の 3 次元測定法の必要性も述べられている。また機能性分子材料のための計測のニーズでは、リソグラフィ関連材料のために必要とされる評価手法について記載した。特にナノインプリント関連材料についての評価項目が記載されている。ウルトラスケールデバイスのための計測のニーズでは、新規ナノスケールデバイスのパフォーマンスや信頼性の評価手法とモデルの必要性とともに、デバイス特性の変動やノイズの要因を評価できる手法の必要性についても記載している。新規探索材料のための環境、安全と健康のための計測では、作業環境中と廃水中でのナノパーティクルの計測と挙動解析の必要性が記載されている。

全体的に分類が比較的大まかであるが、特徴的な材料およびその材料を用いたデバイスに対しては、独自の項目を作るべきではないかと思われる。例えば、グラフェン、III-V チャネルおよび Ge チャネル on Si、メモリ材料および新メモリデバイスなど。今は界面、物性形状の同時測定等の分類になっているが、これを材料毎あるいは機能毎の章立てにすべきであろう。また、計測が不可能な分野(分子デバイスなど)もあるので、そういったものはシミュレーションでカバーすべきということ、今後はっきり記述した方が良いのではないかと思われる。また活躍が期待される新しい計測手法を取り上げるべきであろう。例えば Emerging metrology for ERM とし、例えば、3D アトムプローブ、球面収差補正付き STEM, HAADF-STEM などや、さらに計測結果に対するシミュレーションの役割を、今後記述すべきであろう。

1. ナノメータースケール構造／組成の評価とイメージング
2. 界面と埋め込まれたナノ構造に対する計測のニーズ
3. ナノスケールの構造における欠損および欠陥の評価
4. ナノスケール新規探索材料の物性のウェーハレベルでのマッピング
5. スピンおよび電気特性の同時測定のための計測のニーズ
6. 複合金属酸化物系のための計測ニーズ
7. 分子デバイスのための計測
8. 機能性分子材料のための計測のニーズ
9. 誘導自己組織化技術のための計測のニーズ
10. プローブとサンプル間の相互作用のモデリングと分析
11. ウルトラスケールデバイスのための計測のニーズ
12. 新規探索材料のための環境、安全と健康のための計測

図 15-17 ERM のための計測技術

(15-3-9) ERM のためのモデリング・シミュレーション

モデリング・シミュレーションでは、①合成、②構造/物性、③実験と理論との補完的役割を果たす計測とキャラクタライゼーションのためのシミュレーションに分けて議論している。まず合成では、狙った物性を達成する材料の前駆体の探索、成長過程を理解して狙ったモフォロジーにいたる過程を探るシミュレーションのニーズと可能性を述べた。有限サイズの材料の相転移という新しい試みも今後必要になる。この目的のため次元の異なる物理現象(ミクロからマクロまで)を扱う種々の手法(密度汎関数理論、モンテカルロ統計計算、連続体近似

を融合した計算技術が必要)。次に構造/物性のシミュレーションでは、一般的に用いられる密度汎関数理論は、扱えるスケールの拡大が実用シミュレーション課題にとって重要であり、一方 Beyond CMOS で期待される強相関材料では、より厳密な扱いが、非平衡現象の扱いには、時間依存の扱いがそれぞれ必要である。最後に、計算のスケールアップに必要な近似計算のパラメータの改善も必要で、古典分子動力学、確率的モンテカルロ計算、簡便な Tight-binding 近似による電子構造解析などでマクロ現象にあたるべきである。計測とキャラクタライゼーションのためのモデリング・シミュレーションでは、高精度第一原理計算では手の届かない大規模問題に対応すべく、簡便な近似計算のためのパラメータを抽出するために、理論計算結果だけではなく高精度な測定結果のデータベースを整備する必用もある。これら実験と理論との補完的役割で、将来の材料設計を可能にしなければならない。

15-4 独自活動

国内委員会の独自調査活動として、昨年度は「バイオナノエレクトロニクスのための ERM」の調査を行ったが、本年度は、「エネルギー応用のための ERM」について調査を実施した。4つのカテゴリとして、パワーエレクトロニクス、熱電変換、太陽電池、給電・蓄電を選び、各々1名ずつの講師を迎え、現在の技術レベルと将来の課題、取り分け材料の切り口での開発課題についてヒアリングを行った。具体的には、パワーエレクトロニクス分野では、早大・産総研の大橋弘通氏から『2030 年低炭素化社会に向けたエレクトロニクスの新しい役割』について、熱電変換分野では、名大の河本邦仁氏から『ナノ構造化が進む熱電変換材料の開発課題』について、太陽電池分野では、物質材料研究機構の鯉沼秀臣氏から『エネルギーの将来像からみた半導体デバイス・新材料の開発課題』、給電・蓄電分野では、東芝の庄木氏から『ワイヤレス電力伝送の技術動向・課題とブロードバンドワイヤレスフォーラムでの取り組み』についてのヒアリングを行った。

これらは、More than Mooreとして新しい付加価値を乗せた半導体チップの応用にも関係し、あるいは SiC などのパワーエレクトロニクスデバイスそのもの、熱電変換や太陽電池といった注目されるグリーン IT 分野でのナノ材料研究やローコスト材料開発への期待など、興味深い将来像が調査できた。

15-5 まとめと今後の課題

以上、ここでは、最初の改訂となる 2009 年版の改訂内容を中心に、ERM-WG の本年度活動を報告した。図 15-18 に、これらを総括する意味で ERM の困難な技術的課題(Difficult challenge)に関する表を示す。

日本の ERM-WG は、ニーズの拡大に合わせて委員数を増やし、その結果として冒頭でも述べたように、ナノエレクトロニクスのほぼ全般をカバーできる国内有数の専門家集団に成長することができた。今後、ナノエレクトロニクスのリアルな応用が生まれてくるものと考えられるが、なかでも実現可能性の高い分野として、半導体 LSI 分野への期待が益々大きくなってきている。国際標準団体である IEC の TC113「ナノエレクトロニクス」でも、カーボンナノチューブに関する国際提案が増えている。ただし本当のアプリケーションはまだこれからであり、新材料の導入は一朝一夕にはできない。別の言い方をすれば、新材料にとって、それが半導体 LSI のどの部分から導入されても良いとも言える。そこから市民権を得、適用範囲が広がることは十分に考えられる。一方で ESH の観点からの取り組みは、こうした技術開発の一環として歩調を合わせて行われなければならない。世界に目を向けると、ナノエレクトロニクスの研究拠点における研究活動が進んでいるが、今回、日本でも筑波を中心とするナノエレ研究拠点化が実施される運びとなった。新材料ブレークスルーによる日本の半導体産業の発展に向け、本 ERM-WG の責任や重要性は、今後益々増していくものと考えられる。また各 WG との連携はさらに深まっていくことが益々重要になる。皆様のご協力、ご支援をお願いする次第である。

困難なチャレンジ (<16nm)	課題のまとめ
高性能チャネル代替材料の集積技術	・III-V材料は高電子移動度だがホール移動度が小さいこと ・Geは高ホール移動度だが電子移動度はIII-V程は高くないこと ・high-k材料と集積化した上で、高移動度のn/pチャネル代替材料 ・high-k材料と低抵抗コンタクトと集積化し、高いオンオフ比を持つ高移動度n/pチャネルカーボン(グラフェンやCNT)FETの実現 ・Si基板上の所望の場所に、制御した特性と方向を持つチャネル代替材料の選択的成長(III-V, グラフェン, CNT, 半導体ナノワイヤ) ・16nm以下のスケール構造の低抵抗コンタクトの実現(グラフェンやCNTで) ・Geのドーパントの熱活性化がIII-V材料のプロセス温度より高いこと ・チャネル代替材料に対してフェルミレベルピンングを起こさないhigh-k絶縁膜の成長
ナノ構造と特性の制御	・レジストや他の量産パターニング材料のサブ16nm構造のパターニング性能(レジスト、インプリント、自己組織化材料など) ・CNTの性能、バンドギャップ分布、金属比率の制御 ・複合金属酸化物のストイキオメトリ、オーダーからの乱れ、欠損補償 ・スピン材料のナノメートルスケールでの相分離の制御と同定 ・表面と界面の制御 ・成長ヘテロ界面の歪制御 ・界面特性の制御(例えばエレクトロマイグレーション) ・"混合規則"に基づいたナノコンポジット特性の予測能力 ・定量的な構造-特性相関やロバストなナノ材料設計能力を可能にするデータやモデル
ナノ構造の制御したアセンブリ	・デバイスや配線、他の有用な電子部品のための、ナノ構造(例えばCNT、ナノワイヤ、量子ドット)の所望な場所への配置 ・自己組織的パターニング材料のライン幅制御 ・自己組織化材料のレジスト能力と欠陥制御
ナノ構造と特性の相関に関するキャラクタライゼーション	・低次元材料での界面構造、界面の電子とスピン特性の相関 ・低原子質量構造と欠陥のキャラクタライゼーション ・材料内でのスピン密度のキャラクタライゼーション ・複合酸化物での欠損密度とその効果に関するキャラクタライゼーション ・3次元分子とナノ材料の構造と特性の相関
埋め込まれた界面と材料の特性に関するキャラクタライゼーション	・複合酸化物の界面での欠陥と酸素のキャラクタライゼーションと特性との関係 ・界面を横切るスピン偏極電子の輸送に関するキャラクタライゼーション ・複合酸化物における構造と電氣的界面準位に関するキャラクタライゼーション ・埋め込まれた分子の電氣的コンタクトに関するキャラクタライゼーション
材料と構造の基礎的熱力学的安定性とゆらぎ	・分子と自己組織的構造の構造的形態、界面ラフネス ・デバイス構造起因の特性(例えば強磁性スピンと欠陥) ・ドーパントの位置とデバイス特性ばらつき

図 15-18 ERM の困難な課題(Difficult challenge)のまとめ